

4.3. Eficiencia energética del circuito (η)

La figura 4.4 representa la gráfica de eficiencia energética vs. corriente de carga. Se observa que la eficiencia del circuito aumenta con la corriente hasta alcanzar un valor máximo para después disminuir progresivamente. En la gráfica se indica el valor de la corriente de carga máxima para que la tensión de salida no disminuya de 6V y se encuentra en el rango de alta eficiencia de acuerdo a la figura 4.4.

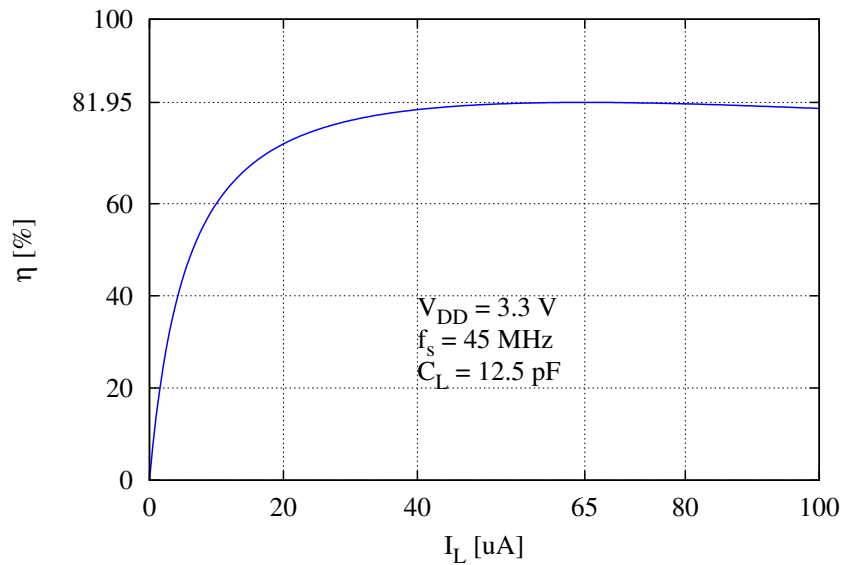


Figura 4.4: Gráfica de la eficiencia energética del circuito vs la corriente de carga

La figura 4.5 representa la gráfica de eficiencia energética vs. la tensión de alimentación. Se observa que la eficiencia disminuye conforme la tensión de alimentación disminuye. El punto 1,8V con eficiencia igual a 70% es un límite inferior con eficiencia aceptable.

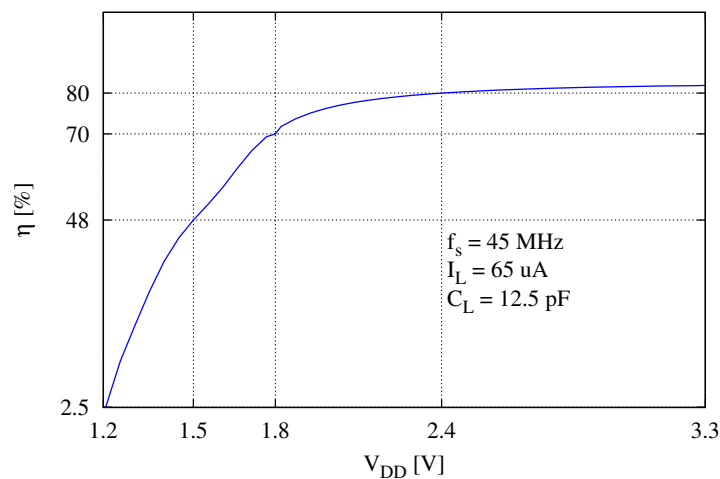


Figura 4.5: Gráfica de la eficiencia energética del circuito vs la tensión de alimentación

4.4. Tiempo de subida (t_r)

La figura 4.6 representa la gráfica de tiempo de subida vs. la capacitancia de carga. Se observa cómo el tiempo de subida aumenta conforme se aumenta el valor de la capacitancia de carga. Esto es coherente con la ecuación de tiempo de subida que se desarrolló en capítulos anteriores. Se muestra que para una capacitancia de carga igual a $12,5\text{pF}$ se obtiene un valor de tiempo de subida de 342ns . Este valor es similar con el aquel que se mostro en la figura 4.1.

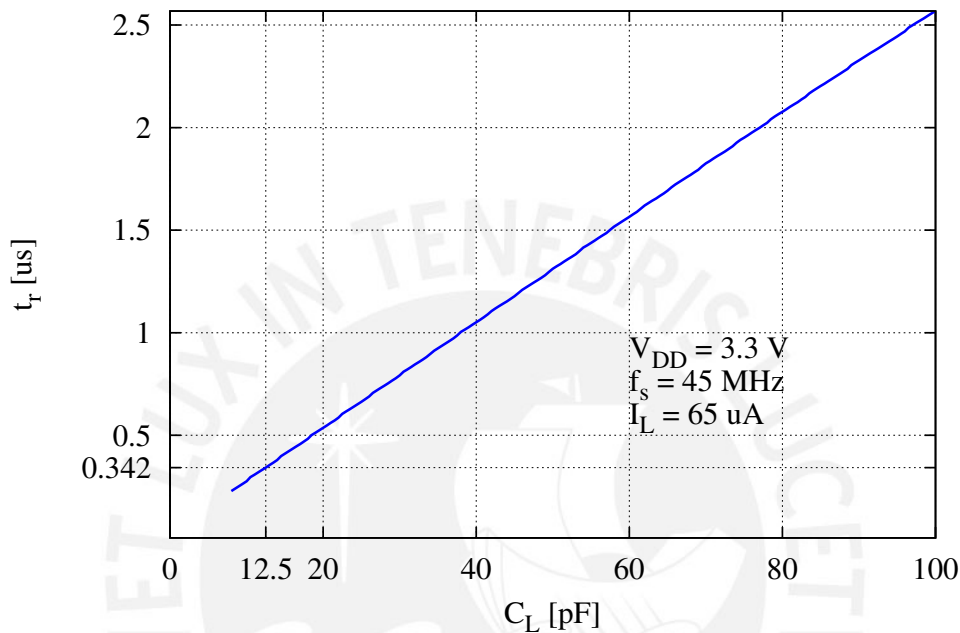


Figura 4.6: Gráfica del tiempo de subida vs la capacitancia de carga *charge pump*

4.5. Disminución de los picos de corriente inverso (I_{rev})

Como se mencionó en el capítulo 2 en la topología original del circuito existen corrientes inversas debido a que las señales de control generan en ciertos instantes cortocircuitos. Como una alternativa de solución a este problema existen los denominados circuitos de control de compuerta los cuales ayudan a disminuir dichos picos de corriente. En la figura 4.7a se muestran los picos de corriente de un *charge pump cross coupled* original mientras que en la figura 4.7b se muestran los resultados obtenidos luego de implementar el circuito de control de compuerta.

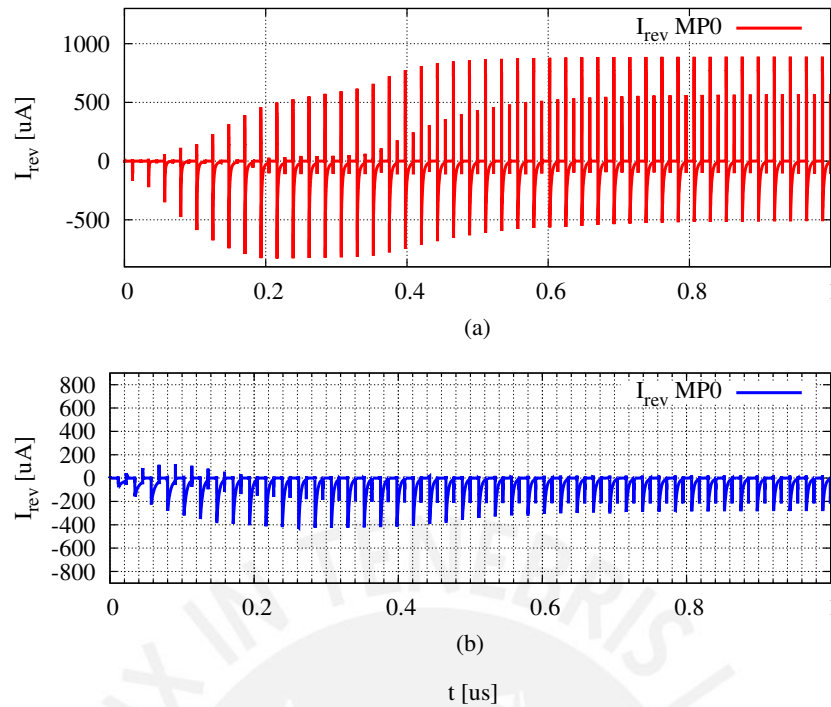


Figura 4.7: Gráfica de los picos de corriente inversa del transistor MP0 (a) antes de implementar el circuito de control de compuerta. (b) Después de implementar el circuito de control de compuerta.

4.6. Comparación de simulaciones y especificaciones del circuito

El análisis de *corners* nos permite observar el comportamiento del circuito cuando existen variaciones en el proceso de fabricación tales que influyen sobre los parámetros del modelo del transistor MOS. Esto provoca situaciones extremas en el transistor MOS entre los análisis tenemos *worst power*, *worst speed*, *worst one* y *worst zero*. Esta sección muestra un cuadro comparativo entre los distintos resultados obtenidos mediante las ecuaciones analíticas y las distintas simulaciones a nivel esquemático tales como *typical mean*, *worst power* y *worst speed*.

Cuadro 4.1: Cuadro comparativo entre los distintos valores de las simulaciones realizadas

Parámetro	Análiticamente	Esquemático		
		<i>tm</i>	<i>ws</i>	<i>wp</i>
$V_{out,ss}$	6,104 V	6,04 V	6,077 V	6,008 V
t_r	230,52 ns	342,4 ns	353 ns	331,3 ns
η	91,91 %	81,55 %	81,86 %	82 %
V_r	—	26,8 mV	22,78 mV	30,53 mV
P_{out}	—	393 uW	395 uW	390,5 uW

La simulación de montecarlo por mismatch es una simulación estadística nos permite observar las variaciones de los parámetros de un mismo *die* para nuestro circuito. En la figura 4.8 se observa

la simulación de montecarlo por *mismatch* para la tensión de salida en estado estable ($V_{out,ss}$). La media es $\mu = 6,051V$ y cuya desviación estandar es de $\sigma = 186,2\mu V$.

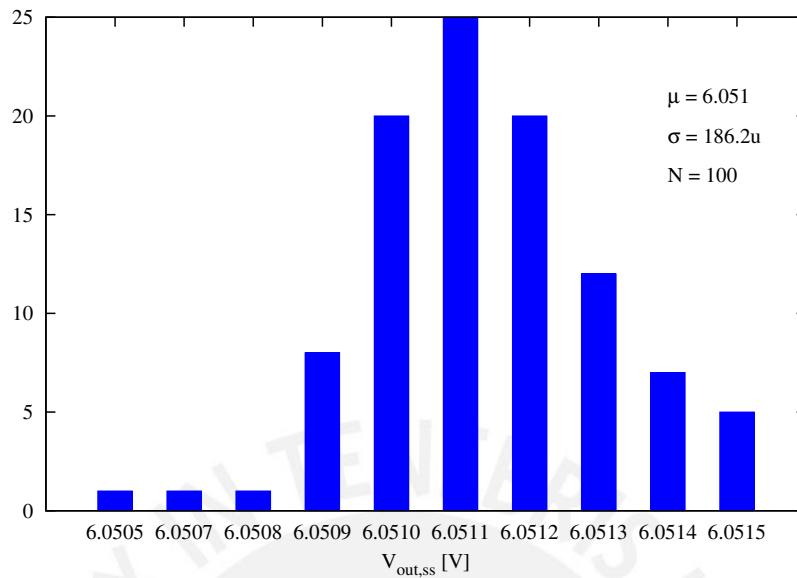


Figura 4.8: Gráfica de Montecarlo por *mismatch* de la tensión de salida en estado estable

La figura 4.9 representa la simulación de montecarlo por *mismatch* para el voltaje de rizado (V_r). La media es $\mu = 26,69mV$ y su desviación estandar es de $\sigma = 62,88\mu V$.

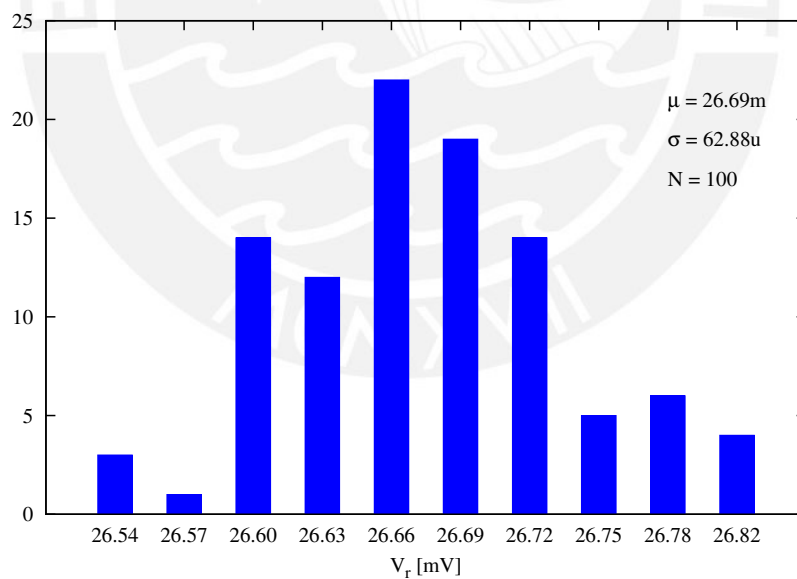


Figura 4.9: Gráfica de Montecarlo por *mismatch* de la voltaje de rizado

En la figura 4.10 se observa la simulación de montecarlo por *mismatch* para el tiempo de subida (t_r). La media es $\mu = 341,4ns$ y cuya desviación estandar es de $\sigma = 139,3ps$.

En las simulaciones se observa que las variaciones se encuentra dentro de rangos aceptables

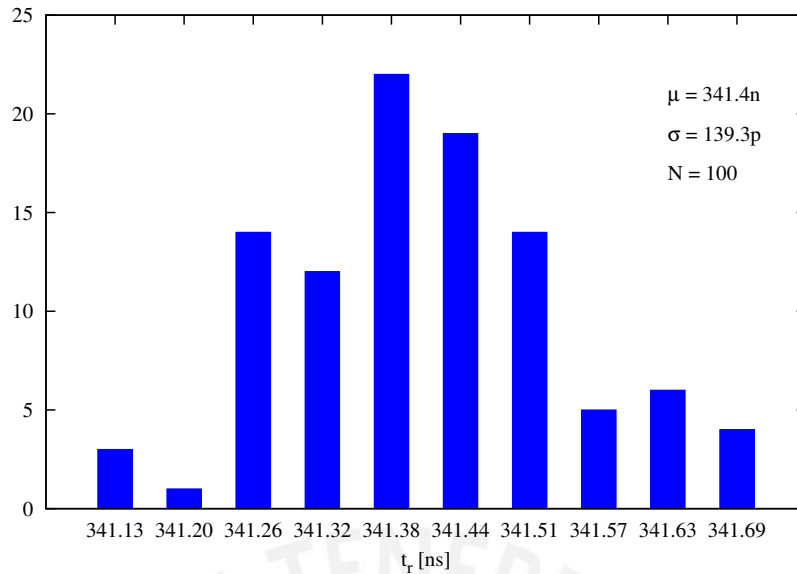


Figura 4.10: Gráfica de Montecarlo por *mismatch* del tiempo de subida

para los parámetros de tensión de salida en estado estable, voltaje de rizado y tiempo de subida. Finalmente la tabla 4.2 nos muestra las especificaciones del circuito integrado de acuerdo con los resultados obtenidos mediante simulaciones.

Cuadro 4.2: Cuadro de las especificaciones del *charge pump*

Especificación	Símbolo	Valores
Tecnología		AMS 0,35 μm CMOS process
Capacitancia de bombeo	C_p	1,5 pF
Capacitancia de carga	C_L	12,5 pF
Frecuencia de conmutación	f_s	45 MHz
Corriente de carga	I_L	$\leq 65 \mu A$
Tensión de alimentación	V_{DD}	1,5 V ~ 3,3 V
Tensión de salida en estado estable	$V_{out,ss}$	2,4 V ~ 6,0 V
Tensión de rizado	V_r	26,8 mV @ $V_{DD} = 3,3 V$
Tiempo de subida	t_r	342,5 ns @ $V_{DD} = 3,3 V$
Potencia de salida	P_{out}	393 uW @ $V_{DD} = 3,3 V$
Eficiencia energética	η	81,95 % @ $V_{DD} = 3,3 V$ 70 % @ $V_{DD} = 1,8 V$
área del layout	$Area_{pump}$	141,15 $\mu m \times 155,7\mu m$

Conclusiones

- Se formalizó un proceso de diseño para las bombas de carga a través del desarrollo de ecuaciones que describen el comportamiento del circuito. Estas ecuaciones relacionan los parámetros de desempeño tales como tensión de salida en estado estable ($V_{out_{SS}}$), tiempo de subida (t_r) y eficiencia energética (η) con las variables de diseño tales como la corriente de carga (I_L), capacitancia de carga (C_L), frecuencia de conmutación (f_s), capacitancia de bombeo (C_p) y dimensiones de los transistores
- La tensión de salida en estado estable ($V_{out_{SS}}$) tienden a disminuir conforme la corriente de carga aumenta. Este comportamiento se predijo a través de las ecuaciones y se corrobora mediante simulaciones y se mostró en la figura 4.2.
- El proceso de diseño permite dimensionar apropiadamente el ancho de canal de los transistores con el propósito de disminuir las pérdidas de energía en el circuito.
- Los capacitores PIP de la tecnología AMS $0,35\mu m$ presentan un menor efecto de capacitancia parásita en comparación con los capacitores MIM. Esto permite seleccionar el capacitor adecuado de la tecnología que tenga una menor influencia sobre la eficiencia energética del circuito. El circuito de prueba que se utilizó ayudó con dicha selección.

Recomendaciones

- Las expresiones de tensión de salida en estado estable, tiempo de subida y eficiencia energética dan una descripción muy similar del comportamiento del circuito. Con la finalidad de obtener expresiones más precisa se recomienda considerar las caídas de tensión provocados por los efectos de ESR y R_{on} de los capacitores y transistores respectivamente.
- Es importante resaltar que la técnica de control de compuertas no es la única que permite mejoras en el circuito. Entre las presentes se encuentra la técnica de selector de *bulk*, *charge pump* complementario e *interleaving* cada una ellas tiene un aporte distinto sobre el circuito y en muchos otros trabajos se suele emplear más de una de estas técnicas [6] [7]. Se recomienda implementar, junto con la técnica de control de compuerta, la técnica del selector de *bulk* la cual tiene el propósito mantener conectado el *bulk* siempre al mayor potencial. Esto evitará que se produzca fuga de corriente por el sustrato lo que mejora la eficiencia energética del circuito.
- Para realizar las simulaciones de la técnica del selector de *bulk* es necesario colocar los transistores adicionales en el terminal del sustrato con el fin de observar la mejora.
- Con el propósito de concluir con el flujo de diseño se recomienda extraer los elementos parásitos del circuito y realizar las simulaciones post-layout. Estas simulaciones mostrarán un comportamiento mucho más real debido a que se realizan tomando en cuenta factores que no estaban presentes en el esquemático. Finalmente, previo a la fabricación se sugiere agregar PADS que posean que posean estructuras de protección contra eventos ESD (*Electro Static Discharge*)
- El desarrollo de un convertor DC-DC elevador totalmente integrado está compuesto por distintos bloques entre ellos se encuentra el diseño del *charge pump*. Para dar continuidad a este trabajo, se recomienda proponer tesis sobre las otras etapas que componen a dicho sistema tales como la etapa de comparación, fuente de tensión de referencia y oscilador.

Bibliografía

- [1] D. Ma and R. Bondade, *Reconfigurable Switched-Capacitor Power Converters*. Springer New York, 2013.
- [2] G. Palumbo and D. Pappalardo, “Charge pump circuits: An overview on design strategies and topologies,” *Circuits and Systems Magazine, IEEE*, vol. 10, pp. 31–45, First 2010.
- [3] W.-H. Ki, F. Su, and C.-Y. Tsui, “Charge redistribution loss consideration in optimal charge pump design,” in *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, vol. 2, pp. 1895–1898, May 2005.
- [4] B. Razavi, *Design of Analog CMOS Integrated Circuits*. New York, NY: McGraw-Hill, 1 ed., 2001.
- [5] F. Maloberti, *Analog Design for CMOS VLSI Systems*. Netherlands: Kluwer Academic Publishers, 2001.
- [6] L. Su and D. Ma, “Design and optimization of integrated low-voltage low-power monolithic cmos charge pumps,” in *Power Electronics, Electrical Drives, Automation and Motion, 2008. SPEEDAM 2008. International Symposium on*, pp. 43–48, June 2008.
- [7] F. Su, W.-H. Ki, and C.-Y. Tsui, “High efficiency cross-coupled doubler with no reversion loss,” in *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, pp. 2761–2764, May 2006.
- [8] A. M. Systems, *Process parameters*. Diciembre 2008, revision 6.
- [9] R. J. Baker, *CMOS Circuit Design, Layout and Simulation*. River Street, New Jersey 07030: IEEE PRESS, 3 ed., 2010.
- [10] A. Hastings, *The Art of ANALOG LAYOUT*. Upper Saddle River, New Jersey 07458: Prentice Hall, 1 ed., 2001.
- [11] J. Dickson, “On-chip High-Voltage Generation in MNOS Integrated Circuits using an Improved Voltage Multiplier Technique,” *Journal of Solid-State Circuits, IEEE*, vol. 11, pp. 374–378, Jun 1976.

- [12] Y. Nakagome, H. Tanaka, K. Takeuchi, E. Kume, Y. Watanabe, T. Kaga, Y. Kawamoto, F. Murai, R. Izawa, D. Hisamoto, T. Kisu, T. Nishida, E. Takeda, and B. Kiyoo Itoh, “An experimental 1.5-v 64-mb dram,” *Journal of Solid-State Circuits, IEEE*, vol. 26, pp. 465–472, Apr 1991.
- [13] P. Favrat, P. Deval, and M. Declercq, “A high-efficiency cmos voltage doubler,” *Journal Solid-State Circuits, IEEE*, vol. 33, pp. 410–416, Mar 1998.
- [14] C. Y. Cheng, K. N. Leung, Y. K. Sun, and P. Y. Or, “Design of a low-voltage cmos charge pump,” in *Electronic Design, Test and Applications, 2008. DELTA 2008. 4th IEEE International Symposium on*, pp. 342–345, Jan 2008.
- [15] F. Su, W.-H. Ki, and C.-Y. Tsui, “Gate control strategies for high efficiency charge pumps,” in *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, vol. 2, May 2005.



Apéndice A

En esta sección se muestra el análisis del circuito de *charge pump* en la topología Dickson. Las ecuaciones que se obtiene, tales como tensión final de salida en estado estable, tiempo de subida y eficiencia, ayudan a comprender el comportamiento de la bomba de carga. Para obtener dichas ecuaciones se realiza un análisis en el estado transitorio se tomará en cuenta el circuito de la figura 11 además se asumirá lo siguiente:

- No existe caída de tensión en los diodos.
- El análisis se llevará a cabo en un periodo de reloj de las señales de control.
- Se despreciará la presencia de los capacitores C_s
- El capacitor de salida (C_L) se encuentra cargado a una tensión V_i .
- El capacitor C_1 se encuentra cargado a una tensión V_x .

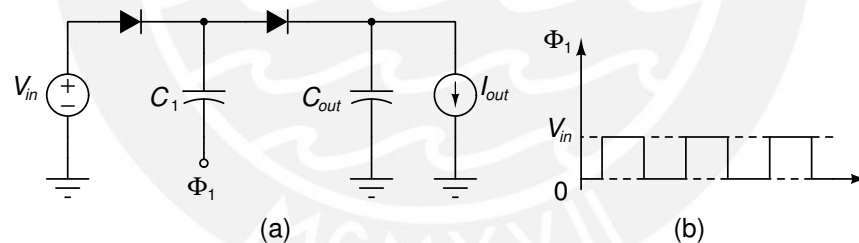


Figura 11: Topología de Dickson basada en diodos de una etapa

Una vez establecido dichos puntos se procederá analizar el circuito en un primer instante cuando la señal ϕ_1 se encuentran en 0. De cumplirse lo anterior el capacitor, al finalizar la primera mitad de periodo, quedará cargado hasta V_{DD} debido a que no hay caída tensión a través del diodo; por lo tanto, la carga almacenada en el capacitor C queda expresado de la siguiente forma

$$Q_{C_1} = C_1 V_{DD} \quad (1)$$

Además se sabe que el capacitor de carga (C_L) se encontraba cargado con V_i ; sin embargo, al finalizar la primera mitad de periodo la carga almacenada en el capacitor de salida esta dada por (2)

$$Q_{C_{out}} = C_{out}V_{out}(k) - I_{out}\frac{T}{2} \quad (2)$$

Una vez terminada la primera mitad de periodo, la señal de control conmutan. Por lo tanto, ϕ_1 se eleva hasta alcanzar un valor de V_{DD} . En ese mismo instante, las cargas almacenadas en el capacitor de bombeo C_1 y el capacitor de carga C_{out} se redistribuirán hasta que la tensión en ambos platos superiores sea igual a V_m . Como ya se menciona en el capítulo 1 se utiliza el **principio de conservación de cargas** para obtener el valor de tensión después de la redistribución esto queda expresado en la ecuación (3)

$$\begin{aligned} &\Rightarrow C_1V_{DD} + C_{out}V_{out}(k) - I_{out}\frac{T}{2} = C_1(V_m - V_{DD}) + C_{out}V_m \\ V_m &= \left(\frac{C_1}{C_1 + C_{out}}\right)2V_{DD} + \left(\frac{C_{out}}{C_1 + C_{out}}\right)V_{out}(k) - \frac{I_{out}T}{2(C_1 + C_{out})} \end{aligned} \quad (3)$$

Finalmente una vez alcanzado dicho valor, la fuente corriente en la salida drenará carga de ambos capacitores conectados en el terminal superior hasta llegar al valor de tensión igual a $V(k+1)$ en dicho instante terminará la segunda mitad de periodo. El efecto de esta corriente queda expresado en la ecuación (5)

$$\begin{aligned} &\Rightarrow (C + C_L)(V_m - V_{out}(k+1)) = I_L\frac{T}{2} \\ &\Rightarrow V_{out}(k+1) = V_m - \frac{I_{out}T}{2(C_1 + C_{out})} \\ V_{out}(k+1) &= \left(\frac{C_{out}}{C_1 + C_{out}}\right)V(k) + \frac{C_1}{C_1 + C_{out}}\left[2V_{DD} - \frac{I_{out}T}{C_1}\right] \end{aligned} \quad (5)$$

Para simplificar los siguientes cálculos se asumirá que $p = \frac{C_{out}}{C_1 + C_{out}}$ y $m = \frac{C_1}{C_1 + C_{out}}$ en la ecuación (5) con lo que se obtiene una expresión similar a la ecuación (1.9). A partir de esa ecuación recursiva vamos a obtener una expresión explícita para la tensión de salida en una determinada iteración. Haciendo un cambio de variable y dividiendo ambos términos de la ecuación (5) por p^{k+1} se obtiene:

$$V_{out}(k+1) = pV_{out}(k) + m \overbrace{\left(2V_{DD} - \frac{I_{out}T}{C_1}\right)}^{V_A} \quad (6a)$$

$$\frac{V_{out}(k+1)}{p^{k+1}} = \frac{V_{out}(k)}{p^k} + \frac{m}{p^{k+1}}V_A \quad (6b)$$

Definiendo $F(k) = \frac{V_{out}(k)}{p^k}$, obtenemos:

$$\begin{aligned} &\Rightarrow F(k+1) - F(k) = \frac{m}{p^{k+1}}V_A \\ &\Rightarrow \sum_{k=0}^{N-1} [F(k+1) - F(k)] = \sum_{k=0}^{N-1} \frac{m}{p^{k+1}}V_A \end{aligned} \quad (7)$$

Aplicando la propiedad telescópica de la sumatoria:

$$\begin{aligned}
 F(n) - F(0) &= \sum_{k=0}^{N-1} \frac{m}{p^{k+1}} V_A \\
 \Rightarrow F(N) - F(0) &= m V_A \sum_{k=0}^{N-1} \frac{1}{p^{k+1}} \\
 \Rightarrow F(N) - F(0) &= m V_A \frac{1 - p^N}{p^N (1 - p)}
 \end{aligned} \tag{8}$$

Para el caso en que $V_{out}(0) = 0$ y recordando además que $1 - p = m$ se obtiene:

$$\begin{aligned}
 F(N) &= V_A \frac{1 - p^N}{p^N} \\
 \Rightarrow \frac{V_{out}(N)}{p^N} &= V_A \frac{1 - p^N}{p^N} \\
 \Rightarrow V_{out}(N) &= V_A (1 - p^N)
 \end{aligned} \tag{9}$$

Finalmente si se reemplaza el valor de V_A se obtiene una ecuación para la tensión de salida en la n-ésima iteración tal como se muestra en (10).

$$V_{out}(N) = (1 - p^N) \left(2V_{DD} - \frac{I_{out}T}{C_1} \right) \tag{10}$$

Usando la ecuación anterior podemos obtener la **tensión de salida en estado estable** considerándola como la tensión que se obtiene después de infinitas iteraciones.

$$\begin{aligned}
 V_{outss} &= \lim_{N \rightarrow \infty} (1 - p^N) \left(2V_{DD} - \frac{I_{out}T}{C_1} \right) \\
 V_{outss} &= 2V_{DD} - \frac{I_{out}T}{C_1}
 \end{aligned} \tag{11}$$

Bajo la misma condición, $V_{out}(0) = 0$, se puede determinar una expresión para el **tiempo de subida** tal como se muestra en (12)

$$t_r = \frac{\ln \left(1 - \frac{0,9 V_{out,ss}}{2V_{DD} - \frac{I_{out}T}{C_1}} \right)}{\ln(\beta)} \times T \tag{12}$$

En donde el valor β es definido de la siguiente manera $\beta = \frac{C_{out}}{C_{out} + C_1}$