

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ
FACULTAD DE CIENCIAS E INGENIERÍA



“Diseño de una resistencia integrada de alto valor aplicada a un sistema de adquisición de señales neuronales con tecnología MOS”

Tesis para optar el título de Ingeniero Electrónico

Presentado por:
Erick Leonardo Raygada Vargas

20017251

Pando-Lima

2007

INTRODUCCIÓN

La tecnología ha ido avanzando considerablemente en este último siglo, y la microelectrónica no evade este desarrollo. Antes era imposible hablar de varios transistores integrados en un mismo espacio, pero hoy en día se fabrican circuitos integrados con más de 10 millones de transistores.

La adquisición de señales neuronales representa un gran aporte para la medicina moderna. El diagnóstico de enfermedades en la médula espinal, o control de prótesis solo representan un campo que tiende a ampliarse evidenciando que es posible desarrollar aplicaciones desafiantes en ingeniería. Circuitos implantables que permitan la adquisición y procesamiento de este tipo de señales abarca un amplio campo de investigación, conformándose por bloques de amplificación, filtrado y acondicionamiento de la señal.

La presente tesis presenta el diseño de una resistencia integrada, que se requiere en el bloque de filtrado de un dispositivo médico implantable, para un sistema de adquisición de señales neuronales con el fin de obtener una alta constante de tiempo y no recurrir a la utilización de resistencias externas en circuitos integrados, siendo así posible abarcar un tópico actual de diseño microelectrónico con alto nivel tecnológico. Se presentan los inconvenientes que existen para su desarrollo, métodos de diseño y los requerimientos del mismo.

CAPÍTULO 1

DIFICULTADES DE IMPLEMENTAR ALTAS CONSTANTES DE TIEMPO EN CIRCUITOS INTEGRADOS Y EL DISEÑO DE DISPOSITIVOS MÉDICOS IMPLANTABLES

Las aplicaciones que se pueden obtener de las señales neuronales representan sistemas desafiantes. Este tipo de información puede proveer percepciones físicas como es el calor o la suavidad [1]; además, científicos de la Universidad de Duke (Carolina del Norte –EEUU) han desarrollado un sistema donde monos controlan un brazo robot por medio de señales cerebrales e información visual [2]; otros trabajos han sido orientados a la obtención de un patrón de vuelo de insectos [3] por medio de un computador implantable (neurochip) en donde se enfocan en la estimulación eléctrica funcional.

Es así como surge un gran interés por el diseño de dispositivos médicos implantables, entiéndase por estos como dispositivos diseñados para ser implantados en el cuerpo humano y destinado a permanecer en ese lugar después de la operación [4]. Además, se ha generado una demanda por estos debido a la posibilidad de reducir espacios y a su vez obviar el problema de ruido acoplado en la señal debido a cables que salen de los electrodos hacia una etapa de amplificación. Hoy en día se busca el desarrollo de circuitos que vayan junto con los electrodos permitiendo la comodidad del paciente

1.1 PROCESO PARA ADQUIRIR SEÑALES NEURONALES Y LOS DISPOSITIVOS MÉDICOS IMPLANTABLES

La adquisición de señales neuronales requiere la implantación de electrodos mediante cirugía especializada. Estos electrodos permiten reconocer estos

impulsos nerviosos para ser procesados digitalmente y sean analizados por un computador y obtener diversas aplicaciones. Pero como parte del proceso de adquisición se requiere de una etapa de acondicionamiento de este tipo de señales: una amplificación y un posterior filtrado para así asegurar un rango adecuado de señal que no genere errores en el procesamiento digital. Surgen inconvenientes en el acondicionamiento de estas señales: las bajas amplitudes de tensión hace posible que el ruido se acople a la señal y por ello se requiera de un filtrado. Pero este tipo de señales trabajan a frecuencias muy bajas lo que conlleva a tener constantes de tiempo altas con lo cual se debe de implementar resistencias integradas de alto valor, todo esto dentro de un circuito integrado.

1.2 UBICACIÓN Y CONTEXTO DE LA INVESTIGACIÓN.

Ya hemos mencionado la importancia que existe la adquisición de señales neuronales y solo algunas de las aplicaciones que se pueden realizar. Pero en el referido proceso es de suma importancia tener un filtrado que determine el ancho de banda en el cual se encuentre la señal neuronal. Una de las principales características de las señales neuronales es el rango de frecuencias a la cual trabajan. Estas se encuentran a muy bajas frecuencias (desde los 100Hz hasta los 5000Hz) por lo que el filtro mencionado requiere de ciertas características especiales; siendo más específicos, de una constante de tiempo muy elevada.

Implementar una constante de tiempo de alto valor dentro de un circuito integrado (referido a un dispositivo implantable) implica desarrollar una resistencia de alto valor, la cual requiere de un área de considerables dimensiones desperdiándose espacio dentro del circuito integrado, imposibilitando un diseño de mayores prestaciones, es decir, limitar el número de transistores dentro del chip. A su vez, ya que mencionamos al circuito como dispositivo implantable, el consumo de potencia delimita el micro consumo de corriente del circuito, restringiendo mucho más las características del mismo.

1.2.1 ESTRUCTURA GENERAL DE UN SISTEMA DE ADQUISICIÓN DE SEÑALES NEURONALES

Un circuito amplificador para la adquisición de señales neuronales presenta requerimientos de bajo ruido y bajo consumo de corriente. Es por ello que se requiere de un alto rechazo a modo común (CMRR) , una baja frecuencia de corte

debido a las bajas frecuencias que trabaja la señal neuronal, alta ganancia ya que la señal es de muy poca amplitud y una tolerancia del voltaje de offset de entrada mayor a los $\pm 50\text{mV}$ [3].

Asimismo, los electrodos cuentan con una impedancia produciéndose ruido hacia el amplificador: al ser la señal de muy baja amplitud, el ruido se puede superponer en la señal enmascarándola y produciendo errores en la adquisición final. El circuito de la figura 1.1 muestra al sistema completo de adquisición con tres bloques funcionales mientras que la figura 1.2 hace referencia a la ubicación de la resistencia integrada de alto valor requerida en el filtro pasa banda.

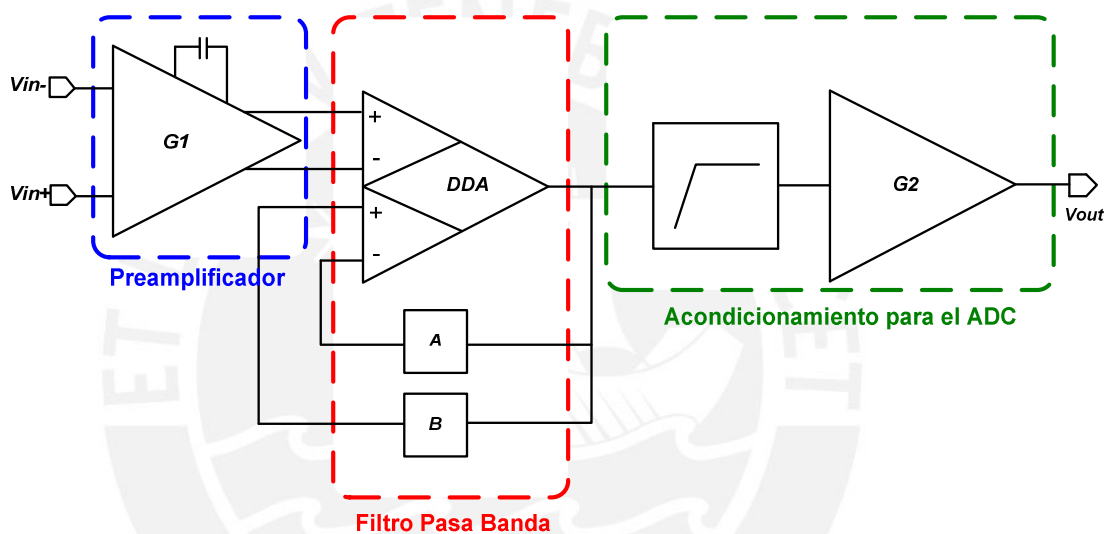


Figura 1.1 Estructura completa del sistema de adquisición de señales neuronales. [1]

- El primer bloque es el **preamplificación**, en donde la entrada y salida son diferenciales y el problema de ruido es tratado a fondo.
- El segundo bloque es un **filtro pasa banda** basado en un amplificador diferencial de diferencia (DDA), en donde se asegura el rango de trabajo en frecuencia de la señal neuronal. Para ello se requiere de dos lazos de realimentación: uno negativo que define la ganancia del amplificador, y el otro positivo en donde se introducen polos a bajas frecuencias. Para ello se requiere de una resistencia de alto valor, problema a desarrollar en la presente investigación.

- El último bloque es el **acondicionamiento** para definir el rango del conversor analógico-digital (ADC). Se emplea un filtro pasa altas y un amplificador de ganancia G_2 .

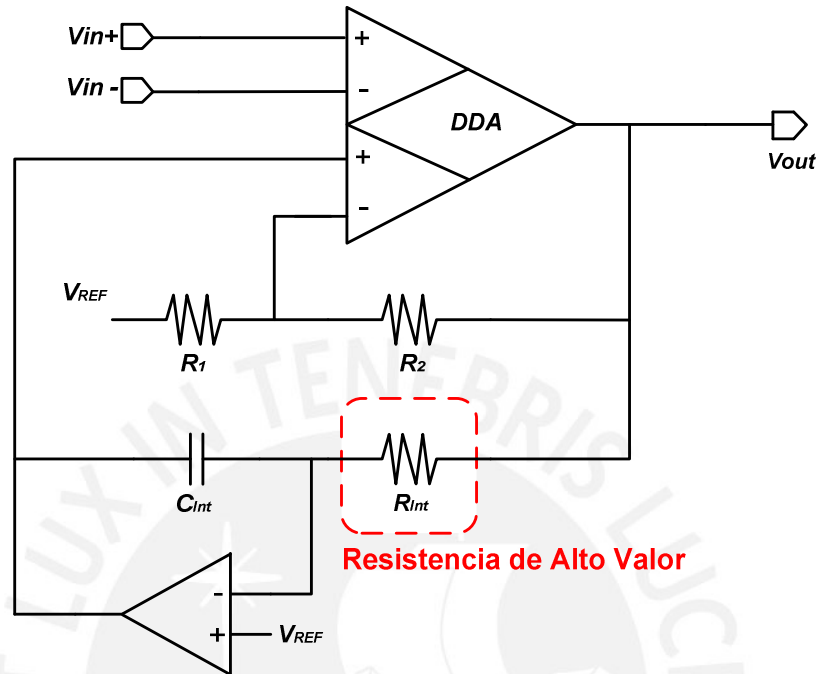


Figura 1.2 Filtro pasa banda y ubicación de la resistencia integrada de alto valor R_{Int} . [1]

1.2.2 FACTORES EXTERNOS QUE AFECTEN EL DISEÑO DEL DISPOSITIVO

Existen variables que se ubican alrededor del desarrollo de circuitos integrados, centradas en la implementación de resistencias integradas. Hablamos de medios en donde el desarrollo de esta investigación genere un impacto, tanto en la sociedad como en el mundo científico.

- Organización:** Referido al medio inmediato que afecta el desarrollo del proyecto. Se cuenta con el equipamiento requerido para la investigación de sistemas de adquisición: el laboratorio de microelectrónica de la Pontificia Universidad Católica del Perú, diversas herramientas de simulación tales como el SPICE Opus que permita la simulación eléctrica y el desarrollo del “layout” físico del dispositivo con la versión estudiantil del Tanner L-Edit, y el Matlab que realiza algoritmos complicados de manera más efectiva.

Asimismo, existen profesores especializados en el tema, que brindan de un asesoramiento que permita encaminar en el buen desarrollo de la investigación y una bibliografía en diseño de circuitos integrados analógicos.

Cabe hacer mención que no existen recursos económicos suficientes para pensar en la fabricación de circuitos integrados que cuenten con altas prestaciones, por lo que se piensa en el diseño de dispositivos a bajo costo de cada bloque funcional para su futura fabricación.

- **Pormenores específicos:** Se requiere de un programa de investigación que busque ampliar conocimientos en microelectrónica y en el desarrollo de dispositivos médicos implantables siendo el grupo de microelectrónica de la PUCP pionero en el desarrollo de esta línea de investigación en el Perú. Además, se cuentan con contactos internacionales, refiérase a profesores de universidades extranjeras con amplia experiencia en el desarrollo de Circuitos integrados; de la misma manera, fuentes cibernéticas son de gran ayuda.
- **Ambiente General:** El desarrollo de circuitos integrados, más que todo, referido a dispositivos de micro consumo orientados al desarrollo de dispositivos médicos implantables, tiene una amplia gama de posibilidades para ser desarrollados. Lograr una solución para un problema crítico en este tipo de dispositivos, sea el caso ha desarrollar una resistencia de valor grande frente a los métodos tradicionales en donde se optaba por colocar dispositivos externos al circuito integrado, implica un gran avance e impacto en la sociedad investigadora. De la misma manera, la sociedad médica moderna se ve beneficiada frente al desarrollo de una tecnología con mejores prestaciones que brinden una mejora de equipos todo en beneficio del paciente.

1.3 DISEÑO DE LA RESISTENCIA INTEGRADA DE ALTO VALOR Y EFECTOS DE PROBLEMAS INTERNOS EN EL DISEÑO

A continuación detallamos el flujo de diseño de la resistencia integrada. Cabe mencionar que se cuentan con ciertos problemas como son el modelamiento matemático del transistor o la modificación de bloques analógicos propios del diseño. Mencionamos algunas consideraciones las cuales serán más detalladas conforme vayamos avanzando en los siguientes capítulos de la presente tesis.

- Se empieza por la extracción de los parámetros del transistor MOS, así como el manejo del modelo matemático. Estas ecuaciones son muy complejas, por lo que se requiere de tiempo para su resolución. Si se quiere trabajar de manera manual, se procede a aproximaciones y se emplea demasiado tiempo, obteniendo diseños imprecisos. Es por ello que se opta por simuladores, los cuales por medio de un determinado modelo matemático, facilitan de cierta manera este proceso.
- Seguidamente, se determinan las curvas de niveles de inversión: gm/I_D vs $I_D/(W/L)$, V_a vs gm/I_D , A_v vs gm/I_D donde gm es la transconductancia del transistor, I_D es la corriente de drenador, V_a es el voltaje de Early y A_v es la ganancia del mismo; para así explorar el área de diseño.
- Se procede a trabajar con la arquitectura equivalente de la resistencia la cual no escapa de modificaciones, para así llegar a las especificaciones iniciales.
- Limitamos en consumo de potencia para así llegar a las corrientes que polarizarán a los transistores. Si el circuito es utilizado para un dispositivo implantable, el consumo de energía queda restringido a la batería que alimentara el circuito (bajo consumo).
- Obtenemos por medio de la metodología gm/I_D las dimensiones de los transistores implicados y así procedemos con las simulaciones hasta llegar a las especificaciones requeridas, en este caso el valor grande del equivalente resistivo.
- Finalmente se llega al diseño del layout, para lo que se requiere de un conocimiento amplio de las diversas técnicas existente como también de procesos de fabricación de circuitos integrados. Hay que tener consideraciones de área de diseño. Una vez realizado esto con la ayuda de un software especializado, se procede a las simulaciones respectivas.

CAPÍTULO 2

SEÑALES NEURONALES Y BLOQUES ANALÓGICOS NECESARIOS PARA EL DISEÑO DE CIRCUITOS INTEGRADOS DE BAJO CONSUMO

2.1 PRINCIPIO DE FUNCIONAMIENTO DE LAS SEÑALES NEURONALES

2.1.1 LA NEURONA

Es la unidad funcional más pequeña del sistema nervioso, y literalmente es la unidad básica del cerebro y se encarga de todo el procesamiento y posterior análisis de la información que llega a este [5]. Las partes de la neurona son el **cuerpo o soma** el cual lleva información genética, ramificaciones llamadas **dendritas** y una extensión llamada **Axón** la cual se encarga de mandar señales electro químicas a otra neurona [6].

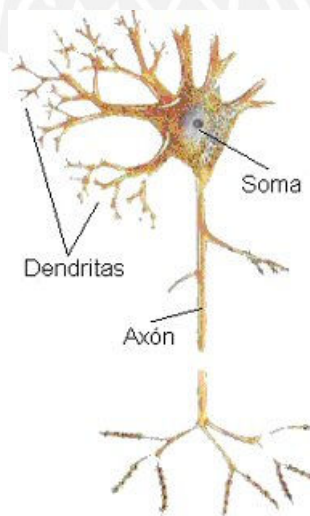


Figura 2.1 La neurona.

Finalmente, mencionamos a los tipos funcionales de neuronas: neuronas **locales** y **proyeccionales**. En [5] se mencionan las características de cada una; las primeras (llamadas también “Stellate”) se encargan del procesamiento de la información únicamente a nivel local mientras que las segundas transmiten los resultados de las neuronas locales hacia los núcleos y regiones en el cerebro.

2.1.2 DESCRIPCIÓN DEL FUNCIONAMIENTO DE LAS SEÑALES NEURONALES

El principio de funcionamiento de las señales neuronales, tal cual se detalla en [5] y en [7], se basa en las diferencias de concentraciones de iones de sodio y potasio ($+Na$, $+K$) entre espacios intracelulares y extracelulares. Esta diferencia produce un potencial eléctrico a lo largo de la membrana celular de las neuronas. Los cambios de potencial en la membrana producido por corrientes de iones que fluyen en esta producen las señales neuronales. Cuando una neurona no esté enviando señal alguna, esta se encuentra en un estado de reposo y su potencial interior es negativo con respecto al exterior. En este estado de reposo, los iones de potasio pueden atravesar fácilmente la membrana celular; en cambio para los iones de cloro y sodio es más difícil y las moléculas proteicas cargadas negativamente (A^-) no pueden atravesar la membrana.

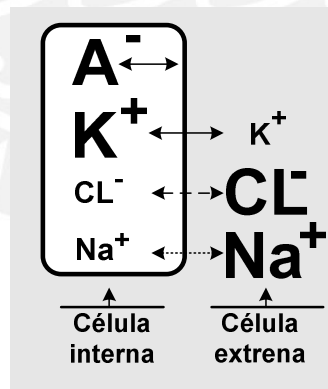


Figura 2.2 Concentración de elementos que participan en la generación de potencial de acción en la célula. [7]

Cuando se equilibran estas fuerzas, se llega a un potencial de reposo entre el interior y exterior de la célula, el cual es aproximadamente $-70mV$. En cambio, el potencial de acción (también llamado “impulso”) se genera por una corriente despolarizadora haciendo variar el potencial de reposo llegando a un voltaje umbral

de -55mV . Este evento indica que la neurona está transmitiendo información por el axón lejos del cuerpo celular. Si la neurona no alcanza este potencial umbral, no se produce el potencial de acción. Cuando se produce un estímulo, se abren los canales de sodio haciéndose la neurona más positiva, comenzándose a despolarizar hasta llegar a un punto máximo de aproximadamente 30 mV . De ahí se empiezan a cerrar los canales de sodio abriéndose los canales de potasio revirtiendo la despolarización llegando por debajo de los -70 mV [7].

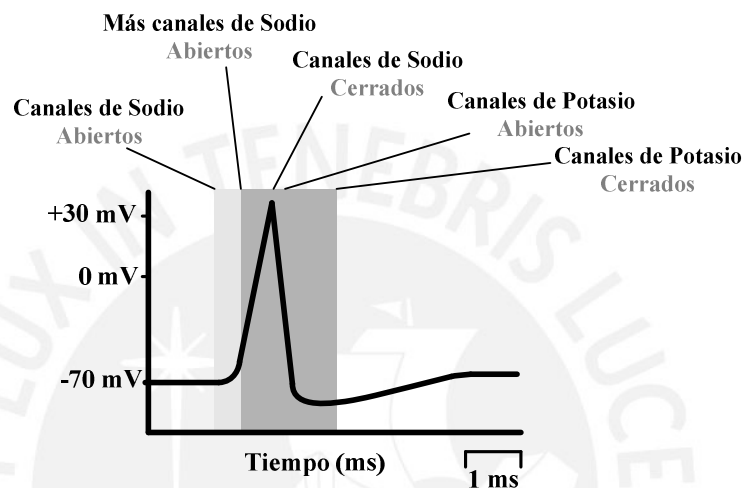


Figura 2.3 Diagrama que muestra el potencial de acción con las diferentes etapas. [7]

Es menester mencionar el proceso de **Sinapsis**, el cual describe la comunicación entre células. La Sinapsis puede ser eléctrica o química. En la primera las corrientes de los iones se trasladan de manera directa hacia la célula vecina a comparación de la química en donde se liberan sustancias transmisoras y los receptores post sinápticos determinan los efectos de los potenciales pre-sinápticos en estas.

2.2 ADQUISICIÓN DE LAS SEÑALES NEURONALES

Ya expuesto el funcionamiento y origen de las señales neuronales, expongamos detalles acerca del proceso de su adquisición. Al implantar electrodos en la corteza cerebral, se busca medir las señales eléctricas que viajan por el axón, es decir, adquirir a las señales neuronales para que estas sean entregadas a un bloque de procesamiento digital y se logren diversas aplicaciones electrónicas en beneficio del paciente. Hoy en día, estos electrodos implantables cuentan con circuitos

integrados especiales, los cuales se encargan de adecuar a la señal en mención. Pero ese tipo de circuitos cuentan con bloques específicos, sean de amplificación, filtrado, etc., los cuales se ven regidos con especificaciones eléctricas que poseen la señal en sí. Es por eso que es menester detallar las características que competen en el diseño analógico de este tipo de señales.

2.2.1 CARACTERÍSTICAS DE LAS SEÑALES NEURONALES

El principal objetivo en la adquisición de las señales neuronales es acondicionar estas señales de entrada (rango entre $1\mu V_p - 10\mu V_p$, y una zona de trabajo en bajas frecuencias, desde los 100Hz hasta los 5000Hz [1]) con el fin de tener un sistema con muy poco ruido siendo posible tener una señal limpia que no genere errores para su posterior procesamiento. La presencia de ruido en este tipo de señales, sean causas o factores propios del circuito o el hardware implementado, implica un conocimiento concienzudo sobre el origen de este, para así prever su implicancia en nuestro diseño.

2.2.2 TRATAMIENTO DE LAS SEÑALES NEURONALES

Un bloque importante en la adquisición de señales neuronales es la **amplificación** de la señal de entrada. El objetivo es generar una ganancia a la señal neuronal por medio de un determinado circuito, acorde con las características propias de la señal, ya que la señal neuronal al tener pequeña amplitud (detalle ya mencionado líneas arriba) es muy fácil que se acople ruido en esta.

El segundo bloque funcional importante es el **filtrado**. En esta etapa se quiere atenuar las frecuencias a la cual se presenta ruido en la señal neuronal. El rango de frecuencias en el cual se desea trabajar, de 100 Hz a 5000Hz, es muy bajo por lo cual se implementan diversos diseños que aumentan en complejidad de acuerdo al ancho de banda y a la alta constante de tiempo, ya que se requiere de **resistencias y condensadores** (ambos elementos pasivos) integrados de alto valor, tarea difícil de realizar ya que implementar una resistencia de alto valor en un circuito integrado implica un empleo de área considerable. El producto de resistencia y condensador delimita la constante de tiempo y esta aumenta conforme se quiera implementar filtros con frecuencias de valores menores.

2.3 BLOQUES ANALÓGICOS REQUERIDOS PARA EL DISEÑO

Es necesario conocer los bloques básicos que constituyen la mayoría de circuitos integrados, no solo del modo funcional sino también desde la perspectiva de diseño, y las características que encierra su implementación. La presente investigación se basa en la tecnología MOS, por lo que mencionaremos detalles relacionados con el transistor MOSFET, como también una correspondiente metodología de diseño a partir de los niveles de trabajo del transistor.

2.3.1 EL TRANSISTOR MOSFET

El transistor MOSFET tiene 4 terminales: puerta o “gate” (G), drenador o “drain” (D), surtidor o “source” (S) y sustrato o “bulk” (B). Para el caso del transistor tipo N, este se encuentra conformado por un sustrato tipo-p en el cual se ha efectuado en la superficie una difusión de impurezas del tipo-n+. Entre las dos zonas difundidas, se crea una fina capa de óxido de silicio (llamada óxido de puerta), y sobre esta se deposita una capa adicional de polisilicio. Es así como las dos zonas tipo N forman dos conductores aislados por un canal semiconductor del tipo-p [8].

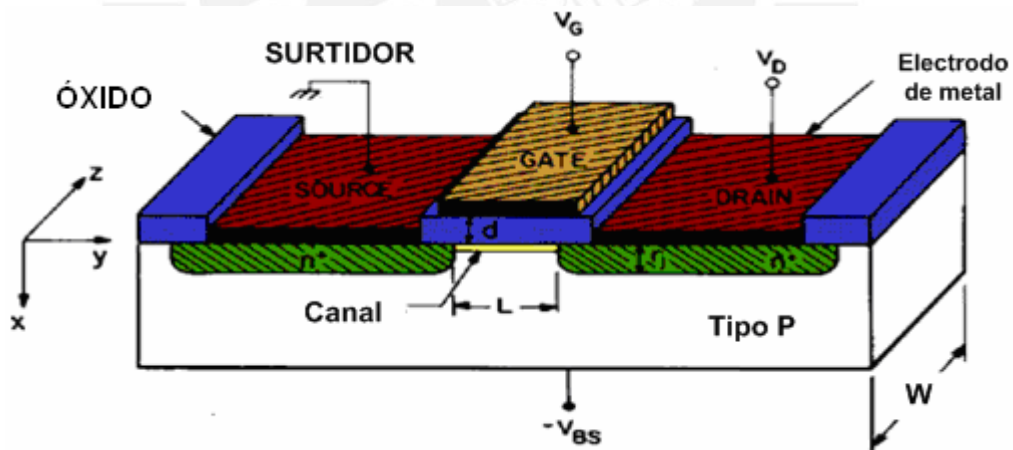


Figura 2.4 Estructura física del transistor MOSFET.

Cuando se aplica una tensión positiva entre la puerta del transistor (para el caso del tipo N) y el sustrato, si este potencial supera el voltaje umbral, fluye entre drenador y fuente una corriente dependiendo de la tensión V_{DS} (se encuentra en una zona lineal de trabajo). Cuando la referida tensión aumenta de valor, la corriente que fluye se hace independiente de la tensión aplicada haciéndose aproximadamente constante (zona de saturación) [8].

Pero las características del transistor MOS dependen de sus dimensiones físicas, por eso es delimitante encontrar las más óptimas. Se definen como dimensiones del transistor a: la longitud de canal (L) la cual es la distancia entre las dos islas N^+ ; y el ancho de canal (W) que es la región perpendicular a la región de óxido fino. Visualmente el transistor se representa por una pista de difusión atravesada por una de polisilicio (figura 2.4).

Al aplicarse un potencial positivo en la puerta del transistor N , se induce una carga negativa electrostática en el canal que repele a los portadores mayoritarios del sustrato (tipo P), creándose una zona de vaciamiento. Si el potencial de puerta es lo suficientemente grande, se crea en el canal una zona de inversión en la que la densidad de electrones que viajan por la superficie del silicio excede a la densidad de huecos existente, formándose un verdadero canal conductor entre las dos islas tipo n^+ . Aquella tensión de puerta en la cual se produce la fuerte inversión recibe el nombre de voltaje umbral [8]. A continuación, mostramos las principales ecuaciones del transistor MOS tipo “ n ” [9]:

Saturación:

$$I_D = \frac{\beta}{2} (V_{GS} - V_{TO})^2, V_{GS} > V_{TO}, V_{DS} > V_{DSAT} = V_{GS} - V_{TO} \quad (2.1)$$

Zona Lineal o Triodo:

$$I_D = \beta \left[(V_{GS} - V_{TO}) V_{DS} - \frac{V_{DS}^2}{2} \right], V_{GS} > V_{TO}, V_{DS} < V_{DSAT} = V_{GS} - V_{TO} \quad (2.2)$$

Zona de Corte:

$$0, V_{GS} \leq V_{TO} \quad (2.3)$$

Donde: $\beta = \mu C_{OX} W/L$

- μ : movilidad de los portadores
- C_{OX} : Capacitancia de óxido de compuerta
- W : Ancho de canal del transistor
- L : Largo de canal del transistor.

2.3.2 CORRIENTE SUB-UMBRAL Y NIVELES DE INVERSIÓN

Cuando mencionamos que no existe canal, es decir, que la inversión es nula y el transistor se encuentra en corte por lo que la I_D es nula, en realidad eso no ocurre

así. La carga de inversión va desapareciendo gradualmente. La figura 2.5 muestra la gráfica del voltaje V_G vs. la corriente I_D en escala logarítmica para ver con más detalle la zona de pequeña corriente. Vemos que por debajo de la tensión umbral la corriente no es nula y tiene una relación exponencial con la tensión de la puerta. A esta corriente se le conoce como “corriente sub-umbral”, aplicada en circuitos de bajo consumo. Las ecuaciones cambian y se vuelven muy densas [9]. En [10] encontramos una ecuación que modela el comportamiento exponencial de la corriente, donde se ve la dependencia exponencial de la corriente con V_{GS} :

$$I_D = I_0 \exp \frac{V_{GS}}{\zeta V_T} \quad (2.4)$$

Donde I_0 y V_T son la corriente específica y el potencial térmico respectivamente y ζ es el factor de pendiente en la región sub-umbral.

Existen tres niveles de inversión propios del transistor MOS de acuerdo al voltaje puerta surtidor: **Fuerte, Débil y Moderada**. El nivel de inversión está determinado por la cantidad de electrones que hay en la capa de inversión que conforma el canal [10].

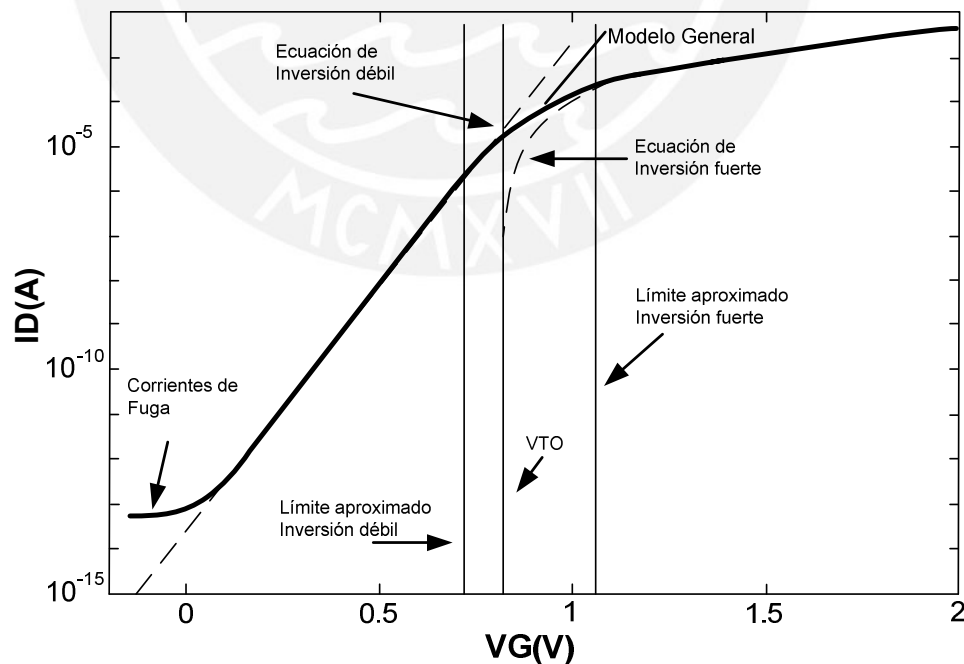


Figura 2.5 Curva I_D vs V_{GS} en escala logarítmica: Niveles de inversión del transistor. [9]

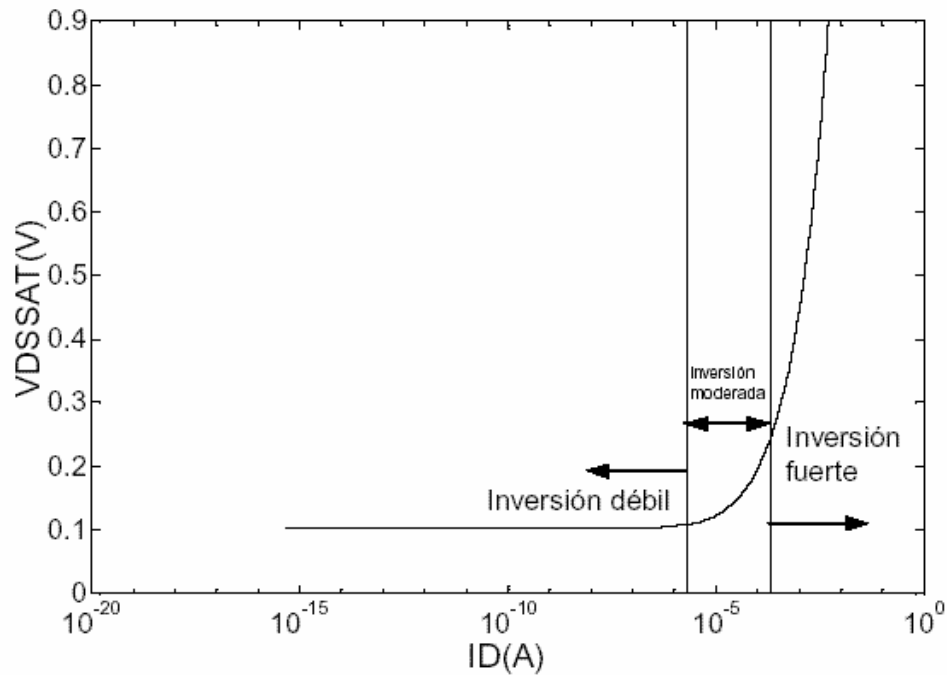


Figura 2.6 Curva del V_{DS} vs I_D . [9]

En la **inversión fuerte**, se trabaja a partir de unos 100 a 200mV por encima de la tensión umbral V_{to} ; el canal de inversión está bien establecido entre drenador y surtidor. Para la **inversión débil**, los valores de V_g son pequeños, por debajo de la tensión umbral, dejando de lado la zona de fuga; su zona de trabajo es una recta logarítmica. Finalmente la **inversión moderada** es una mezcla de las dos anteriores, ambos mecanismos de conducción de corriente son significativos y la dependencia de tensión no es cuadrática ni exponencial [11].

2.3.3 VOLTAJE UMBRAL

Este voltaje varía conforme el voltaje surtidor-cuerpo varía. A este fenómeno se le conoce con el nombre de “Efecto Cuerpo” [8]. Una ecuación que lo modela es la siguiente:

$$V_t = V_{to} + \gamma \left(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F} \right) \quad (2.5)$$

Donde V_{to} es el voltaje umbral cuando el surtidor está conectado al sustrato, γ es el coeficiente del efecto cuerpo y ϕ_F es el potencial de Fermi. El coeficiente $2\phi_F$ es el potencial de la interfaz óxido-sustrato al momento en que el transistor entra a

inversión fuerte. El coeficiente del efecto cuerpo es calculado con la siguiente fórmula:

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_B}}{C'_{ox}} \quad (2.6)$$

Para esta ecuación, N_B es la concentración de dopaje del sustrato y es un parámetro del proceso de fabricación, ϵ_{si} es la permeabilidad del silicio, q es la carga del electrón y C'_{ox} es la capacitancia del óxido por unidad de superficie, la cual es calculada de la siguiente manera:

$$C'_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2.7)$$

Donde ϵ_{ox} es la permeabilidad del óxido de silicio y t_{ox} es el espesor de la capa de óxido. Para mayor referencia, en [8] se expone el tema referido en este apartado.

2.3.4 ESPEJOS DE CORRIENTE

Son los bloques básicos para la polarización como también el procesamiento de señales. Se basan en la elevada resistencia de salida de los transistores cuando trabajan en la región de saturación. Es así como para dos transistores iguales cuyos potenciales puerta-surtidor también son iguales, se tendrá corrientes iguales. Además cuentan con una resistencia de entrada baja [8].

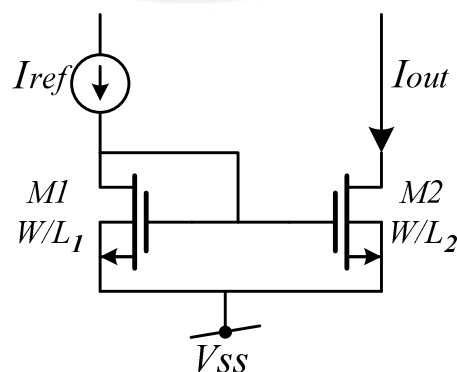


Figura 2.7 Espejo de corriente simple.

Mencionamos que la corriente de cada transistor se copia igualmente si es que los transistores son idénticos, es decir, que posean una longitud y ancho de canal iguales. La propiedad del espejo de corriente es que la corriente copiada es proporcional a las dimensiones de los transistores involucrados en el circuito. Veamos la figura 2.7 y analicemos sus respectivas ecuaciones de corriente [10]:

$$I_{REF} = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_1 (V_{GS} - V_{TH})^2 \quad (2.8)$$

$$I_{OUT} = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_2 (V_{GS} - V_{TH})^2 \quad (2.9)$$

Obtenemos de las ecuaciones 2.8 y 2.9 lo siguiente:

$$I_{OUT} = \frac{(W/L)_2}{(W/L)_1} I_{REF} \quad (2.10)$$

Viendo la ecuación 2.10 nos damos cuenta que la corriente copiada no depende de la temperatura y constantes de fabricación, sino únicamente de las dimensiones de los transistores.

2.3.5 METOLOGÍA g_m/I_D

La metodología de diseño g_m/I_D emplea como parámetro de entrada al cociente g_m/I_D . La elección de este parámetro por parte del diseñador se basa en tres aspectos a tratar a continuación [12]:

- **El desempeño de los circuitos:** El cociente g_m/I_D es un indicador de compromiso velocidad-consumo. Como ejemplo hablemos del amplificador surtidor común. Si trabajamos las ecuaciones en pequeña señal que gobiernan a este tipo de bloque analógico, notamos que la ganancia a bajas frecuencias es proporcional a g_m/I_D y el producto por ancho de banda es proporcional a g_m . Otros detalles en el diseño, tales como el efecto del despareo entre transistores, el offset, el área del circuito (W/L), el producto ancho de banda y ganancia, slew rate, etc. se ven afectados por este cociente.

- **Nivel de Inversión:** El valor de g_m/I_D es un buen indicador de la región de operación del transistor. Dando valores numéricos, nos encontramos en inversión fuerte por debajo de 8 a 10 aproximadamente, inversión moderada de 8 hasta 25 o 26 aproximadamente (cerca del máximo) e inversión débil en donde g_m/I_D se comporta constante (caso del máximo de la curva).

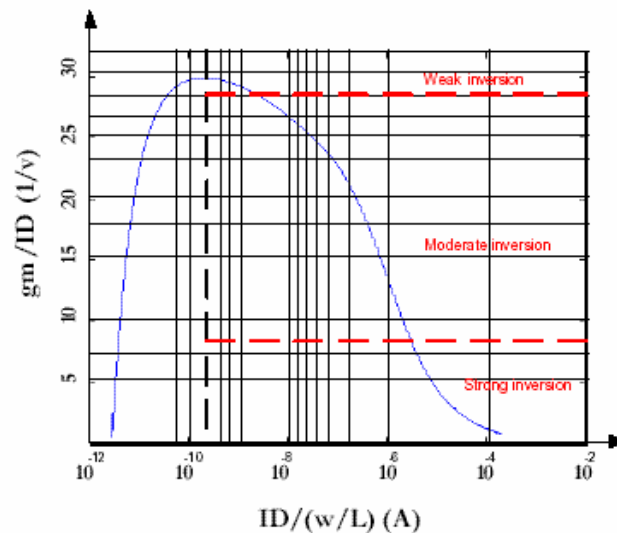


Figura 2.8 Curva g_m/I_D vs $I_D/(W/L)$. [11]

- **Dimensionamiento de transistores:** Tal cual se muestra en la figura 2.8, g_m/I_D está ligado a $I_D/(W/L)$, excepto cuando los efectos de canal corto son significativos. Se considera esta relación como general para todos los transistores de una determinada tecnología.

2.4 RESISTENCIAS INTEGRADAS

Resistencia implementada dentro de un circuito integrado. Estos componentes son llamados pasivos y se fabrican de material que presenta cierta conductividad ρ . Es así como es posible integrar resistencias que dependan de la longitud de la tira "L" y su ancho "W". Una resistencia dentro de un circuito integrado requiere de un área de material el cual posee un determinado valor de resistividad, es por eso que si se quiere obtener una resistencia de valor elevado, implica utilizar una gran área dentro del chip lo cual no es muy factible[13].

De acuerdo al material, encontramos varios tipos de resistencias integradas. Las **resistencias de Poly** presentan valores de algunas decenas de Ohms por cuadrado. Las de **Metal** poseen un bajo valor de Ohms (unidades de Ohms) mientras que las de **Pozo**, conformadas por pozos dopados de material “n” sobre el cual se fabrican los transistores PMOS, presentan valores de 1 a 2K Ohms. Una última referencia son las **resistencias de zona activa**, hechas de silicio, las cuales trabajan como resistencias de los 100 a los 200 ohmios.

Otra manera de implementar resistencias, es **utilizando un transistor MOS** que trabaje en una región lineal del transistor. Este diseño generalmente depende del potencial de puerta, pero se pueden llegar a circuitos que superen esta limitación, en donde el valor de resistencia equivalente dependa únicamente de las dimensiones del transistor [1]. Los valores de resistencias pueden ir desde los Ohmios hasta los Mega ohmios.

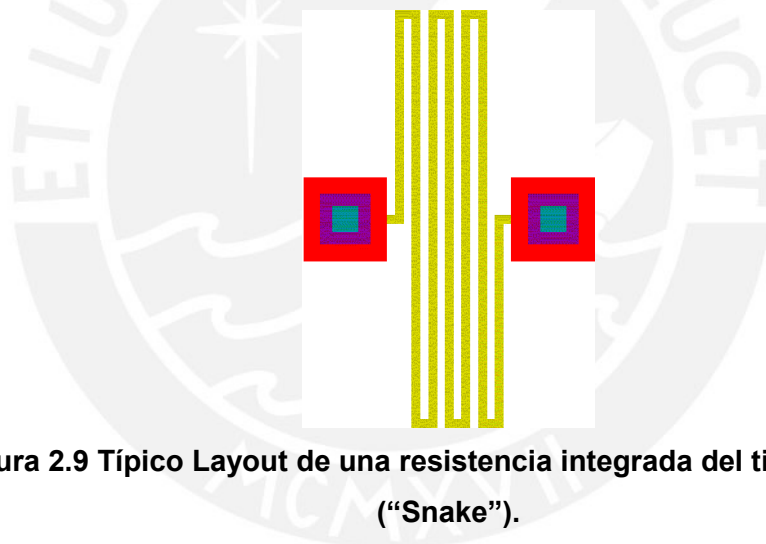


Figura 2.9 Típico Layout de una resistencia integrada del tipo Serpiente (“Snake”).

2.5 FILTRADO DE SEÑALES: DIVERSAS ARQUITECTURAS PARA LOGRAR UNA ALTA CONSTANTE DE TIEMPO

Las señales neuronales presentan baja amplitud, rango entre $1\mu V_p - 10\mu V_p$, y una zona de trabajo en bajas frecuencias (desde los 100Hz hasta los 5000Hz)[4]. Los bloques analógicos más importantes son la amplificación y el filtrado [4], para así acondicionar la señal para su posterior procesamiento (convertor análogo digital ADC). Es así como surge una problemática en el diseño de este tipo de circuitos integrados: el trabajar a bajas frecuencias implica altas constantes de tiempo con lo que se debe implementar resistencias integradas de valores muy elevados.

Además, el nivel de ruido que se puede presentar en este tipo de diseño, sea propio del circuito (ruido térmico [10]) o agentes externos, debe de ser un parámetro importante a considerar en el diseño.

Incluir filtros en un circuito integrado sin utilizar elementos externos a este, hállese de resistencias y condensadores, es un tópico moderno de investigación, generando gran impacto si es que se pueden optar por otras opciones para mejores prestaciones del circuito integrado. Mostraremos las diversas posibilidades que existen a nivel de diseños de filtros para lograr las tan ansiadas constantes de tiempo altas.

2.5.1 FILTROS DIGITALES-FILTROS ANALÓGICOS: FILTROS EN EL TIEMPO CONTINUO Y DISCRETO

Un filtro digital obtiene una alta constante de tiempo trabajando a una tasa de muestreo baja. Pero este tipo de circuitos implica muchos bloques de procesamiento, un conversor análogo digital (A/D), multiplicadores y registros que requieren consumo de energía. Este detalle no implica su descarte, casos típicos de su aplicación son en el uso de marcapasos y el caso de dispositivos de ayuda auditiva, en donde la restricción del cambio de batería es otra [9].

Los filtros analógicos pueden ser de tiempo continuo (filtros MOS-C, gm-C) o de tiempo discreto (filtros a capacitores conmutados). Elegir una de la otra depende del tipo de aplicación hacia la cual va orientado el diseño. El primero procesa la señal de manera continua en el tiempo a diferencia del otro en que realiza sus cálculos en muestras discretas. Un filtro continuo es más simple en su diseño y consume menos energía a comparación de un filtro en tiempo discreto, el cual requiere de una señal de reloj y al menos de una etapa de anti traslapamiento (“antialiasing”). Pero los filtros en el tiempo discreto permiten aumentar su constante de tiempo alterando su frecuencia de muestreo, a diferencia del de tiempo continuo que requiere de técnicas mucho más especializadas para solucionar esta problemática.

2.5.2 FILTROS A CAPACITORES CONMUTADOS

La figura 1 muestra un integrador básico a capacitores conmutados (este circuito es muy poco utilizado ya que es sensible a capacidades parásitas [9], por lo que se

implementan diseños un poco más complejos). Los transistores MOS estarán sujetos a una señal de reloj (señal de muestreo) permitiendo obtener altas constantes de tiempo simplemente eligiendo una frecuencia pequeña. En [9] se menciona que esta técnica obtiene excelentes resultados en un sistema de censado cardíaco para marcapasos implantables, pero también no es factible su uso en el acondicionamiento de señal de un acelerómetro piezoeléctrico para marcapasos adaptativos, debido a que ocuparía mayor área y consumiría mayor corriente a comparación de la solución en el tiempo continuo. Las ecuaciones para este tipo de filtros son las siguientes:

$$R = \frac{1}{C_1 f} \quad (2.11)$$

$$RC = \frac{C_{int}}{C_1 f} \quad (2.12)$$

Vemos en la ecuación 2.11 la equivalencia de la resistencia y el capacitor C_1 y la frecuencia. Se puede consultar en [14] para entrar en más detalle con respecto a la teoría de operación del filtro a capacitores conmutados.

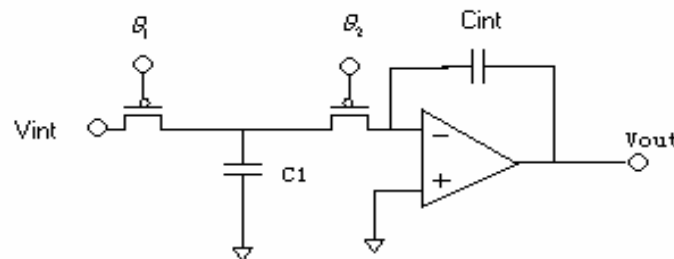


Figura 2.10 Integrador con Capacitores conmutados básico, usando un amplificador operacional

2.5.3 FILTROS MOSFET-C.

Se emplea transistores MOS los cuales al trabajar en la zona lineal sustituyen a las resistencias [10]. Es muy común utilizar este tipo de técnica debido a la simplicidad que posee al implementarlos, además el sintonizado (“tunning”) se realiza cambiando el voltaje de puerta en el transistor. Pero este tipo de resistencias de canal llegan a estar limitadas a un rango de mega ohmios, valores a veces no suficientes [9].

En [15] se menciona la siguiente técnica: “**MOS only current dividers**” (MOCDs). Permite factores de división de corriente muy altos basándose en la clásica escalera R-2R permitiendo multiplicar la constante de tiempo varias veces. Veamos la figura 2.11 en donde se muestra un integrador basado en MOCDs que al tomar la división de corriente como ventaja, carga lentamente al condensador C_{int} , permitiendo multiplicar la constante de tiempo 8 veces. Surgen inconvenientes en el offset para este tipo de circuitos y no es muy conveniente tener de 8 a 10 etapas.

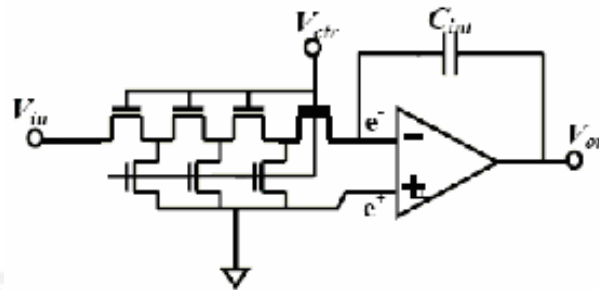


Figura 2.11 Integrador MOCD-C para implementar un integrador de muy alta constante de tiempo. [9]

2.5.4 FILTROS GM-C

Basados en amplificadores de transconductancia (OTAs) y condensadores para obtener la respuesta deseada en el filtro. Aplicaciones electrónicas para medicina requieren de filtros de muy baja frecuencia de corte, debido a la baja actividad eléctrica del cuerpo humano; además, conversores A/D aplicados a la adquisición de señales neuronales también requieren del mismo bloque analógico. Es por eso que se aborda solucionar las altas constantes de tiempo diseñando OTAs de muy bajo valor de transconductancia (G_m) (nanoamperios por Voltio) o integrar capacitancias de alto valor [16]. En [9] se hace referencia a técnicas para lograr este objetivo, sea modificar el par diferencial presente en el OTA o recurrir a la cancelación de corriente para poder dividir la transconductancia del OTA por un factor dado.

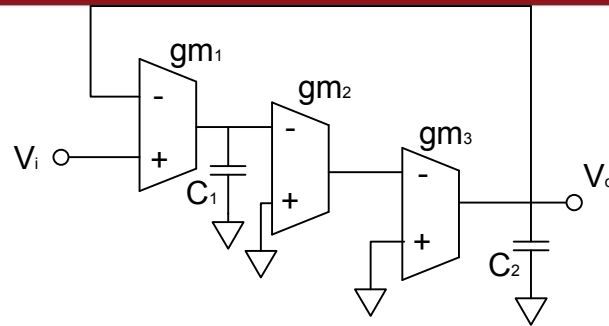


Figura 2.12 Filtro Pasa Bajos utilizando OTAs. [9]

2.5.5 CIRCUITO RESISTIVO MOS (MRC)

Este tipo de técnica permite implementar resistencias de muy alto valor para dar solución al problema antes mencionado concerniente a las bajas frecuencias. En [17] se explica con más detalle la implementación de este tipo de células, en donde su funcionamiento radica en la diferencia de corrientes, para lo cual este MRC es aplicado en filtros en tiempo continuo para bajas frecuencias. En la Figura 2.13 se puede ver una célula MRC en donde cada resistencia tiene el mismo valor.

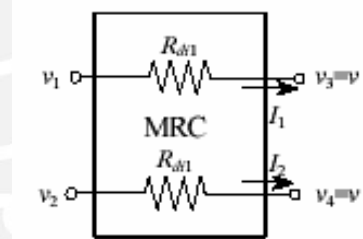


Figura 2.13 Modelo básico con dos resistores del MRC.

2.5.6 ARQUITECTURA UTILIZADA EN NUESTRO ESTUDIO

Se implementa una resistencia de alto valor con un transistor PMOS el cual trabaja en la región sub-umbral, como se muestra en la figura 4. Este transistor cuenta con un circuito adicional de auto polarización. Es menester destacar que el valor de esta resistencia solo depende de los parámetros de construcción y es independiente del voltaje de alimentación, voltaje de referencia y la temperatura a la cual trabaje, a diferencia de los transistores en filtros tipo MOSFET-C. Surge un inconveniente

es muy utilizado en circuitos de bajo consumo. Además, es conveniente caracterizar la tecnología a la cual se trabajará ($0,35\mu\text{m}$). Se tomarán los parámetros de la tecnología y mediante algoritmos se obtendrán los parámetros necesarios en nuestra metodología de diseño.

Luego se recurrirá a la herramienta SPICE para la simulación del circuito analógico a nivel eléctrico. Cabe mencionar que este software es gratuito. Por medio de las simulaciones se llegan a los objetivos esperados, corrigiendo progresivamente aquellos errores que se puedan presentar. Es menester emplear un tiempo de entrenamiento de la utilización de este programa.

Finalmente se puede seguir con el siguiente paso, lo que es el diseño físico "Layout" (plantilla en 2 dimensiones del circuito a nivel de materiales) en donde también se incluye su correspondiente simulación.

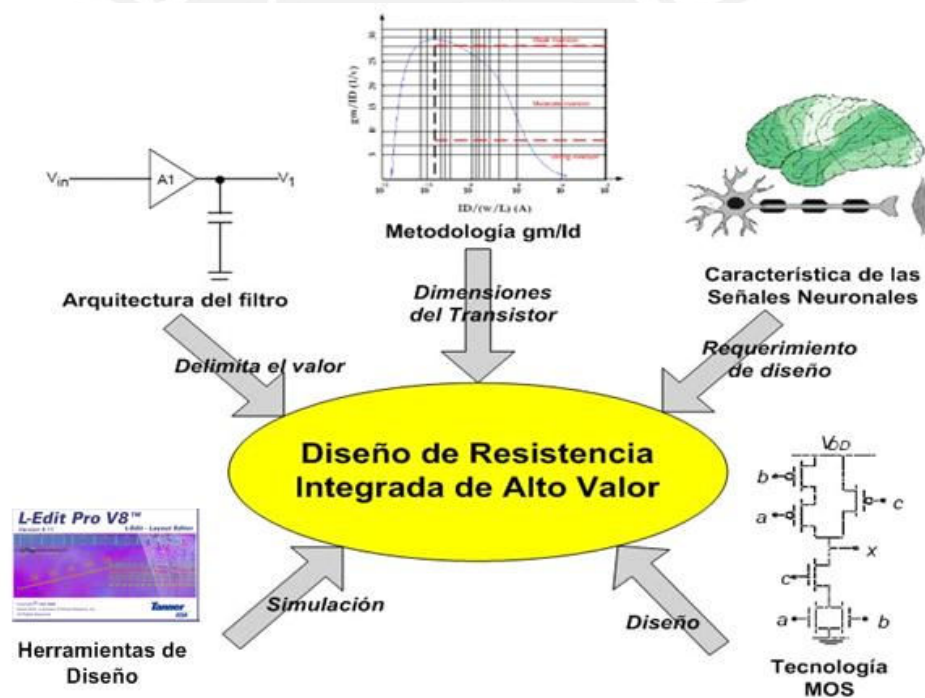
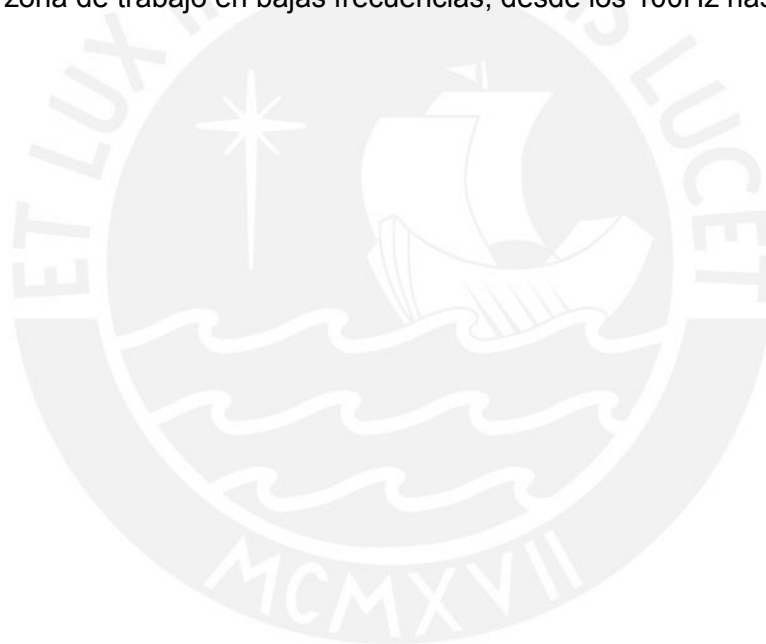


Figura 2.15 Representación Gráfica de los detalles a considerar en el diseño.

Teniendo en cuenta toda la bibliografía referenciada, nuestro diseño emplea ciertas variables muy importantes cuya utilización y especificación delimita los objetivos y el diseño de nuestro circuito final. A continuación, mostraremos estas variables:

- **Valor obtenido de la Resistencia:** Se busca un valor grande de resistencia con dimensiones en Mega Ohmios. Esta interactuará en un filtro para determinar una constante de tiempo alta.
- **Área del circuito:** Referido a las dimensiones de los transistores, hállese de largo y ancho de canal, lo cual delimita el área involucrada dentro del circuito integrado.
- **Bajo consumo:** Referido al bajo consumo de potencia del circuito integrado. Un alto consumo de potencia implica un tiempo de vida menor de la batería de alimentación y el calentamiento de los tejidos.
- **Rango de Frecuencia y Tensión:** Característica importante en el diseño del circuito, ya que estas delimitan detalles importantes en el mismo. Hállese para señales neuronales un rango entre $1\mu V_p - 10\mu V_p$, y una zona de trabajo en bajas frecuencias, desde los 100Hz hasta los 5000Hz.



CAPÍTULO 3

DISEÑO DE LA RESISTENCIA INTEGRADA DE ALTO VALOR CON TECNOLOGÍA MOS

3.1 INTRODUCCIÓN

En el presente capítulo se mostrará el correspondiente diseño eléctrico del circuito que logra obtener la resistencia de alto valor para poder ser integrada en un “chip”. Se pretende obtener las correspondientes corrientes de polarización, una correcta elección de nivel de inversión dentro del rango de trabajo del transistor y la obtención de las dimensiones de los transistores. Con esos parámetros se elaborará el circuito esquemático para su respectiva simulación y obtener así los resultados esperados. Un paso posterior al diseño eléctrico del circuito, es la elaboración del layout del mismo con tecnología AMS 0.35 μ , para tener listo el dispositivo para una futura fabricación, es por ello que se mencionarán diversas técnicas para la elaboración del Layout. Tal cual se mencionó al inicio del presente trabajo, tan solo se elaborará un diseño en donde se trabaje a base de simulaciones.

Para lograr los objetivos propuestos, el circuito lo dividiremos en los siguientes bloques:

- Circuito del OPAMP configurado como seguidor.
- Circuito de auto polarización.
- Equivalente PMOS de la resistencia.

Al final del análisis de los presentes bloques, mencionados ya los criterios a tomar en su diseño, se presentará la información más importante para cada transistor,

siendo este un paso importante para la presentación de los resultados correspondientes al siguiente capítulo.

3.2 OBJETIVOS

3.2.1 OBJETIVO GENERAL

Diseñar un circuito que reemplace a una resistencia de gran valor para poder ser integrada dentro de un circuito integrado, la cual forma parte de un sistema de adquisición de señales neuronales. El valor al cual se pretende llegar es de $80M\Omega$ y que éste dependa únicamente de las dimensiones de los transistores implícitos al circuito a diseñar.

3.2.2 OBJETIVOS ESPECÍFICOS

- i. Lograr un circuito que cumpla con los requerimientos de microconsumo, características esenciales para dispositivos médicos implantables.
- ii. Diseño de bloques básicos analógicos que permitan lograr un diseño óptimo de todo el circuito.
- iii. Lograr un manejo de los modelos matemáticos para el transistor MOSFET, como también de las herramientas software para la correspondiente simulación.
- iv. Llegar a dar un gran aporte al desarrollo de circuitos integrados orientados a la biomedicina.

3.3 ESQUEMA GENERAL DE DISEÑO

En la figura 3.1 (a) se presenta el equivalente PMOS para representar la resistencia integrada de $80M\Omega$

3.3.1 MODELOS DEL TRANSISTOR MOS PARA EL DISEÑO ANALÓGICO

Existen varios modelos matemáticos mencionados en [9] como son el modelo EKV o el ACM. Más que todo, se requieren de características que nos permitan modelar correctamente a un transistor MOS para el diseño analógico, siendo más específicos, para el diseño a bajo consumo. A continuación mencionaremos tres características importantes [9]:

- Modelar correctamente los niveles de inversión (moderado, débil y fuerte) y zonas de trabajo (zona lineal y de saturación) de manera continua y con derivadas continuas en función de la corriente los cuales serán los parámetros en pequeña señal y baja frecuencia. Además modelar las cargas de los transistores ya que las derivadas de las cargas representan los efectos internos capacitivos.
- Respetar la simetría del transistor respecto al drenador y surtidor.
- Proveer expresiones sencillas, utilizando la menor cantidad posible de variables, siendo la mayoría de estos de carácter físico, para que el diseñador no tenga mayor dificultad al aplicar dicho modelo matemático en el diseño analógico.

Frente a estas características, los modelos EKV y ACM nos brindan ecuaciones manejables para el correspondiente análisis. Sin embargo, se encuentra presente una limitante a estos modelos: los fabricantes de circuitos integrados no proveen parámetros de estos modelos para sus tecnologías, sino que lo hacen para el modelo BSIM. Este modelo matemático logra modelar detalles altamente finos del funcionamiento del dispositivo, pero con el presente inconveniente de manejar muchos parámetros y hacer mucho más engorrosas las ecuaciones.

3.3.2 FLUJO DE DISEÑO DE CIRCUITOS INTEGRADOS ANALÓGICOS

A medida que transcurre el tiempo, el desarrollo de la tecnología hace que las dimensiones de los transistores se haga cada vez más pequeña, dependiendo este factor del proceso de fabricación de los circuitos integrados. Es así que un resultado importante en el diseño de circuitos integrados analógicos es la obtención de las dimensiones de los mismos, hablese del largo y ancho de canal. A su vez, es muy importante manejar modelos matemáticos que consideren fenómenos físicos que

afecten a los transistores y gobiernen las ecuaciones de las respectivas corrientes y voltajes. El flujo de diseño básico a seguir es el presentado en el diagrama de flujo de la figura 3.2. Para el presente trabajo se utilizará el modelo BSIM 3v3. Debido a la complejidad en las ecuaciones implícitas de este modelo matemático, es necesario trabajar con una herramienta CAD que permita de una manera mucho más sencilla trabajar en todo el espacio de diseño de cada tipo de transistor, sea tipo P o N. En el presente trabajo se utilizó la herramienta CAD referenciada en [11] la cual utiliza la metodología gm/Id [12] descrita ya en el capítulo 2 en donde se utiliza como parámetro de entrada al nivel de inversión y la corriente normalizada.

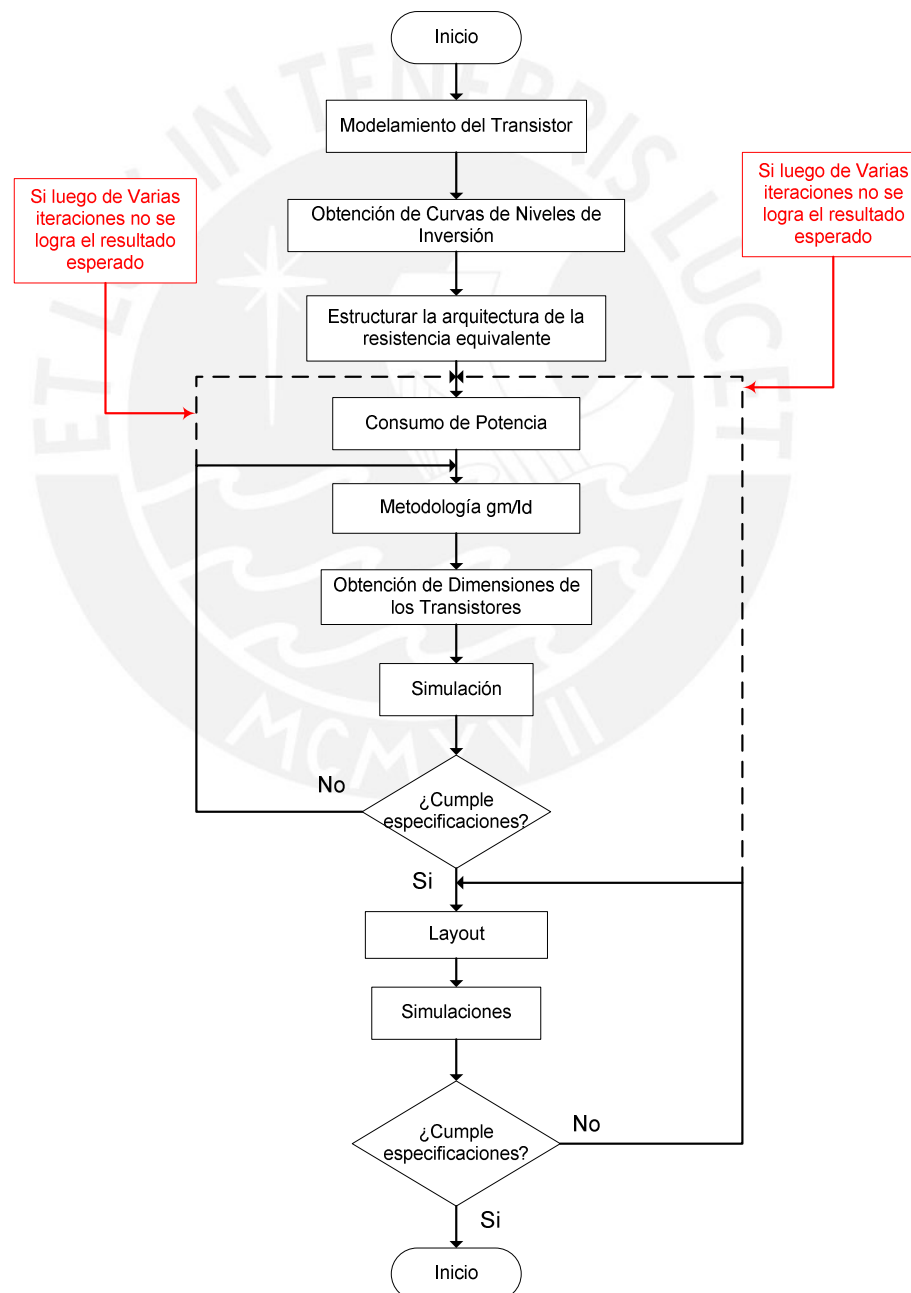


Figura 3.2 Flujo de Diseño de la resistencia integrada de alto valor

La referida herramienta CAD se basa en algoritmos que realizan cálculos específicos para encontrar valores adecuados del factor de forma (W/L) según se defina un nivel de inversión y una corriente de polarización para el transistor. A su vez, la herramienta genera las curvas para explorar todo el espacio de diseño del transistor las cuales son: gm/I_D vs. $I_D/(W/L)$, gm/I_D vs. VA, A_v vs. gm/I_D , A_v vs. gm/I_D y A_v vs. L. Cabe mencionar que gm/I_D es definido como la eficiencia de transconductancia, $I_D/(W/L)$ es la corriente normalizada, VA es llamado el voltaje de Early, A_v es la ganancia del transistor y L es la llamada longitud de canal [19]. En esta oportunidad tan solo se trabajó con la gráfica gm/I_D vs. $I_D/(W/L)$, en donde se define una región de inversión para el transistor, dependiendo de la función en que se encuentre trabajando, dándonos por medio de la gráfica la corriente normalizada y definiendo una corriente de polarización tendríamos el factor de forma.

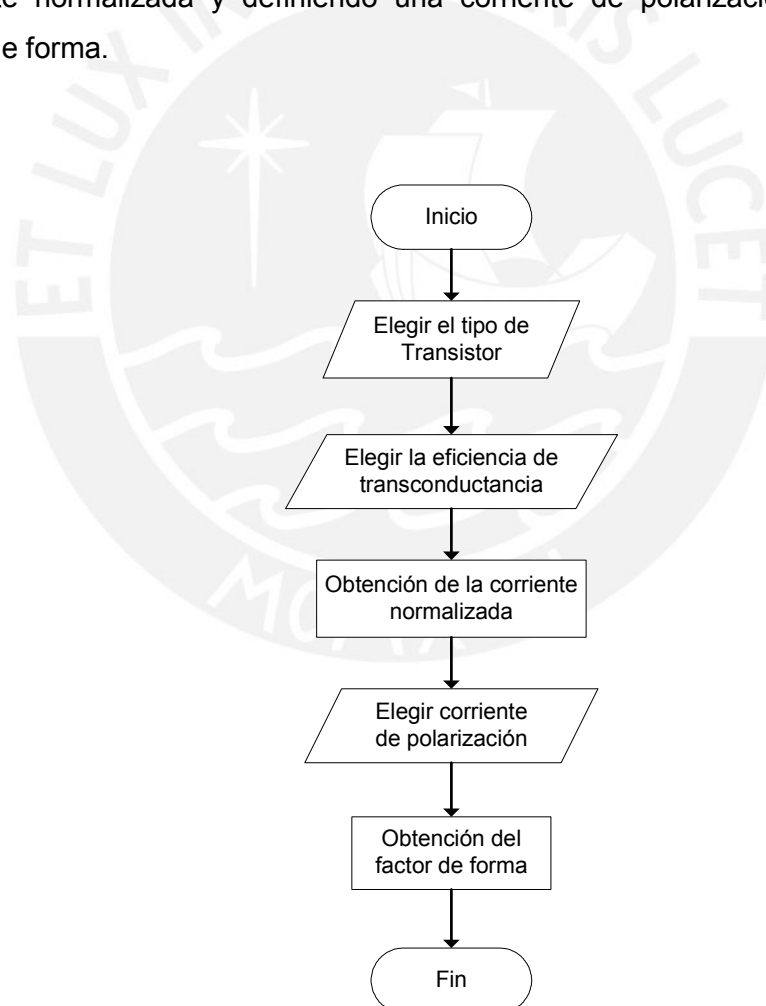


Figura 3.3. Flujo de Diseño de la Herramienta CAD para el cálculo del factor de forma.

3.3.3 NIVELES DE INVERSIÓN: ESPEJO DE CORRIENTE Y PAR DIFERENCIAL

Para el buen diseño de estos bloques analógicos, es necesario saber en qué región de trabajo habría que modelar a los transistores que conforman tanto a un espejo de corriente como para un par diferencial. Para ello efectuaremos un análisis de los niveles de inversión aplicado a estas dos topologías tan usadas en el diseño analógico.

El nivel de inversión del transistor MOSFET puede ser representado por la siguiente expresión [20]:

$$IC = \frac{I_{Dsat}}{I_S} \quad (3.1)$$

El cual llamaremos “coeficiente de inversión”. Otra ecuación válida es la que se presenta a continuación [8]:

$$IC = \frac{I_D}{2n\mu_0 C_{OX} U_T^2 (W/L)} \quad (3.2)$$

Donde I_D es la corriente de drenador, n es el factor de inclinación, μ_0 es la movilidad de portadores, C_{OX} es la capacitancia del óxido de compuerta, U_T es el voltaje térmico y W y L son el ancho y largo de canal respectivamente.

En inversión débil, este coeficiente IC es menor que ‘1’ y por encima de 10 cuando se encuentra en inversión fuerte. Cuando es igual a ‘1’ se encuentra en el centro de la región (inversión moderada). El valor de la corriente se encuentra en el orden de los 10 a 100nA para tamaños mínimos del transistor; por eso, para canales mucho más anchos, es necesario que el transistor opere en inversión débil (corrientes por encima de unos pocos microamperios).

La transconductancia en saturación se obtiene según las siguientes ecuaciones:

$$\text{“Inversión Débil”} \longrightarrow I_D = I_{D0} e^{\frac{V_G}{nU_T}} \left[e^{\frac{V_S}{U_T}} - e^{\frac{V_D}{U_T}} \right] \quad (3.3)$$

$$\text{“Inversión Fuerte”} \longrightarrow I_D = I_{Dsat} = \frac{\beta}{2n} (V_G - V_{T0} - nV_S)^2 \quad (3.4)$$

Donde:

$$U_T = \frac{kT}{q} \quad : \text{ Voltaje térmico}$$

$$V_{T0} \quad : \text{ Voltaje umbral cuando el surtidor va conectado al sustrato.}$$

$$n = 1 + \frac{\gamma}{2\sqrt{V_{SB} + 2\phi_F}} \quad : \text{ Factor de inclinación}$$

$$\gamma \quad : \text{ Coeficiente para efecto cuerpo.}$$

De (3.3) y (3.4), hallamos gm para cada región:

$$\text{“Inversión Débil”} \rightarrow gm = \frac{\partial I_D}{\partial V_G} = \frac{I_D}{nU_T} \quad (3.5)$$

$$\text{“Inversión Fuerte”} \rightarrow gm = \frac{2I_D}{V_G - V_{T0} - nV_S} = \sqrt{2\beta I_D} / n \quad (3.6)$$

Vemos que en inversión débil, la transconductancia es proporcional a I_D mientras que en inversión fuerte es proporcional a $\sqrt{I_D}$.

El modelamiento de la transconductancia continua en saturación puede ser obtenida con la ecuación de I_{Dsat} igualándola a la corriente directa I_F (la cual es controlada por el voltaje en el surtidor V_S) [20]. Para ello, primero definamos la corriente de drenador en función a la corriente directa e inversa [20]:

$$I_D = I_F - I_R \quad (3.7)$$

Donde: $I_F(V_G, V_S)$ es la corriente directa, independiente de V_D

$I_R(V_G, V_D)$ es la corriente inversa, independiente de V_S

Entonces, en [20] se define I_F como:

$$I_F = I_S \ln^2 \left[1 + e^{\frac{V_P - V_S}{2U_T}} \right] \quad (3.8)$$

Donde $I_S = 2n\beta U_T^2$ y $V_P = (V_G - V_{T0})/n$ llamado voltaje de “pinch-off” el cual se define como el voltaje para el cual el canal del transistor se empieza a cortar.

La componente directa I_F se encuentra en inversión débil si $V_S > V_P$. En cambio, pasaría a inversión fuerte si $V_S < V_P$.

A partir de (3.8) obtenemos la transconductancia continua:

$$gm = \frac{I_D}{nU_T} \frac{1 - e^{-\sqrt{IC}}}{\sqrt{IC}} \quad (3.9)$$

Donde IC es el coeficiente de inversión, n es el factor de inclinación y U_T es el voltaje térmico. Esta relación es graficada en la figura 3.4 como se muestra:

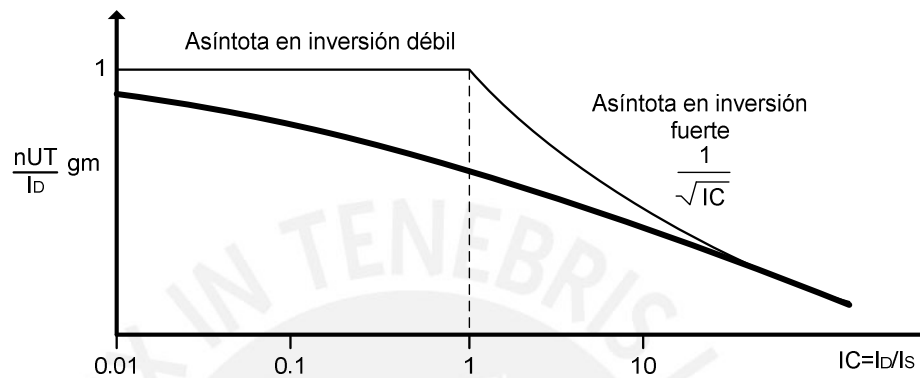


Figura 3.4: Transconductancia continua para inversión fuerte y débil. [20]

El desapareamiento (mismatch) entre dos transistores idénticos se caracteriza con dos parámetros: el desapareamiento umbral σ_{VT} y σ_β . Estas componentes suelen tener el valor de cero en un buen layout. El desapareamiento de corriente de drenador σ_{ID} de dos transistores que comparten la misma puerta y surtidor (caso del espejo de corriente) es dado por la siguiente ecuación:

$$\sigma_{ID} = \sqrt{\sigma_\beta^2 + \left(\frac{gm}{I_D} \sigma_{VT}\right)^2} \quad (3.10)$$

Mientras que el desapareamiento σ_{VG} del voltaje de puerta para dos transistores los cuales tienen una misma corriente de drenador y un mismo voltaje de surtidor (caso del par diferencial) es dada por:

$$\sigma_{VG} = \sqrt{\sigma_{VT}^2 + \left(\frac{I_D}{gm} \sigma_\beta\right)^2} \quad (3.11)$$

Estas ecuaciones son graficadas en las figuras 3.5 y 3.6, para un $\sigma_{VT} = 5mV$ y un $\sigma_\beta = 2\%$, utilizando una transconductancia continua (figura 3.4) con un $U_T = 40mV$.

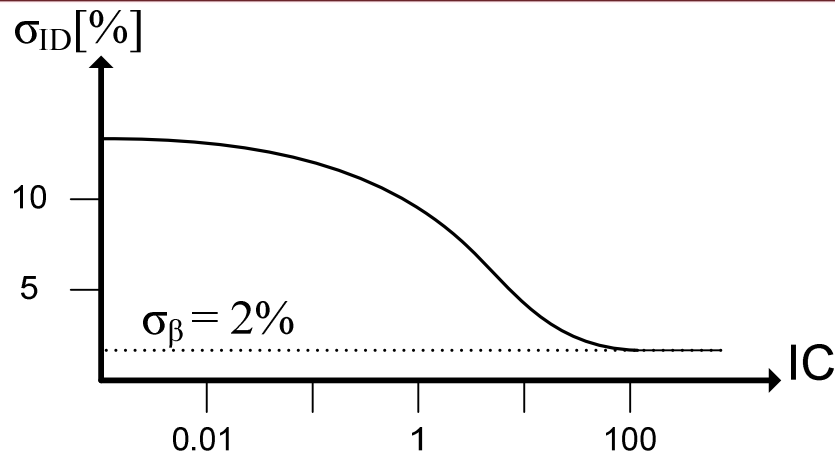


Figura 3.5: Apareamiento entre la corriente de drenador en función de coeficiente de inversión. [20]

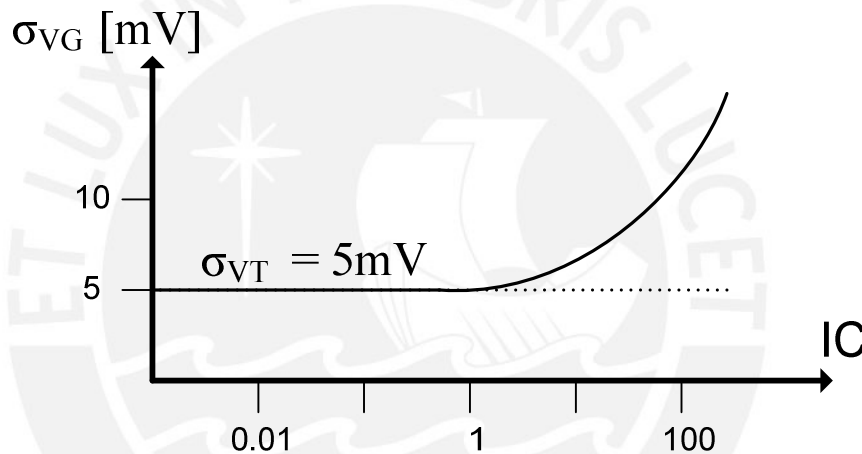


Figura 3.6: Apareamiento entre el voltaje de puerta en función al coeficiente de inversión. [20]

Hechas estas conclusiones, pasemos a detallar al **par diferencial**. La figura 3.7 es una configuración básica que nos servirá para el análisis que se detalla a continuación. Al momento de diseñar, hay que tener en cuenta el nivel de inversión al cual trabajarán los transistores T_1 y T_2 , más que todo, definir una región de trabajo para ambos en la cual no presenten variaciones de proceso (mismatch) para que sus dimensiones sean las mismas.

La contribución de desapareamiento de T_1 y T_2 es la diferencia σ_{VG} de sus voltajes de puerta siendo perjudicial que esta diferencia sea mayor haciendo que se incremente el desapareamiento entre los transistores, considerando que $I_1=I_2$. Si analizamos la ecuación (3.11) y la figura 3.6, esta diferencia de voltajes es mínima para inversión débil. Entonces, es por ello que este circuito normalmente es

polarizado en inversión débil o moderada para circuitos de micro consumo, exceptuando esta condición si se requiere de linealidad en su transconductancia.

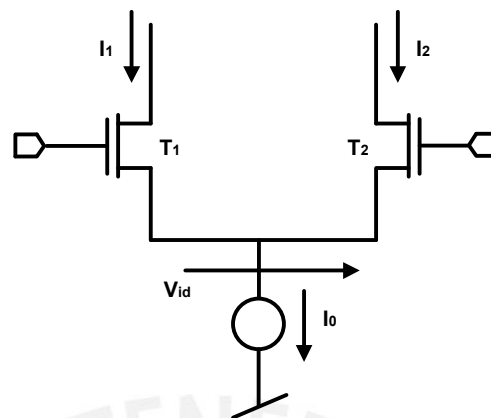


Figura 3.7: Par diferencial

Para el caso de los **espejos de corriente**, la figura 3.8 muestra una configuración típica. Para un espejo de corriente es crucial que la copia de corriente hecha en el transistor T_2 sea exacta, dependiendo de la relación entre los factores de forma de los transistores T_1 y T_2 . La inexactitud de σ_{ID} es dada por la ecuación (3.10) y esta se puede ver con mayor detenimiento en la figura 3.5 donde podemos deducir que es perjudicial trabajar en inversión débil ya que esta inexactitud se incrementa debido a que la eficiencia de transconductancia g_m / I_D alcanza el valor de $1/nU_T$ tal cual se puede observar en la figura 3.5. Por ejemplo, para un $nU_T=40\text{mV}$ y un offset umbral $\sigma_{VT}=5\text{mV}$ la contribución a la inexactitud de la corriente copiada es de 12%, valor demasiado grande ya que hablamos de corriente que trabajan en el rango de los pico a micro amperios. La única manera de reducir esta inexactitud (además de un óptimo layout) es reducir g_m / I_D lo cual se consigue polarizando a los transistores en inversión fuerte. Además hay que tener la consideración que los largos de canal de ambos transistores tengan las mismas dimensiones.

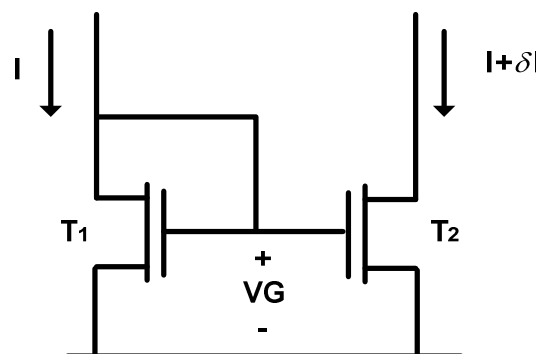


Figura 3.8: Espejo de corriente básico.

transistores P y un espejo de corriente activo con transistores N como se presenta en la figura 3.10. La ganancia de esta etapa dependerá de las transconductancias de los transistores del par, los cuales tienen que poseer dimensiones exactamente iguales por lo que al momento de modelar a estos para obtener sus factores de forma, trabajarán en inversión débil o moderada para evitar desviaciones de proceso de fabricación (mismatch). La ganancia para esta etapa viene dada por la siguiente ecuación [22]:

$$Av_1 = gm_1(rds_2 // rds_4) \tag{3.11}$$

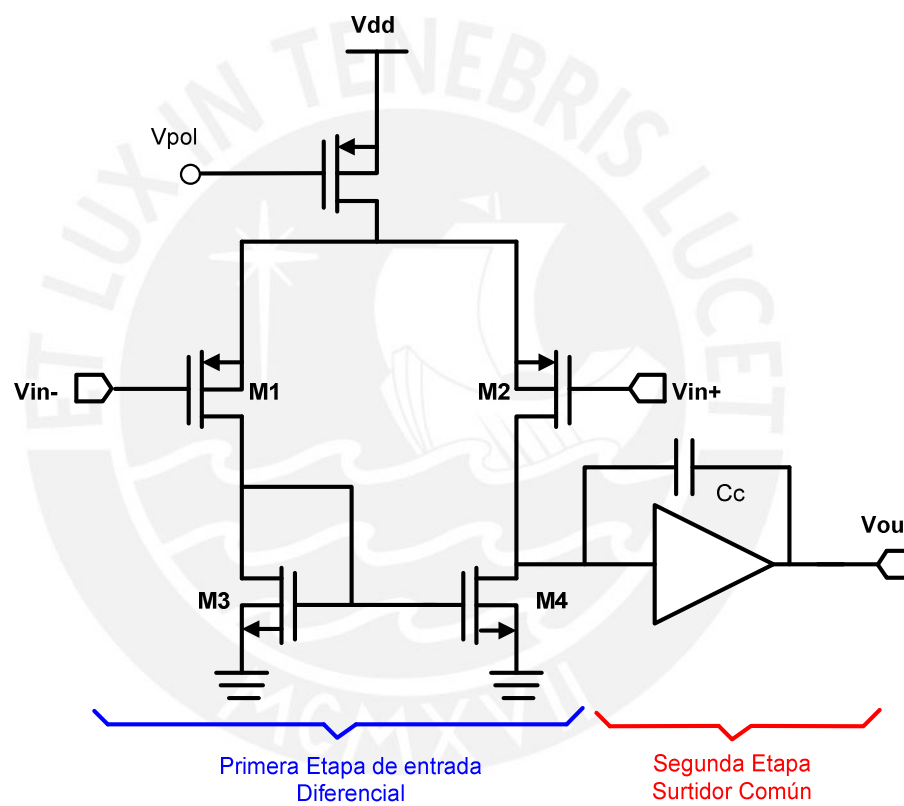


Fig.3.10 Arquitectura de la primera etapa diferencial, junto con la segunda etapa de compensación.

La segunda etapa de la arquitectura del OPAMP viene dada por una etapa en surtidor común realimentada por un condensador (C_c) el cual proporciona la compensación en frecuencia. Es menester mencionar que la ganancia de esta segunda etapa es negativa, proporcionada por el surtidor común, debido a la realimentación del condensador. En el caso de que sea una ganancia positiva, se produciría inestabilidad en el sistema en donde existirían oscilaciones no deseables.

La ganancia para esta etapa viene dada por la siguiente ecuación [22]:

$$Av_2 = -gm_6(rds_6 // rds_7) \quad (3.12)$$

Finalmente, la ganancia total del OPAMP viene dada por la multiplicación de las ecuaciones (3.11) y (3.12):

$$Av_T = \frac{gm_1 gm_6}{(gds_2 + gds_4)(gds_6 + gds_7)} \quad (3.13)$$

El diseño del correspondiente circuito va de la mano con la obtención de los factores de forma de cada transistor, así como fijar una correspondiente corriente de polarización para cada transistor proporcionada por los espejos de corriente de cada etapa.

Debido a los requerimientos de bajo consumo de corriente, se fijó una corriente de $1\mu A$ en la fuente de corriente (I_{pol}) la cual será copiada por el espejo de corriente conformado por los transistores M8 y M5 al par diferencial en una relación de 1:1 por lo que las dimensiones de esos transistores viene dado por la siguiente relación [10]:

$$\frac{Id_8}{Id_5} = \frac{(W/L)_8}{(W/L)_5} \quad (3.14)$$

Entonces, si fijamos la corriente que pasa por M8 a $1\mu A$, será la misma que circule por M5 y esto delimita la corriente del par que será de $0.5\mu A$ para cada transistor (M1 y M2). Entonces, por medio de la metodología gm/Id , hallamos el factor de forma del transistor M5, considerando que este trabaja en inversión fuerte por ser un espejo de corriente, de acuerdo con [10] una condición para la correcta copia de corriente en este tipo de configuración es que los transistores trabajen con una alta densidad de corriente, o lo que es equivalente a decir, una alta corriente normalizada. Esto permitirá evitar desviaciones en la copia de corriente.

Para el caso de los pares diferenciales, éstos trabajarán en inversión moderada para evitar problemas de desapareamiento y variaciones en el proceso ya que hay que asegurar que las dimensiones de M1 y M2 sea idénticas.

De la misma manera, se copia la corriente de M8 a M7 en la relación de 1:25 debido a que hay que entregar mayor corriente a la salida del amplificador operacional al momento que este alimente al circuito de auto polarización.

Otra de las consideraciones a tomar, es la manera en cómo reducir el voltaje de offset sistemático [23]. Este offset es intrínseco al circuito, siempre se presenta a la salida, por lo que representa una dificultad en el diseño. Para eso se emplea la siguiente relación:

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(W/L)_4}{(W/L)_6} = \left(\frac{1}{2}\right) \frac{(W/L)_5}{(W/L)_7} \quad (3.15)$$

Con esto se garantiza que el potencial de drenador de M4 sea el necesario para que en M6 pase la misma corriente. Con esta relación, al decir que los transistores implicados en el espejo de corriente se encuentran en inversión fuerte, se logran obtener las correspondientes dimensiones de los mismos.

Habíamos mencionado ciertos detalles referentes al condensador de compensación C_c . Si no existiera la compensación en frecuencia, el OPAMP podría oscilar a altas frecuencias. Para anular este efecto, se coloca un condensador a la salida de todo el amplificador conectado a la salida de la etapa diferencial aprovechándose el efecto Miller que separará a estos polos, que sin compensación ambos se encontrarían muy cerca [23]. Pero hay que considerar que el valor de C_c no debe ser demasiado grande ya que esto no sería muy factible a la hora de su correspondiente implementación a nivel físico. El área de C_c a nivel layout es directamente proporcional a su valor, por lo que para el presente trabajo se trabajó con un $C_c = 0.22\text{p F}$. Además, se requiere que satisfaga la relación de frecuencia a ganancia unitaria [21]:

$$f_0 = \frac{gm_1}{2\pi C_c} \quad (3.16)$$

De esta se deduce que la frecuencia unitaria es directamente proporcional a la transconductancia de M1 e inversamente proporcional a Cc.

A continuación, presentamos la tabla 3.1 en la cual se muestra el resumen para cada transistor del OPAMP:

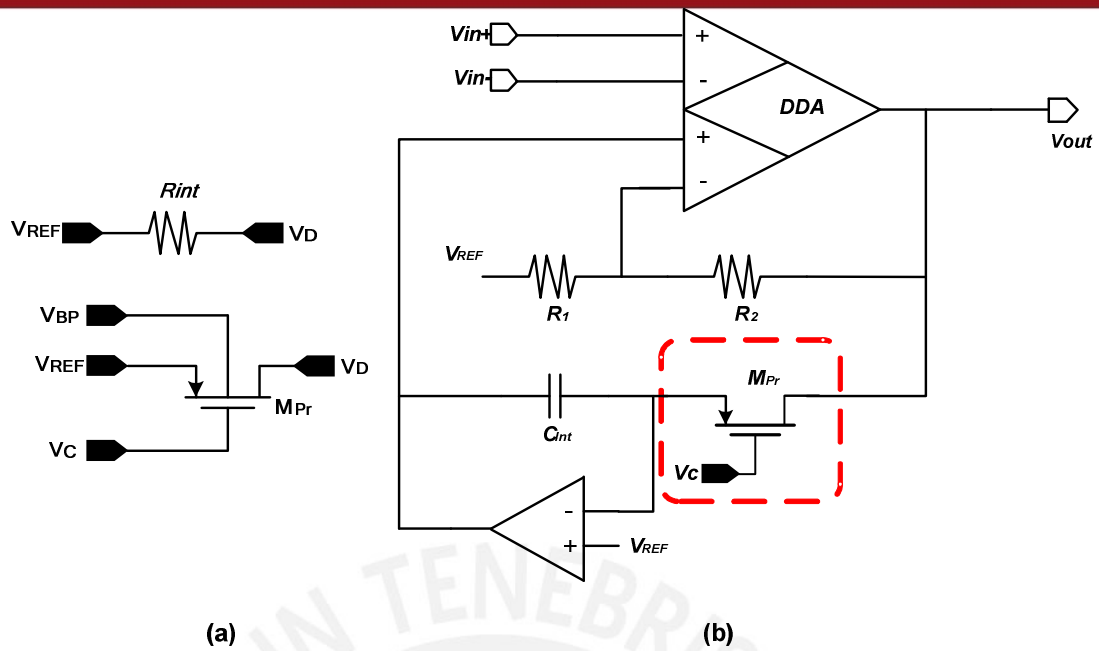
Tabla 3.1 Resumen de cada transistor del OPAMP seguidor.

	Tipo	gm/Id	Id(μ A)	Id/(W/L)	(W/L)	W(μ m)	L(μ m)	gm(μ S)
M1	P	18	0.5	3.88E-8	12.9	45.1	3.5	9E-6
M2	P	18	0.5	3.88E-8	12.9	45.1	3.5	9E-6
M3	N	10	0.5	2.14E-6	23.4	3.5	15	5
M4	N	10	0.5	2.14E-6	23.4	3.5	15	5
M5	P	10	1	8.37E-7	1.2	4.18	3.5	10
M6	N	10	25	2.14E-6	11.7	46.7	4	250
M7	P	10	25	8.37E-6	29.9	104.5	3.5	250
M8	P	10	1	8.37E-6	1.2	4.18	3.5	10

3.5 DISEÑO DE LA RESISTENCIA INTEGRADA

3.5.1 ESPECIFICACIONES GENERALES

Para lograr el equivalente de la resistencia, se utilizará el transistor PMOS M_{Pr} de la figura 3.11 (a), el cual trabajará en la región sub-umbral para garantizar el micro consumo del circuito y también las correspondientes ecuaciones que gobiernan este espacio de diseño. Este transistor cuenta con su propio circuito de polarización mostrado en la figura 3.12. Este circuito permitirá obtener mayor optimización del área como también permitirá eliminar efectos de segundo orden tales como desviaciones tecnológicas que afecten el funcionamiento de los transistores implicados en el diseño, las variaciones del voltaje de referencia y variaciones de temperatura; a su vez lograr que el valor de la resistencia equivalente no dependa del voltaje de puerta del transistor.



**Figura 3.11 (a) Equivalente PMOS de la resistencia a implementar de 80 MΩ.
3.11 (b) Ubicación del equivalente resistivo en el filtro del sistema de adquisición**

Las ecuaciones para la corriente del transistor cuando trabaja en la región sub-umbral cambian considerablemente, tanto así que varían exponencialmente con el voltaje V_{gs} . La ecuación (3.17) nos muestra la corriente del transistor MOS en la región sub-umbral [7].

$$I_{DS} = I_{DO} \frac{W}{L} e^{\frac{V_{GB} - V_{th}}{nV_T}} \left[e^{\frac{-V_{SB}}{nV_T}} - e^{\frac{-V_{DB}}{nV_T}} \right] \quad (3.17)$$

Si $V_{DS} < \pm 25\text{mV}$ con lo que se asegura que el transistor no entre a región triodo y se mantenga en la región sub-umbral y $V_{SB} = 0$, entonces I_{DS} se aproxima por medio de un arreglo matemático y una aproximación de Taylor a la ecuación:

$$I_{DS} \cong I_{DO} \frac{W}{L} e^{\frac{V_{GS} - V_{th}}{nV_T}} \left\{ 1 - \left[1 - \frac{V_{DS}}{nV_T} \right] \right\} \quad (3.18)$$

Donde I_{DO} y V_T son la corriente específica y el potencial térmico respectivamente, valores propios del transistor [7]. La constante “n” es el factor de pendiente de la región sub-umbral donde para típicos valores de “n”, cuando V_{gs} decrece a 80mV, I_{DS} lo hace a una década.

ecuación 3.20, derivamos la ecuación 3.18 con respecto al voltaje entre drenador y surtidor. Finalmente tenemos la inversa de la resistencia:

$$\frac{\partial I_{ds}}{\partial V_{ds}} = \frac{I_{do}(W/L)_{pr} e^{\frac{V_{GS}-V_{th}}{nV_T}}}{nV_T} = \frac{1}{R_{int}} \quad (3.20)$$

Empezamos la obtención del equivalente de la resistencia obviando el transistor M11, para así determinar la corriente I_{DS1} , la cual es la corriente presente en el transistor M14 (véase la figura 3.8 para mayor referencia), definiéndose así el potencial en la resistencia R_p . Llamemos a este potencial “V” (diferencia de potencial en la resistencia R_p). Aplicando ley de Ohm, tenemos:

$$I_{DS1} = \frac{V}{R_p} \quad (3.21)$$

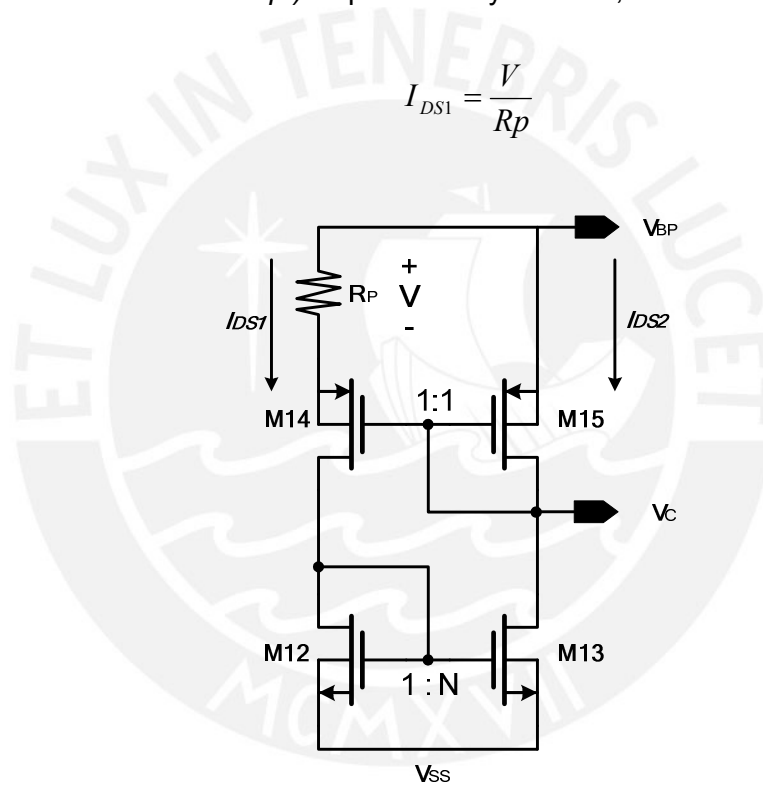


Figura 3.13

Es menester aclarar, que el potencial entre los surtidores de los transistores M14 y M15 no es idéntico, ya que el voltaje surtidor de ambos transistores no es igual, por lo cual la relación de 1:1 entre ellos no influirá en sus respectivas corrientes. Más que todo, el espejo que se encuentra debajo de ellos es aquél que fija la relación entre estas corrientes. Viendo la figura 3.13, esta relación es de 1:N. La diferencia de potencial entre surtidores de los transistores M14 y M15 respectivamente es el potencial fijado por R_p que es igual a “V”.

Entonces, $N = \frac{I_{ds2}}{I_{ds1}}$ asimismo: $D = \frac{I_{rp}}{I_{ds1}} - 1$.

Es así como se añade un factor de (D+1) en la corriente I_{ds1} . Logramos la siguiente expresión:

$$I_{ds1} = \frac{nV_T \ln N}{R_p(D+1)} \quad (3.25)$$

Fijándonos en el transistor M14, el cual posee el mismo potencial surtidor-puerta que el transistor M_{pr} , ya que V_{ref} se logra copiar en el surtidor de M14 gracias al OPAMP seguidor y V_c es el potencial puerta de ambos. Hallando la corriente que circula por el transistor M14, tenemos la siguiente relación:

$$I_{sd1} = I_{d0} \left(\frac{W}{L} \right)_{M14} e^{\frac{V_c - V_{ref} - V_{th}}{nV_T}} \quad (3.26)$$

Reemplazando (3.25) en (3.26) tenemos:

$$e^{\frac{V_c - V_{ref} - V_{th}}{nV_T}} = \frac{nV_T \ln N}{R_p(D+1)} * \frac{1}{I_{d0} \left(\frac{W}{L} \right)_{14}} \quad (3.27)$$

La ecuación (3.27) la reemplazamos en la ecuación (3.20), considerando que $V_{GS} - V_{th} = V_c - V_{ref} - V_{th}$ para el transistor M_{pr} y M14, obtenemos finalmente el equivalente de la resistencia R_{int} .

$$R_{int} = \frac{L_{pr} W_{14} R_p (D+1)}{W_{pr} L_{14} \ln N} \quad (3.28)$$

Es así que vemos que el equivalente de la resistencia únicamente depende de las dimensiones del transistor M14 y del PMOS M_{pr} haciendo independiente el valor de la resistencia del potencial aplicado al transistor.

Al momento de diseñar el circuito, se tomó el valor de N a un mínimo. Por eso se eligió un valor de $N = 2$ para hacer el denominador lo menos posible para obtener un

valor elevado de R_{int} . Luego se despejó D en función de las demás variables asumiendo un $R_{int} = 80 \text{ M}\Omega$ con lo que se obtuvo que $D = 31$.

La tabla 3.2 presenta el resumen de cada transistor para el circuito de auto polarización:

Tabla 3.2 Resumen de parámetros de cada transistor del circuito de la resistencia integrada

Tipo		$I_d(\mu\text{A})$	(W/L)	W(μm)	L(μm)
M11	N	0.574	1.44	46.3	32
M12	N	0.018	0.047	1.5	32
M13	N	0.036	0.093	2.99	32
M14	P	0.018	5.76	8.64	1.5
M15	P	0.036	5.76	8.64	1.5
M_{Pr}	P	0.000311	5.99	3.34	20

3.6 TÉCNICAS DE ELABORACIÓN DE LAYOUTS

La siguiente etapa en el proceso de diseño corresponde a la elaboración del diseño físico, es decir, la generación del “Layout” que es el conjunto de patrones geométricos asociados al dispositivo a fabricar las cuales serán transferidas a las diversas máscaras que intervendrán en las diferentes etapas de fabricación del chip [8], [18]. En el presente trabajo se utilizó el software de diseño Tanner –Edit el cual cuenta con diversas funciones para dibujar el correspondiente layout a partir de nuestro diagrama esquemático. Las capas o máscaras en mención pueden ser: polisilicio, metal 1, metal 2, difusión N+, difusión P+ o pozo N y para evitar la confusión de estas ya que se encuentran superpuestas en el dibujo se recurre a un código de colores que permite diferenciarlas como se ve en la figura 3.15.

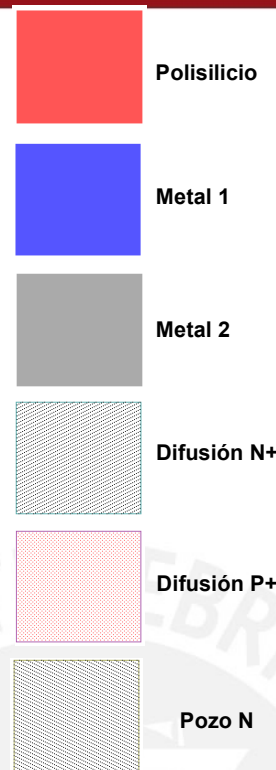


Figura 3.15. Patrones de colores de las capas usadas por el Tanner L-Edit

Una consideración a tomar el diseñador es el tamaño de los dispositivos así como el espaciamiento entre ellos. Además, la posición en la que se encuentren determinará el correcto desempeño del circuito integrado [18].

Para un mayor detalle con respecto a las capas en la oblea de silicio, la figura 3.16 muestra un corte transversal de esta, en la tecnología AMS 0.35µm en la cual se está trabajando el presente trabajo de tesis.

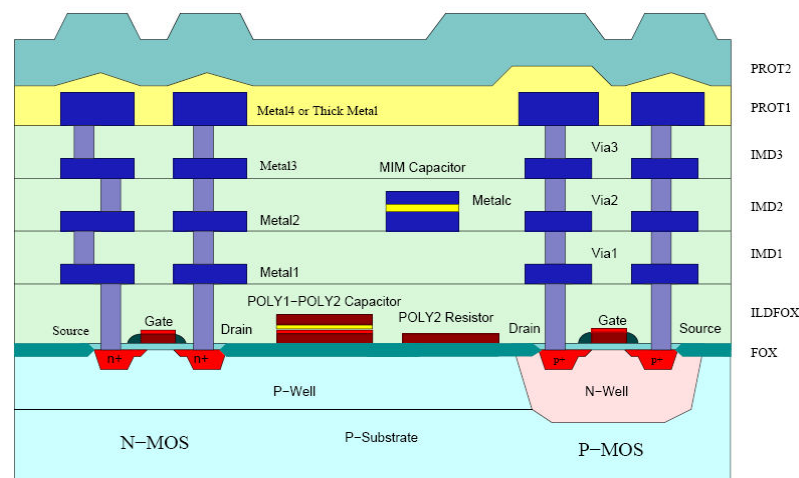


Figura 3.16. Sección transversal de la oblea de silicio para la tecnología AMS 0.35

3.6.1 PROCESOS TECNOLÓGICOS DE FABRICACIÓN

Los circuitos integrados son fabricados sobre discos delgados de silicio (oblas) dopados con aceptores (substrato n) o dadores (substrato p). Es así que sobre esta zona se irán depositando las distintas capas de materiales las cuales constituirán las conexiones y puertas de los transistores [19].

Para entrar en más detalle, mencionemos los procesos tecnológicos básicos que se realizan en el proceso de circuitos integrados [25].

- **Oxidación:** Sirve para aislar las pistas dentro del circuito integrado y esto se logra haciendo crecer una capa de óxido de silicio entre ellas (SiO_2). El espesor de esta delimita las características eléctricas de los dispositivos implementados dentro del Chip.
- **Deposición o metalización:** Realizada para crear las pistas conductoras o aislantes. El procedimiento consiste en colocar sobre la oblea una fina capa de polisilicio y/o aluminio) y es recortada por técnicas fotolitográficas.
- **Grabado:** Se encarga de eliminar selectivamente un material de todas las zonas en donde este no se encuentra protegido.
- **Difusión:** Este proceso permite el movimiento de átomos dentro de un sólido utilizando altas temperaturas y se utilizan para dopar determinadas zonas de la oblea.
- **Implantación Iónica:** También es usado para crear zonas dopadas dentro de la oblea, cuando es necesario controlar muy finamente el espeso y la concentración de la zona a dopar. Consiste en introducir los dopantes en el Si por bombardeo iónico a alta energía.

3.6.2 REGLAS DE DISEÑO

Cada fabricante especifica un conjunto de reglas de diseño propias del layout. Esta es definida para cada proceso que ofrece garantizando un alto grado de confiabilidad e inmunidad a efectos diversos no deseados como también por las variaciones de proceso. Además, siguiendo estas reglas se logra evitar capacitancias parásitas considerables

Las reglas se encuentran definidas en base a λ cuyo valor dependerá de la tecnología a la cual se esté trabajando. Por ejemplo, en la presente tesis se trabajará con la tecnología AMS 0.35 μ en donde la mínima longitud de canal es de 0.35 μ m y posee 4 capas de material.

Las consideraciones más importantes en las reglas de diseño son :

- Distancia mínima entre pistas
- Desbordamiento mínimo de una pista con respecto a otra.
- Tamaños mínimos de las pistas
- Distancia mínima entre polisilicio y contactos
- Solapamiento mínimo.

En la figura 3.11 podemos apreciar algunas reglas más comunes para la elaboración de layout:

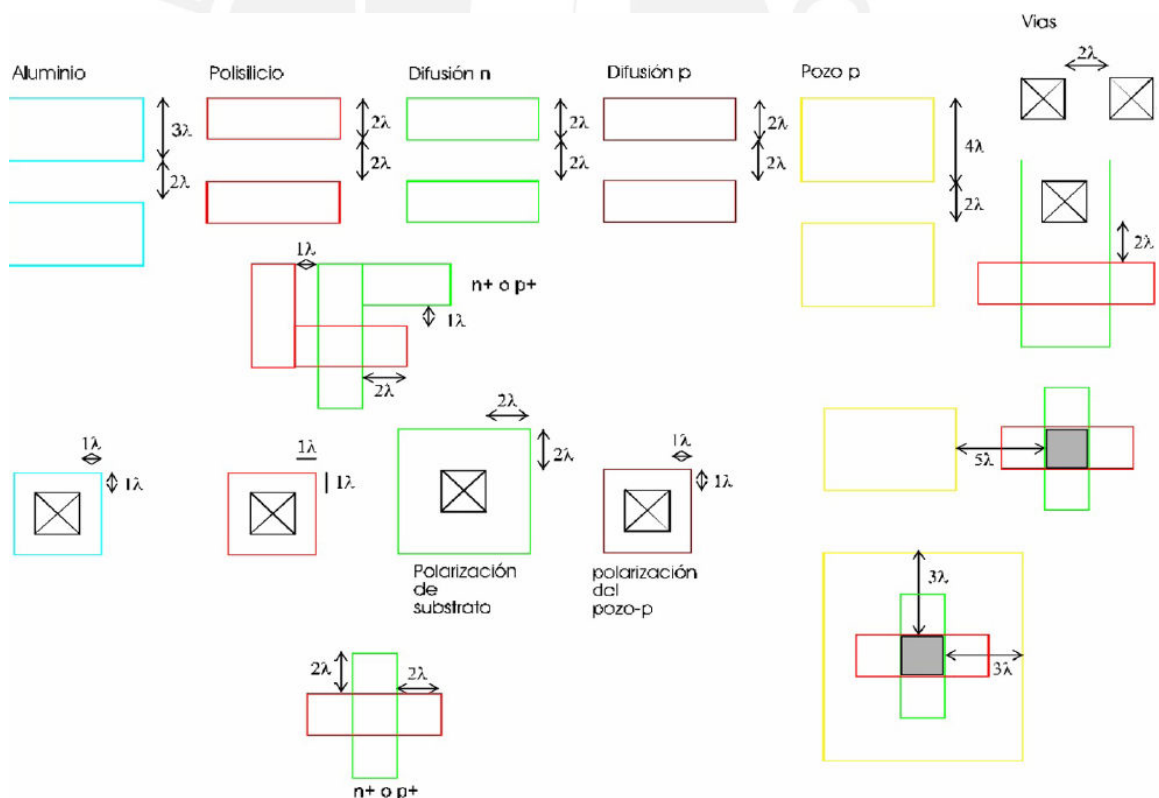


Figura 3.17. Reglas de diseño de layout. [25]

Un problema común que se podría presentar y generar errores en el proceso de fabricación es al momento de colocar el contacto de drenador en un transistor del

tipo N a una distancia menos a la mínima con respecto al polisilicio (gate) persiste el peligro de que la juntura N-P-N se polarice se manera inversa produciendo que el diodo de la juntura entre en conducción, provocando el efecto conocido como Latch-up, que consiste en hacer un cortocircuito entre compuerta y drenador [19]

Para la elaboración del Layout del presente circuito, se tomaron en cuenta diversas técnicas que permitan generar diversos patrones geométricos para asegurar un correcto emparejamiento del dispositivo integrado así como también un control de interferencias. A continuación, mencionaremos sólo las más importantes.

3.6.3 INTERDIGITACIÓN

El principal objetivo de esta técnica es reducir el área de las uniones de drenador y surtidor y la resistencia asociada a la compuerta. Esta a su vez se encuentra relacionada con el ruido de compuerta el cual puede ser muy perjudicial y por ende, se busca minimizar [18].

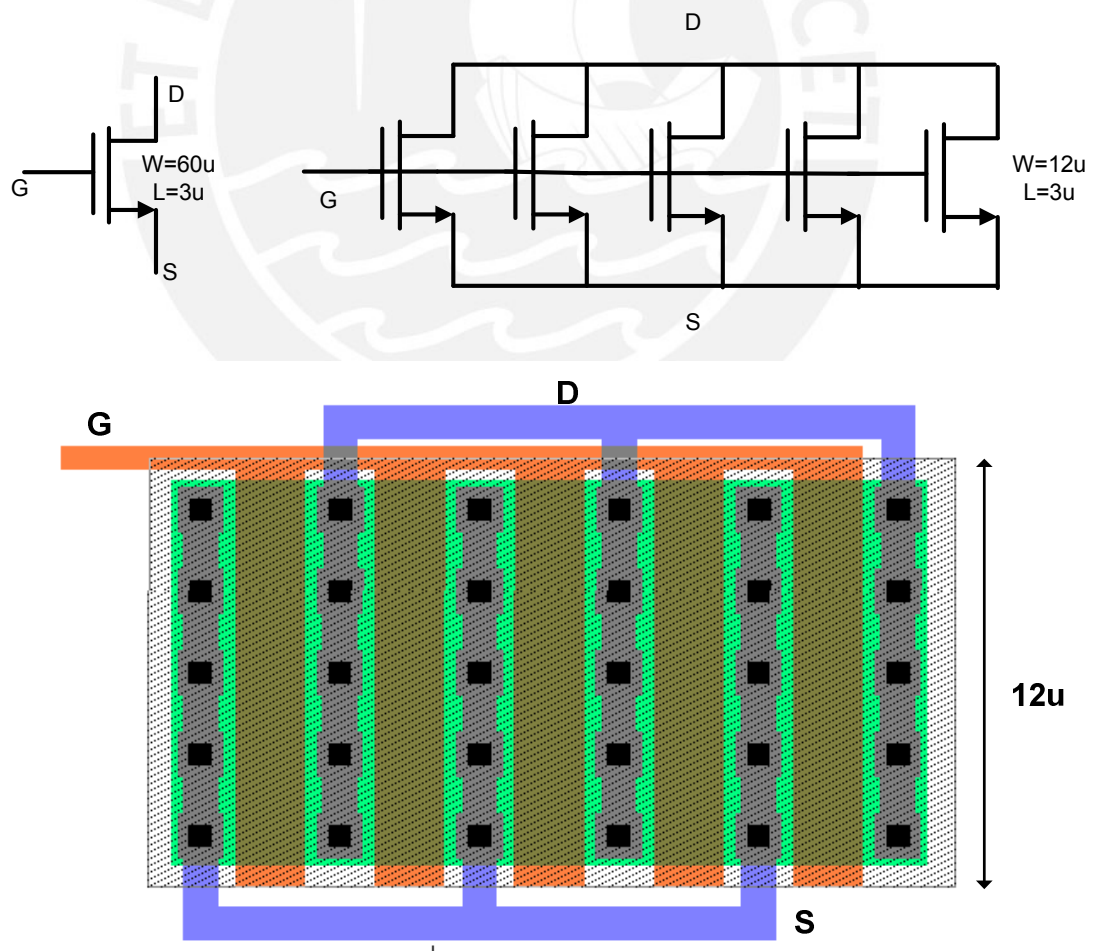


Figura 3.18. Interdigitación.

Cuando los transistores poseen un ancho excesivamente grande es necesario dividir al transistor en varios transistores de anchos pequeños e interconectarlos en paralelo tal cual se presenta en la figura 3.18. Siendo más detallados al respecto, notamos que cada transistor comparte con cada uno de sus vecinos una de las regiones de difusión. De esta manera, el número de regiones de drenador y surtidor será mucho menor que el número de transistores conectados en paralelo, permitiéndose reducir considerablemente el área de difusión.

3.6.4 SIMETRÍA

Usado para lo que concierne a las etapas diferenciales. Los pares diferenciales deben tener las mismas dimensiones y simetría referente a su geometría ya que de no ser así se podría ocasionar la aparición de offsets referidos a la entrada que limitan el mínimo nivel de señal que puede ser detectado. Además, la simetría contribuye a la reducción del ruido en modo común y las no linealidades de orden par. Véase la figura 3.19 como ejemplo.

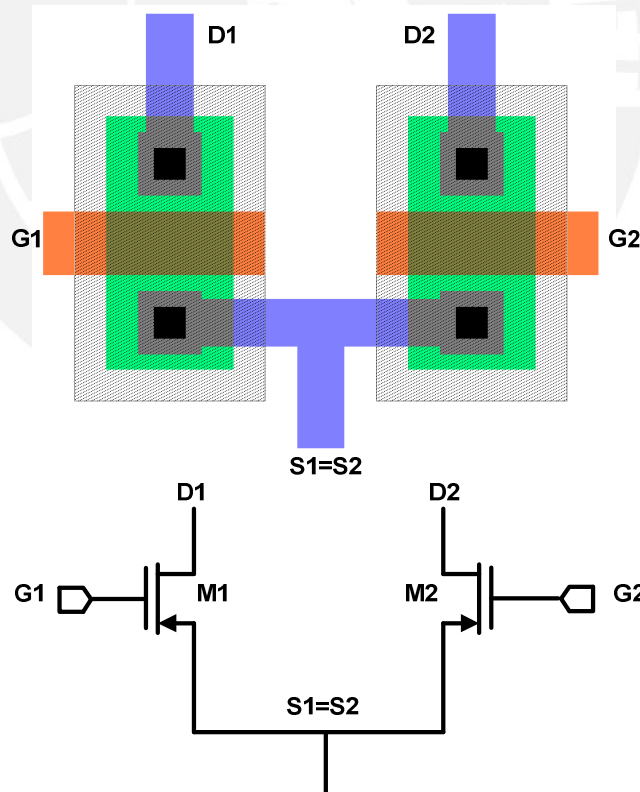


Figura 3.19. Par diferencial

Una alternativa en la elaboración de layouts empleando la simetría es la utilización de transistores inútiles, es decir, estos no cumplen ninguna función eléctrica pero su presencia hace que el entorno que rodea a cada transistor del par diferencial sea el mismo ya que no solo se busca simetría en el par mismo sino en sus alrededores evitando así efectos negativos en alguna etapa de proceso de fabricación. Se puede ver en la figura 3.20 dos transistores inútiles implementados en un par diferencial.

3.6.5 GRADIENTE

Al momento de hacerse la implantación iónica en la oblea de silicio en el proceso de fabricación, esta se realiza con un ángulo de inclinación de 7° aproximadamente lo cual produce que los transistores no tengan una difusión en proporciones iguales. Estos gradientes que afectan el emparejamiento de los dispositivos son variaciones en características que se dan en determinadas direcciones. Es por eso que al momento de elaborar estructuras, están se realizan de tal manera que estos se vean igualmente afectados por los posibles gradientes tal cual se ve en el ejemplo de la figura 3.20 aplicado a un par diferencial.

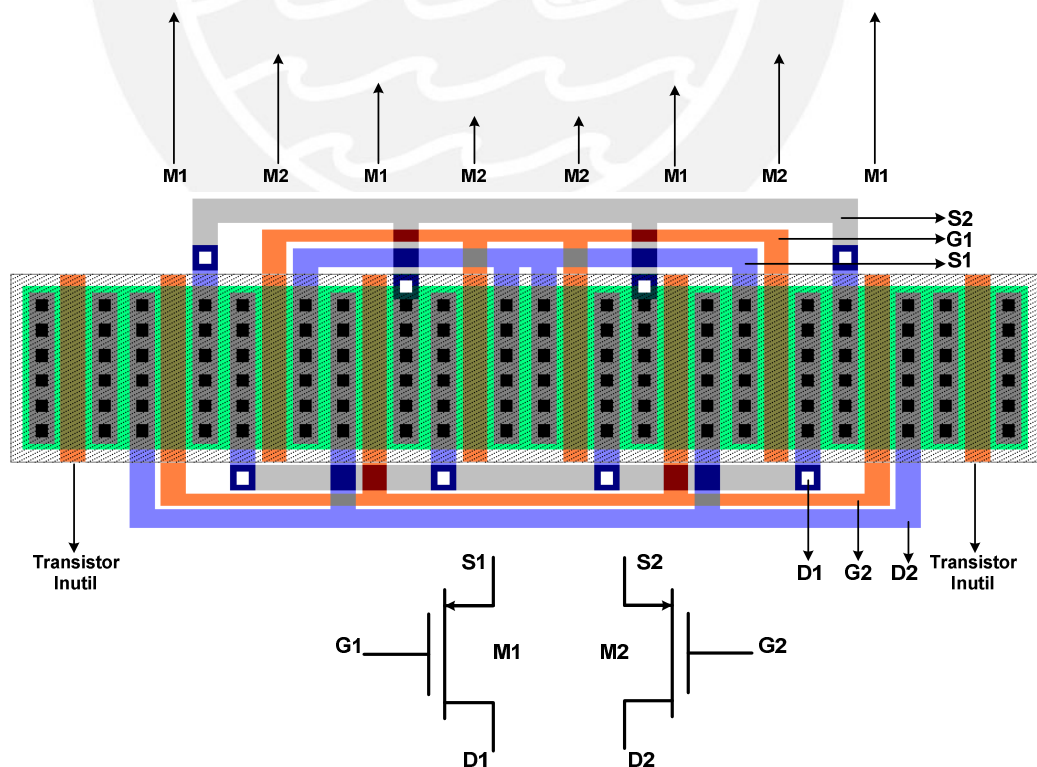


Figura 3.20 Par diferencial intercalado.

3.3.6 TRANSISTORES TIPO SERPIENTE (“SNAKE”)

Hemos visto que al momento de querer dibujar transistores con un ancho de canal muy grande se utiliza la técnica de interdigitación. Pero qué ocurre cuando tenemos un largo de canal demasiado grande. Podríamos dibujarlo de la manera convencional pero esto conllevaría que el área entre polisilicio y región activa sea mucho más grande y esto generaría capacitancias no deseadas. La mejor manera para dibujar transistores con largos de canal muy grandes es la que se muestra en la figura 3.21, en donde el “L” equivalente es igual a $2L_x + L_y$ [18].

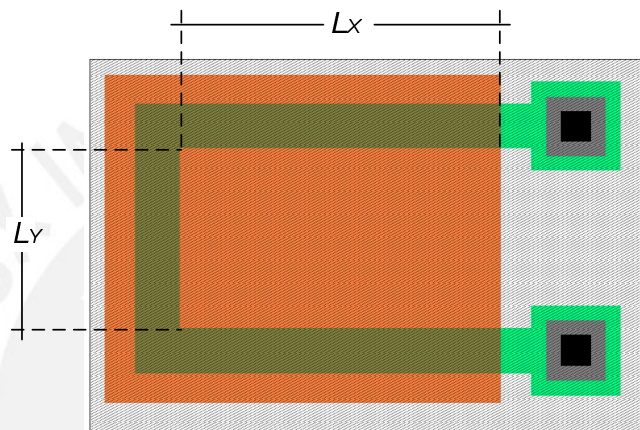


Figura 3.21: Transistor tipo serpiente “snake”. [18]

CAPÍTULO 4

PRESENTACIÓN DE SIMULACIONES Y RESULTADOS

4.1 INTRODUCCIÓN

Para el presente capítulo, mostraremos las correspondientes simulaciones hechas a los diagramas esquemáticos que conforman la arquitectura de la resistencia integrada. La figura 4.1 muestra en su totalidad el diagrama esquemático del circuito de auto polarización y el amplificador operacional junto con el equivalente PMOS. Para las simulaciones se utilizará la herramienta SPICE que a su vez realiza las simulaciones con el modelo matemático BSIM3V3. Se presentarán las gráficas correspondientes a las características implícitas en el flujo de diseño, apareciendo su respectivo comentario para así lograr conclusiones que evalúen la efectividad del diseño propuesto en este trabajo de investigación.

Se iniciará presentando los resultados obtenidos en la arquitectura del OPAMP configurado como buffer seguidor para luego seguir con el circuito de auto polarización del transistor PMOS que actuará como equivalente de la resistencia de alto valor, objetivo principal de este trabajo.

Como parte final de este capítulo, se mostrará el correspondiente layout de la arquitectura, para lo cual se empleó el software de diseño Tanner L-Edit en la versión estudiantil el cual extraerá las dimensiones de los transistores hechos en layout junto con las correspondiente áreas y perímetros en los contactos de drenador y surtidor, valores que insertaremos en el software de simulación y hallará las correspondientes capacitancias logrando una simulación más real con la cual tendríamos una mayor aproximación para lograr un dispositivo listo para su fabricación.

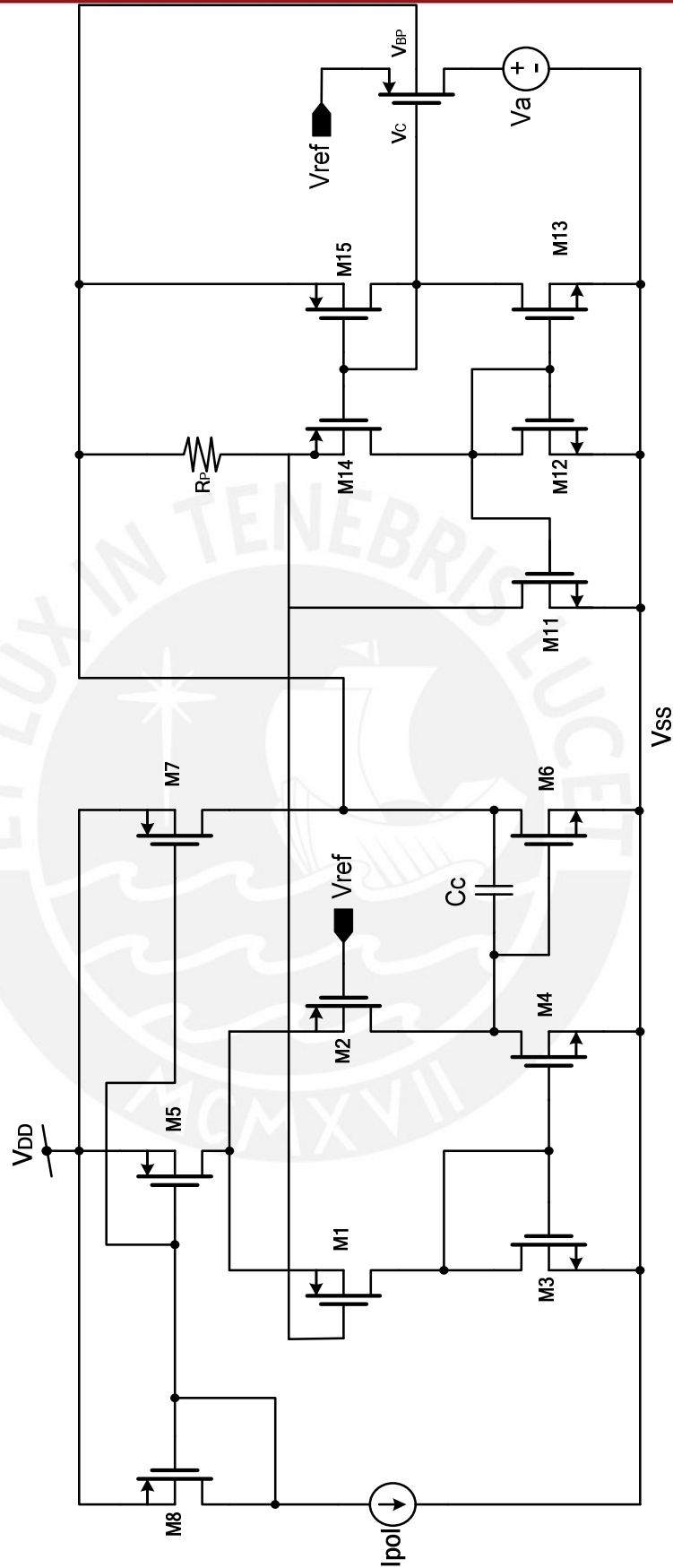


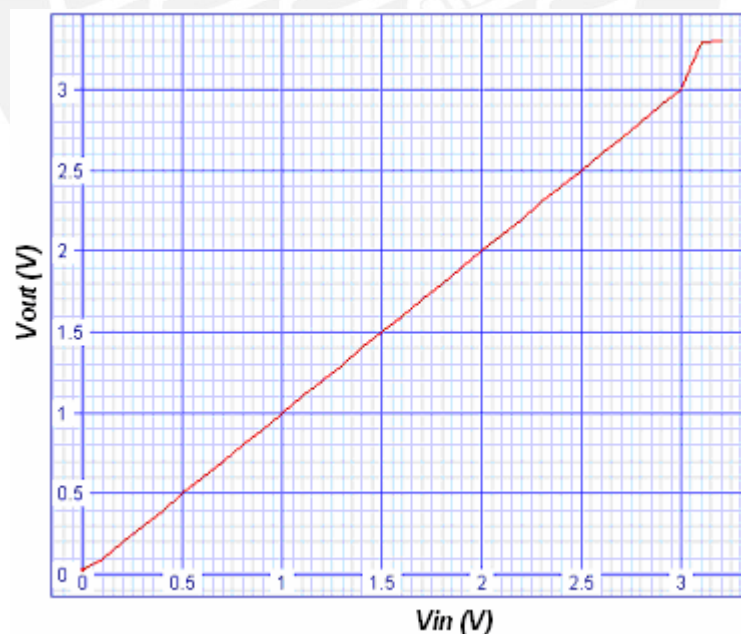
Figura 4.1 Diagrama esquemático del circuito completo.

Tabla 4.1: Parámetros obtenidos en la simulación del OPAMP

	$I_d(\mu A)$	g_{ds}	r_{ds}	g_m
M1	0.501	5.13E-09	1.95E+08	1.11E-05
M2	0.501	5.13E-09	1.95E+08	1.11E-05
M3	0.501	5.52E-09	1.81E+08	5.21E-06
M4	0.501	5.52E-09	1.81E+08	5.21E-06
M5	1.00	1.56E-08	6.41E+07	1.02E-05
M6	24.8	6.82E-07	1.47E+06	2.65E-04
M7	24.8	9.25E-05	1.08E+04	1.88E-04
M8	1.00	1.65E-08	6.06E+07	1.01E-05

Se logró una buena copia de corriente en los respectivos espejos de corriente (M5, M7 y M8). Además las dimensiones de los transistores del par y del espejo activo logran que circule la corriente esperada llegando a buenos resultados.

Como parte final de los resultados del OPAMP, se le configurará como seguidor de voltaje retroalimentando su salida con la entrada negativa. Se le hará un barrido a su entrada para ver si se logra copiar el voltaje de entrada en la salida. A continuación, en la figura 4.3 se muestra el resultado obtenido de su correspondiente simulación:


Figura 4.3: Respuesta del voltaje de salida con respecto al de entrada del OPAMP seguidor

Notamos que del rango de 0 a 3 voltios, la copia del voltaje de entrada es buena, lográndose el objetivo correspondiente a esta etapa de diseño.

4.2.2 CIRCUITO DE AUTO POLARIZACIÓN Y EQUIVALENTE PMOS

El diagrama esquemático de la presente etapa es mostrado a mayor detalle en el capítulo anterior. A continuación, mostraremos los correspondientes valores de corriente que circulan por cada transistor así como la relación entre espejos de corrientes para corroborar si la copia de corriente que se simuló logra concordar con el diseño teórico. Se trabajó con un voltaje de referencia de 3V y se eligió una resistencia R_p de 50 K Ω con lo cual se deriva las relaciones de dimensiones de M16 y M14 (W y L) de acuerdo a la fórmula equivalente de la resistencia. A partir de una simulación del punto de operación de todo el diagrama esquemático, se obtuvieron los siguientes valores detallados en la tabla 4.2:

Tabla 4.2: Valores de parámetros del circuito de auto polarización

Parámetros	Valores
Vref	3 V
Vbp	3,03 V
Vc	2,41 V
Vr	32,7mV
R	50K Ω
Ir	0,654 μ A
D	32,4
N	2,1

Asimismo, se obtuvieron los correspondientes valores de corriente de los transistores, y se comprobó que se acercan mucho a los valores teóricos, así como la obtención de las relaciones N y D:

Tabla 4.3: Corrientes de los transistores del circuito de polarización

Transistor	Id(A)
M11	5,78E-07
M12	1,78E-08
M13	3,66E-08
M14	1,78E-08
M15	3,66E-08

Una vez teniendo los potenciales de polarización V_{bp} y V_c para el PMOS equivalente, se obtiene la corriente que pasa por este transistor. Pero para efectos de simulación y respetando la condición de que el V_{ds} de este no sea mayor a los 25mV, se coloca una fuente “ V_a ” de 2.975V en el drenador de este asegurando que entre drenador y surtidor existan 25mV. Siendo esto aclarado, mostramos en la siguiente tabla los valores del punto de polarización del PMOS equivalente:

Tabla 4.4: Valores para el transistor PMOS equivalente de la resistencia integrada

Parámetros	Valores
I_d	311pA
V_{ds}	25mV
R_{int}	80.5M Ω

Como vemos, el valor equivalente de la resistencia se obtiene a partir de la división del voltaje entre drenador y surtidor del transistor entre la corriente que circula por este. Vemos que se asegure que trabaje en la zona sub-umbral al ser un valor pequeño de corriente. Pero siendo rigurosos en el análisis, debemos centrarnos en la linealidad que presente este equivalente resistivo. Para ello, realizamos un barrido del voltaje a V_a (véase la figura 4.4) desde 2.975v a 3V salvaguardando la condición de que el voltaje V_{ds} no sea mayor a 25mV.

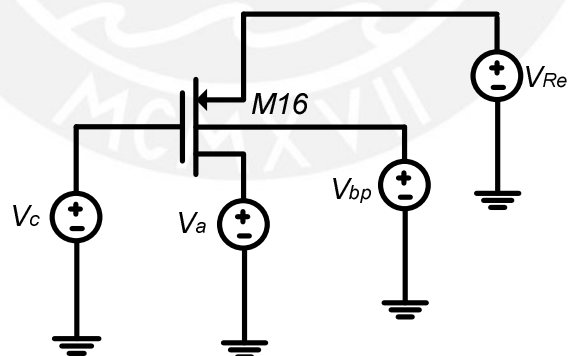


Figura 4.4: Diagrama esquemático de simulación del equivalente PMOS de la Resistencia

Los valores obtenidos por medio de varias simulaciones son mostrados en la gráfica 4.5. Luego se realizó un ajuste lineal para hacer una comparación de la linealidad de la resistencia equivalente. La pendiente obtenida de esta curva nos proporcionará el valor de la resistencia y es 79.77M Ω el cual es muy cercano a nuestro objetivo de 80M Ω . Para hallar el error que existe entre ambas curvas, por

medio del error cuadrático medio se obtuvo el coeficiente de determinación igual a 0.989. Mientras más cercano a 1 sea ese valor, más parecida será la curva de los valores medidos con la aproximación lineal (caso ideal).

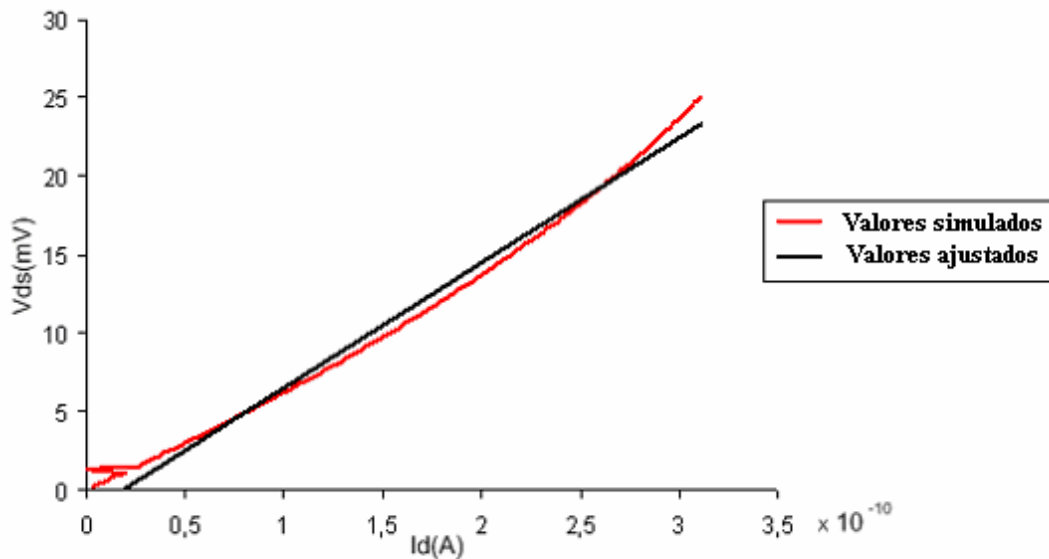


Figura 4.5: Curva Vds vs. Id para el transistor el transistor equivalente PMOS

Como parte final de los resultados, hay que mencionar el consumo de potencia del circuito. En esta oportunidad, el único bloque que generará el consumo de potencia sería el amplificador operacional ya que si nos fijamos detalladamente en el circuito esquemático (figura 4.1) este alimenta al circuito de auto polarización y la corriente que este consume es la proporcionada por el OPAMP seguidor. Entonces, calculando el consumo de potencia de este nos sale $88.44\mu\text{W}$. Cabe mencionar que el equivalente resistivo PMOS también consume potencia; en este caso este está alimentado por 25mV pero la corriente que circula por él es casi insignificante por lo que su aporte al consumo de potencia no es mucho.

4.3 LAYOUT DE LA RESISTENCIA INTEGRADA

En el siguiente apartado, mostraremos el layout elaborado del amplificador operacional conjuntamente con el circuito de auto polarización del transistor equivalente PMOS. Se trabajó con el software de diseño Tanner L-Edit versión estudiantil el cual nos permitirá extraer las correspondientes dimensiones de cada transistor como también las correspondientes áreas y perímetros entre junturas de drenador y surtidor del mismo. Se busca con esto obtener un modelo mucho más real para ser simulado en SPICE y corroborar si nuestras simulaciones hechas a

manera teórica concuerdan con las hechas a nivel layout siendo así posible establecer parangones y encontrar errores cometidos en la elaboración del mismo.

4.3.1 AMPLIFICADOR OPERACIONAL

Para la elaboración del layout de esta etapa, se valió mucho de la técnica de interdigitación la cual soluciona el inconveniente de implementar transistores con un ancho de canal (W) demasiado grande. Cuando surge este inconveniente, se colocan transistores en paralelo los cuales posean el mismo largo de canal (L) y el ancho equivalente sería la multiplicación de cada ancho de canal por la cantidad de transistores puestos en paralelo. En la figura 4.6 mostramos el caso del par diferencial de entrada del OPAMP en la cual se puede ver que los transistores M1 y M2 fueron divididos en 3 transistores puestos en paralelo los cuales tiene un $W=15.34\ \mu\text{m}$ cada uno. En la figura 4.7 corresponde al caso de los espejos de corriente de polarización en donde M7 fue dividido en 25 transistores con un $W=1.48\ \mu\text{m}$ cada uno. Para M8 y M5 no fue necesario dividirlos. Finalmente la figura 4.8 corresponde al espejo activo del OPAMP con la etapa buffer a la salida de este conformado por el surtidor común M6. Para su elaboración, M6 fue dividido en 8 transistores puestos en paralelo.

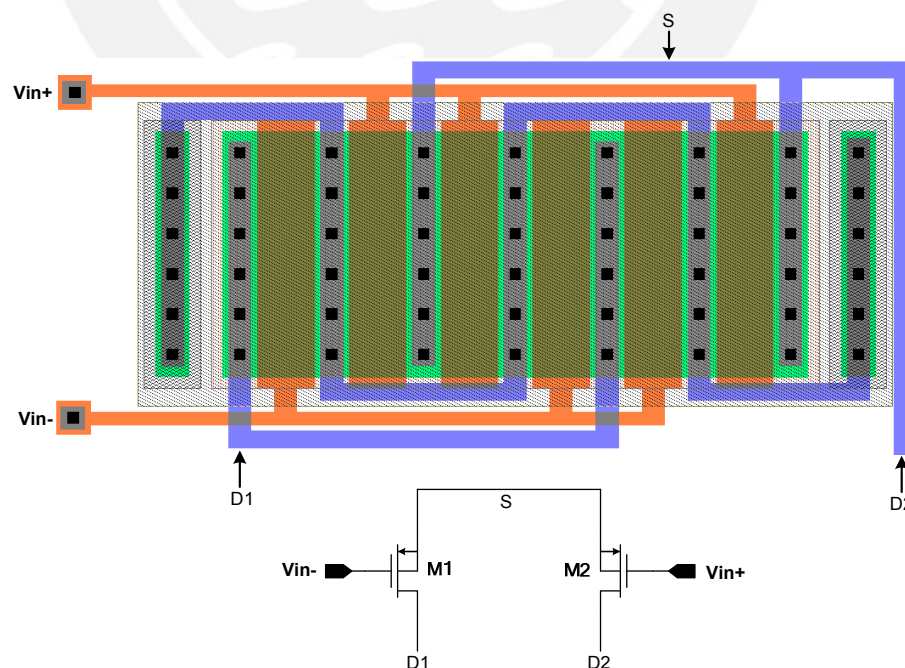


Figura 4.6: Par diferencial de la entrada del OPAMP

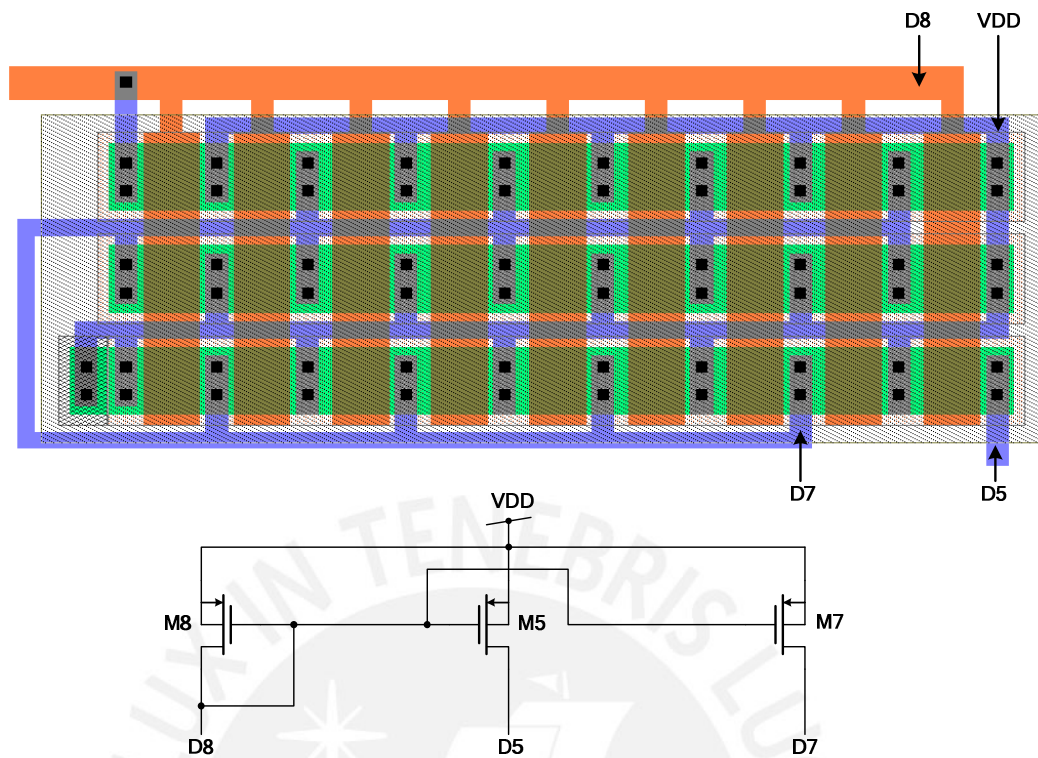


Figura 4.7: Espejos de corriente.

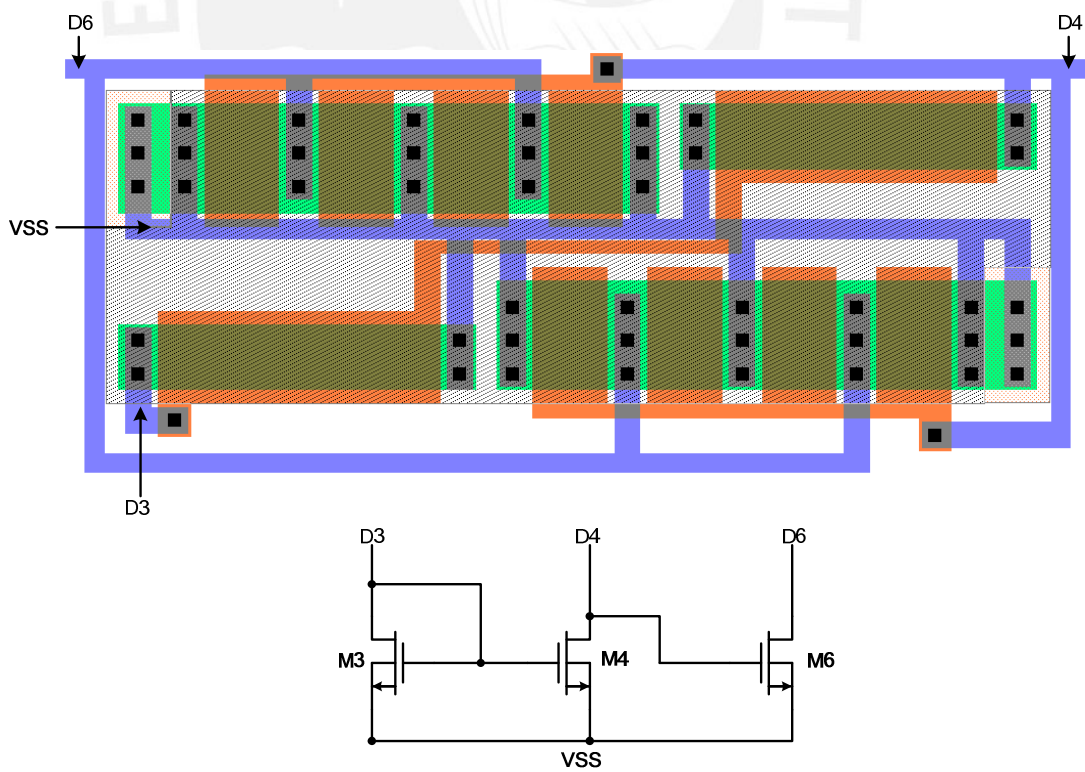


Figura 4.8: Espejo activo y surtidor común del OPAMP.

Finalmente mostraremos al circuito completo incluyendo a la capacitancia de 0.22pF. Para la implementación de este, se colocó dos capas de Poly1 y Poly2 en paralelo y según el archivo de tecnología de AMS 0.35 μm , entre Poly1 y Poly2 la capacitancia entre capas es de 0.86fF/ μm^2 . Se trabajó con un área total de 490 μm^2 entra capas para obtener el equivalente de capacitancia. La figura 4.9 muestra el layout del opamp completo incluyendo al condensador de compensación. La figura 4.10 muestra la distribución de los transistores M1 hasta M8 del circuito del OPAMP y C1 viene a representar el condensador de compensación. Se pueden ver los equivalentes para cada transistor. En total resultaron 43 transistores para este circuito. Además, el área que utiliza el amplificador operacional es de 0.00512mm².

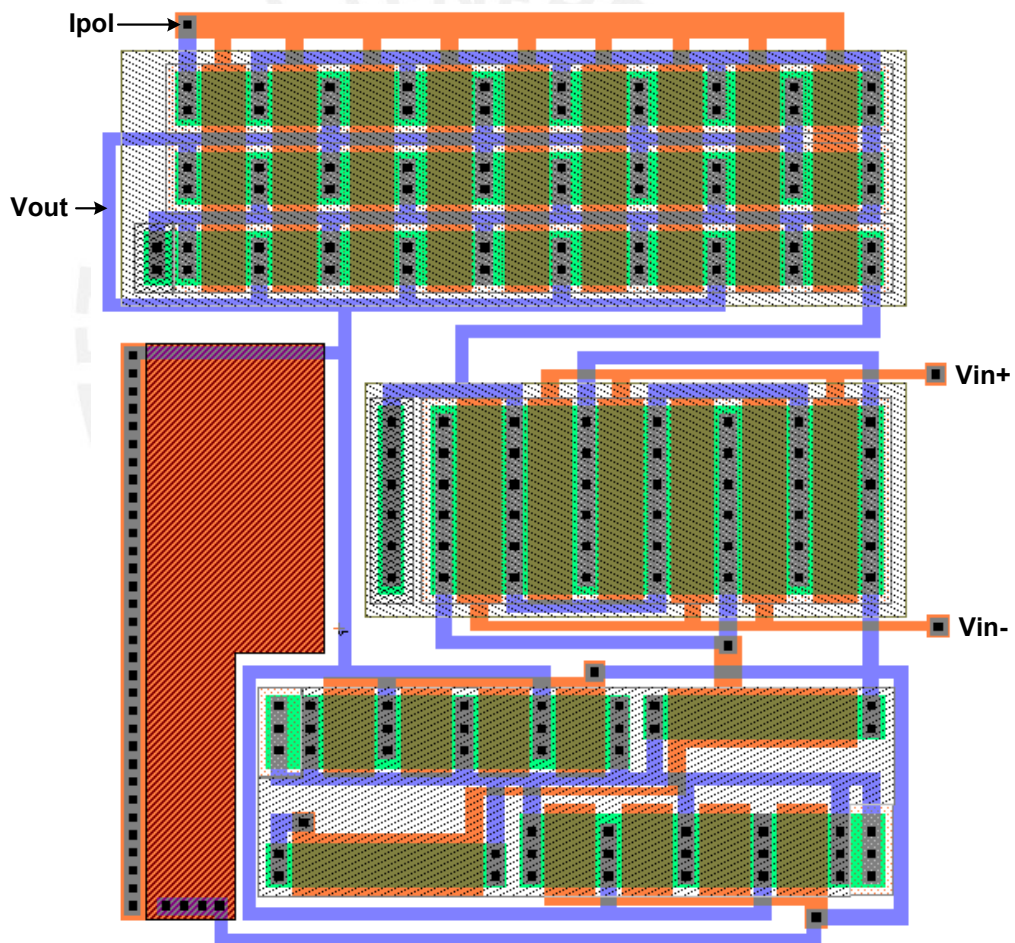


Figura 4.9: Layout del OPAMP

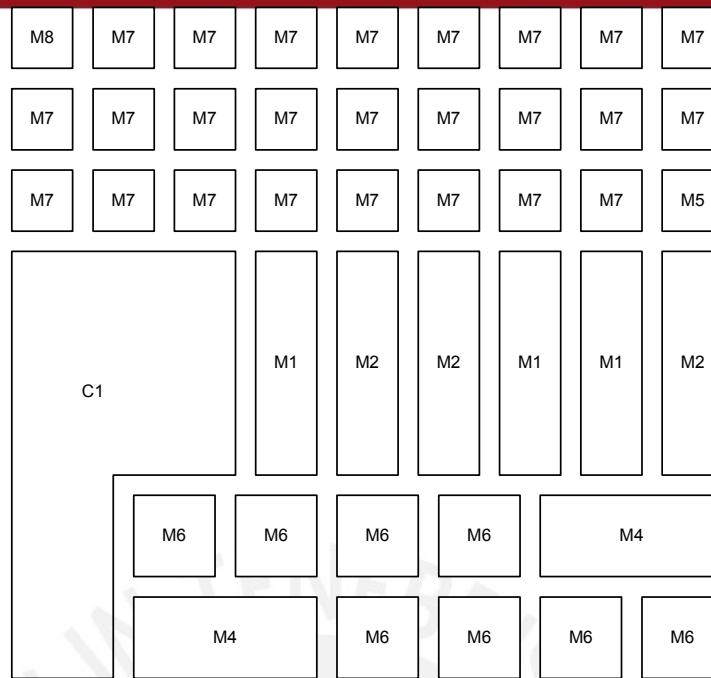


Figura 4.10: Distribución de los transistores del OPAMP

4.3.2 CIRCUITO DE AUTO POLARIZACIÓN

Para esta etapa, se tuvo el inconveniente de que algunos transistores tenían largos de canal muy grandes y para su implementación, si se realizara de manera tradicional esto generaría capacitancias las cuales pudieran perjudicar el desempeño del circuito. En este caso se valió de la técnica de colocar la región activa en forma de “culebra” para así generar un L grande sin generar problemas por capacitancias.

En la figura 4.11 mostramos al transistor M11 el cual posee un largo de canal igual a $32\mu\text{m}$. Este se dividió en 20 transistores puestos en paralelo debido a su $W=46.3\mu\text{m}$. A su vez cada uno tiene la forma de “serpiente” por su largo de canal. Finalmente la figura 4.12 muestra al resto de transistores que conforman al circuito de auto polarización. Cabe mencionar que los transistores M14 y M15 cuentan con un propio pozo debido a que sus terminales de “bulk” no son alimentados al mismo potencial.

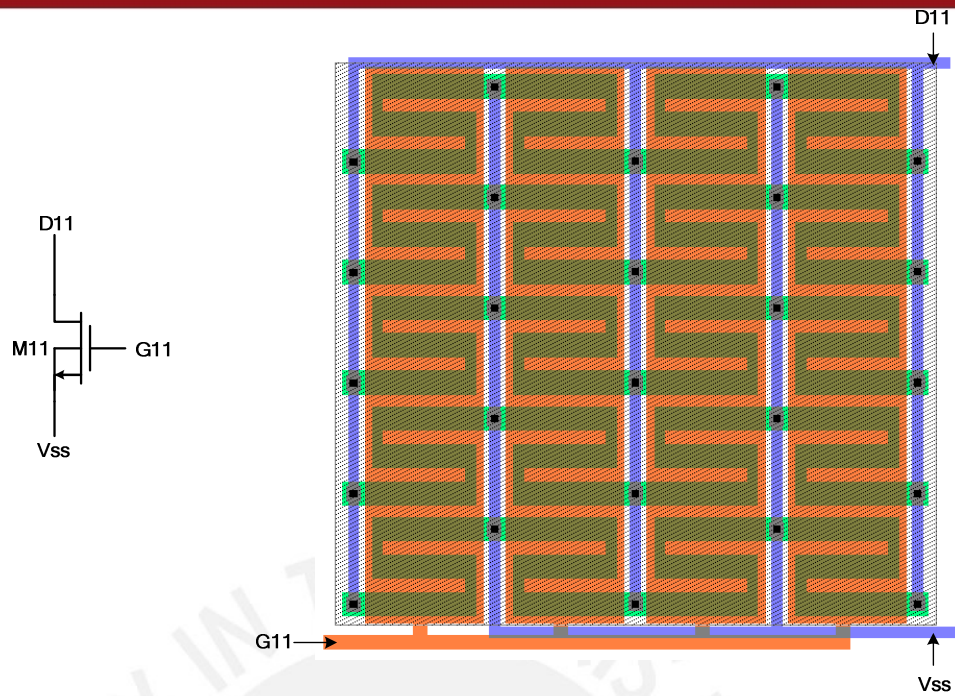


Figura 4.11: Transistor M12 en forma de “serpiente” e interdigitalizado.

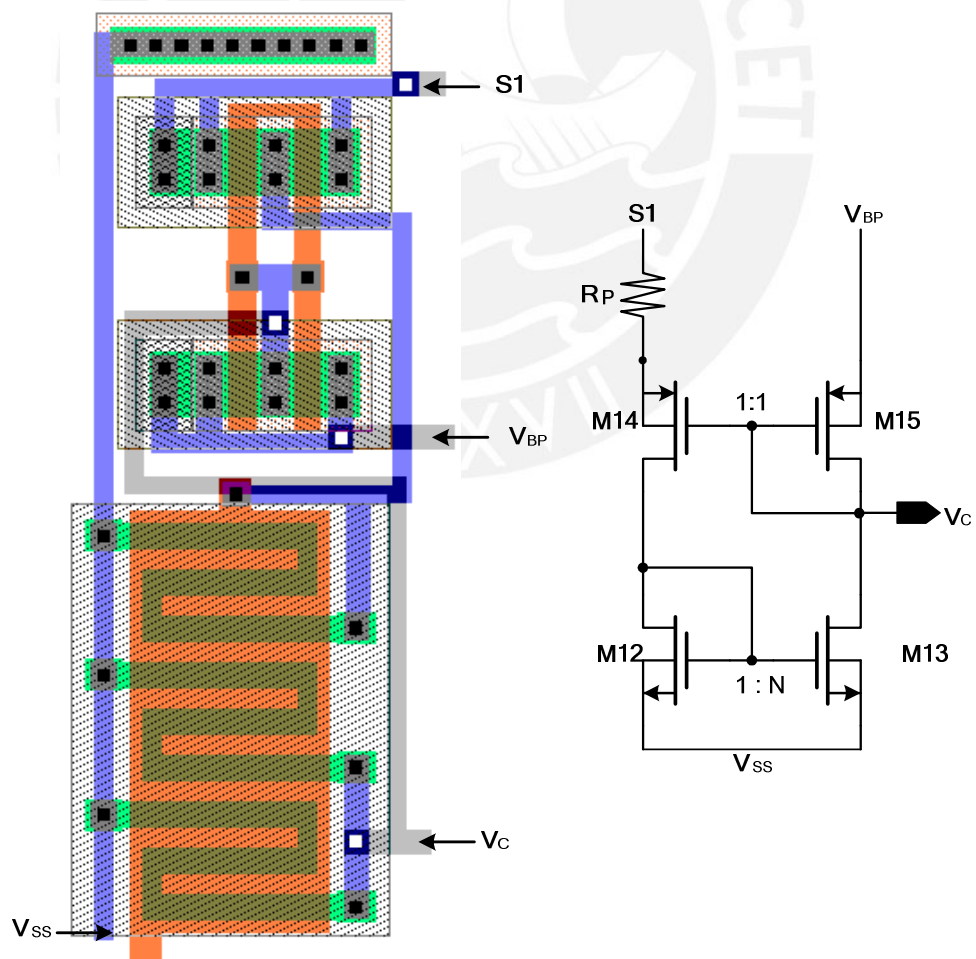


Figura 4.12: Espejos de corriente del circuito de Auto polarización

Habiendo mostrado cada bloque del circuito de auto polarización, mostramos en la figura 4.13 el layout final incluyendo al PMOS equivalente "Pr" el cual fue dividido en dos transistores puestos en paralelo en donde cada uno tiene $W=1.67 \mu\text{m}$ y un $L=20 \mu\text{m}$. La figura 4.14 muestra a mayor detalle la distribución de todos los transistores desde M11 hasta M15 incluyendo Pr el cual es el equivalente PMOS de la resistencia. La figura 4.15 muestra el layout final incluyendo la resistencia de $50\text{K}\Omega$ la cual fue implementada con una tira de material de poly2 el cual tiene $50\Omega/\square$ según las especificaciones de fabricación. El área utilizada por el circuito de auto polarización junto con la resistencia de $50\text{K}\Omega$ es de 0.00937mm^2 . Finalmente el área total del circuito completo sería de 0.0145mm^2 .

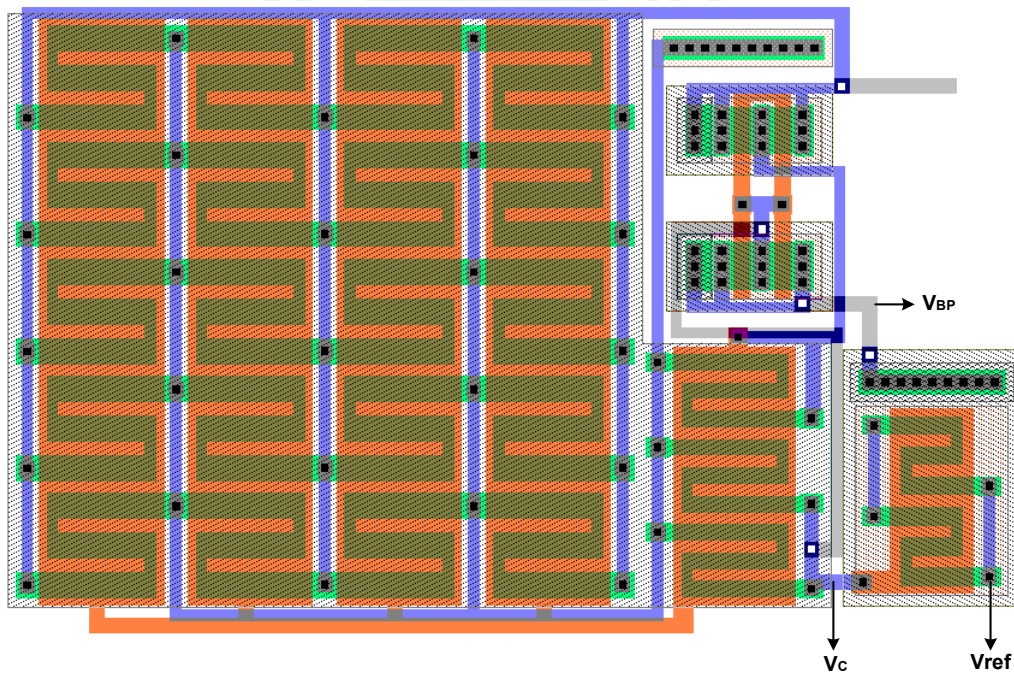


Fig. 4.13: Layout del circuito de Auto polarización con el equivalente PMOS resistivo

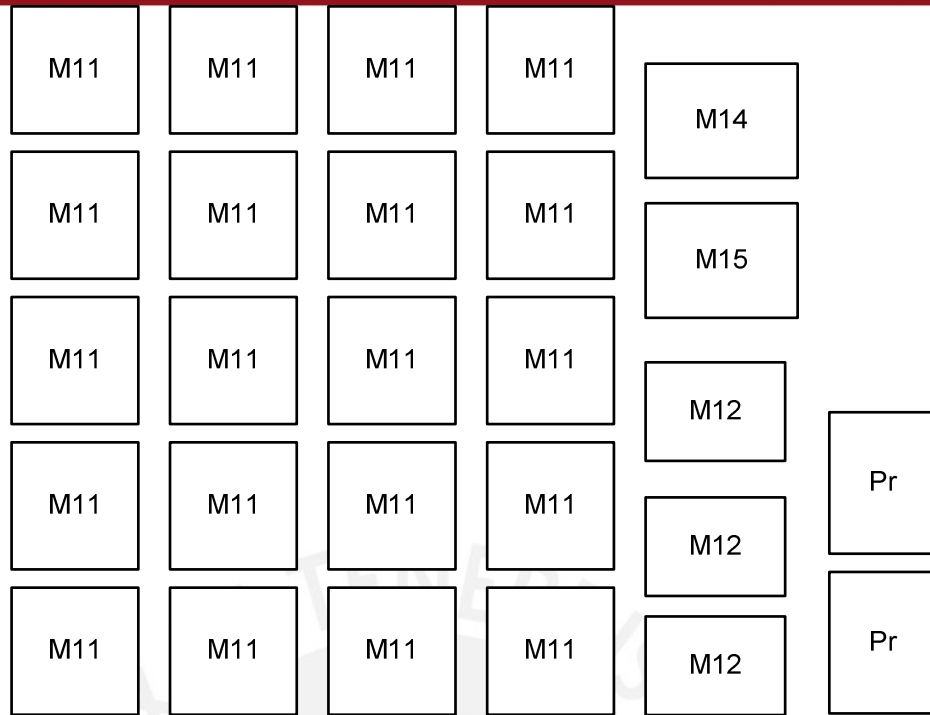


Fig. 4.14: Distribución de los transistores en el layout del circuito de auto polarización



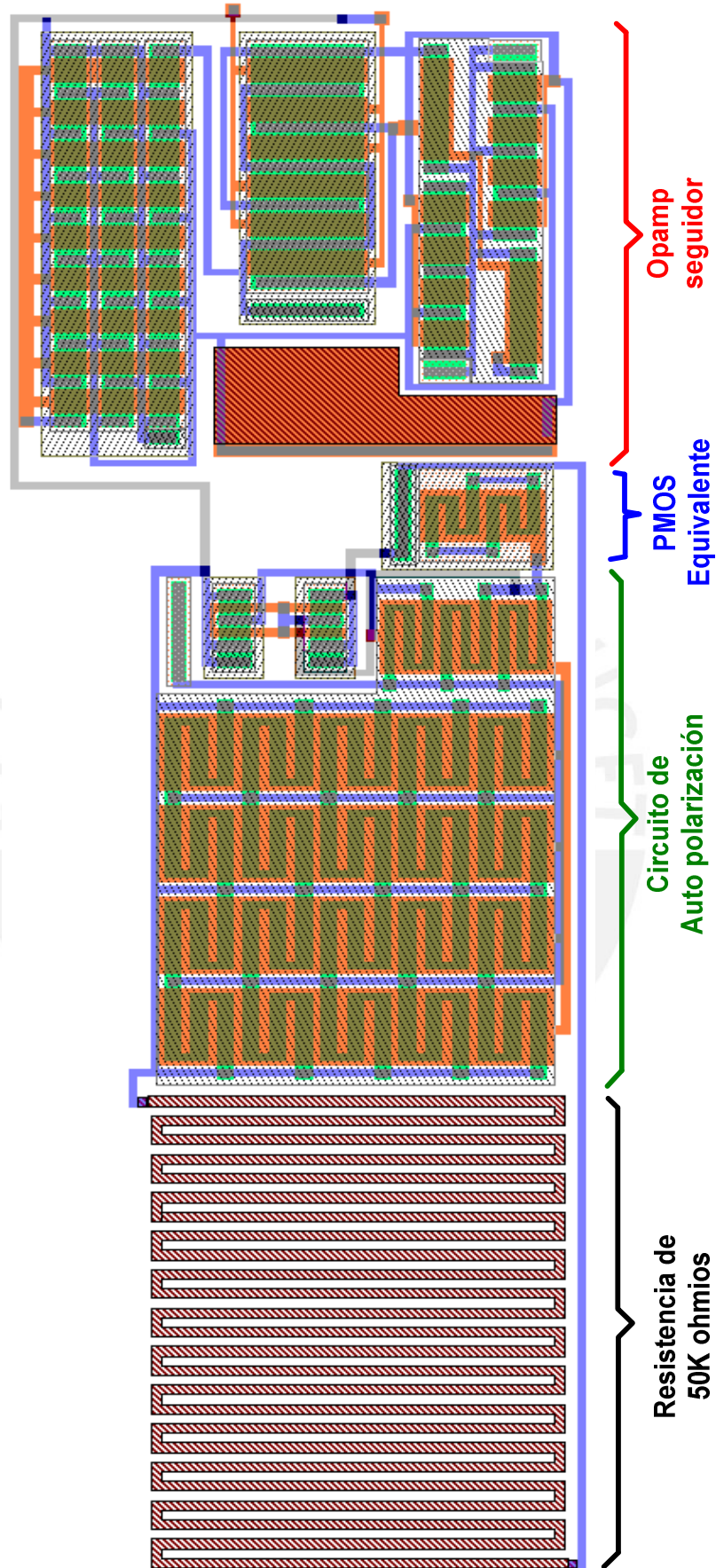


Figura 4.15. Layout del la resistencia Integrada

4.3.3 PRUEBAS EN SIMULACIÓN HECHAS AL LAYOUT

Habiendo mostrado el layout en su totalidad, se unieron ambas etapas (el OPAEP junto con el circuito de polarización) y con la ayuda del L-Edit se extrajeron las dimensiones de cada transistor para así poder hacer efectiva su simulación eléctrica y comparar resultados. Haciendo un resumen de los parámetros de nuestro interés, el cuadro 4.5 muestra los resultados obtenidos frente a la simulación y el cuadro 4.6 muestra las corrientes que circula por cada transistor del circuito:

Tabla 4.5: Parámetros obtenidos del layout del circuito de auto polarización

Parámetros	Valores
Vref	3 V
Vbp	3,035 V
Vc	2,4019 V
D	31.7
N	2.02

Tabla 4.6: Corrientes de los transistores del layout del circuito de auto polarización

Transistores	Id(μ A)
M11	0.568
M12	0.0179
M13	0.0632
M14	0.0179
M15	0.0632

Ya teniendo V_c y V_{bp} , se puede alimentar al transistor PMOS Pr que será el equivalente de la resistencia integrada. Se calculó su corriente a partir de su punto de operación y se obtuvo 201pA, asegurando que el voltaje entre drenador y surtidor no sobrepase los 25mV. Haciendo el cociente entre voltaje y corriente, el equivalente resistivo para las pruebas hechas en layout salió 124M Ω , muy superior a los 80M Ω que se esperaban. Notamos que frente a pequeñas variaciones de voltaje en la puerta del transistor PMOS Pr, este al estar en la región sub-umbral, su corriente es mucho más sensible a estas pequeñas variaciones en el gate por lo que la variación de su corriente será de mayor consideración. Sin embargo, hemos comprobado que las similitudes entre las corrientes obtenidas de los transistores con las pruebas hechas del diagrama esquemático son muy parecidas, los parámetros de diseño no se ven afectados considerablemente.

CONCLUSIONES

- Es notoria la necesidad de tener una solución frente a la problemática de implementar filtros de altas constantes de tiempo convirtiéndose esto en un tópico latente de investigación en la modernidad. Se torna casi imposible integrar en el chip capacitores en el rango de nano faradios (nF) y resistencias en el rango de algunas decenas de mega ohmios (MΩ) ya que ocuparían un área poco realista en la oblea de silicio.
- La región sub-umbral representa un espacio de diseño ampliamente aplicable en el diseño de circuitos integrados implantables, debido a sus bajos valores de corriente, permitiendo que el dispositivo cuente con un bajo consumo de potencia. El presente trabajo evidencia su utilización para lograr el equivalente resistivo de M_{Pr} . El valor de la resistencia dependerá, no en este caso, del potencial de polarización (como es común modelar un transistor en región óhmica) sino que variando parámetros de diseño se logra un valor numérico de la resistencia en mención, salvaguardando que los transistores trabajen en la región sub-umbral.
- Las herramientas de diseño que se disponen en el laboratorio de Microelectrónica, de la Pontificia Universidad Católica del Perú, facilitan enormemente el ciclo de diseño de circuitos integrados analógicos. Asimismo, con la metodología gm/I_D se tiene la libertad de que los transistores trabajen en cualquier nivel de inversión con lo cual se puede lograr consumos de potencias bajos, ideal para dispositivos implantables.
- Para la elaboración del layout físico del diseño se tiene que tener un buen conocimiento de las diversas técnicas para su desarrollo, así como de los parámetros del proceso de fabricación para evaluar su correcto desempeño por medio de simulaciones.

RECOMENDACIONES

- La variación del voltaje de puerta aplicado al transistor PMOS del cual se obtiene el equivalente resistivo, es perjudicial debido a que al trabajar en la región sub-umbral, la variación de este potencial hace que la variación de la corriente que circula por el drenador sea considerable. Esto hace que el equivalente resistivo varíe no llegando al objetivo deseado. Por eso la elaboración del layout debe llegar a los valores obtenidos en la simulación eléctrica del diagrama esquemático hecho en la etapa de diseño.
- Se debe tener en cuenta que el voltaje entre drenador y surtidor del transistor PMOS equivalente no debe pasar los 25mV para que todo el análisis sea efectivo, ya que trabajaría en la región sub-umbral. La linealidad del equivalente resistivo variará para señales de gran amplitud aplicadas a este sistema de adquisición.
- Hay que prever que las simulaciones obtenidas del layout deben fijar valores muy similares a los obtenidos en simulación del diagrama esquemático, es decir, que los voltajes que proporciona el circuito de auto polarización deben asegurar que circule la corriente adecuada por el PMOS de donde se obtiene el equivalente resistivo.

FUENTES

- [1] SACRISTÁN, J. MASES. M. T., “Low noise amplifier for recording ENG signals in implantable systems” ISCAS 2004(International Symposium on Circuits and Systems), p.IV-, 2004.
- [2] ALARCÓN, H. “Diseño de un preamplificador utilizado para la adquisición de señales neuronales”. 2007. Tesis (Ing.). Pontificia Universidad Católica del Perú. Facultad de Ciencias e Ingeniería
- [3] MAVOORI, J. MILLARD, B. et al..” *A miniature implantable computer for functional electrical stimulation and recording of neuromuscular activity*” . IEE International Workshop on BioMedical Circuits and Systems (BIOCAS'2004),Singapore 2004.
- [4] Instituto Nacional de Higiene y Medicina Tropical “Leopoldo Inquieta Pérez” “Clasificación de dispositivos médicos”. Guayaquil, Ecuador [consultado 06/09/06] <http://www.inh.gov.ec/descargas/racs_dime_cla_gru.doc>
- [5] WOJTENEK, W. “Introducción a la Neurociencia”. [Consultado 25/09/2006]. <<http://www.usfq.edu.ec/neuro/pdf/Introduccion.pdf>>
- [6] BOEREE, G. “Psicología General: La neurona”. [Consultado 27/09/2006]. <<http://www.psicologiaonline.com/ebooks/general/neuronas.htm>>
- [7] SAYAS, S. “*Procesamiento Posterior a la etapa de adquisición de señales nerviosas en dispositivos implantables neuronales*”. XIV Seminario de Ingeniería Biomédica. 2005.

- [8] SALDAÑA, J. “Diseño de Circuito Integrado para acondicionamiento de Señales ECG” Tesis (Ing.). Pontificia Universidad Católica Del Perú. Facultad de Ciencias e Ingeniería. 2004
- [9] SILVEIRA, F. et al. “Diseño de circuitos integrados para dispositivos médicos implantables: Introducción al diseño de circuitos integrados analógicos de microconsumo”. Facultad de Ingeniería. Universidad de la República. Uruguay.
- [10] RAZAVI, B. “Design of Analog CMOS Integrated Circuits” McGraw Hill.
- [11] ALARCÓN, H. VILLACORTA, H. “A design-space generation tool for analog blocks of Ultra low-power IC’s based upon the bsim3v3 model”. Costa Rica. Iberchip 2006.
- [12] SILVEIRA, F, et al. “A gm/Id Based Methodology for the Design og CMOS Analog Circuits and Its Application to the Synthesis of a Silicon–on –Insulator Micropower OTA. IEE Journal of Solid-State Circuits, VOL- 31, NO. 9, September 1996.
- [13] MENDIAS, J. “*Diseño de circuitos integrados I: Diseño físico de circuitos CMOS*”. Universidad Complutense de Madrid.
- [14] SAVANT C.J. “Diseño Electrónico. Circuitos y Sistemas”. Tercera Edición. 2000.pp 695. Pretince Hall. México.
- [15] BULT, K, GEELLEN, G. “*An inherently linear and compact MOST-only current division technique*”, IEE JSSC, vol.27, nº12, 1992 pp.1730-1735.
- [16] A. Veeravalli, E. Sánchez-Sinencio, J.Silva-Martínez, “*Transconductance Amplifiers with Very Small Transconductances: A Comparative Design Approach*”, IEEE JSSC, vol.37, nº.6, Jun.2002
- [17] MARTÍNEZ, H. “*Diseño CMOS de un filtro de tiempo continuo con sistema de sintonía automática*” Universidad Politecnica de Cataluña.2003

- [18] HASTINGS, A. “*The Art of Analog Layout*”. Prentice Hall. 2001.
- [19] VILLACORTA, H. “Diseño de un amplificador operacional de transconductancia implantable para la adquisición de señales del EEG” 2006. Tesis (Ing.). Pontificia Universidad Católica del Perú. Facultad de Ciencias e Ingeniería
- [20] FRANCA, J. “Design of analog-digital VLSI circuits for telecommunications and signal processing”. Prentice-Hall, 1994.
- [19] ARAGONÈS, R. “Introducción al Diseño de Circuitos Integrados”. Universidad Autónoma de Barcelona. Cvit 2003-2004.
- [21] ECE5325 Smart Sensors & Fuel Cell. CMOS OPAMP. [Consultado 05/05/2006]. <<http://webpages.eng.wayne.edu/cadence/ECE7570/>>
- [22] MARTIN, J. JHONS, D. “Analog Integrated Circuits Design”. New York : Wiley, 1997.
- [23] GRAY, P. MEYER R, “MOS Operational Amplifier Design – A Tutorial Overview”. IEEE Journal of Solid-State Circuits, Volume 17, Issue 6, Dec 1982 Page(s): 969 – 982.