

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ

FACULTAD DE CIENCIAS E INGENIERÍA



PONTIFICIA
UNIVERSIDAD
CATÓLICA
DEL PERÚ

DISEÑO DE UNA BOMBA DE CARGA EN TECNOLOGIA CMOS

Tesis para optar el Título de **Ingeniero Electrónico**, que presenta el bachiller:

Luis Enrique Rodríguez Mecca

ASESOR: MS.c Julio Cesar Saldaña Pumarica
CO-ASESOR: Ing. Erick Leonardo Raygada Vargas

Lima, Enero de 2015

Resumen

Los circuitos integrados (chips), presentes en la mayoría de sistemas electrónicos, vienen evolucionando en términos de la complejidad de la función que realizan. Para lograr eso, los procesos de fabricación de circuitos integrados mejoran continuamente en términos de las dimensiones mínimas de los dispositivos que pueden ser integrados. Esa miniaturización constante demanda que la tensión de alimentación de los chips sea disminuida, pues de lo contrario los dispositivos más pequeños del sistema estarían sometidos a campos eléctricos suficientemente elevados para dañar a su estructura. Lamentablemente algunas funciones realizadas en los circuitos integrados requieren de tensiones mayores a la impuesta por la integridad de los dispositivos de dimensiones mínimas. En estos casos se utilizan dispositivos mayores y se necesita de algún circuito que genere esa tensión mayor que la tensión de alimentación.

La presente tesis trata del diseño de una bomba de carga que realiza la función de duplicar la tensión de alimentación. Dicho circuito está compuesto por transistores y condensadores de un proceso de fabricación CMOS que permite la formación de canales de 350nm de longitud mínima. Para concluir satisfactoriamente el diseño, se analizaron las relaciones entre parámetros de funcionamiento del circuito y parámetros de diseño tales como dimensiones geométricas de los canales de los transistores y condensadores, corriente de polarización de los transistores y atrasos entre señales digitales de control. Como resultado de ese análisis se propone un procedimiento de diseño de la bomba de carga y se aplica dicho procedimiento al diseño de circuitos con unas determinadas especificaciones de funcionamiento. Las especificaciones verificadas con herramientas de simulación son: $65\mu A$ de corriente de salida nominal, 12,5pF de capacitancia de carga, rango de tensión de alimentación desde 1,5V hasta 3,3V, rango de tensión de salida desde 2,4V hasta 6V y una eficiencia máxima de 80%

A mi madre Isabel Meca, por su incondicional apoyo durante todos estos años y por sus sabios consejos que me guiaron por un buen camino.

A mi abuela Maclovia por cuidarme y criarme a lo largo de todo este camino y por mostrarme la verdadera fortaleza.

A mi pareja Jessica, quien me acompañó a lo largo de mi vida universitaria y que me mostró su apoyo incondicional.

A mi tío Manuel, mi madrina Irma y mi tía Margarita, quienes me apoyaron en todos los aspectos de mi vida.

A mis asesores Julio Saldaña y Erick Raygada, por guiarme a lo largo de este proyecto de investigación y depositar su confianza en mí.

Al Grupo de Microelectrónica (GuE) y al Dr. Carlos Silva por todo su apoyo.

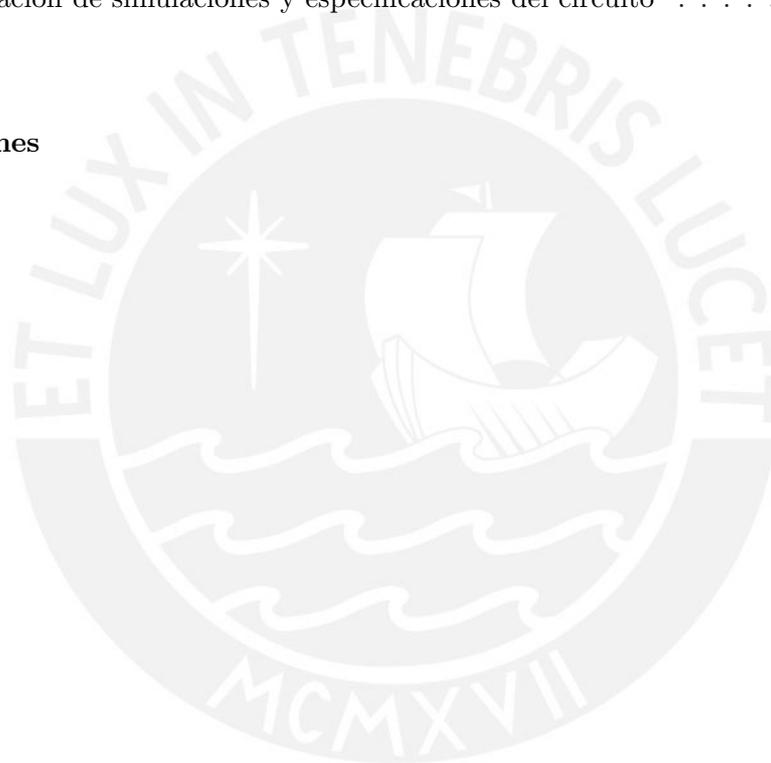
A Eduardo Bejar, Guillermo Garayar, Edward Mitacc, Sammy Cerida Rengifo, Niels Prieto, Renzo Andre Seminario, Anthony de la Cruz y demás compañeros del Grupo de Microelectrónica, por toda la ayuda y enseñanzas brindadas.

¡Gracias!

Índice general

Resumen	I
Introducción	VIII
1. Principios y topología de la bomba de carga	1
1.1. Principios de transferencia y conservación de carga	1
1.2. Parámetros de las bombas de carga	3
1.3. Topología de Dickson	3
1.4. Topología Cross-Coupled	5
1.5. Elección de la topología	6
2. Análisis y diseño del circuito	7
2.1. Análisis y modelamiento de la topología <i>cross-coupled</i>	7
2.1.1. Análisis de la tensión de salida transitoria y del tiempo de subida de la topología <i>Cross-Coupled</i>	8
2.1.2. Análisis de la eficiencia de la topología Cross-Coupled	11
2.1.3. Modelamiento del circuito equivalente	14
2.2. Análisis de pérdidas de energía	15
2.2.1. Pérdida por redistribución	15
2.2.2. Pérdidas por conducción	17
2.2.3. Pérdidas por conmutación	18
2.2.4. Pérdidas por reversión	19
2.3. Disminución de los picos de corriente inversa del circuito	21
2.4. Diseño del circuito eléctrico a nivel de transistores	23
2.4.1. Selección del capacitor integrado que se utilizará de acuerdo a la tecnología AMS $0,35\mu m$	23
2.4.2. Selección de la frecuencia de conmutación f_s y del capacitor del <i>charge pump</i> C_p para obtener óptimas características del circuito	24
2.4.3. Selección de un W_{opt} en base a la relación entre las pérdidas de conducción y conmutación	26
2.4.4. Propuesta de diseño	29

3.3. Técnica de diseño de layout	35
3.3.1. Centroide común	35
3.3.2. Elementos ficticios	36
3.3.3. Anillo de guarda	38
3.4. Diseño del <i>layout</i>	38
4. Resultados de la simulación	40
4.1. Tensión de salida en el tiempo (V_{out})	40
4.2. Tensión de salida en estado estable ($V_{out,ss}$)	41
4.3. Eficiencia energética del circuito (η)	42
4.4. Tiempo de subida (t_r)	43
4.5. Disminución de los picos de corriente inverso (I_{rev})	43
4.6. Comparación de simulaciones y especificaciones del circuito	44
Conclusiones	47
Recomendaciones	48
Apéndice A	51



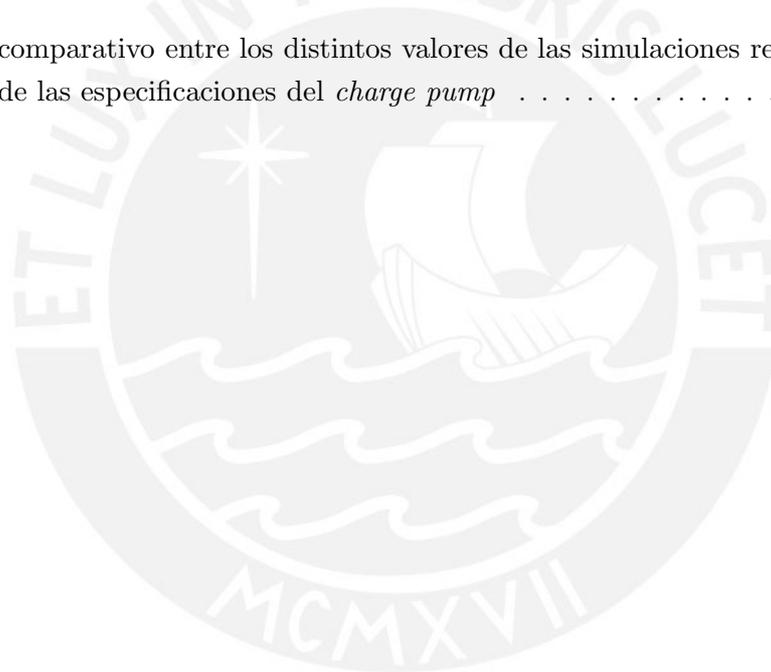
Índice de figuras

1.1. Ilustración de los principios de transferencia y conservación de carga en capacitores [1]	1
1.2. Topología de Dickson basada en diodos de multiples etapas [1].	4
1.3. Topología de Dickson basada en transistores de multiples etapas [1].	4
1.4. Ilustración de la topología de Cross-Coupled [1]	5
2.1. Bomba de carga con topología <i>cross-coupled</i> considerando la presencia de capaci- tancias parásitas	8
2.2. Tensión de salida en estado transitorio	10
2.3. Tensión de salida en estado estable	12
2.4. Modelo de circuito equivalente de un <i>charge pump</i> [2]	15
2.5. Ilustración del proceso de pérdidas por redistribución de cargas [3]	16
2.6. Ilustración del fenómeno de pérdida por redistribución en la bomba de carga . . .	16
2.7. Ilustración de los interruptores ideales(a) interruptores a los que se le asocia una resistencia de encendido R_{on} y el ESR de capacitancias [1]	17
2.8. Ilustración de las capacitancias parásitas de los transistores MOSFET [4] y las capacitancias parásitas de los capacitores integrados [5]	18
2.9. Ilustración de los flujos de corrientes originales(a). flujos de corrientes inversos(b) [1]	19
2.10. Ilustración de las señales de control no traslapadas y sus fases complementarias [6]	20
2.11. Arquitectura genérica de un <i>charge pump cross coupled</i> con un circuito de control de compuerta [7]	21
2.12. Diagrama de tiempo de las señales de control de un <i>charge pump cross coupled</i> con un circuito de control de compuerta [6]	22
2.13. Circuito de <i>testbench</i> para la obtención de los valores de α_T y α_B de los capacitores de la tecnología	23
2.14. Gráfica de la eficiencia del circuito vs capacitancia de bombeo del <i>charge pump</i> . .	27
2.15. Circuito de <i>testbench</i> para la obtención de un W_{opt} de los transistores de salida . .	28
2.16. Ilustración de las pérdidas de conducción y conmutación para la obtención de un W_{opt} de los transistores de salida	28
2.17. Diseño a nivel esquemático del <i>charge pump Cross - Coupled</i>	29
3.1. Estructura de un transistor NMOS y de un transistor PMOS [4]	30

3.2. Layout de un transistor NMOS y un transistor PMOS	31
3.3. Vista transversal del <i>wafer</i> [8]	32
3.4. Ilustración de la estructura de un capacitor integrado basado en placas paralelas [5]	32
3.5. Efecto de <i>Undercutting</i> sobre las dimensiones geométricas del capacitor [5]	33
3.6. La vista de <i>layout</i> (a) y la vista de sección transversal(b) de los capacitores PIP [9]	34
3.7. Modelo de un capacitor PIP considerando las capacitancias parásitas de los platos superior e inferior(A) y considerando las resistencias y capacitancias parásitas del condensador(B). [10]	35
3.8. Vista transversal de un capacitor PIP considerando las capacitancias parásitas [9] .	35
3.9. Utilización de la distribución de centroide común para unidades de capacitores [5] .	36
3.10. Utilización de capacitores <i>dummy</i> para mejorar la simetría entre los capacitores [4]	37
3.11. Efecto de <i>gate shadowing</i> sobre el transistores MOSFET [4]	37
3.12. Utilización de transistores <i>dummy</i> para mejorar la simetría entre los transistores MOSFET [4]	38
3.13. Utilización de anillo de guarda para protección del circuito [4]	38
3.14. <i>Layout</i> del arreglo de capacitores <i>PIP</i> empleando la técnica de centroide común .	39
3.15. <i>Layout</i> de la bomba de carga con la topología <i>Cross Coupled</i> con la técnica de control de compuertas que emplea capacitores <i>PIP</i>	39
4.1. Gráfica de la tensión de salida vs tiempo	40
4.2. Gráfica de la tensión de salida vs la corriente de carga del <i>charge pump</i>	41
4.3. Gráfica del tiempo de subida vs la capacitancia de carga del <i>charge pump</i>	41
4.4. Gráfica de la eficiencia energética del circuito vs la corriente de carga	42
4.5. Gráfica de la eficiencia energética del circuito vs la tensión de alimentación	42
4.6. Gráfica del tiempo de subida vs la capacitancia de carga <i>charge pump</i>	43
4.7. Gráfica de los picos de corriente inversa del transistor MP0 (a) antes de implementar el circuito de control de compuerta. (b) Después de implementar el circuito de control de compuerta.	44
4.8. Gráfica de Montecarlo por <i>mismatch</i> de la tensión de salida en estado estable . . .	45
4.9. Gráfica de Montecarlo por <i>mismatch</i> de la voltaje de rizado	45
4.10. Gráfica de Montecarlo por <i>mismatch</i> del tiempo de subida	46
11. Topología de Dickson basada en diodos de una etapa	51

Índice de cuadros

2.1. Posibles valores para el circuito de control de compuerta [7]	22
2.2. Lista de valores del circuito de testbench	24
2.3. Ecuaciones para describir el comportamiento del circuito	25
2.4. Resultados del primer <i>Script</i>	26
2.5. Resultados del segundo <i>Script</i>	26
4.1. Cuadro comparativo entre los distintos valores de las simulaciones realizadas	44
4.2. Cuadro de las especificaciones del <i>charge pump</i>	46



Introducción

El continuo desarrollo tecnológico durante el siglo pasado ha permitido un gran avance en distintas áreas, siendo la industria de los semiconductores una de las que alcanzó un gran progreso. Dentro de dicha industria, el diseño y la fabricación de circuitos integrados evolucionó de colocar unos cientos de transistores en una oblea de silicio a lograr miniaturizar miles de millones de transistores en un solo empaque lo cual permite desarrollar dispositivos conocidos como SoC (System on Chip). Estos niveles de miniaturización fueron posibles debido a la facilidad de reducción de las dimensiones de los transistores MOSFET lo que permitió que la tecnología MOS lidere en el mercado de la microelectrónica.

La constante reducción de las dimensiones de los transistores MOSFET, en especial de la longitud de canal (L), obligó a que otros parámetros también sean reducidos, entre ellos, la tensión de alimentación (V_{DD}). Esto se debe a que las líneas de campo eléctrico que genera la fuente de alimentación a lo largo del canal puede tener un efecto destructivo sobre el MOSFET. Por lo tanto, en la medida que disminuye la longitud del canal también se debe disminuir la tensión de alimentación para mantener constante el campo eléctrico a lo largo del canal. Esto ocasiona que muchos sistemas utilicen bajos niveles de tensión de alimentación ;sin embargo , aún existen bloques de un sistema o aplicaciones - tales como programación de memorias volátiles, accionamiento de actuadores electrostáticos o alimentación de pantalla LCD - que requieren de una tensión más elevada que la alimentación general del sistema y que dicha tensión se genere internamente en el chip. Unos de los circuitos que se emplean para elevar la tensión de alimentación son conocidos como bombas de cargas.

El presente trabajo de tesis plantea el diseño, en tecnología CMOS, de una bomba de carga. La eficiencia energética del circuito, uno de los parámetros más relevantes, será analizada por medio de ecuaciones que revelen el efecto de la topología del circuito y de los parámetros de los dispositivos utilizados.

Capítulo 1

Principios y topología de la bomba de carga

Este capítulo tiene como objetivos mostrar los principios físicos que gobiernan el funcionamiento de una bomba de carga (*charge pump*) y resumir el estado del arte en relación a las topologías utilizadas para la implementación de dicho circuito. Después del análisis del funcionamiento del circuito se definen sus principales parámetros de desempeño tales como tiempo de subida, tensión de salida y eficiencia energética. Posteriormente se estudian dos topologías con la finalidad de determinar ventajas y desventajas de cada una de estas para finalmente seleccionar aquella que presente mejores características.

1.1. Principios de transferencia y conservación de carga en capacitores

Antes de iniciar cualquier análisis acerca de un *charge-pump*, debemos entender los principios físicos fundamentales en los que se basa. En primer lugar, definiremos el “**Principio de transferencia de carga**”. Para entenderlo asumamos que tenemos dos capacitores C_1 y C_2 desconectados uno del otro, cargados con tensiones V_1 y V_2 respectivamente tal como se muestra en la figura 1.1a [1].

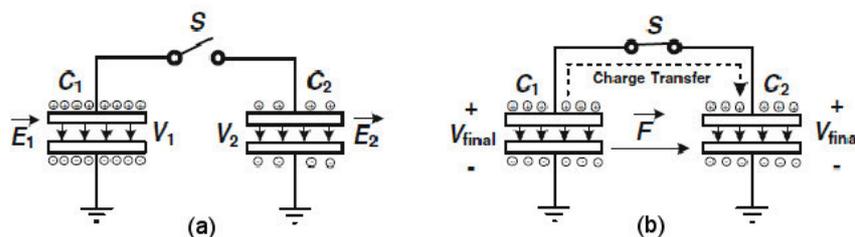


Figura 1.1: Ilustración de los principios de transferencia y conservación de carga en capacitores [1]

En cada capacitor existe un campo eléctrico cuya magnitud (E_i) está relacionada con el potencial electrostático (V_i) y con la distancia entre los platos superior e inferior (d_i) a través de la

siguiente expresión:

$$E_i \cdot d_i = V_i \quad \dots (i = 1, 2) \quad (1.1)$$

Tal como se observa en la figura 1.1a una llave denotada como S separa ambos capacitores. Si cerramos la llave entonces ambos capacitores quedarán conectados paralelamente tal como se muestra en la figura 1.1b. Debido a la diferencia de potencial que existe entre los dos capacitores se producirá una fuerza electrostática que generará una distribución de cargas entre ambos capacitores hasta que las tensiones en esos platos sean iguales. Para una mayor comprensión de lo mencionado anteriormente es importante recordar la relación que existe entre la fuerza electrostática y el trabajo que esta realiza para llevar una carga desde un punto a otro, como se muestra en la siguiente expresión [1].

$$W_{12} = - \int_1^2 \vec{F} \cdot \vec{ds} \quad (1.2)$$

En donde W_{12} es el trabajo realizado por la fuerza \vec{F} sobre una carga para trasladarla desde un punto 1 que hasta un punto 2. Por tratarse del trabajo realizado por una fuerza conservativa, será igual a la diferencia de las energías potenciales o expresado en término de los potenciales electrostáticos:

$$\frac{W_{12}}{q} = V_1 - V_2 \quad (1.3)$$

Utilizando las ecuaciones (1.3) y (1.2) se puede determinar una expresión que relacione la diferencia de potencial con la fuerza aplicada en las cargas tal como se muestra en la ecuación (1.4).

$$(V_1 - V_2) = \frac{W_{12}}{q} = -\frac{1}{q} \int \vec{F} \cdot \vec{ds} \quad (1.4)$$

Podemos concluir que habrá trabajo no nulo y por lo tanto traslado efectivo de cargas cuando $V_1 \neq V_2$. En el caso de los condensadores mostrados en la figura 1.1b, si $V_1 > V_2$ la fuerza electrostática (\vec{F}) distribuye la carga desde el condensador C_1 hacia el condensador C_2 .

Resumiendo, el “**Principio de transferencia de carga**” establece que si dos capacitores cargados con distintas tensiones son conectados paralelamente se originará una fuerza electrostática que provocará una transferencia o redistribución de las cargas desde el punto de mayor potencial hacia el punto del menor potencial. Esta fuerza permanecerá mientras que la diferencia de potencial entre ambos capacitores sea distinta de cero.

Cuando la redistribución haya sido completada los capacitores quedarán cargados con una tensión final (V_{final}). Para determinar dicha tensión empleamos el “**Principio de conservación de carga**”. Este principio establece que si dos capacitores cargados son conectados paralelamente, la carga total de la combinación en paralelo (Q_{final}) es igual a la suma de la cargas de los capacitores que había originalmente [1]. Esto queda expresado en la siguiente ecuación.

$$Q_{final} = C_1 V_1 + C_2 V_2 \quad (1.5)$$

Luego de la redistribución de la carga, la tensión entre las placas del capacitor queda fija a una tensión final (V_{final}) y empleando la ecuación (1.5) podemos determinar dicho valor tal como se

aprecia en la ecuación (1.7).

$$V_{final} = \frac{Q_{final}}{C_1 + C_2} = \frac{C_1 V_1 + C_2 V_2}{C_1 + C_2} \quad (1.6)$$

$$V_{final} = \frac{C_1}{C_1 + C_2} V_1 + \frac{C_2}{C_1 + C_2} V_2 \quad (1.7)$$

1.2. Parámetros de las bombas de carga

Existen distintos aspectos a considerar en el diseño de un *charge pump*. Estos pueden ser divididos en dos grandes grupos, uno de ellos relacionado con la tecnología que se empleará para la fabricación y el otro con las especificaciones técnicas con las que debe contar el circuito integrado. En esta sección nos enfocaremos en aquellos parámetros que nos brindan información acerca de las características del circuito [1].

En primer lugar, definiremos uno de los parámetros más importantes de un *charge pump* conocido como **eficiencia energética** (η) la cual se muestra en la siguiente expresión:

$$\eta = \frac{E_c}{E_e} \times 100 \% = \frac{E_c}{E_c + E_{loss}} \times 100 \% \quad (1.8)$$

Donde E_e es la energía entregada por la fuente al circuito, E_c es la energía consumida por la carga y E_{loss} es la energía perdida debido al propio funcionamiento del *charge pump*.

El segundo parámetro importante es la **tensión de salida final en estado estable** ($V_{out,ss}$) que se define como la tensión de la salida a la cual el *charge pump* tiende a estabilizarse luego de varias conmutaciones en las señales de reloj. Como ya se mencionó anteriormente, estas señales de reloj, no traslapadas, cumplen el propósito de elevar la tensión en el plato superior de los capacitores hasta llevarlo a un valor deseado. En otras palabras, es aquella tensión que después de varias conmutaciones o iteraciones entre las señales de reloj ya no presenta una variación considerable en la tensión de salida. Este parámetro tiene una fuerte dependencia de la **corriente de carga** (I_{out}).

El tercer parámetro a considerar es el **tiempo de subida** (t_r), el cual se define como aquel tiempo que se demora la tensión de salida en llegar a un determinado valor. En la presente tesis se utilizará el 90 % del $V_{out,ss}$ como referencia para definir el tiempo de subida. Dicho parámetro presenta una fuerte dependencia con la **capacitancia de salida** C_{out} .

1.3. Topología de Dickson

Esta topología emplea diodos o transistores y capacitores en cada celda tal como se muestra en las figuras 1.2 y 1.3. Estos componentes trabajan conjuntamente con las señales de reloj para conducir o no el flujo de carga de una etapa a otra [1] [11].

En régimen transitorio y considerando que no hay caída de potencial en los diodos, la tensión de salida en una determinada iteración ($V_{out}(k)$) y la tensión en la iteración siguiente ($V_{out}(k+1)$)

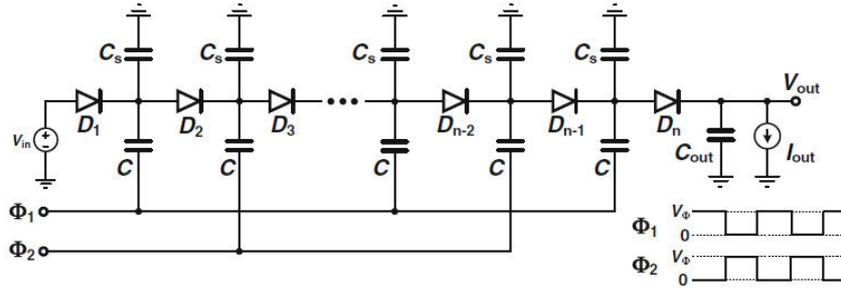


Figura 1.2: Topología de Dickson basada en diodos de multiples etapas [1].

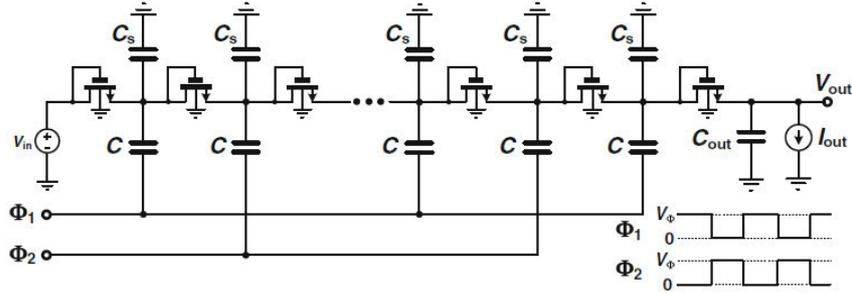


Figura 1.3: Topología de Dickson basada en transistores de multiples etapas [1].

se relacionan mediante la siguiente ecuación (ver la demostración en el apéndice A):

$$V_{out}(k + 1) = pV_{out}(k) + m \left[2V_{DD} - \frac{I_{out}T}{2C_1} \right] \quad (1.9)$$

En donde $p = \frac{C_{out}}{C_1 + C_{out}}$ y $m = \frac{C_1}{C_1 + C_{out}}$, I_{out} es la corriente entregada a la carga y C_1 es la capacitancia del condensador utilizado para bombear carga hacia la salida.

De la expresión (1.9), se puede determinar la ecuación para obtener el tiempo de subida (ver apéndice A):

$$t_r = \frac{\ln \left(1 - \frac{0,9 V_{out,ss}}{2V_{DD} - \frac{I_{out}T}{2C_1}} \right)}{\ln \left(\frac{C_{out}}{C_1 + C_{out}} \right)} \times T \quad (1.10)$$

Como ya se explicó en la sección anterior, después de varias iteraciones se observa que la tensión de salida tiende a estabilizarse. El valor en estado estable puede obtenerse utilizando la ecuación (1.9) asumiendo que $V_{out}(k) = V_{out}(k+1)$. Por consiguiente, la tensión de salida en estado estacionario queda determinada por la siguiente ecuación (ver apéndice A):

$$V_{out,ss} = 2V_{DD} - \frac{I_{out}T}{C_1} \quad (1.11)$$

Una desventaja de la topología de Dickson basada en diodos es que estos dispositivos presentan una caída de potencial lo cual trae como consecuencia una menor tensión de salida. En el caso de

la topología basada en transistores (figura 1.3) la caída de potencial es menor, porque la tensión umbral de los transistores suele ser menor que la de los diodos. Considerando esa caída de potencial la tensión de salida en estado estacionario es [2]:

$$V_{out,ss} = 2V_{DD} - 2V_{th} - \frac{I_{out}T}{C_1} \quad (1.12)$$

1.4. Topología Cross-Coupled

Esta topología es implementada con transistores y capacitores; sin embargo, a diferencia de la topología anterior esta no emplea a los transistores como diodos sino como interruptores o llaves para trasladar la carga entre los capacitores y hacia la salida tal como se muestra en la figura 1.4. La tensión de entrada V_{IN} será considerada igual a la tensión de alimentación del circuito integrado (V_{DD}). La función del circuito es generar una tensión de salida (V_{OUT}) aproximadamente igual al doble de la de entrada ($\approx 2V_{DD}$), por esa razón a este circuito se le conoce con el nombre de duplicador de tensión. Cabe resaltar que ambos pares de transistores NMOS y PMOS funcionan de manera cruzada; es decir, cuando M_{N2} y M_{P1} están encendidos entonces M_{N1} y M_{P2} están apagados y viceversa [1] [12] [13].

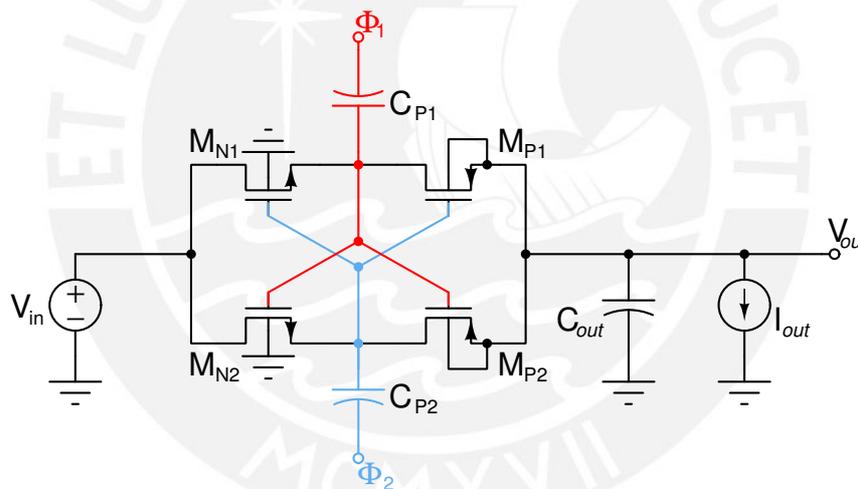


Figura 1.4: Ilustración de la topología de Cross-Coupled [1]

Debido a su funcionamiento cruzado se puede concluir que trabajan de manera complementaria; es decir, mientras que se carga un capacitor el otro está entregando carga a la salida o la siguiente etapa. Como se observa esta topología emplea dos capacitores; por lo tanto, para realizar una comparación justa entre topologías se debe tomar en cuenta que $C_{P1} + C_{P2}$ deberán ocupar la misma área que el capacitor que se empleó en la topología anterior. Finalmente, esta arquitectura al igual que la anterior, también emplea señales de reloj no traslapadas. Asumiendo que la caída de tensión a través los interruptores es despreciable la tensión de salida en el estado transitorio durante cada ciclo de reloj está determinada por la siguiente expresión (ver apéndice A):

$$V_{out}(k+1) = p^2 V_{out}(k) + m \left[2V_{DD} - \frac{I_{out}T}{2C_1} \right] (1+p) \quad (1.13)$$

En donde p y m son variables que se utilizan para simplificar la ecuación y tiene los mismos valores que en la ecuación (1.13). De la expresión (1.13), se puede determinar una ecuación para obtener el tiempo de subida (ver apéndice A) la cual queda dada por la siguiente expresión:

$$t_r = \frac{\ln \left(1 - \frac{0,9 V_{out,ss}}{2V_{DD} - \frac{I_{out}T}{2C_1}} \right)}{\ln \left(\frac{C_L}{C_1 + C_L} \right)} \times T \quad (1.14)$$

De forma similar que en la topología anterior, después de varias iteraciones se observa que la tensión tiende a estabilizarse. Por lo tanto, podemos concluir que los valores de tensiones de una iteración y la siguiente $V_{out}(k)$ y $V_{out}(k+1)$ respectivamente son idénticas. De esa manera se obtiene que la tensión de salida en estado estacionario queda determinada por la siguiente ecuación (ver apéndice A):

$$V_{out,ss} = 2V_{DD} - \frac{I_{out}T}{2C_1} \quad (1.15)$$

1.5. Elección de la topología

En el presente documento se han mencionado dos topologías de *charge pump*; sin embargo, cabe resaltar que existen otras además de las descritas pero que las más referenciadas son aquellas mencionadas en las secciones anteriores. La topología que se seleccionó es la *Cross-Coupled* debido a que permite llegar a altos niveles de eficiencia incluso cuando trabaja con menores tensiones de alimentación. Esto se debe a que la caída de tensión a través de los transistores en la topología *Cross-Coupled* es la tensión *drain -source* (V_{ds}) la cual es mucho menor, a diferencia de la tensión umbral en los mosfet con conexión diodo de la topología dickson [6] [12] [13].

Capítulo 2

Análisis y diseño del circuito

Este capítulo tiene los siguientes objetivos: realizar un análisis del comportamiento dinámico y estacionario del circuito, analizar las pérdidas de energía que ocurren en el circuito, implementar la técnica de control de compuertas y realizar el diseño del circuito eléctrico a nivel de transistores mediante un procedimiento de diseño.

En la primera parte de este capítulo se presenta un análisis en el que se considera el efecto de capacitancias parásitas. Este análisis tiene como finalidad formular expresiones que muestren la influencia de los capacitores parásitos sobre los parámetros del circuito, tales como tensión de salida estable, tiempo de subida y eficiencia energética. Luego se detallará un análisis de las pérdidas de energía con el propósito de identificar los agentes causantes y efectos que ellos ocasionan en el circuito. Después de los análisis mencionados anteriormente, se implementará la técnica de control de compuerta para reducir los picos de corriente inversa. Por último, se presentará la aplicación de un procedimiento de diseño en donde se presentarán relaciones correlativas entre parámetros de del circuito y las dimensiones geométricas de los transistores para localizar puntos de optimización y se comprobará el desempeño del diseño final a través de simulaciones.

2.1. Análisis y modelamiento de la topología *cross-coupled*

Para un correcto diseño de cualquier circuito es importante reconocer aquellos parámetros que son relevantes para su funcionamiento. Esta sección se centrará en realizar un análisis detallado de una bomba de carga cuya topología es conocida entre las publicaciones más importantes como *cross-coupled*. Se tendrá en cuenta el efecto de los capacitores parásitos en la formulación de expresiones de los parámetros de tensión de salida en estado transitorio y estable, tiempo de subida y eficiencia energética del circuito. Posteriormente, empleando la expresión de la tensión de salida en estado estable se determinará un modelo del circuito.

2.1.1. Análisis de la tensión de salida transitoria y del tiempo de subida de la topología *Cross-Coupled*

El circuito que se analizará está representado esquemáticamente en la figura 2.1. Se trata del mismo circuito presentado en la figura 1.4 del capítulo anterior, con la diferencia que ahora se está considerando la presencia de condensadores parásitos representados como C_T y C_B . Esos dispositivos modelan las capacitancias parásitas en los platos superior (*top plate*) e inferior (*bottom plate*) respectivamente de los capacitores C_1 y C_2 . Es necesario recordar que las capacitancias de los capacitores C_1 e C_2 son iguales, hecho que será considerado a través de la relación $C_1 = C_2 = C$ [13].

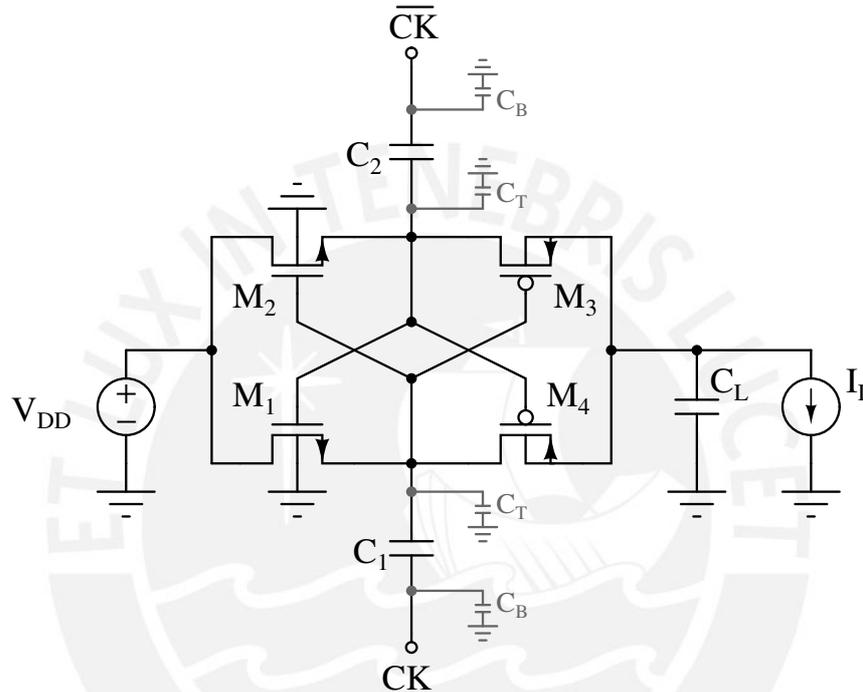


Figura 2.1: Bomba de carga con topología *cross-coupled* considerando la presencia de capacitancias parásitas

De ahora en adelante para referirse a la carga almacenada en un capacitor se empleará la letra Q seguida de dos subíndices; el primer subíndice identifica al capacitor cuya carga se está refiriendo y el segundo subíndice indica el instante en el cual se toma dicho valor. Por ejemplo, la variable $Q_{C_T i}$ hace referencia a la carga almacenada en el capacitor C_T en un instante inicial.

Dada la simetría del circuito, limitaremos el análisis a la parte formada por los transistores M_2 y M_3 y por el condensador C_2 .

Las señales complementarias CK y \overline{CK} conmutan entre 0 y V_{DD} . Tal como fue explicado en el capítulo anterior, después de unas pocas conmutaciones de las tensiones CK y \overline{CK} los condensadores C_1 y C_2 quedan cargados de forma tal que sus tensiones son aproximadamente iguales a V_{DD} . Suponiendo que ya pasó esa fase inicial y que el capacitor de salida está cargado a una tensión $V_{out}(k)$, entonces las cargas almacenadas en un primer instante cuando las señales de

reloj CK y \overline{CK} son 0 y V_{DD} quedan expresadas por las ecuaciones (2.1).

$$Q_{C_2i} = C_2 V_{DD} \quad (2.1a)$$

$$Q_{C_Ti} = C_T V_{DD} \quad (2.1b)$$

$$Q_{C_Li} = C_L V_{out}(k) \quad (2.1c)$$

Cuando el transistor M_3 se enciende los capacitores de C_2 y C_L quedarán conectados y las cargas almacenadas en ellos se redistribuirán hasta llegar a un valor de tensión final V_{f1} similar en ambos platos superiores de los capacitores. Por lo tanto, las cargas finales en los capacitores de están expresados en la ecuaciones (2.2).

$$Q_{C_2f} = C_2(V_{f1} - V_{DD}) \quad (2.2a)$$

$$Q_{C_Tf} = C_T V_{f1} \quad (2.2b)$$

$$Q_{C_Lf} = C_L V_{f1} \quad (2.2c)$$

Empleando el **Principio de conservación de carga** se puede determinar el valor de V_{f1} tal como se muestra en la ecuación (2.3)

$$C_L V_{out}(k) + C_2 V_{DD} + C_T V_{DD} = C_L V_{f1} + C_2(V_{f1} - V_{DD}) + C_T V_{f1} \quad (2.3a)$$

$$V_{f1} = \frac{C_2}{C_T + C_2 + C_L} 2V_{DD} + \frac{C_T}{C_T + C_2 + C_L} V_{DD} + \frac{C_L}{C_T + C_2 + C_L} V_{out}(k) \quad (2.3b)$$

En la figura 2.2 se muestra la tensión de salida en función del tiempo resaltando su evolución entre las iteraciones k y $k + 1$. En ese gráfico la redistribución de carga que se acabó de explicar está representada como un evento instantáneo que da lugar al salto desde el valor $V_{out}(k)$ hasta el valor V_{f1} , ya que la duración de ese fenómeno suele ser mucho menor que un periodo de las señales CK y \overline{CK} .

Como observamos en la figura una vez que la tensión alcanza el valor de V_{f1} , este valor comienza disminuir. Esa disminución representa el efecto de una corriente de salida constante. Suponiendo que esa corriente de salida es I_L entonces la pendiente de la línea que une V_{f1} con $V_{out}(k + 1)$ es $\frac{I_L}{C_2 + C_L + C_T}$, por lo tanto:

$$V_{out}(k + 1) = V_{f1} - \frac{I_L T}{2(C_2 + C_L + C_T)} \quad (2.4)$$

Substituyendo el valor de V_{f1} obtenido en la ecuación (2.3) se obtiene la siguiente expresión que representa una ecuación recursiva de la **tensión de salida en estado transitorio**:

$$V_{out}(k + 1) = p V_{out}(k) + m \left(V_{DD} + \frac{C_2}{C_T + C_2} V_{DD} - \frac{I_L T}{2(C_2 + C_T)} \right) \quad (2.5)$$

En donde $p = \frac{C_L}{C_L + C_2 + C_T}$ y $m = \frac{C_2 + C_T}{C_L + C_2 + C_T}$ además cabe resaltar que $m + p = 1$. A partir de esa ecuación recursiva vamos a obtener una expresión explícita para la tensión de salida en

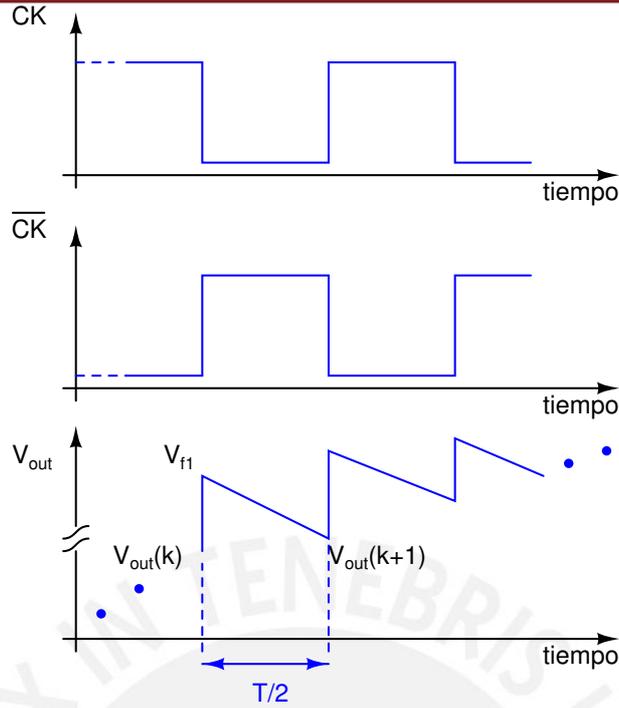


Figura 2.2: Tensión de salida en estado transitorio

una determinada iteración. Haciendo un cambio de variable y dividiendo ambos términos de la ecuación (2.5) por p^{k+1} se obtiene:

$$V_{out}(k+1) = pV_{out}(k) + m \overbrace{\left(V_{DD} + \frac{C_2}{C_T + C_2} V_{DD} - \frac{I_L T}{2(C_2 + C_T)} \right)}^{V_A} \quad (2.6a)$$

$$\frac{V_{out}(k+1)}{p^{k+1}} = \frac{V_{out}(k)}{p^k} + \frac{m}{p^{k+1}} V_A \quad (2.6b)$$

Definiendo $F(k) = \frac{V_{out}(k)}{p^k}$, obtenemos:

$$\begin{aligned} \Rightarrow F(k+1) - F(k) &= \frac{m}{p^{k+1}} V_A \\ \Rightarrow \sum_{k=0}^{N-1} [F(k+1) - F(k)] &= \sum_{k=0}^{N-1} \frac{m}{p^{k+1}} V_A \end{aligned} \quad (2.7)$$

Aplicando la propiedad telescópica de la sumatoria:

$$\begin{aligned} F(n) - F(0) &= \sum_{k=0}^{N-1} \frac{m}{p^{k+1}} V_A \\ \Rightarrow F(N) - F(0) &= m V_A \sum_{k=0}^{N-1} \frac{1}{p^{k+1}} \\ \Rightarrow F(N) - F(0) &= m V_A \frac{1 - p^N}{p^N (1 - p)} \end{aligned} \quad (2.8)$$

Para el caso en que $V_{out}(0) = 0$ y recordando además que $1 - p = m$ se obtiene:

$$\begin{aligned}
 F(N) &= V_A \frac{1 - p^N}{p^N} \\
 \Rightarrow \frac{V_{out}(N)}{p^N} &= V_A \frac{1 - p^N}{p^N} \\
 \Rightarrow V_{out}(N) &= V_A (1 - p^N)
 \end{aligned} \tag{2.9}$$

Finalmente si se reemplaza el valor de V_A se obtiene una ecuación para la tensión de salida en la n -ésima iteración tal como se muestra en (2.10).

$$V_{out}(N) = (1 - p^N) \left(V_{DD} + \frac{C_2}{C_T + C_2} V_{DD} - \frac{I_L T}{2(C_2 + C_T)} \right) \tag{2.10}$$

Usando la ecuación anterior podemos obtener la **tensión de salida en estado estable** considerándola como la tensión que se obtiene después de infinitas iteraciones.

$$\begin{aligned}
 V_{outss} &= \lim_{N \rightarrow \infty} (1 - p^N) \left(V_{DD} + \frac{C_2}{C_T + C_2} V_{DD} - \frac{I_L T}{2(C_2 + C_T)} \right) \\
 V_{outss} &= V_{DD} + \frac{C_2}{C_T + C_2} V_{DD} - \frac{I_L T}{2(C_2 + C_T)}
 \end{aligned} \tag{2.11}$$

Bajo la misma condición, $V_{out}(0) = 0$, se puede determinar una expresión para el **tiempo de subida** tal como se muestra en (2.12)

$$t_r = \frac{\ln \left(1 - \frac{0,9 V_{out,ss}}{V_{DD} + \frac{C_2}{C_T + C_2} V_{DD} - \frac{I_L T}{2(C_2 + C_T)}} \right)}{\ln(\beta)} \times T \tag{2.12}$$

En donde el valor β es definido de la siguiente manera $\beta = \frac{C_L}{C_L + C_2 + C_T}$

2.1.2. Análisis de la eficiencia de la topología Cross-Coupled

El análisis anterior fue realizado en el estado transitorio con lo cual se obtuvo parámetros como la tensión de salida transitoria y el tiempo de subida. Sin embargo, también es importante realizar un análisis en estado estacionario para determinar expresiones de las tensiones entre las cuales la salida de la bomba de carga permanecerá oscilando. En la figura 2.3 se muestra la variación de V_{out} en estado estable [3].

Esta figura es similar a la figura 2.2. La diferencia entre ambas figuras es que para el caso de estado estacionario la tensión de salida se mantiene oscilando entre dos valores fijos. El menor de esos valores, identificado como V_{o2} en la figura 2.3, es igual a la tensión de salida en estado estacionario que calculamos en el análisis anterior y que llamamos V_{outss} . Para facilitar el análisis que sigue se utilizará la expresión obtenida para dicha tensión:

$$V_{o2} = V_{outss} = V_{DD} + \frac{C_2}{C_T + C_2} V_{DD} - \frac{I_L T}{2(C_2 + C_T)} \tag{2.13}$$

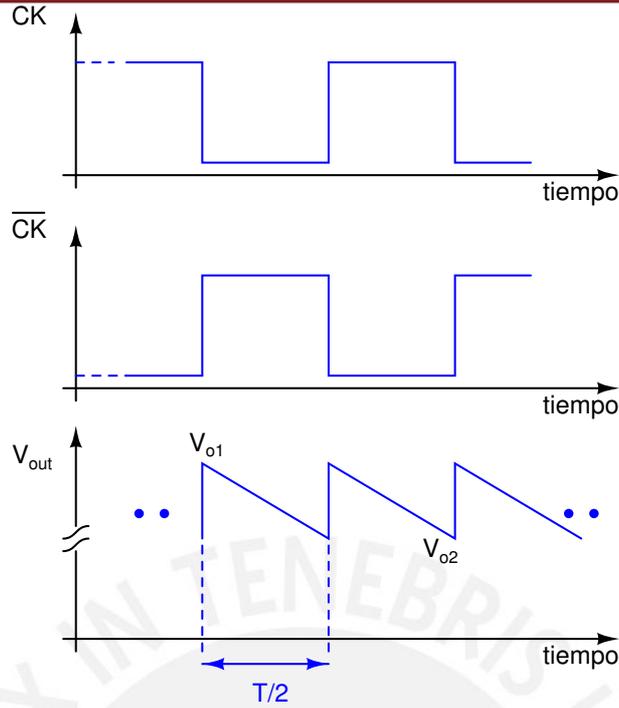


Figura 2.3: Tensión de salida en estado estable

A continuación se calculará el valor de V_{o1} . Recordemos que en el instante que CK cambia de V_{DD} a 0 ocurrirá una redistribución entre los capacitores de C_2 y C_L lo cual queda expresado en (2.14).

$$C_L V_{o2} + C_2 V_{DD} + C_T V_{DD} = C_T V_{o1} + C_2 (V_{o1} - V_{DD}) + C_L V_{o1} \quad (2.14)$$

De esta última ecuación y de la ecuación (2.13) se obtiene:

$$V_{o1} = V_{DD} + \frac{C_2}{C_T + C_2} V_{DD} - \frac{I_L T}{2(C_2 + C_T)} + \frac{I_L T}{2(C_2 + C_T + C_L)} \quad (2.15)$$

Una vez que se tienen las ecuaciones (2.15) y (2.13), se realizará un análisis para obtener la energía entregada por la fuente y la energía consumida por la carga en medio periodo de las señales CK y \overline{CK} . En primer lugar, se analizará la energía entregada por la fuente para lo cual definiremos aquellos instantes en los que se entrega energía. En este caso la energía suministrada por la fuente está compuesta por tres partes:

- E_1 : La energía entregada por la fuente necesaria para cargar el capacitor C_1 y C_T desde $V_{o2} - V_{DD}$ hasta V_{DD} .
- E_2 : La energía entregada por la fuente en la redistribución a los capacitores C_2 , C_T y C_L .
- E_3 : La energía entregada por la fuente durante tiempo después de la redistribución y hasta el final del medio periodo a los capacitores C_2 , C_T y C_L .
- E_4 : La energía entregada por la fuente durante el medio periodo para cargar C_B .

Recordemos que para el presente análisis se ha elegido el medio periodo que corresponde a $CK = 0$ y $\overline{CK} = V_{DD}$. Durante ese medio periodo el transistor M_1 conduce (ver la figura 2.1), pues la tensión de su compuerta es aproximadamente $2V_{DD}$. La tensión inicial en el surtidor de ese transistor es igual a la tensión que había entre los terminales del condensador C_1 un instante antes de iniciar este medio periodo, o sea $V_{o2} - V_{DD}$ (ver la figura 2.3). Durante el medio periodo que se está considerando el condensador C_1 es cargado hasta la tensión V_{DD} a través del transistor M_1 , para lo cual la fuente de alimentación entrega una energía igual a:

$$E_1 = (C_1 + C_T) V_{DD} (V_{DD} - (V_{o2} - V_{DD})) \quad (2.16)$$

Si se reemplaza el valor de V_{o2} obtenido en la ecuación (2.13) se puede llegar a una expresión de la siguiente forma.

$$E_1 = V_{DD} \left(C_T V_{DD} + \frac{I_L T}{2} \right) \quad (2.17)$$

Para el cálculo de E_2 , energía entregada por la fuente de alimentación a través del circuito que genera la señal \overline{CK} desde el inicio de la conmutación de $\overline{CK} = 0$ a $\overline{CK} = V_{DD}$ hasta el final de la redistribución de cargas entre los condensadores C_T , C_2 y C_L ; se despreciará el efecto de la corriente de carga pues esa redistribución dura normalmente un tiempo mucho menor al periodo de las señales CK y \overline{CK} .

$$E_2 = \int_{t_1}^{t_1 + \Delta t} V_{DD} (i_{C_T}(t) + i_{C_L}(t)) dt \quad (2.18)$$

donde t_1 es el instante en que ocurre la conmutación de $\overline{CK} = 0$ a $\overline{CK} = V_{DD}$, Δt es el la duración de la redistribución de carga, $i_{C_T}(t)$ es la corriente recibida por el condensador parásito C_T y $i_{C_L}(t)$ es la corriente recibida por el condensador de salida. Usando la fórmula de la corriente de un capacitor:

$$E_2 = V_{DD} \int_{t_1}^{t_1 + \Delta t} \left(C_T \frac{dV_{C_T}}{dt} + C_L \frac{dV_{C_L}}{dt} \right) dt \quad (2.19)$$

Además, sabemos que la redistribución de carga cambia la tensión de C_T desde V_{DD} hasta V_{o1} y la tensión de C_L desde V_{o2} hasta V_{o1} . Utilizando esa información en la ecuación anterior obtenemos:

$$E_2 = V_{DD} \left[\int_{V_{DD}}^{V_{o1}} C_T dV_{C_T} + \int_{V_{o2}}^{V_{o1}} C_L dV_{C_L} \right] \quad (2.20)$$

$$\Rightarrow E_2 = V_{DD} C_T (V_{o1} - V_{DD}) + V_{DD} C_L (V_{o1} - V_{o2}) \quad (2.21)$$

Por el caso de la energía E_3 se procederá de la siguiente manera:

$$E_3 = \int V_{DD} \cdot i(t) dt \quad (2.22)$$

En donde la integral se toma en el intervalo de tiempo después de la redistribución de carga y hasta que la tensión de salida descienda a V_{o2} . Sin embargo, tal como se mencionó anteriormente el

tiempo que toma la redistribución se considera despreciable en comparación con el periodo de las señales de reloj; por lo tanto, se puede considerar que la diferencia entre los límites de la integral es medio periodo. La corriente $i(t)$ es aquella que entrega la fuente durante ese medio periodo. Debido a que en este caso la fuente de corriente constante I_L drenará carga de los capacitores se puede calcular el valor de $i(t)$ usando la fórmula de un divisor capacitivo, lo cual da como resultado las ecuaciones (2.23) y (2.24).

$$E_3 = V_{DD} \frac{C_2}{C_T + C_L + C_2} I_L \int_0^{T/2} dt \quad (2.23)$$

$$E_3 = V_{DD} \frac{C_2}{C_T + C_L + C_2} \frac{I_L T}{2} \quad (2.24)$$

Por último, para el caso de la energía E_4 se procederá de la siguiente manera

$$E_4 = \frac{1}{2} C_B (V_{DD})^2 \quad (2.25)$$

En donde C_B es la capacitancia parásita del plato inferior del capacitor, la cual se cargará desde 0 hasta V_{DD} y se calcula tal como se muestra en (2.25). Finalmente para obtener una expresión de la energía entregada por la fuente (E_e) se deben sumar la expresiones halladas en (2.17), (2.21), (2.24) y (2.25). Por lo tanto, la **energía entregada por la fuente** queda expresada como (2.26):

$$E_e = C_T V_{DD} + \frac{I_L T}{2} + V_{DD} \frac{I_L T}{2} + \frac{1}{2} C_B (V_{DD})^2 \quad (2.26)$$

Para determinar una expresión de la energía consumida por la carga es necesario integrar el producto de la corriente entregada a la carga por la tensión de salida. Ya que estamos considerando que la corriente entregada a la carga es constante, el problema se reduce a calcular la integral de la tensión de salida. Dicha integral es el área bajo la curva de la tensión de salida mostrada figura 2.3.

$$E_c = \int_0^{T/2} V_{out} I_{out} dt \quad (2.27)$$

$$E_c = \underbrace{\frac{V_{o1} + V_{o2}}{2}}_{V_{averg}} \frac{I_L T}{2} \quad (2.28)$$

En donde V_{averg} es la tensión promedio y se puede determinar reemplazando los valores de V_{o1} y V_{o2} . Finalmente, si se emplean las expresiones de (2.26) y (2.28) en la fórmula (1.8) se obtiene una expresión para la eficiencia energética de la bomba de carga en la topología *cross-coupled*.

2.1.3. Modelamiento del circuito equivalente

Esta sección se enfocará en desarrollar un modelo sencillo del circuito a partir de la ecuación (2.11). Como se puede apreciar la ecuación (2.11) puede ser escrita de la siguiente manera.

$$V_{out} = V_s - I_{out} R_s \quad (2.29)$$

En donde los valores de V_s y R_s son:

$$V_s = V_{DD} + \frac{C_2}{C_T + C_2} V_{DD} \quad (2.30)$$

$$R_s = \frac{1}{2(C_2 + C_T)f} \quad (2.31)$$

A partir de la ecuación (2.29) se puede modelar el circuito como una fuente de tensión V_s en serie con una resistencia R_s tal como se muestra en la figura 2.4 [11] [2].

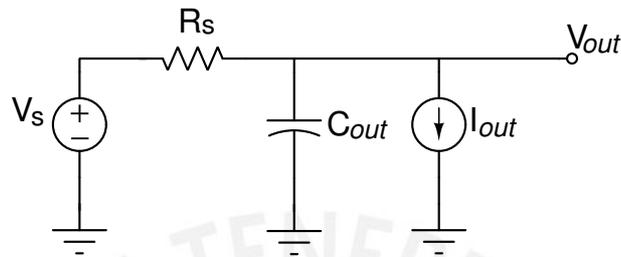


Figura 2.4: Modelo de circuito equivalente de un *charge pump* [2]

Como se puede observar, debido a la presencia de la resistencia de salida R_s del modelo, habrá una pequeña caída de tensión con respecto a la tensión V_s cuando se entregue corriente a la carga. Esta tensión está dada por la siguiente expresión [2].

$$V_R = \frac{I_{out}}{fC_{out}} \quad (2.32)$$

2.2. Análisis de pérdidas de energía

La eficiencia energética es uno de los parámetros más relevantes de las bombas de carga. Según (1.8) ésta puede ser expresada también en función de las pérdidas de energía que existen en el mismo circuito. Para poder maximizar la eficiencia se deben disminuir las pérdidas de energía del circuito. Esta sección tiene como objetivos identificar los agentes causantes de pérdidas de energía y los efectos que ellos ocasionan en el circuito. Cabe resaltar que las mayores causantes de pérdidas de energía son las capacitancias parásitas de los condensadores del *charge pump*; sin embargo, existen otras fuentes de pérdidas que cobran relevancia cuando las bombas de cargas son empleadas en aplicaciones de bajos consumo. Por lo tanto, el estudio de estos mecanismos y sus interrelaciones ayudará a optimizar el circuito en términos de la eficiencia [1] [7] [6].

2.2.1. Pérdida por redistribución

Este tipo de pérdida de energía ocurre cuando dos capacitores con distintas tensiones son conectados [1] [3]. Para comprender este efecto se tomará un escenario simple tal como se muestra en la figura 2.5.

En donde se observa dos capacitores C_1 y C_2 cargados con las tensiones V_1 y V_2 respectivamente. Si los conectamos en paralelo y se sabe que $V_1 > V_2$ entonces ocurrirá una transferencia de carga positiva desde C_1 hacia C_2 .

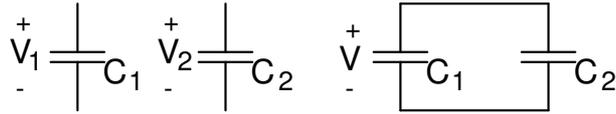


Figura 2.5: Ilustración del proceso de pérdidas por redistribución de cargas [3]

Por el **principio de conservación de carga**:

$$C_1V_1 + C_2V_2 = (C_1 + C_2)V \tag{2.33}$$

La energía inicial almacenada en el sistema es $C_1V_1^2/2 + C_2V_2^2/2$ mientras que la energía final del sistema es $(C_1 + C_2)V^2/2$. La pérdida de energía esta definida como la diferencia entre la energía inicial menos la energía final y esto se expresa en (2.34):

$$E_{loss} = \frac{1}{2}(C_1 \parallel C_2)(V_1 - V_2)^2 \tag{2.34}$$

Donde $C_1 \parallel C_2 = C_1C_2/(C_1 + C_2)$. Se observa que la pérdida de energía es equivalente a la energía almacenada en un arreglo de capacitores conectados en serie cargado con la diferencia de las tensiones iniciales.

A continuación se explicará como se aplica ese análisis de pérdida por redistribución a la bomba de carga de topología *cross-coupled*. Se recuerda que el análisis que se realizará supone que el circuito opera en estado estacionario; por lo tanto, la tensión de salida oscila entre los valores V_{o1} y V_{o2} . Para facilitar el análisis nos apoyaremos en la figura 2.6, la cual representa parte del circuito mostrado en la figura 2.1. En esta figura se representa al transistor M4 como un interruptor.

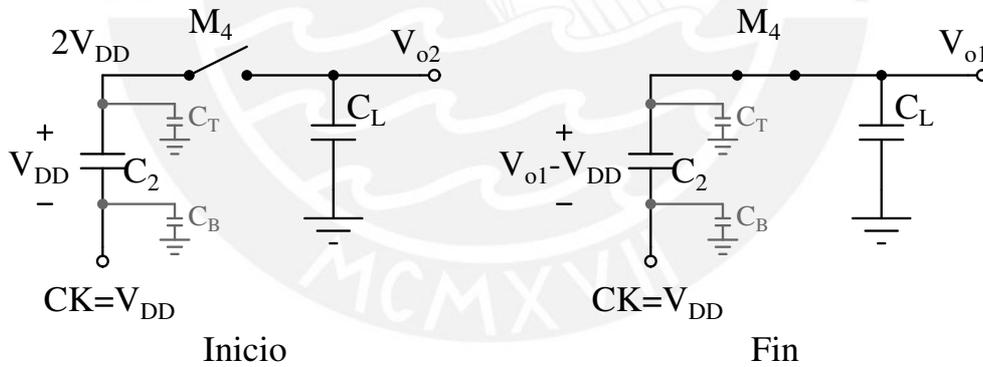


Figura 2.6: Ilustración del fenómeno de pérdida por redistribución en la bomba de carga

En la parte izquierda de la figura 2.6 se aprecia el instante previo a la redistribución de carga, en donde el capacitor C_2 se encuentra cargado con una tensión V_{DD} y el terminal inferior está a una tensión V_{DD} ; por lo tanto, la tensión en el terminal superior estará a $2V_{DD}$. Mientras que el capacitor de salida C_L tiene una tensión almacenada entre sus terminales de V_{o2} siendo 0 y V_{o2} las tensiones en los terminales inferior y superior respectivamente.

Cuando las señales de control cierran el interruptor (M4) provocarán una redistribución desde C_2 y hacia C_L . Una vez redistribuidas las cargas la salida alcanza un valor de tensión V_{o1} menor a $2V_{DD}$; sin embargo, aun después de varias iteraciones la tensión no llega alcanzar un valor de

$2V_{DD}$ provocando así pérdidas de energía por redistribución. Esto se debe a que el capacitor de salida C_L es continuamente descarga por una fuente de corriente I_L ; por consiguiente, se señala a la **fuente de corriente** (I_L) como el agente causante de las pérdidas por redistribución [1] [3].

Adaptando la fórmula (2.34) al caso de la bomba de carga se obtiene:

$$E_{loss_{red}} = \frac{1}{2}(C_2 \parallel C_L)(2V_{DD} - V_{o2})^2 \quad (2.35)$$

2.2.2. Pérdidas por conducción

Este tipo de pérdida de energía ocurre cuando través del camino por el cual fluye la carga exista un agente o componentes que pueda disipar energía. Desde un punto de vista ideal, la caída de tensión a través de los interruptores es cero, esto se debe a que la resistencia asociada a dichos componentes es igual a cero tal como se muestra en la figura 2.7a. Sin embargo, en la tecnología CMOS los interruptores son implementados con transistores MOSFET a los cuales se les asocia una resistencia de encendido (R_{on}); por lo tanto, habrá una caída de tensión a través de ellos y ocasionará pérdidas de energía en el circuito. Aunque esta no es el único motivo por el cual se pierde energía a través de un camino también existe un efecto parásito de equivalente en serie de resistencia en los capacitores del *charge pump* (ESR_C) [1] [6] [14] tal como se muestra en la figura 2.7b.

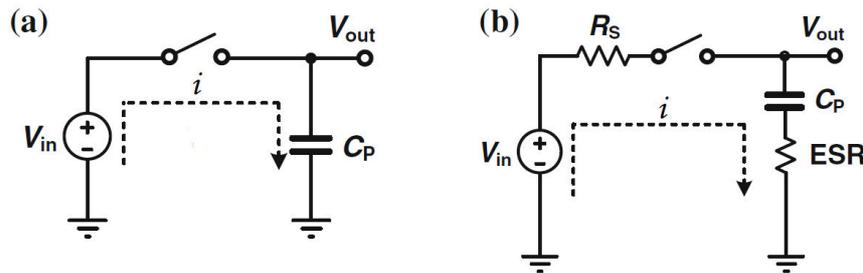


Figura 2.7: Ilustración de los interruptores ideales(a) interruptores a los que se le asocia una resistencia de encendido R_{on} y el ESR de capacitancias [1]

Por lo tanto, se identifica a la **resistencia de encendido** (R_{on}) y al **equivalente en serie de resistencia** (ESR_C) como agentes causantes de las pérdidas por conducción [1] [6]. Entonces a partir de lo mencionado anteriormente, se define la siguiente expresión como las **pérdidas de energía por conducción**

$$E_{loss_{cond}} = \left(\sum_{i=1}^p ESR_C + \sum_{j=1}^m R_{on} \right) \int_{nT}^{nT+DT} i^2 dt \quad (2.36)$$

Donde t_1 y t_2 son los instantes en los cuales existen un flujo de corriente y i es la corriente instantánea que fluye a través de un camino. El análisis se centrará en el efecto de la resistencia asociada a el transistor MOSFET [4]. Cuando los transistores de las bombas de carga son encendidos están operando en la región lineal donde la relación corriente-voltaje es dada por

$$I_D \approx \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (2.37)$$

Donde μ es la movilidad de los portadores de carga mayoritarios (electrones para NMOS y huecos para PMOS), C_{ox} es la capacitancia del gate-óxido, W y L son las dimensiones geométricas de los transistores y corresponden al ancho y largo respectivamente, V_{GS} es la tensión gate-source, V_{TH} es la tensión umbral y V_{DS} es la tensión drain-source. En esta región de operación (óhmica profunda) la relación entre I_D y V_{DS} es lineal; por lo tanto, el transistor puede ser modelado por una resistencia cuyo valor es controlado por la tensión V_{GS} . La expresión de la resistencia se define por

$$R_{on} = \frac{1}{\mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (2.38)$$

Si solo se considera el flujo de corriente a través de los transistores y que la corriente del drain es constante entonces la expresión (2.36) puede ser escrita de la siguiente forma.

$$E_{loss_{cond}} = \frac{I_D^2 \Delta t}{\mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (2.39)$$

Donde I_D es la corriente del drain y Δt es la diferencia entre t_2 menos t_1 . Se observa que, en este caso, la expresión de (2.39) depende de la tensión V_{GS} y las dimensiones W y L .

2.2.3. Pérdidas por conmutación

Este tipo de pérdida de energía ocurre cuando el *charge pump* carga capacitores que no aportan o contribuyen con la función de este circuito. Se dice que no aportan o contribuyen con la función de la bomba de carga aquellos capacitores que no ayudan a cumplir el objetivo principal de este circuito, el cual es elevar la tensión de alimentación del sistema [1] [6] [14]. Por lo tanto, se identifica a los **capacitores parásitos** como agentes causantes de las pérdidas por conmutación. Dentro de este tipo de capacitores se encuentran dos grupos: las capacitancias parásitas de los transistores MOSFET [4] y las capacitancias parásitas de los capacitores de bombeo [5] tal como se muestra en la figura 2.8

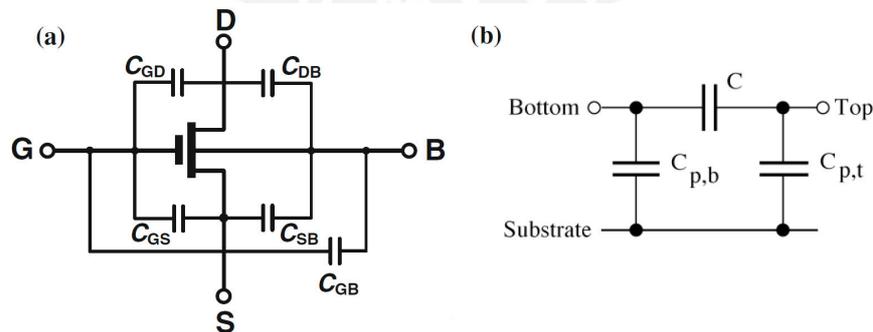


Figura 2.8: Ilustración de las capacitancias parásitas de los transistores MOSFET [4] y las capacitancias parásitas de los capacitores integrados [5]

En la figura 2.8b se observa las capacitancias parásitas $C_{p,b}$ y $C_{p,t}$ de los platos inferior y superior del capacitor. En análisis anteriores se observó la influencia de estos capacitores sobre los parámetros del circuito; sin embargo, para este análisis solo se incluirán los efectos que se generan por los capacitores parásito de los transistores. En la figura 2.8a se observan las capacitancias parásitas entre los terminales de los transistores MOSFET que aparecen debido a la estructura de los mismo transistores [4]. Se observan cinco capacitancias parásitas C_{GD} , C_{DB} , C_{SB} , C_{GS} y C_{GB} de todas ellas la que tiene una mayor contribución sobre este tipo de pérdida es la capacitancia entre gate-source (C_{GS}). Por lo tanto, las **pérdidas energía por conmutación** puede ser expresada de la siguiente forma.

$$E_{loss_{com}} = \sum_i C_{GS_i} V_{GS_i}^2 = C_{ox} \sum_i W_i L_i V_{GS}^2 \quad (2.40)$$

En donde C_{GS_i} y V_{GS_i} son la capacitancia gate-source y la tensión gate-source respectivamente del transistor i . Se puede observar que el valor C_{GS} , cuando el transistor opera en región triodo, puede ser aproximado por WLC_{ox} este un modelo sencillo en comparación con el que trabaja la herramienta de software; no obstante, se utiliza para indicar las dependencias de este tipo de pérdida [4]. Por consiguiente, se observa que las pérdidas por conmutación depende de la tensión V_{GS} y las dimensiones geométricas de los transistores W y L .

2.2.4. Pérdidas por reversión

Este tipo de pérdida de energía ocurre cuando hay un flujo corriente en un sentido inverso al que comúnmente debería fluir. Normalmente la corriente debe fluir de la fuente de alimentación hacia los capacitores de bombeo y desde estos capacitores hacia la salida del circuito [1] [7] [6] tal como se muestra en la figura 2.9a. Sin embargo, existen instantes de tiempo en los que hay un flujo contrario al descrito anteriormente tal como se aprecia en la figura 2.9b.

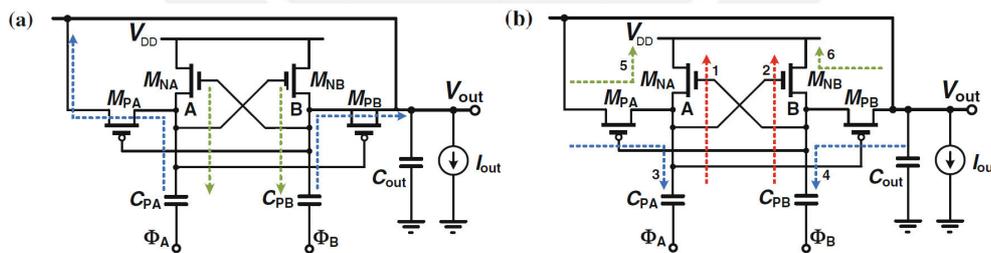


Figura 2.9: Ilustración de los flujos de corrientes originales(a). flujos de corrientes inversos(b) [1]

Los flujos 1 y 2 son de los capacitores de bombeo hacia la entrada de alimentación, los flujos 3 y 4 son de la salida hacia los capacitores de bombeo y los flujos 5 y 6 son de la salida hacia la entrada. Estos flujos inversos se generan en instantes de tiempo en los que las señales de control activan a los transistores y debido a los potenciales que existen en los nodos en esos dichos momentos dan lugar a dicho flujo. Por lo tanto, se identifican a las **señales de control** como los agentes causantes de las pérdidas de reversión. A continuación se realizará un análisis cualitativo para comprender

como las señales de control se relacionan con esos flujos inversos, para ello se toma en cuenta las señales de control que se muestran en la figura.

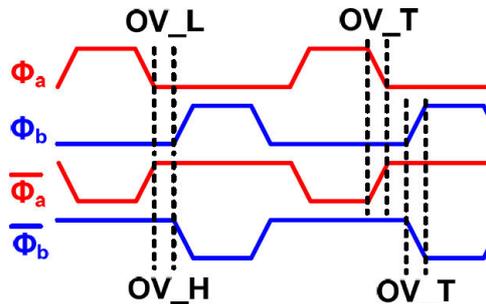


Figura 2.10: Ilustración de las señales de control no traslapadas y sus fases complementarias [6]

En donde Φ_A y Φ_B son las señales de control no traslapadas mientras que las señales $\bar{\Phi}_A$ y $\bar{\Phi}_B$ son sus fases complementarias respectivamente. Además en la figura se aprecia tres instantes en los cuales existe un traslape las señales de control dichos traslapes dan origen al flujo inverso de corriente. Estos instantes son denominados *OVH* (*overlap in high*), *OVL* (*overlap in low*) y *OVT* (*overlap in transition*). Si el *charge pump* es controlado con señales de tipo *OVH* habrán instantes en los que ambas señales estarán en un nivel alto. Estas señales activarán a los transistores M_{NA} y M_{NB} de la figura 2.9b y si los capacitores están cargados a V_{DD} entonces en dicho instante las tensiones en los platos superiores de los capacitores estarán a $2V_{DD}$. Por lo tanto, si los interruptores están activados en dicho instante el nodo de $2V_{DD}$ correspondiente al capacitor y fuente de alimentación estarán en cortocircuito lo que provoca un flujo inverso desde los capacitores hacia la fuente de alimentación. Este flujo de corriente se relaciona con las direcciones 1 y 2 descritas en la figura 2.10.

Para el caso en que el *charge pump* es controlado con señales de tipo *OVL* habrán instantes en los que ambas señales estarán en un nivel bajo. Estas señales activarán a los transistores M_{PA} y M_{PB} de la figura y si la salida se encuentra aproximadamente a $2V_{DD}$ entonces en dicho instante habrá un cortocircuito entre un nodo con $2V_{DD}$ correspondiente a la salida del circuito y los capacitores del la bomba de carga cuyo valor de tensión es menor que $2V_{DD}$. Por lo tanto, esto ocasionará un flujo inverso desde la salida hacia los capacitores del *charge pump*. Este flujo de corriente se relaciona con las direcciones 3 y 4 descritas en la figura 2.10.

Finalmente se observa que cuando en las señales de control ya sean *OVH* o *OVL* ocurran los instantes *OVT* entonces los cuatro transistores; es decir, los NMOS y los PMOS conducirán lo que ocasiona un flujo inverso de corriente desde la salida hacia la entrada. Este flujo de corriente se relaciona con las direcciones 5 y 6 descritas en la figura 2.10. Si bien estos flujo inversos de corriente se ocasionan en pequeños instante generan picos y fugas de corrientes lo cual degrada la eficiencia del circuito [7].

2.3. Disminución de los picos de corriente inversa del circuito

La técnica de control de compuerta es una alternativa que permite obtener altos niveles de eficiencia y al mismo tiempo si se le aplica los valores correctos de tensión puede disminuir los picos de corriente inversos [7] [6]. El circuito de control de compuerta se basa en un inversor CMOS con las compuertas separadas [15]. Para topología *Cross-Coupled* se mantendrá el acoplamiento cruzado en los NMOS mientras que los PMOS se implementará el circuito de control de compuerta [7] [6]. La figura 2.11 muestra la arquitectura al implementar dicha técnica.

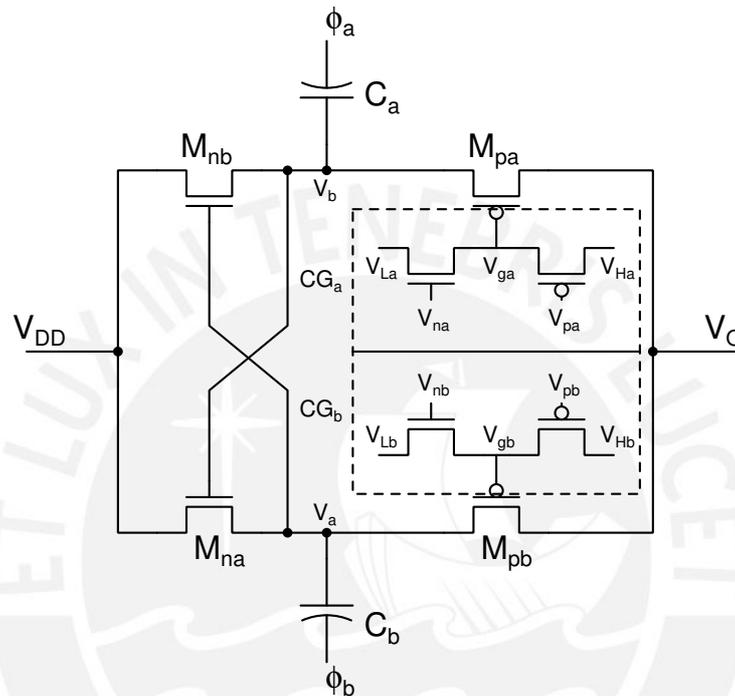


Figura 2.11: Arquitectura genérica de un *charge pump cross coupled* con un circuito de control de compuerta [7]

El siguiente análisis muestra una serie de condiciones para los valores que activan y desactivan los transistores del control de compuertas.

- Si $\phi_a = V_{DD}$ ($\phi_b = 0$) entonces M_{pa} y M_{nb} están encendidos mientras que M_{pb} y M_{na} están apagados. La tensión *gate -source* del transistor NMOS del CG_a debe ser suficiente para crear canal además que las tensiones de $V_{ga} = V_{La}$ y V_{na} se deben encontrar en un nivel bajo y alto respectivamente. De la misma forma la tensión *source - gate* del transistor PMOS del CG_b debe ser suficiente para crear canal además que las tensiones de $V_{gb} = V_{Hb}$ y V_{pb} se deben encontrar en un nivel alto y bajo respectivamente.
- Si $\phi_b = V_{DD}$ ($\phi_a = 0$) entonces M_{pb} y M_{na} están encendidos mientras que M_{pa} y M_{nb} están apagados. La tensión *gate -source* del transistor NMOS del CG_b debe ser suficiente para crear canal además que las tensiones de $V_{gb} = V_{Lb}$ y V_{nb} se deben encontrar en un nivel bajo y alto respectivamente. De la misma forma la tensión *source - gate* del transistor PMOS del CG_a

debe ser suficiente para crear canal además que las tensiones de $V_{ga} = V_{Ha}$ y V_{pa} se deben encontrar en un nivel alto y bajo respectivamente.

La siguiente tabla muestra un listado de valores que cumplen con la característica anteriormente señaladas para ambos casos.

Cuadro 2.1: Posibles valores para el circuito de control de compuerta [7]

	V_n, V_L	V_p, V_H
CG1	$(\phi_a, \phi_b), (\phi_a, 0),$ $(V_{dd}, \phi_b), (V_a, V_b),$ $(V_a, V_{dd}),$	$(V_a, V_o), (V_a, V_b),$ $(V_{dd}, V_b), (\phi_a, V_b),$
CG2	$(\phi_b, \phi_a), (\phi_b, 0),$ $(V_{dd}, \phi_a), (V_b, V_a),$ $(V_b, V_{dd}),$	$(V_b, V_o), (V_b, V_a),$ $(V_{dd}, V_a), (\phi_b, V_a),$

Los valores que se seleccionan son aquellos que ayuden a disminuir los picos de corriente inversa incluso para señales OVT [7]. Por lo tanto los valores serian V_{out} para V_{Ha} y V_{Hb} , 6,6V para V_{pa} y V_{pb} , 3,3V para V_{na} y V_{nb} y 0V para V_{La} y V_{Lb} . A continuación en la figura 2.12 se muestra un diagrama de tiempo con los valores de señales de control seleccionados para el control de compuerta.

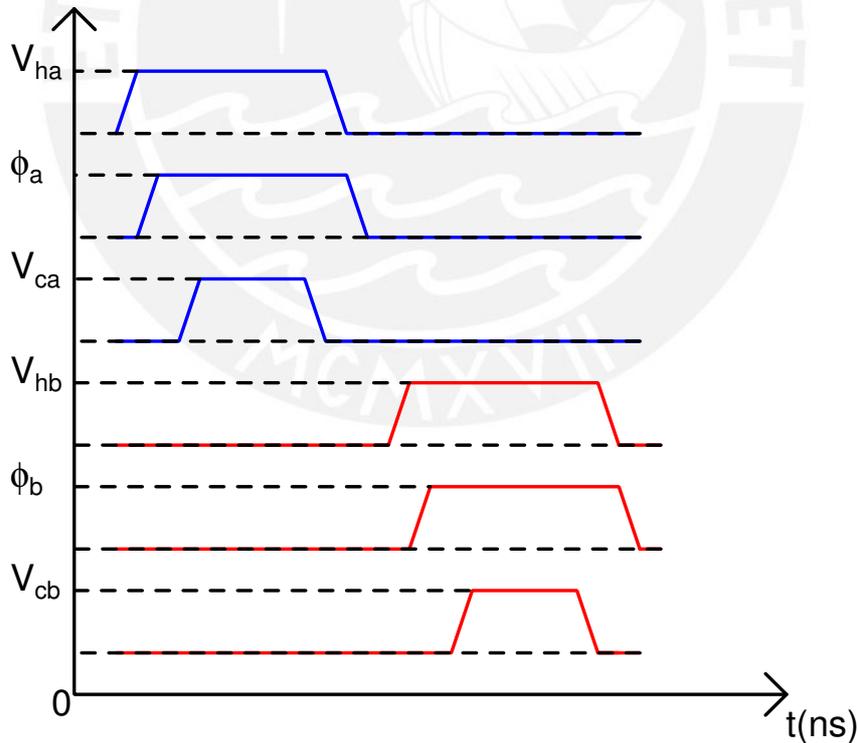


Figura 2.12: Diagrama de tiempo de las señales de control de un *charge pump cross coupled* con un circuito de control de compuerta [6]

2.4. Diseño del circuito eléctrico a nivel de transistores

Esta sección tiene como objetivos identificar posibles relaciones entre parámetros del circuito y realizar modificaciones sobre la topología *Cross-Coupled* con la finalidad de localizar puntos óptimos y disminuir efectos nocivos sobre el circuito respectivamente. Sin embargo, se menciona que existen parámetros los cuales serán fijos durante todos los análisis a realizar, estos parámetros son los siguientes: tensión de alimentación (V_{DD}), capacitancia de carga (C_L) y corriente de carga (I_L) y sus valores son $3,3V$, $12,5pF$ y $65\mu A$ respectivamente. A continuación se detallarán cada una de las posibles mejoras a realizarse en este circuito con los propósitos que este tenga un valor de eficiencia considerablemente alto, un tiempo de subida rápido, voltaje de rizado mínimo y una mínima área de silicio.

2.4.1. Selección del capacitor integrado que se utilizará de acuerdo a la tecnología AMS $0,35\mu m$

En un *charge pump* los capacitores son aquellos elementos que abarcan la mayor cantidad de área de silicio y; por lo tanto, se debe tener una gran consideración en el momento de seleccionarlo. Cabe resaltar que además de ocupar una gran cantidad de área, la capacitancia parásita del plato inferior es el elemento parásito que tiene una gran influencia sobre la eficiencia del circuito por ello también se debe considerar dicho parámetro en el momento de seleccionar el capacitor [2]. Los tipos de capacitor con los que se cuenta en la tecnología AMS $0,35\mu m$. son los siguientes:

- PIP (*Poly1 - Insulator - Poly2*)
- MIM (*METAL2 - Insulator - METALCAP*)

Para examinar la capacitancia parásita en ambos platos del capacitor se toma en cuenta los parámetros α_T y α_B estos representan una relación entre la capacitancia parásita y la capacitancia de bombeo (C_p); por lo tanto, $C_T = \alpha_T C$ y $C_B = \alpha_B C$. Para obtener dichos valores se utilizará los circuitos de *testbench* de la figura 2.13a y 2.13b para obtener α_T y α_B respectivamente.

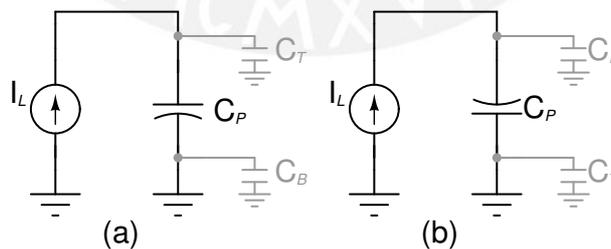


Figura 2.13: Circuito de *testbench* para la obtención de los valores de α_T y α_B de los capacitores de la tecnología

En la figura 2.13a y 2.13b se inyecta corriente en el plato en donde se desea hallar el parámetro de α mientras que el otro terminal del capacitor se coloca a tierra. Se emplea la ecuación de corriente en un capacitor y se comienza a analizar el circuito para determinar los valores de α .

$$\begin{aligned}
 i_i(t) &= C \frac{dv_C}{dt} \\
 \int_{t_1}^{t_2} I dt &= C \int_{v_1}^{v_2} dv_C \\
 \Rightarrow I &= \frac{\Delta v}{\Delta t} C
 \end{aligned} \tag{2.41}$$

La ecuación (2.41) presenta un crecimiento lineal con una pendiente (m) que está definida por la división entre $\frac{\Delta v}{\Delta t}$. De forma análoga, para un capacitor con capacitancia parásita la expresión tendría el factor $C + C_{par}$ multiplicado por la pendiente del circuito. Debido a que, la corriente en ambos casos se mantiene constante se igualan ambas ecuaciones y se obtiene la siguiente expresión.

$$\begin{aligned}
 m_i C &= m_r (C + C_{par}) \\
 \alpha &= \frac{m_i - m_r}{m_r}
 \end{aligned} \tag{2.42}$$

En donde m_i y m_r representa las pendientes en un caso ideal; es decir, sin capacitancia parásita y un caso real respectivamente. Para determinar si se refiere al α_T o α_B dependerá del circuito de testbench que se utilice. A continuación en la tabla 2.2 se muestran los valores de α que se obtuvo así como los valores de las pendientes obtenidas en cada caso.

Cuadro 2.2: Lista de valores del circuito de testbench

Tipo	$m_{i\alpha_T}$	α_T	$m_{i\alpha_B}$	α_B
CAP	3,25	-	3,25	-
PIP	3,246	0,013	3,245	0,015
MIM	3,241	0,025	3,241	0,028

En la tabla 2.2 se observa que los valores de α_T y α_B de los capacitores PIP tienen un menor magnitud que los valores que se obtuvieron con los capacitores MIM. Por lo tanto, para la presente tesis se selecciona los capacitores tipo PIP con la finalidad que la capacitancias parásitas tenga un menor efecto sobre el circuito.

2.4.2. Selección de la frecuencia de conmutación f_s y del capacitor del *charge pump* C_p para obtener óptimas características del circuito

Cuando se menciona óptimas características del circuito se hace a las siguientes prestaciones que se deben conseguir en el *charge pump*.

- Alcanzar un valor eficiencia considerablemente alto.
- Alcanzar su valor estable lo más rápido posible; es decir, que su tiempo de subida sea menor.

- Obtener un tensión de rizado mínima.
- Ocupar la menor cantidad de área de silicio.

Los objetivos mencionados anteriormente están relacionados con ecuaciones que se han desarrollado en secciones anteriores y que depende tanto de la capacitancia de bombeo del *charge pump* (C_p) como de la frecuencia de conmutación de la señales de control (f_s). En la siguiente tabla se reescriben aquellas ecuaciones que describen el comportamiento del circuito.

Cuadro 2.3: Ecuaciones para describir el comportamiento del circuito

Parámetros	Símbolo	Ecuación
Tension de salida en estado estacionario	$V_{out,ss}$	$\left(1 + \frac{1}{1+\alpha_T}\right) V_{DD} - \frac{I_L}{2(1+\alpha_T)f_s C_p}$
Tiempo de subida	t_r	$\frac{\ln\left(1 - \frac{0,9 V_{out,ss}}{\left(1 + \frac{1}{1+\alpha_T}\right) V_{DD} - \frac{I_L}{2(1+\alpha_T)f_s C_p}}\right)}{\ln\left(\frac{C_L}{C_L + (1+\alpha_T)C_p}\right)} \times \frac{T}{2}$
Eficiencia energética del circuito	η	$\frac{\left[\left(1 + \frac{1}{1+\alpha_T}\right) V_{DD} - \frac{I_L}{2(1+\alpha_T)f_s C_p} + \frac{I_L}{4f_s(C_L + (1+\alpha_T)C_p)}\right] \frac{I_L T}{2}}{V_{DD} I_L T + \alpha_T C_p V_{DD} \left[\left(1 + \frac{1}{1+\alpha_T}\right) V_{DD} - \frac{I_L}{2(1+\alpha_T)f_s C_p}\right] + \frac{1}{2} \alpha_B C_p V_{DD}^2}$

Estas ecuaciones se colocan en un script realizado en MATLAB el cual se encarga de encontrar un par de frecuencia de conmutación (f_s) con un capacitancia de bombeo (C_p) para obtener resultados deseados en los parámetros requerido. Este script realizar un barrido de frecuencia desde $10MHz$ hasta $60MHz$ con un *step* de $10MHz$ y cada una de esa frecuencias realizada otro barrido de capacitancia desde $1pF$ hasta $10pF$ con un *step* de $0,1pF$ los valores obtenidos de la simulación se presenta en la tabla 2.4.

Se puede ver que para valores de $10MHz$, $20MHz$, $30MHz$ el voltaje de rizado (V_r) es demasiado alto además que los valores de capacitancia que se obtuvieron ocuparían demasiada área. Se observa que entre valores $40MHz$ y $50MHz$ se obtiene valores equilibrado entre todos los parámetros, por ello, se decide correr una vez más el script pero limitándolo en dicho espacio. Ahora el script realiza un barrido de frecuencia desde $40MHz$ hasta $50MHz$ con un *step* de $1MHz$ y cada una de esa frecuencias realizada otro barrido de capacitancia desde $1pF$ hasta $10pF$ con un *step* de $0,1pF$ los valores obtenidos de la simulación se presenta en la tabla 2.5.

Cuadro 2.4: Resultados del primer *Script*

Propuesta	$f_s(MHz)$	$C_p(pF)$	$\eta(\%)$	$V_{out,ss}(V)$	$t_r(ns)$	$V_r(mV)$
1	10	10	94,56	6,271	195,67	520
2	20	8,4	94,94	6,402	111,87	260
3	30	5,7	94,81	6,405	102,03	173,3
4	40	4,3	94,73	6,407	97,24	130
5	50	3,5	94,67	6,410	93,16	104
6	60	2,9	94,63	6,409	91,86	86,67

Cuadro 2.5: Resultados del segundo *Script*

Propuesta	$f_s(MHz)$	$C_p(pF)$	$\eta(\%)$	$V_{out,ss}(V)$	$t_r(ns)$	$V_r(mV)$
1	40	4,3	94,73	6,407	97,24	130
2	41	4,2	94,72	6,407	96,82	126,82
3	42	4,1	94,72	6,407	96,52	123,80
4	43	4,0	94,71	6,407	96,32	120,93
5	44	3,9	94,71	6,406	96,24	118,18
6	45	3,8	94,70	6,405	96,27	115,55
7	46	3,7	94,69	6,405	96,41	113,04
8	47	3,7	94,69	6,409	94,36	110,63
9	48	3,6	94,68	6,407	94,66	108,33
10	49	3,5	94,68	6,406	95,06	106,12
11	50	3,5	94,67	6,410	93,16	104

Se toma el valor de $f_s = 45 MHz$ ya que dicho valor permite dar intervalos apropiados entre las señales de control que se emplearán más adelante. Sin embargo, se observa que la eficiencia máxima, de valor 94,70%, se alcanza con un valor de capacitancia de $3,9pF$ dicho valor implica un gran espacio de área en la oblea de silicio. Por consiguiente, se busca un valor de capacitancia menor el cual se encuentre en un rango alto de eficiencia y cuyo valor de capacitancia no ocupe demasiada área. En la figura 2.14 se elige el valor de capacitancia de $1,5pF$ ya que cumple con el requisito anteriormente mencionados.

2.4.3. Selección de un W_{opt} en base a la relación entre las pérdidas de conducción y conmutación

En el análisis de pérdidas energía se enunciaron y detallaron un grupo de pérdidas cuyo efecto es relevante en aplicaciones de bajo consumo de corriente. Entre ellas se mencionaron pérdidas de energía por efectos de resistencias asociadas a los interruptores y por efectos de la carga de

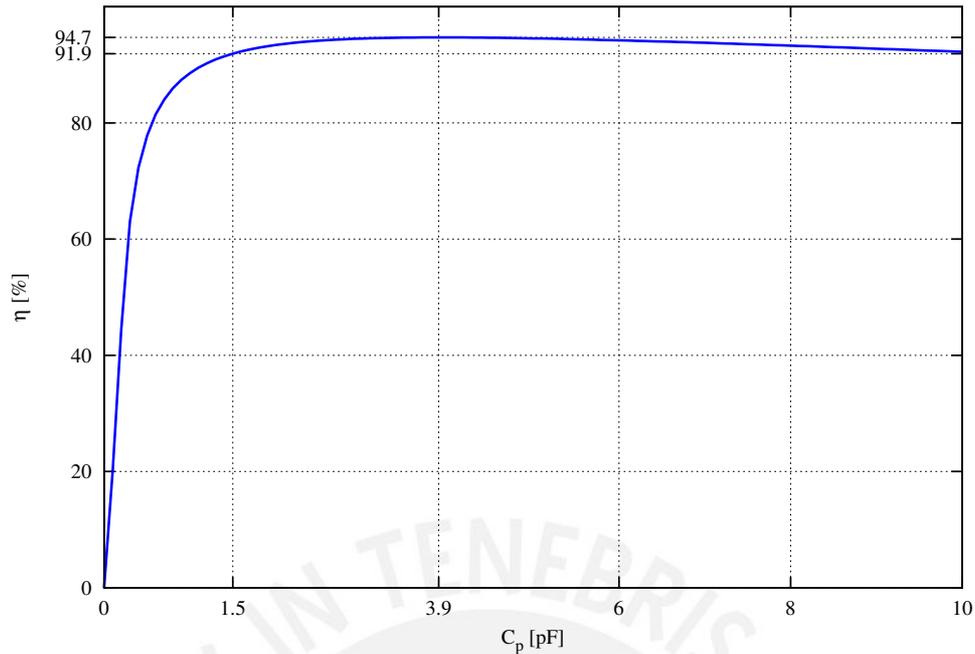


Figura 2.14: Gráfica de la eficiencia del circuito vs capacitancia de bombeo del *charge pump*

capacitores que no contribuyen con la función del circuito. Estas pérdidas de energía se conocen como pérdidas por conducción y por conmutación y se expresan mediante las ecuaciones (2.39) y (2.40) respectivamente. Sin embargo, pueden ser escritas de la siguiente manera a fin de encontrar una relación entre ellas.

$$E_{loss_{com}} = KW \quad (2.43)$$

$$E_{loss_{cond}} = C \frac{1}{W} \quad (2.44)$$

En donde C y K son constantes que se pueden obtener despejando W de las ecuaciones (2.39) y (2.40) respectivamente. Se puede observar que entre las pérdidas por conmutación ($E_{loss_{com}}$) y el ancho del canal de los transistores (W) existe una relación directamente proporcional entre ellos. Es decir que si se desea disminuir este tipo de pérdidas se debe disminuir el valor de W . Esto se debe a que si se disminuye este valor se disminuye la capacitancia parásita C_{GS} del canal.

Mientras que las pérdidas por conducción ($E_{loss_{cond}}$) y el ancho del canal de los transistores (W) existe una relación inversamente proporcional entre ellos. Es decir, que si se desea disminuir las pérdidas por conducción se debe incrementar el W . Esto se debe a que si se aumenta este valor se disminuye la resistencia de encendido R_{on} . Por lo tanto, se puede decir que existe un W_{opt} en donde la contribución de ambas fuentes de pérdidas de energía es la mínima posible. Para localizar los valores de W_{opt} se realizará los *testbench* de la figura 2.15a y 2.15b para los transistores canal P y canal N respectivamente.

Los resultados de las simulaciones se muestran en la figura 2.16 en la que se indica el ancho

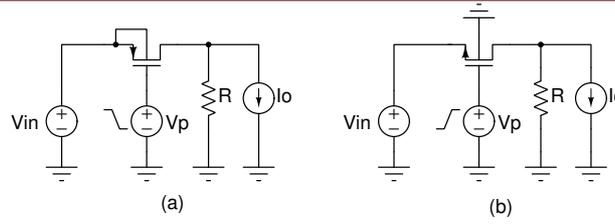


Figura 2.15: Circuito de *testbench* para la obtención de un W_{opt} de los transistores de salida

del canal de transistor para el cual la contribución de ambos tipos de pérdidas de energía es la mínima. Cabe resaltar que solo se indico la relación entre el ancho del canal del transistor y el tipo de pérdida de energía. No se desarrollo una expresión analítica debido a que los modelos que emplea el simulador son más complejos.

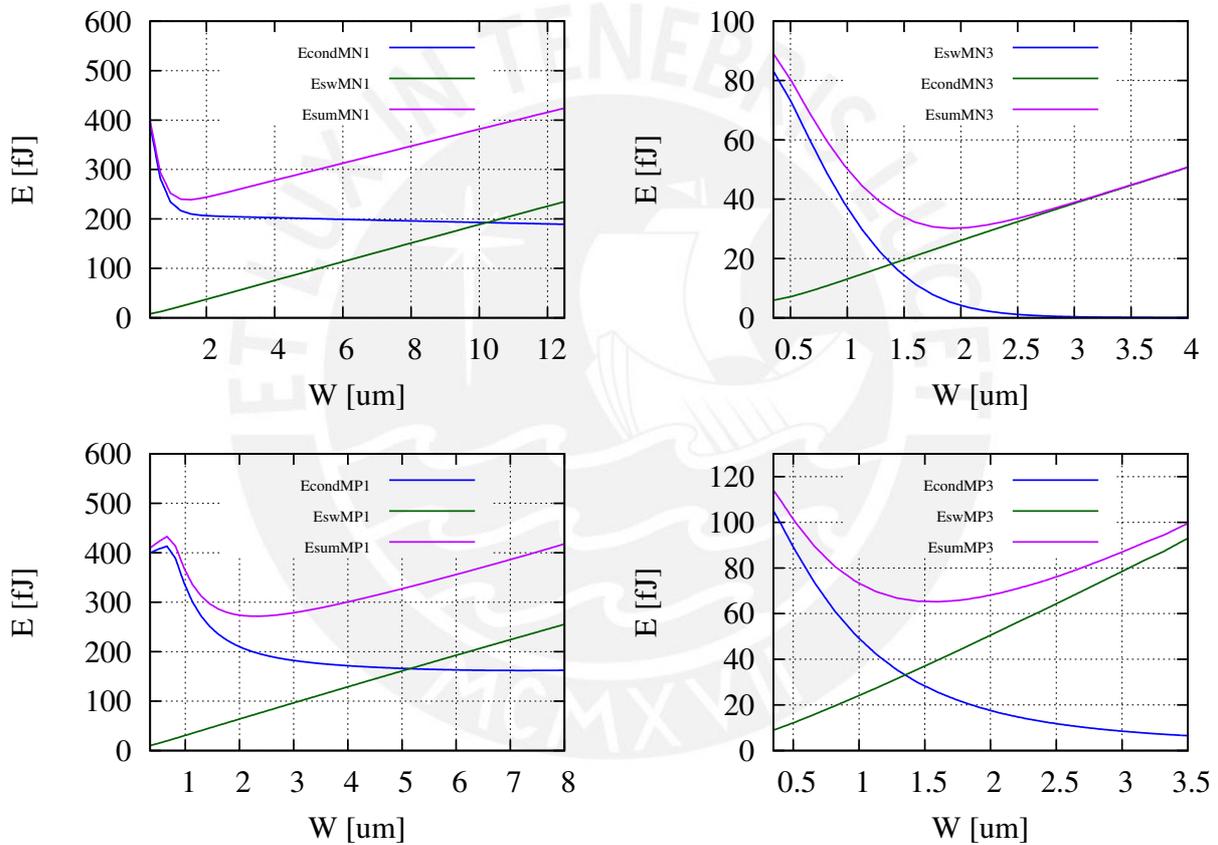


Figura 2.16: Ilustración de las pérdidas de conducción y conmutación para la obtención de un W_{opt} de los transistores de salida

Sin embargo, aún con las dimensiones obtenidas se debe realizar un pequeño reajuste para debido a que no se ha considerado los valores de la otras capacitancias parásitas [14].

2.4.4. Propuesta de diseño

A continuación se muestra una tabla con las dimensiones geométricas de los transistores y los valores de capacitancia de bombeo, corriente de carga y capacitancia de carga. Al mismo tiempo, se muestra el diseño a nivel esquemático con las dimensiones geométricas apropiadas y los capacitores de la tecnología que se emplearán en el presente trabajo de tesis.

Componentes	Parámetro	Símbolo	Valor	Unidades
MN0 MN1	Ancho Unitario	W_N	2,7	μm
	Largo Unitario	L_N	0,35	μm
MN2 MN3	Ancho Unitario	W_{nL}	1,1	μm
	Largo Unitario	L_{nL}	0,35	μm
MP0 MP1	Ancho Unitario	W_P	3	μm
	Largo Unitario	L_P	0,35	μm
MP2 MP3	Ancho Unitario	W_{pH}	2,2	μm
	Largo Unitario	L_{pH}	0,35	μm
C0 C1	Capacitancia de bombeo	C_p	1,5	pF
C2	Capacitancia de carga	C_L	12,5	pF
I0	Corriente de carga	I_L	65	μA

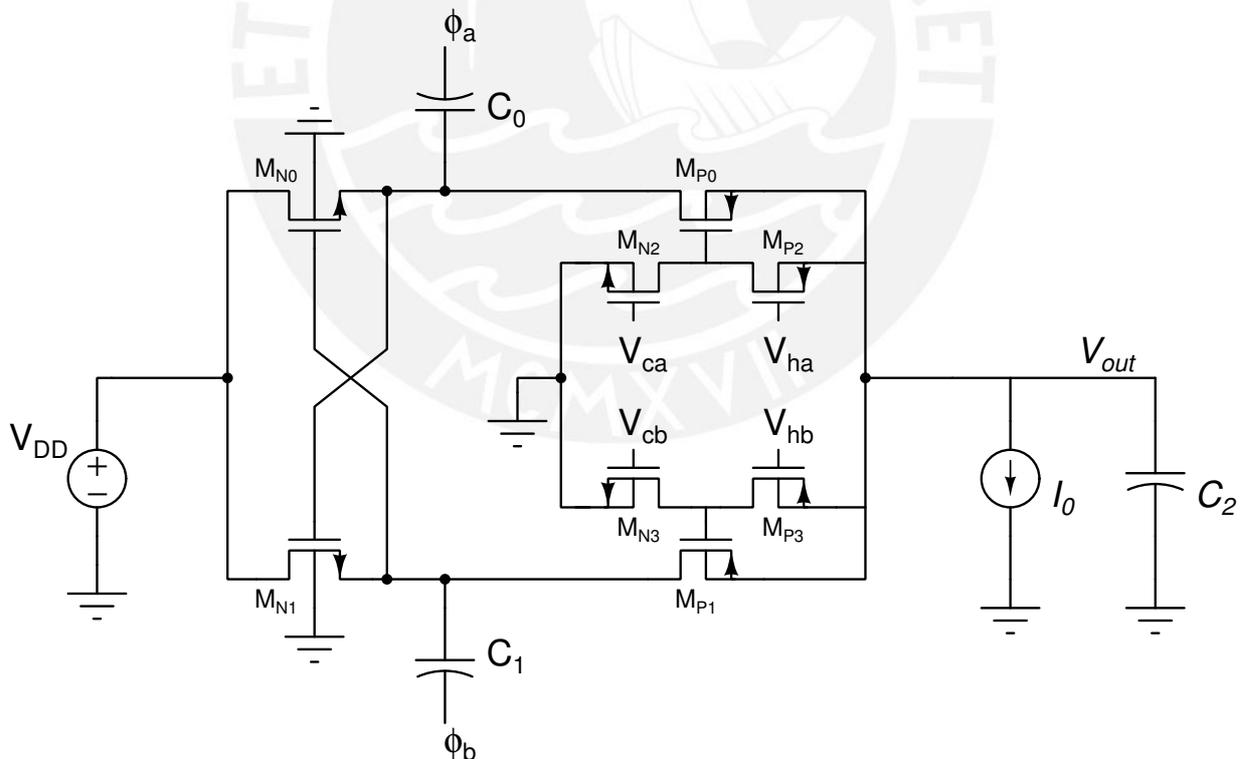


Figura 2.17: Diseño a nivel esquemático del *charge pump Cross - Coupled*

Capítulo 3

Elaboración del layout

El presente capítulo muestra el concepto del diseño a nivel de capas de materiales (*layout*) del transistor MOSFET. Consecutivamente se hace un análisis de los capacitores integrados y se describe aquellos que están disponibles en la correspondiente tecnología de fabricación de la presente tesis. Es menester indicar que para el desarrollo de esta tesis se emplea la tecnología AMS $0,35\mu m$. Finalmente se muestra y explica técnicas que optimizan la elaboración del *layout* de bloques analógicos integrados para así mostrar el diseño final del *layout* del circuito propuesto en el presente trabajo de tesis.

3.1. *Layout* de un transistor MOSFET

Se entiende por *layout* como una representación física a nivel de capas de materiales presentes en la oblea de silicio de un circuito o componente electrónico integrado. Este está sujeto a limitaciones derivadas de su proceso de fabricación tales como ancho de canal, densidad de metal presente en el sustrato, reglas de diseño en cuanto a distancias mínimas, grosor, traslape entre otras características de un mismo material [10] [5]. La estructura de los transistores MOSFET de canal N y canal P se presenta en la figura 3.1 para un proceso de fabricación CMOS (Complementary metal-oxide-semiconductor).

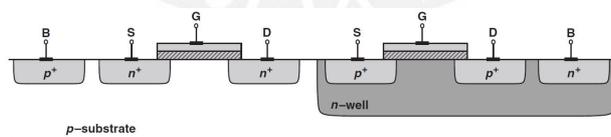


Figura 3.1: Estructura de un transistor NMOS y de un transistor PMOS [4]

En la figura anterior se muestra que ambos transistores, el de canal N y el de canal P, se encuentran sobre la misma oblea (*wafer*) de silicio. En la mayoría de los procesos de fabricación se utiliza silicio tipo P como sustrato. Además en la figura 3.1 se observa que los terminales *source* (S) y *drain* (D) del NMOS están compuestos por un material de silicio tipo n^+ y el *bulk* esta compuesto por material tipo p^+ . En donde el superíndice + indica que esos materiales se encuentran fuertemente dopados, esto significa que poseen una gran concentración de portados

mayoritarios. De la misma forma, se observa que los terminales *source* (S) y *drain* (D) del PMOS están compuestos por un material de silicio tipo p^+ y el *bulk* esta compuesto por material tipo n^+ . Sin embargo, cabe mencionar que para el caso de los PMOS se requiere un pozo tipo n (N-well) en donde se aloja su estructura. En la figura 3.2a y 3.2b se muestra el layout de los transistores NMOS y PMOS respectivamente, ambos implementados en base a las reglas de diseño.

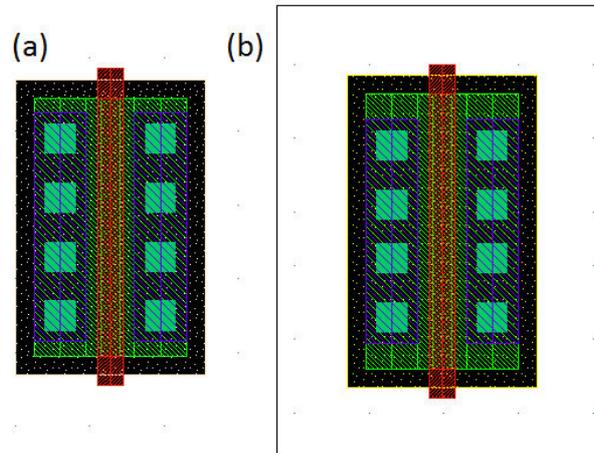


Figura 3.2: Layout de un transistor NMOS y un transistor PMOS

Se puede deducir que los layout son una vista superior de las estructuras descritas en las figuras 3.1 a y 3.1 b. Si se describe de una manera muy simple sería un cruce y traslape de rectángulos y cuadros de varios colores. CADENCE emplea distintos colores y formas para diferenciar las capas (*layers*) con los que cuenta la tecnología. El polisilicio (*POLY*) se representa por una franja de color rojo o rosado y las zonas activas o de difusión (*DIFF*), lugar donde se encontrará los terminales de *source* y *drain*, son de color verde. Sin embargo, para identificar si esta zona de difusión es tipo n^+ o tipo p^+ se utiliza un recuadro de color blanco punteado (*NPLUS*) o amarillo punteado (*PPLUS*) respectivamente. Adicionalmente se coloca en cada terminal un recuadro de color azul denominado metal 1 (*MET1*) y varios cuadrados pequeños en su interior denominados contactos (*CONT*) que conectan la zona de difusión con el metal 1. Para el caso de los PMOS este se encuentra encerrado sobre un *layer* denominado *NTUB* el cual hace referencia al N-well.

Note que el terminal del *bulk* no se encuentra dibujado sin embargo este debe ser colocado con las capas adecuadas descritas anteriormente. Otra característica que resalta es que se utilizan varios contactos para conectar la zona activa con el metal 1. La razón de esto es que durante la fabricación puede que estos contactos no hagan una conexión adecuada y para garantizar que la conexión sea efectiva se coloca más de uno. Finalmente, se observa que para conectar con otros puntos del circuito los terminales S y D no se emplea la zona de activa sino mediante los contactos sube y cambian de capa al siguiente nivel y se utiliza el metal 1 el cual cuenta con mejor propiedades de conducción que la zona de difusión. La cantidad de metales con los que se cuenta la oblea de silicio y sus características depende de la tecnología disponible.

Como ya se mencionó anteriormente se empleará la tecnología AMS (Austria MicroSystem) $0,35\mu m$ la cual permite trabajar hasta con 4 capas de metales. Los contactos que permiten tras-

ladarse de metal en metal son denominados *vias*. A continuación se muestra una vista transversal del *wafer* con todos los *layers* que contiene para la tecnología AMS 0,35 μ m.

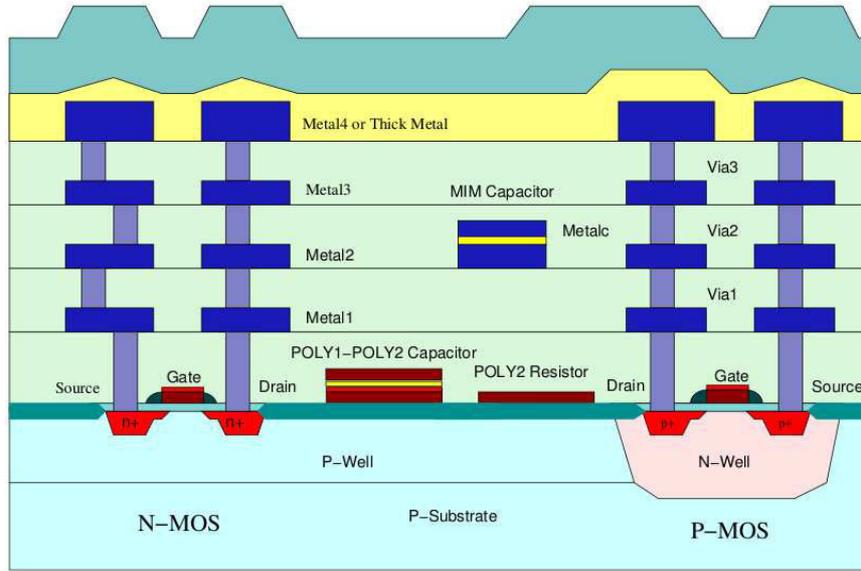


Figura 3.3: Vista transversal del *wafer* [8]

3.2. Capacitores Integrados

Los capacitores son elementos pasivos que almacenan energía en forma de campo electrostático y su unidad de medida son los faradios (F). En el caso de los capacitores integrados estos son placas o platos colocadas en paralelo y cuyos terminales son denominados electrodos. Además entre ellos se adjunta un aislante denominado dieléctrico [10] tal como se muestra en figura 3.4.

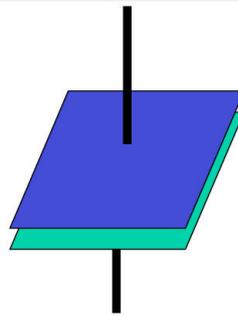


Figura 3.4: Ilustración de la estructura de un capacitor integrado basado en placas paralelas [5]

En la figura 3.4 se observa que tanto la placa superior e inferior tiene iguales dimensiones y una forma rectangular. En caso de los electrodos, se utilizan capa conductoras disponibles con la tecnología que se emplea (metal, polisilicio, difusión). Para el caso del dieléctrico estos pueden ser dióxido de silicio (SiO_2) o nitruro de silicio (Si_3N_4) [10]. El valor de la capacitancia C entre las placas puede ser calculado a través de la siguiente expresión.

$$C = \epsilon_0 \epsilon_r \frac{A}{t} \quad (3.1)$$

En donde ϵ_0 es la permitividad del vacío y tiene un valor aproximado de $8,85aF/\mu m$, ϵ_r es la constante del dielectrico y depende del material del cual está fabricado para el caso de dióxido de silicio (SiO_2) se denomina ϵ_{ox} y tiene un valor igual a 3.97, A es el área traslapada entre los electrodos del capacitor aunque tambien puede ser representado por ancho (W) multiplicado por el largo (L); es decir, $A = WL$ y es medido en (um^2) y t es el espesor o grosor del dielectrico medido en Angstroms (Å) para el caso del dióxido de silicio (SiO_2) se denomina t_{ox} . La precisión de la capacitancia depende de la precisión de los parámetros de la ecuación (3.1) para el caso de la tecnología AMS $0,35\mu m$ los valores de ϵ_0 , ϵ_{ox} y t_{ox} tienen valores predeterminado que dependen de los materiales que se emplean para su fabricación. Por lo tanto, el valor C varia con el área (A) la cual depende del W y L de los platos del capacitor por lo que para mejorar la precisión del capacitor se emplean dimensiones geométricamente iguales. Los siguientes procesos fabricación afectan las dimensiones geométricas de los platos.

- *etching*
- *boundary mismatch*

En la fabricación de circuitos integrados el término *etching* se refiere a un proceso en cual se ataca químicamente a un material con la finalidad de removerlo del substrato. Sin embargo, este proceso no es exacto y por consiguiente puede ocurrir un efecto conocido como *undercutting* [5]. Como se observa en la figura 3.5 este efecto varia el W y L de los capacitores.

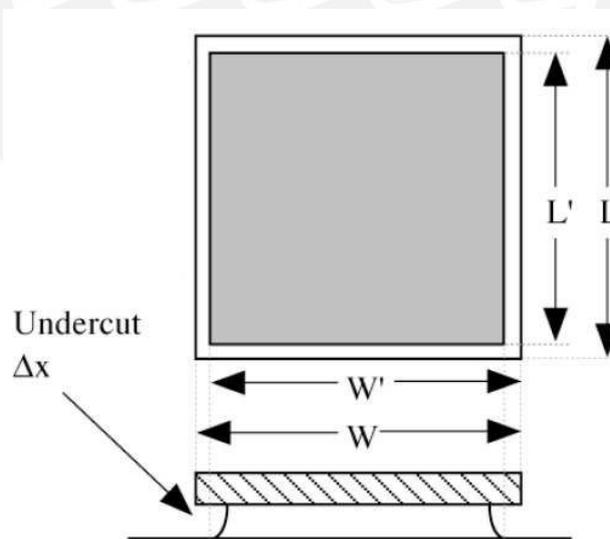


Figura 3.5: Efecto de *Undercutting* sobre las dimensiones geométricas del capacitor [5]

El efecto de undercutting varia el área por lo que la nueva área A se expresa de la siguiente forma.

$$A \cong WL = WL - 2(L + W)\Delta x = A(1 - \Delta x P/A) \quad (3.2)$$

En donde Δx es la extensión del undercut y P es el perímetro. El *boundary mismatch* es un término que indica que a pesar de producirse variaciones en el proceso de fabricación estas variaciones no son uniforme en todos los elementos. Como se menciona en capítulo previo, se selecciono el capacitor tipo PIP (poly -insulator - poly) debido a que posee un menor efecto de capacitancia parásita. A continuación se mostrará las características de este tipo de capacitores en la tecnología AMS 0,35 μm .

3.2.1. Capacitor de Poly-Poly (PIP)

En el caso de los capacitores PIP se fabrican con las capas de polisilicio 1 (*POLY1*) y polisilicio 2 (*POLY2*) además se utiliza el dióxido de silicio como dieléctrico o aislante entre los platos [9]. Para un mayor entendimiento de como es la estructura de este capacitor se muestra la vista *layout* y la vista transversal tal en la figura 3.6.

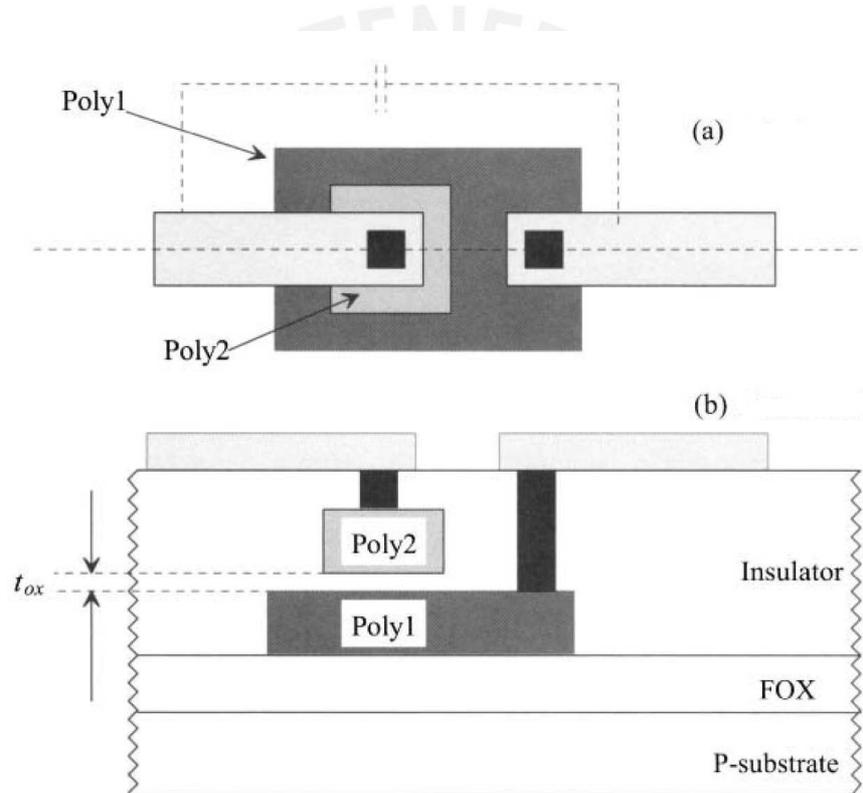


Figura 3.6: La vista de *layout*(a) y la vista de sección transversal(b) de los capacitores PIP [9]

Como se puede observar el plato superior esta conformado por la capa de *Poly2* mientras que el plato inferior lo conforma la capa de *Poly1*. El valor de la capacitancia queda determinado por el área del *Poly2* y se expresá mediante la siguiente ecuación

$$C_{pip} = (CPOX)A \quad (3.3)$$

En donde CPOX es el valor capacitancia del *Poly2* por (μm^2) que se obtiene de los parámetros de proceso y tiene un valor igual a 0,86fF/ μm^2 y A es el área del capacitor; es decir, WL como

ya se menciono estos deben ser de forma rectangular para una mejor precisión [9]. Se recomienda que si el área superará los $1000\mu m^2$ se divida en pequeñas unidades de capacitores conectadas en paralelo [10]. A continuación se muestra un modelo de estos tipos de capacitores considerando sus efectos parásitos y una vista transversal de los capacitores PIP considerando los efectos parásitos.

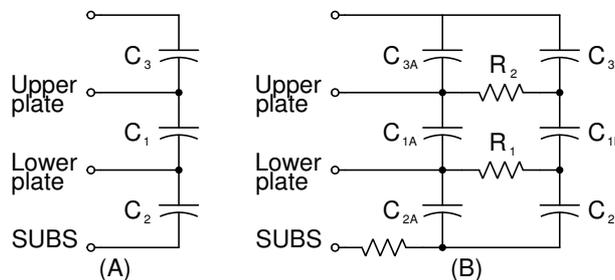


Figura 3.7: Modelo de un capacitor PIP considerando las capacitancias parásitas de los platos superior e inferior(A) y considerando las resistencias y capacitancias parásitas del condensador(B). [10]

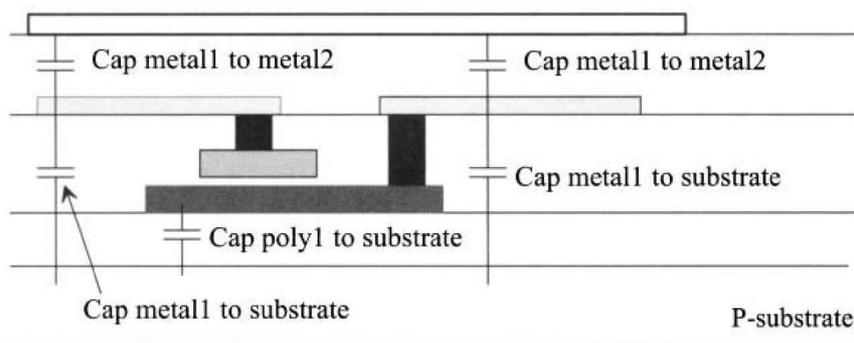


Figura 3.8: Vista transversal de un capacitor PIP considerando las capacitancias parásitas [9]

3.3. Técnica de diseño de layout

Como se menciono en la sección anterior existen variaciones en el proceso de fabricación de los circuitos integrados los cuales tienen efectos no deseados sobre las dimensiones geométricas de los elementos que se fabrican, en el caso de los capacitores, afecta el valor de la capacitancia. Además que estos efectos no son uniforme en todos los componentes lo que genera una asimetría en el circuito. Con el propósito de que estas variaciones no afecten de manera sustancial al circuito existen técnicas que se enfocan en distribuir correctamente dichas variaciones de proceso. En esta sección se mostrarán algunas de ellas y se darán ejemplos para aplicarlas en capacitores y transistores.

3.3.1. Centroides común

Este es una técnica que se encarga de reducir el efecto de gradientes (variaciones en el proceso de fabricación) mediante un arreglo de los elementos. Estos se posicionan con respecto a un centro

común y se distribuyen de forma que exista una cantidad equitativa de los mismo para compensar el efecto de la gradiente [5] [10] [9]. Existen dos formas en las que se distribuyen los elementos estas se muestran en la figura 3.9

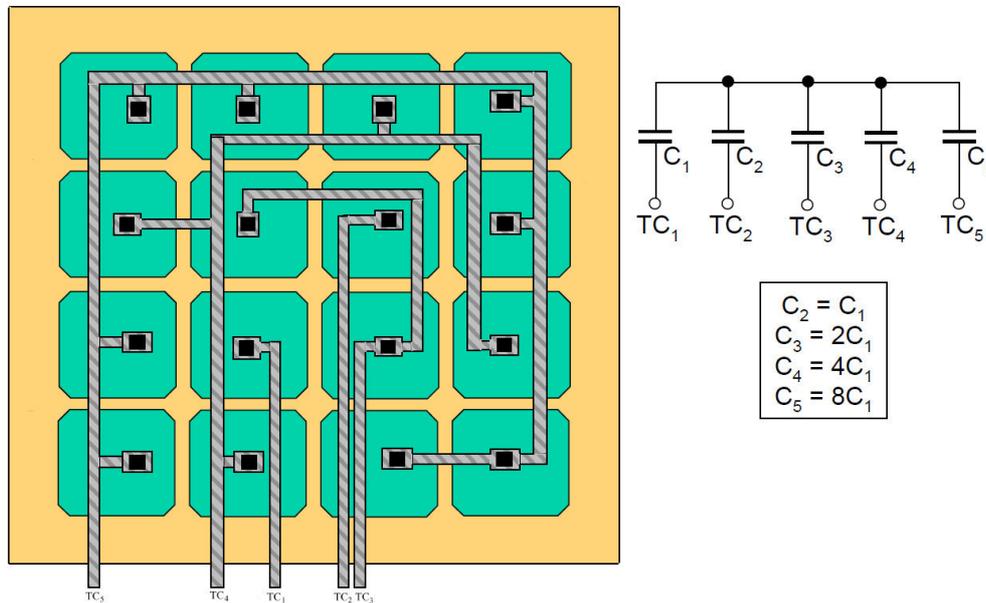


Figura 3.9: Utilización de la distribución de centroide común para unidades de capacitores [5]

En el caso de capacitores, esta técnica ayuda disminuir el efecto de *undercutting* distribuyen adecuadamente las unidades de capacitores. Como ya se mencionó cuando se desea un valor alto de capacitancia se recomienda emplear pequeñas unidades de capacitores y se conectan en paralelo. En la figura 3.9 se aprecia la aplicación de esta técnica a capacitores integrados, se observa que cada unidad de capacitancia tiene las esquinas en 45 grados esto se hace para corregir durante la fabricación los problemas que podrían causar durante el proceso de *etching*; sin embargo, en los límites de este bloque se aprecia que no existe la misma distribución de elementos por lo que podría presentar un problema por *boundary mismatch* para ello se emplea el uso de elementos ficticios [5].

3.3.2. Elementos ficticios

Estos elementos ficticios o también llamados *dummy elements* son colocados en layout con la finalidad de mantener la simetría en todos los componentes del layout. Esta técnica implementada en conjunto con centroide común mejoran el *matching* de los elementos como ya se mencionó anteriormente no todas las variaciones son uniformes en los componentes entonces con la finalidad de que sean iguales dichas variaciones se deben colocar una misma distribución de los elementos en sus alrededores [4] [9]. Como se observa en la figura 3.9 esto no se cumple en los límites del arreglo de capacitores para entender mejor se muestra la figura 3.10.

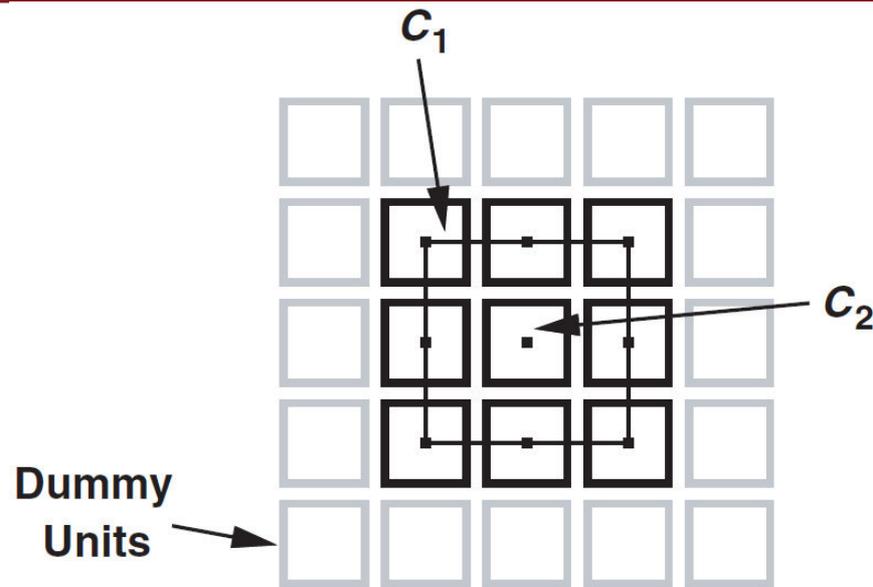


Figura 3.10: Utilización de capacitores *dummy* para mejorar la simetría entre los capacitores [4]

En la figura 3.10 se colocan capacitores *dummy* alrededor del arreglo de capacitores C_1 para que cada uno de estas unidades tenga en su alrededor la misma cantidad de capacitores que tienen C_2 . Esto contribuye con la simetría del circuito y una mejor precisión en el valor de la capacitancia además cabe resaltar que estos *dummy elements* no requieren de ninguna conexión eléctrica. Para el caso de los transistores MOSFET cuando se implantan los terminales *source* y *drain* existe un fenómeno denominado *gate shadowing* que provoca una asimetría [4] en estos componentes tal como se muestra en la figura 3.11

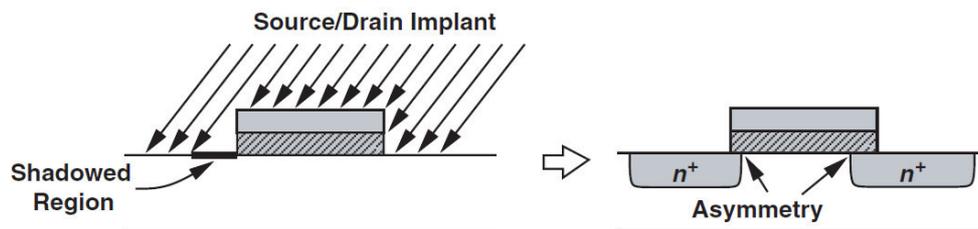


Figura 3.11: Efecto de *gate shadowing* sobre el transistores MOSFET [4]

Como se observa cuando se implantan los terminales *source* y *drain* debido al efecto mencionado anteriormente ocasiona que la longitud de uno de los terminales debajo del *gate* sea más angosto que el otro lo que provoca así una asimetría en el transistor. Como se mencionó esta asimetría puede ser disminuida colocando transistores *dummy*. Esto ayuda a mantener un ambiente simétrico entre los lados del transistor e incrementando el mismatch entre los transistores [4] para comprender mejor lo anteriormente descrito se muestra la figura 3.12.

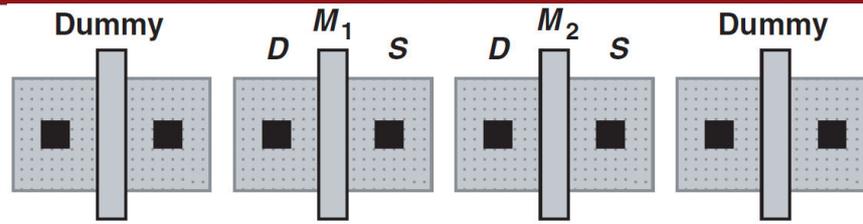


Figura 3.12: Utilización de transistores *dummy* para mejorar la simetría entre los transistores MOSFET [4]

3.3.3. Anillo de guarda

El terminal del sustrato se implementa con un material de tipo p+ o tipo n+ para un NMOS o un PMOS respectivamente. Debido que este material presenta una baja resistencia es muy susceptible a que se le inyecte corriente desde otra punto del circuito este efecto se le conoce como *substrate coupling* o *substrate noise*. Por lo tanto, para reducir dicho efecto se colocan implantes tipo p+ alrededor del circuito con el objetivo de proteger al circuito de dicha corriente y mantener el sustrato fijo a tierra. Estos implantes se colocan en forma de una anillo [4] [10] tal como se muestra en la figura 3.13, por ello a esta técnica se le conoce como anillo de guarda (*guard ring*).

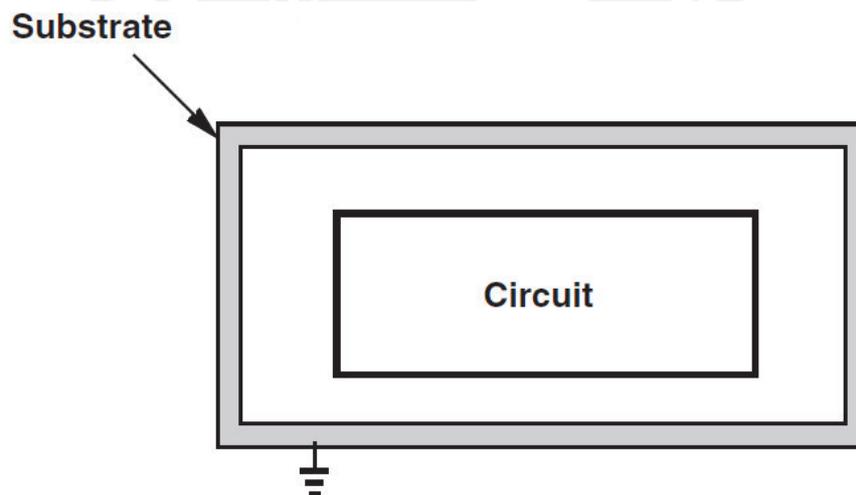


Figura 3.13: Utilización de anillo de guarda para protección del circuito [4]

3.4. Diseño del *layout*

En esta sección se muestra el diseño del físico (*layout*) de un *charge pump* con topología *Cross-Coupled* para ambos capacitores de la tecnología AMS 0,35 μ .

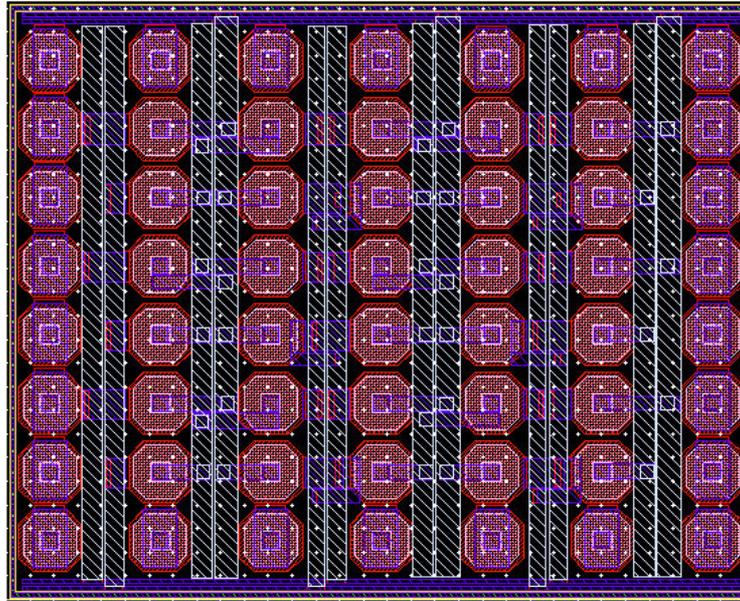


Figura 3.14: *Layout* del arreglo de capacitores *PIP* empleando la técnica de centroide común

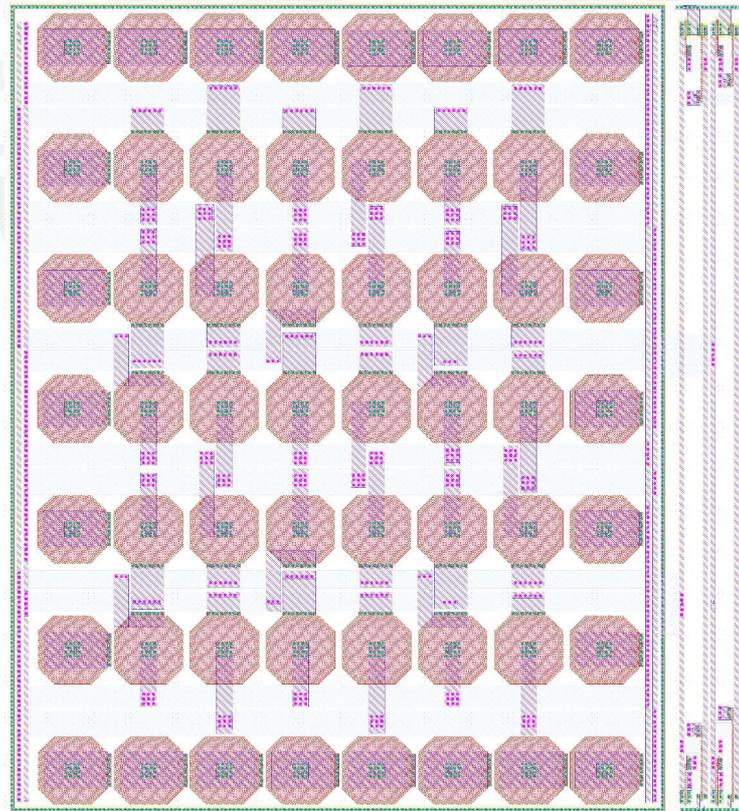


Figura 3.15: *Layout* de la bomba de carga con la topología *Cross Coupled* con la técnica de control de compuertas que emplea capacitores *PIP*

Capítulo 4

Resultados de la simulación

El presente capítulo mostrará los resultados obtenidos durante las simulaciones a nivel esquemático del circuito propuesto para la tesis. Consecutivamente se mostrará el diseño a nivel físico (*layout*) del circuito *Cross Coupled*.

4.1. Tensión de salida en el tiempo (V_{out})

La figura 4.1 representa la gráfica de la tensión de salida vs. el tiempo. Se observa que con cada periodo de las señales de control la tensión en la salida se eleva de manera que alcanza un valor de $6V$. Esto es coherente con el comportamiento esperado del circuito y el objetivo de elevar la tensión desde $3,3V$ hasta un valor aproximado de $6V$. Además en la figura 4.1 se señala un punto, el cual indica el instante en que la salida alcanzo 90% de su valor final. Dicho instante corresponde al parámetro de tiempo de subida definido previamente en el capítulo 1. El tiempo de subida obtenido es aproximadamente $342ns$.

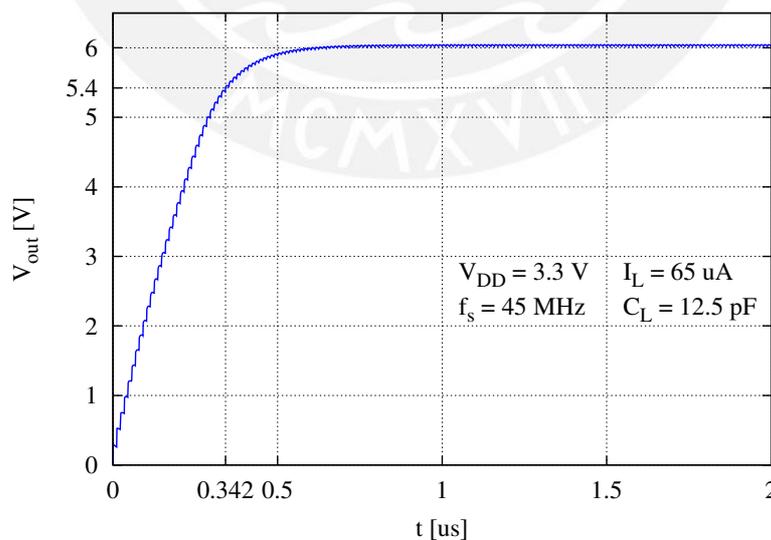


Figura 4.1: Gráfica de la tensión de salida vs tiempo

4.2. Tensión de salida en estado estable ($V_{out,ss}$)

La figura 4.2 representa la gráfica de la tensión de salida en estado estable vs. la corriente de carga. Se observa cómo la tensión de salida disminuye conforme se aumenta el valor de la corriente de carga. Esta gráfica determina la máxima corriente de carga permitida con la finalidad de que la tensión de salida no disminuya por debajo de $6V$. Este valor de corriente se indica en la figura 4.2 y tiene un valor aproximadamente de $65\mu A$.

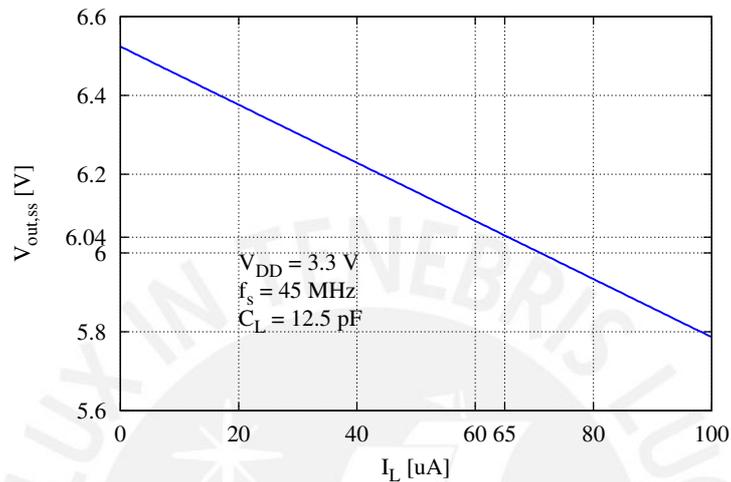


Figura 4.2: Gráfica de la tensión de salida vs la corriente de carga del *charge pump*

La figura 4.3 representa la gráfica de tensión de salida en estado estable vs. la tensión de alimentación del sistema general. Se observa que para un rango desde $1,5V$ hasta $3,3V$ el circuito tiene un comportamiento coherente con las ecuaciones.

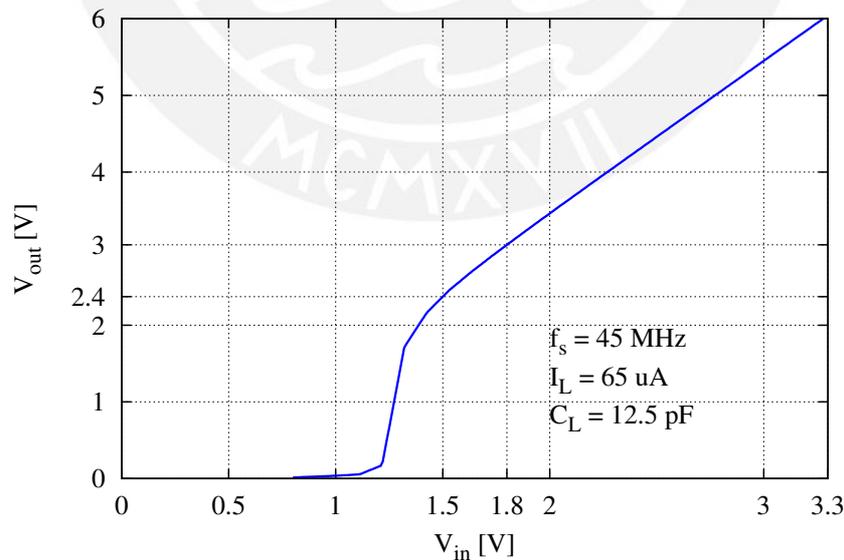


Figura 4.3: Gráfica del tiempo de subida vs la capacitancia de carga del *charge pump*

4.3. Eficiencia energética del circuito (η)

La figura 4.4 representa la gráfica de eficiencia energética vs. corriente de carga. Se observa que la eficiencia del circuito aumenta con la corriente hasta alcanzar un valor máximo para después disminuir progresivamente. En la gráfica se indica el valor de la corriente de carga máxima para que la tensión de salida no disminuya de 6V y se encuentra en el rango de alta eficiencia de acuerdo a la figura 4.4.

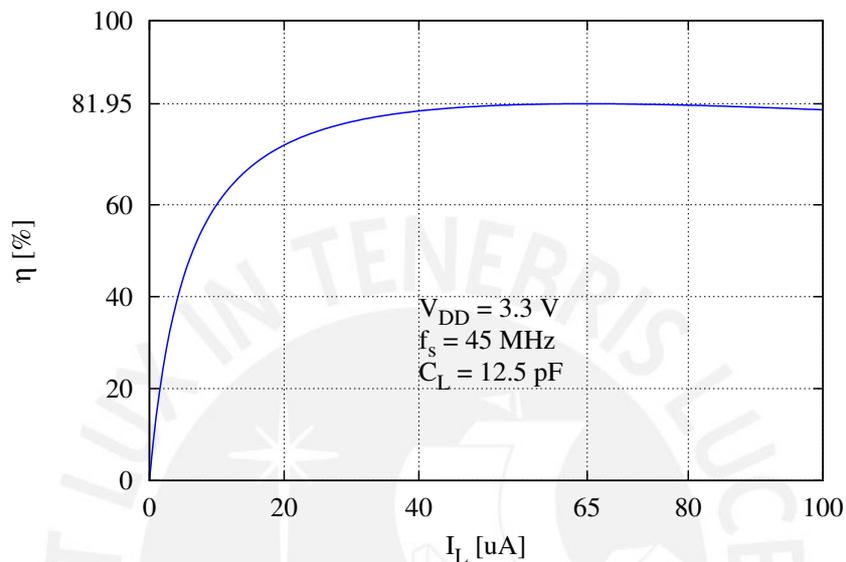


Figura 4.4: Gráfica de la eficiencia energética del circuito vs la corriente de carga

La figura 4.5 representa la gráfica de eficiencia energética vs. la tensión de alimentación. Se observa que la eficiencia disminuye conforme la tensión de alimentación disminuya. El punto 1,8V con eficiencia igual a 70% es un límite inferior con eficiencia aceptable.

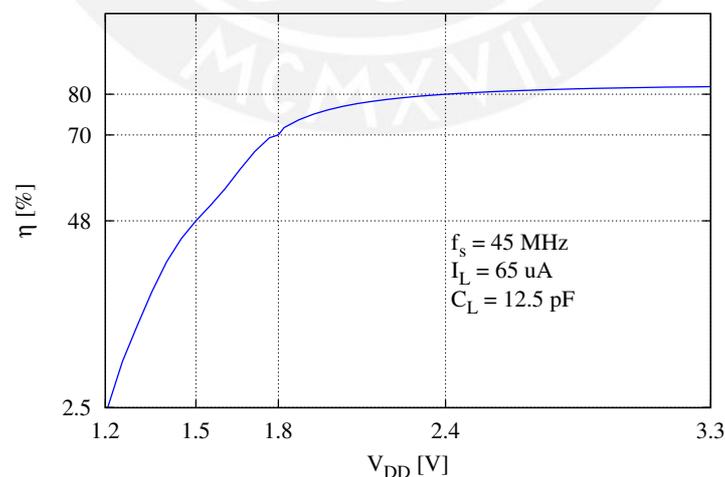


Figura 4.5: Gráfica de la eficiencia energética del circuito vs la tensión de alimentación

4.4. Tiempo de subida (t_r)

La figura 4.6 representa la gráfica de tiempo de subida vs. la capacitancia de carga. Se observa cómo el tiempo de subida aumenta conforme se aumenta el valor de la capacitancia de carga. Esto es coherente con la ecuación de tiempo de subida que se desarrolló en capítulos anteriores. Se muestra que para una capacitancia de carga igual a $12,5\text{pF}$ se obtiene un valor de tiempo de subida de 342ns . Este valor es similar con el aquel que se mostro en la figura 4.1.

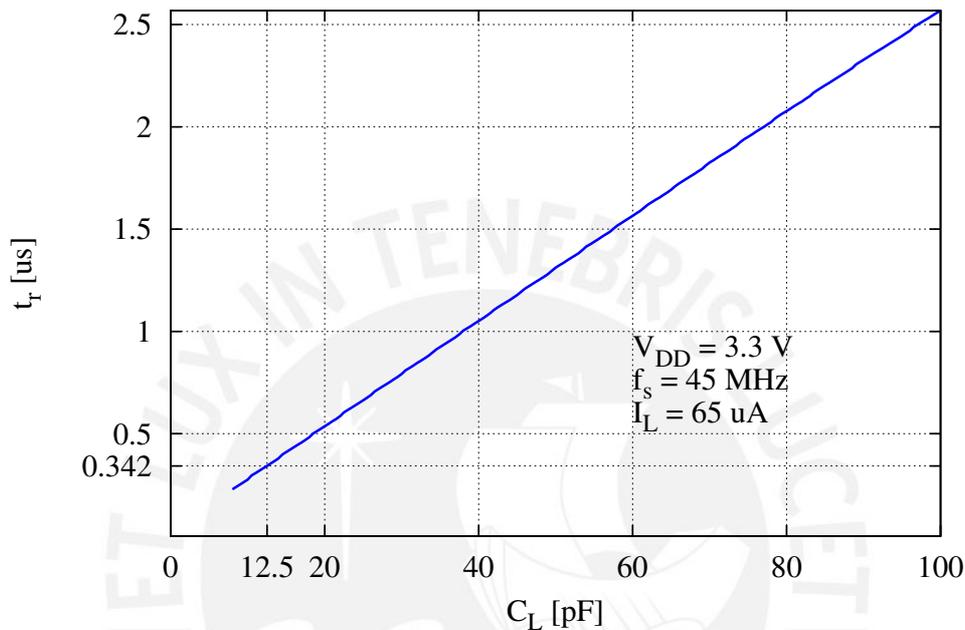


Figura 4.6: Gráfica del tiempo de subida vs la capacitancia de carga *charge pump*

4.5. Disminución de los picos de corriente inverso (I_{rev})

Como se mencionó en el capítulo 2 en la topología original del circuito existen corrientes inversas debido a que las señales de control generan en ciertos instantes cortocircuitos. Como una alternativa de solución a este problema existen los denominados circuitos de control de compuerta los cuales ayudan a disminuir dichos picos de corriente. En la figura 4.7a se muestran los picos de corriente de un *charge pump cross coupled* original mientras que en la figura 4.7b se muestran los resultados obtenidos luego de implementar el circuito de control de compuerta.

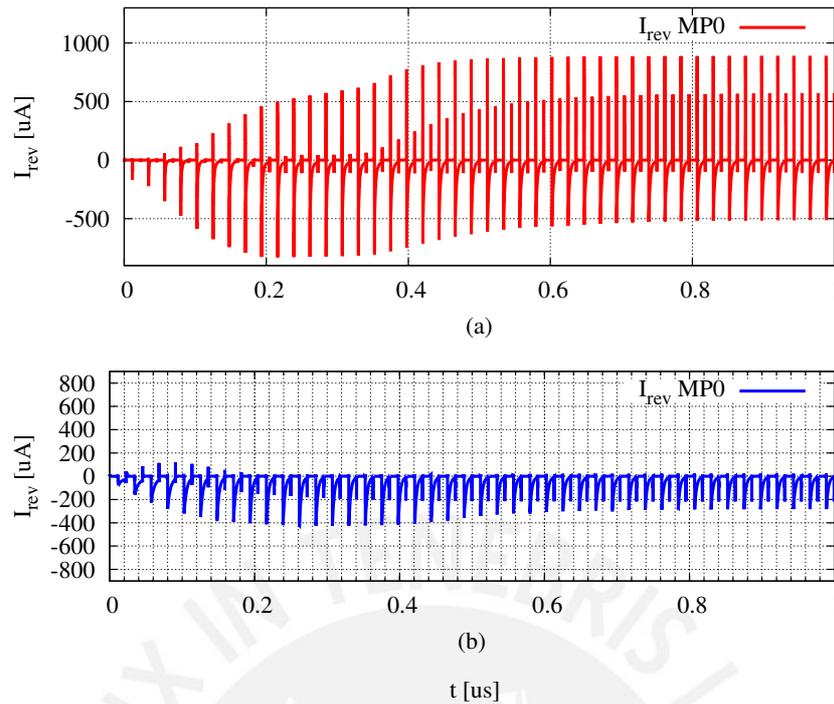


Figura 4.7: Gráfica de los picos de corriente inversa del transistor MP0 (a) antes de implementar el circuito de control de compuerta. (b) Después de implementar el circuito de control de compuerta.

4.6. Comparación de simulaciones y especificaciones del circuito

El análisis de *corners* nos permite observar el comportamiento del circuito cuando existen variaciones en el proceso de fabricación tales que influyen sobre los parámetros del modelo del transistor MOS. Esto provoca situaciones extremas en el transistor MOS entre los análisis tenemos *worst power*, *worst speed*, *worst one* y *worst zero*. Esta sección muestra un cuadro comparativo entre los distintos resultados obtenidos mediante las ecuaciones analíticas y las distintas simulaciones a nivel esquemático tales como *typical mean*, *worst power* y *worst speed*.

Cuadro 4.1: Cuadro comparativo entre los distintos valores de las simulaciones realizadas

Parámetro	Análiticamente	Esquemático		
		<i>tm</i>	<i>ws</i>	<i>wp</i>
$V_{out,ss}$	6,104 V	6,04 V	6,077 V	6,008 V
t_r	230,52 ns	342,4 ns	353 ns	331,3 ns
η	91,91 %	81,55 %	81,86 %	82 %
V_r	–	26,8 mV	22,78 mV	30,53 mV
P_{out}	–	393 uW	395 uW	390,5 uW

La simulación de montecarlo por mismatch es una simulación estadística nos permite observar las variaciones de los parámetros de un mismo *die* para nuestro circuito. En la figura 4.8 se observa

la simulación de montecarlo por *mismatch* para la tensión de salida en estado estable ($V_{out,ss}$). La media es $\mu = 6,051V$ y cuya desviación estandar es de $\sigma = 186,2\mu V$.

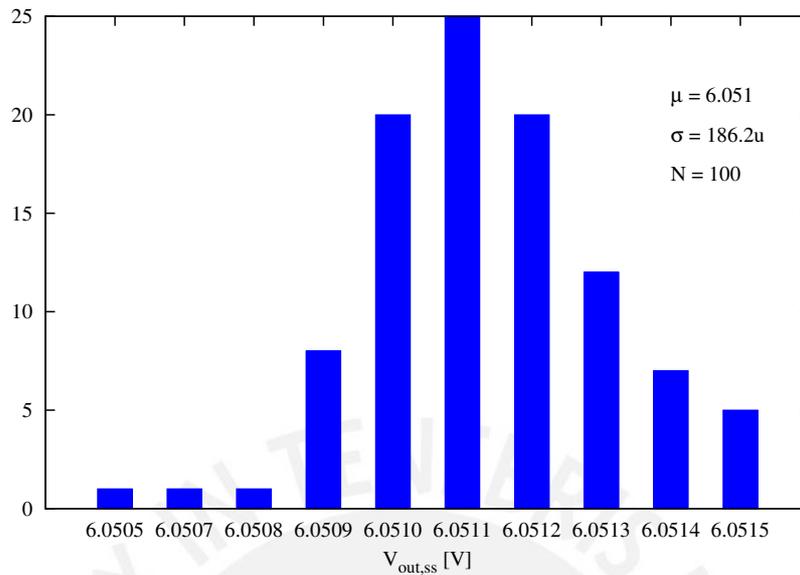


Figura 4.8: Gráfica de Montecarlo por *mismatch* de la tensión de salida en estado estable

La figura 4.9 representa la simulación de montecarlo por *mismatch* para el voltaje de rizado (V_r). La media es $\mu = 26,69mV$ y su desviación estandar es de $\sigma = 62,88\mu V$.

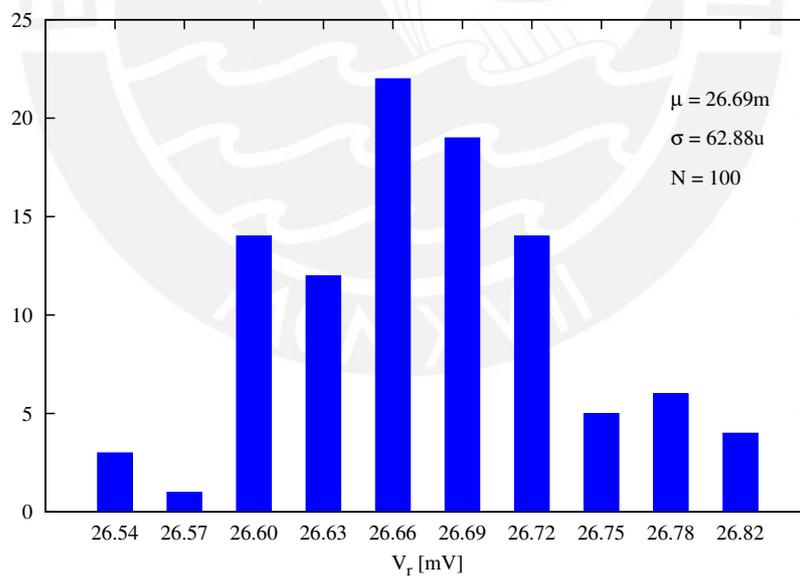


Figura 4.9: Gráfica de Montecarlo por *mismatch* de la voltaje de rizado

En la figura 4.10 se observa la simulación de montecarlo por *mismatch* para el tiempo de subida (t_r). La media es $\mu = 341,4ns$ y cuya desviación estandar es de $\sigma = 139,3ps$.

En las simulaciones se observa que las variaciones se encuentra dentro de rangos aceptables

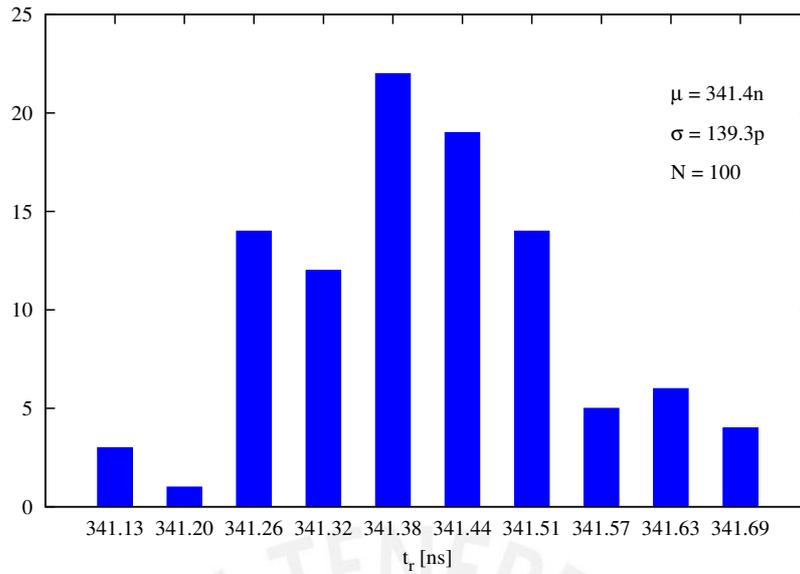


Figura 4.10: Gráfica de Montecarlo por *mismatch* del tiempo de subida

para los parámetros de tensión de salida en estado estable, voltaje de rizado y tiempo de subida. Finalmente la tabla 4.2 nos muestra las especificaciones del circuito integrado de acuerdo con los resultados obtenidos mediante simulaciones.

Cuadro 4.2: Cuadro de las especificaciones del *charge pump*

Especificación	Símbolo	Valores
Tecnología		AMS 0,35 μm CMOS process
Capacitancia de bombeo	C_p	1,5 pF
Capacitancia de carga	C_L	12,5 pF
Frecuencia de conmutación	f_s	45 MHz
Corriente de carga	I_L	$\leq 65 \mu A$
Tensión de alimentación	V_{DD}	1,5 V ~ 3,3 V
Tensión de salida en estado estable	$V_{out,ss}$	2,4 V ~ 6,0 V
Tensión de rizado	V_r	26,8 mV @ $V_{DD} = 3,3 V$
Tiempo de subida	t_r	342,5 ns @ $V_{DD} = 3,3 V$
Potencia de salida	P_{out}	393 uW @ $V_{DD} = 3,3 V$
Eficiencia energética	η	81,95 % @ $V_{DD} = 3,3 V$ 70 % @ $V_{DD} = 1,8 V$
área del layout	$Area_{pump}$	141,15 $\mu m \times 155,7 \mu m$

Conclusiones

- Se formalizó un proceso de diseño para las bombas de carga a través del desarrollo de ecuaciones que describen el comportamiento del circuito. Estas ecuaciones relacionan los parámetros de desempeño tales como tensión de salida en estado estable ($V_{out_{SS}}$), tiempo de subida (t_r) y eficiencia energética (η) con las variables de diseño tales como la corriente de carga (I_L), capacitancia de carga (C_L), frecuencia de conmutación (f_s), capacitancia de bombeo (C_p) y dimensiones de los transistores
- La tensión de salida en estado estable ($V_{out_{SS}}$) tienden a disminuir conforme la corriente de carga aumenta. Este comportamiento se predijo a través de las ecuaciones y se corrobora mediante simulaciones y se mostró en la figura 4.2.
- El proceso de diseño permite dimensionar apropiadamente el ancho de canal de los transistores con el propósito de disminuir las pérdidas de energía en el circuito.
- Los capacitores PIP de la tecnología AMS $0,35\mu m$ presentan un menor efecto de capacitancia parásita en comparación con los capacitores MIM. Esto permite seleccionar el capacitor adecuado de la tecnología que tenga una menor influencia sobre la eficiencia energética del circuito. El circuito de prueba que se utilizó ayudó con dicha selección.

Recomendaciones

- Las expresiones de tensión de salida en estado estable, tiempo de subida y eficiencia energética dan una descripción muy similar del comportamiento del circuito. Con la finalidad de obtener expresiones más precisa se recomienda considerar las caídas de tensión provocados por los efectos de ESR y R_{on} de los capacitores y transistores respectivamente.
- Es importante resaltar que la técnica de control de compuertas no es la única que permite mejoras en el circuito. Entre las presentes se encuentra la técnica de selector de *bulk*, *charge pump* complementario e *interleaving* cada una ellas tiene un aporte distinto sobre el circuito y en muchos otros trabajos se suele emplear más de una de estas técnicas [6] [7]. Se recomienda implementar, junto con la técnica de control de compuerta, la técnica del selector de *bulk* la cual tiene el propósito mantener conectado el *bulk* siempre al mayor potencial. Esto evitará que se produzca fuga de corriente por el sustrato lo que mejora la eficiencia energética del circuito.
- Para realizar las simulaciones de la técnica del selector de *bulk* es necesario colocar los transistores adicionales en el terminal del sustrato con el fin de observar la mejora.
- Con el propósito de concluir con el flujo de diseño se recomienda extraer los elementos parásitos del circuito y realizar las simulaciones post-layout. Estas simulaciones mostrarán un comportamiento mucho más real debido a que se realizan tomando en cuenta factores que no estaban presentes en el esquemático. Finalmente, previo a la fabricación se sugiere agregar PADS que posean que posean estructuras de protección contra eventos ESD (*Electro Static Discharge*)
- El desarrollo de un convertor DC-DC elevador totalmente integrado está compuesto por distintos bloques entre ellos se encuentra el diseño del *charge pump*. Para dar continuidad a este trabajo, se recomienda proponer tesis sobre las otras etapas que componen a dicho sistema tales como la etapa de comparación, fuente de tensión de referencia y oscilador.

Bibliografía

- [1] D. Ma and R. Bondade, *Reconfigurable Switched-Capacitor Power Converters*. Springer New York, 2013.
- [2] G. Palumbo and D. Pappalardo, “Charge pump circuits: An overview on design strategies and topologies,” *Circuits and Systems Magazine, IEEE*, vol. 10, pp. 31–45, First 2010.
- [3] W.-H. Ki, F. Su, and C.-Y. Tsui, “Charge redistribution loss consideration in optimal charge pump design,” in *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, vol. 2, pp. 1895–1898, May 2005.
- [4] B. Razavi, *Design of Analog CMOS Integrated Circuits*. New York, NY: McGraw-Hill, 1 ed., 2001.
- [5] F. Maloberti, *Analog Design for CMOS VLSI Systems*. Netherlands: Kluwer Academic Publishers, 2001.
- [6] L. Su and D. Ma, “Design and optimization of integrated low-voltage low-power monolithic cmos charge pumps,” in *Power Electronics, Electrical Drives, Automation and Motion, 2008. SPEEDAM 2008. International Symposium on*, pp. 43–48, June 2008.
- [7] F. Su, W.-H. Ki, and C.-Y. Tsui, “High efficiency cross-coupled doubler with no reversion loss,” in *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, pp. 2761–2764, May 2006.
- [8] A. M. Systems, *Process parameters*. Diciembre 2008, revision 6.
- [9] R. J. Baker, *CMOS Circuit Design, Layout and Simulation*. River Street, New Jersey 07030: IEEE PRESS, 3 ed., 2010.
- [10] A. Hastings, *The Art of ANALOG LAYOUT*. Upper Saddle River, New Jersey 07458: Prentice Hall, 1 ed., 2001.
- [11] J. Dickson, “On-chip High-Voltage Generation in MNOS Integrated Circuits using an Improved Voltage Multiplier Technique,” *Journal of Solid-State Circuits, IEEE*, vol. 11, pp. 374–378, Jun 1976.

- [12] Y. Nakagome, H. Tanaka, K. Takeuchi, E. Kume, Y. Watanabe, T. Kaga, Y. Kawamoto, F. Murai, R. Izawa, D. Hisamoto, T. Kisu, T. Nishida, E. Takeda, and B. Kiyoo Itoh, “An experimental 1.5-v 64-mb dram,” *Journal of Solid-State Circuits, IEEE*, vol. 26, pp. 465–472, Apr 1991.
- [13] P. Favrat, P. Deval, and M. Declercq, “A high-efficiency cmos voltage doubler,” *Journal Solid-State Circuits, IEEE*, vol. 33, pp. 410–416, Mar 1998.
- [14] C. Y. Cheng, K. N. Leung, Y. K. Sun, and P. Y. Or, “Design of a low-voltage cmos charge pump,” in *Electronic Design, Test and Applications, 2008. DELTA 2008. 4th IEEE International Symposium on*, pp. 342–345, Jan 2008.
- [15] F. Su, W.-H. Ki, and C.-Y. Tsui, “Gate control strategies for high efficiency charge pumps,” in *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, vol. 2, May 2005.



Apéndice A

En esta sección se muestra el análisis del circuito de *charge pump* en la topología Dickson. Las ecuaciones que se obtiene, tales como tensión final de salida en estado estable, tiempo de subida y eficiencia, ayudan a comprender el comportamiento de la bomba de carga. Para obtener dichas ecuaciones se realiza un análisis en el estado transitorio se tomará en cuenta el circuito de la figura 11 además se asumirá lo siguiente:

- No existe caída de tensión en los diodos.
- El análisis se llevará a cabo en un periodo de reloj de las señales de control.
- Se despreciará la presencia de los capacitores C_s
- El capacitor de salida (C_L) se encuentra cargado a una tensión V_i .
- El capacitor C_1 se encuentra cargado a una tensión V_x .

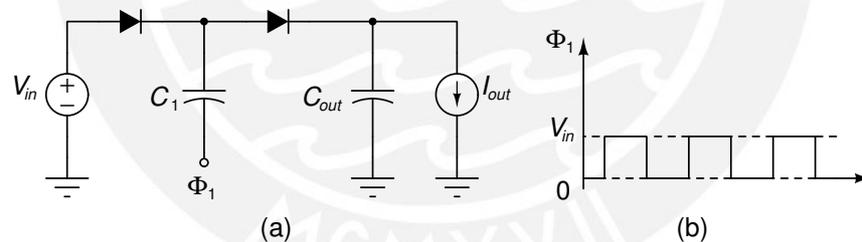


Figura 11: Topología de Dickson basada en diodos de una etapa

Una vez establecido dichos puntos se procederá analizar el circuito en un primer instante cuando la señal ϕ_1 se encuentran en 0. De cumplirse lo anterior el capacitor, al finalizar la primera mitad de periodo, quedará cargado hasta V_{DD} debido a que no hay caída tensión a través del diodo; por lo tanto, la carga almacenada en el capacitor C queda expresado de la siguiente forma

$$Q_{C_1} = C_1 V_{DD} \quad (1)$$

Además se sabe que el capacitor de carga (C_L) se encontraba cargado con V_i ; sin embargo, al finalizar la primera mitad de periodo la carga almacenada en el capacitor de salida esta dada por (2)

$$Q_{C_{out}} = C_{out}V_{out}(k) - I_{out}\frac{T}{2} \quad (2)$$

Una vez terminada la primera mitad de periodo, la señal de control conmutan. Por lo tanto, ϕ_1 se eleva hasta alcanzar un valor de V_{DD} . En ese mismo instante, las cargas almacenadas en el capacitor de bombeo C_1 y el capacitor de carga C_{out} se redistribuirán hasta que la tensión en ambos platos superiores sea igual a V_m . Como ya se menciona en el capítulo 1 se utiliza el **principio de conservación de cargas** para obtener el valor de tensión después de la redistribución esto queda expresado en la ecuación (3)

$$\begin{aligned} &\Rightarrow C_1V_{DD} + C_{out}V_{out}(k) - I_{out}\frac{T}{2} = C_1(V_m - V_{DD}) + C_{out}V_m \\ V_m &= \left(\frac{C_1}{C_1 + C_{out}}\right)2V_{DD} + \left(\frac{C_{out}}{C_1 + C_{out}}\right)V_{out}(k) - \frac{I_{out}T}{2(C_1 + C_{out})} \end{aligned} \quad (3)$$

Finalmente una vez alcanzado dicho valor, la fuente corriente en la salida drenará carga de ambos capacitores conectados en el terminal superior hasta llegar al valor de tensión igual a $V(k+1)$ en dicho instante terminará la segunda mitad de periodo. El efecto de esta corriente queda expresado en la ecuación (5)

$$\begin{aligned} &\Rightarrow (C + C_L)(V_m - V_{out}(k+1)) = I_L\frac{T}{2} \\ &\Rightarrow V_{out}(k+1) = V_m - \frac{I_{out}T}{2(C_1 + C_{out})} \\ V_{out}(k+1) &= \left(\frac{C_{out}}{C_1 + C_{out}}\right)V(k) + \frac{C_1}{C_1 + C_{out}}\left[2V_{DD} - \frac{I_{out}T}{C_1}\right] \end{aligned} \quad (5)$$

Para simplificar los siguientes cálculos se asumirá que $p = \frac{C_{out}}{C_1 + C_{out}}$ y $m = \frac{C_1}{C_1 + C_{out}}$ en la ecuación (5) con lo que se obtiene una expresión similar a la ecuación (1.9). A partir de esa ecuación recursiva vamos a obtener una expresión explícita para la tensión de salida en una determinada iteración. Haciendo un cambio de variable y dividiendo ambos términos de la ecuación (5) por p^{k+1} se obtiene:

$$V_{out}(k+1) = pV_{out}(k) + m \overbrace{\left(2V_{DD} - \frac{I_{out}T}{C_1}\right)}^{V_A} \quad (6a)$$

$$\frac{V_{out}(k+1)}{p^{k+1}} = \frac{V_{out}(k)}{p^k} + \frac{m}{p^{k+1}}V_A \quad (6b)$$

Definiendo $F(k) = \frac{V_{out}(k)}{p^k}$, obtenemos:

$$\begin{aligned} &\Rightarrow F(k+1) - F(k) = \frac{m}{p^{k+1}}V_A \\ &\Rightarrow \sum_{k=0}^{N-1} [F(k+1) - F(k)] = \sum_{k=0}^{N-1} \frac{m}{p^{k+1}}V_A \end{aligned} \quad (7)$$

Aplicando la propiedad telescópica de la sumatoria:

$$\begin{aligned}
 F(n) - F(0) &= \sum_{k=0}^{N-1} \frac{m}{p^{k+1}} V_A \\
 \Rightarrow F(N) - F(0) &= m V_A \sum_{k=0}^{N-1} \frac{1}{p^{k+1}} \\
 \Rightarrow F(N) - F(0) &= m V_A \frac{1 - p^N}{p^N (1 - p)}
 \end{aligned} \tag{8}$$

Para el caso en que $V_{out}(0) = 0$ y recordando además que $1 - p = m$ se obtiene:

$$\begin{aligned}
 F(N) &= V_A \frac{1 - p^N}{p^N} \\
 \Rightarrow \frac{V_{out}(N)}{p^N} &= V_A \frac{1 - p^N}{p^N} \\
 \Rightarrow V_{out}(N) &= V_A (1 - p^N)
 \end{aligned} \tag{9}$$

Finalmente si se reemplaza el valor de V_A se obtiene una ecuación para la tensión de salida en la n-ésima iteración tal como se muestra en (10).

$$V_{out}(N) = (1 - p^N) \left(2V_{DD} - \frac{I_{out}T}{C_1} \right) \tag{10}$$

Usando la ecuación anterior podemos obtener la **tensión de salida en estado estable** considerándola como la tensión que se obtiene después de infinitas iteraciones.

$$\begin{aligned}
 V_{outss} &= \lim_{N \rightarrow \infty} (1 - p^N) \left(2V_{DD} - \frac{I_{out}T}{C_1} \right) \\
 V_{outss} &= 2V_{DD} - \frac{I_{out}T}{C_1}
 \end{aligned} \tag{11}$$

Bajo la misma condición, $V_{out}(0) = 0$, se puede determinar una expresión para el **tiempo de subida** tal como se muestra en (12)

$$t_r = \frac{\ln \left(1 - \frac{0,9 V_{out,ss}}{2V_{DD} - \frac{I_{out}T}{C_1}} \right)}{\ln(\beta)} \times T \tag{12}$$

En donde el valor β es definido de la siguiente manera $\beta = \frac{C_{out}}{C_{out} + C_1}$