

**PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ**

**FACULTAD DE CIENCIAS E INGENIERÍA**



**DISEÑO DE UN CIRCUITO DE VOLTAJE DE REFERENCIA DE 400 mV**

**PARA APLICACIONES DE [1; 1.2] V DE ALIMENTACIÓN**

**Y BAJO CONSUMO DE ENERGÍA**

**Tesis para obtener el título profesional de Ingeniero Electrónico**

**AUTOR:**

Wilson Ray Villanueva Huamán

**ASESOR:**

PhD. Julio Cesar Saldaña Pumarica

Lima, enero, 2024

### Informe de Similitud

Yo, Julio César Saldaña Pumarica, docente de la Facultad de Ciencias e Ingeniería de la Pontificia Universidad Católica del Perú, asesor de la tesis de investigación titulado DISEÑO DE UN CIRCUITO DE VOLTAJE DE REFERENCIA DE 400 mV PARA APLICACIONES DE [1; 1.2] V DE ALIMENTACIÓN Y BAJO CONSUMO DE ENERGÍA, del autor Wilson Ray Villanueva Huamán deo constancia de lo siguiente:

- El mencionado documento tiene un índice de puntuación de similitud de 37%. Así lo consigna el reporte de similitud emitido por el software *Turnitin* el 08/04/2024. La mayor parte de esa similitud es con el trabajo de investigación del mismo alumno que fue requerido para obtener el grado de Bachiller.
- He revisado con detalle dicho reporte y confirmo que cada una de las coincidencias detectadas no constituyen plagio alguno.
- Las citas a otros autores y sus respectivas referencias cumplen con las pautas académicas.

Lugar y fecha: 8 de abril de 2024

Apellidos y nombres del asesor: Saldaña Pumarica, Julio César	
DNI: 10123705	Firma
ORCID: <a href="https://orcid.org/0000-0001-6834-6436">https://orcid.org/0000-0001-6834-6436</a>	

## Resumen

El presente trabajo de tesis desarrolla el diseño de un circuito de tensión de referencia estable ante variaciones en la temperatura y la tensión de alimentación. Las topologías de circuitos de tensión

de referencia clásicas limitan la tensión que entregan a valores cercanos a 1.2 V. Se propone diseñar y simular un circuito de tensión de referencia el cual entregará una tensión de referencia de 400 mV y requerirá una tensión de alimentación de 1 V. El circuito diseñado tiene como base el trabajo de H. Banba [29].

La tensión de referencia independiente a la temperatura se obtiene aprovechando la cancelación de dos coeficientes de temperatura provenientes de una configuración de transistores de juntura bipolar (BJT) tipo PNP, los cuales serán polarizados con un espejo de corriente que emplea transistores PMOS, a su vez el circuito tiene un amplificador operacional de una etapa, el cual minimiza el error en el espejo de corriente.

En esta tesis, se priorizó que el voltaje de referencia sea menor a 1 V, así como que el coeficiente de temperatura sea menor a 30 ppm/°C y se logre un PSRR de al menos -60 dB. El diseño ha sido realizado con la tecnología TSMC de 180 nm. Como resultados se llegó a obtener una tensión de referencia de 401.03 mV con un coeficiente de temperatura de 9.97 ppm/°C y un PSRR de -63.69 dB. El circuito opera a 1 V y consume 6.37  $\mu$ W.

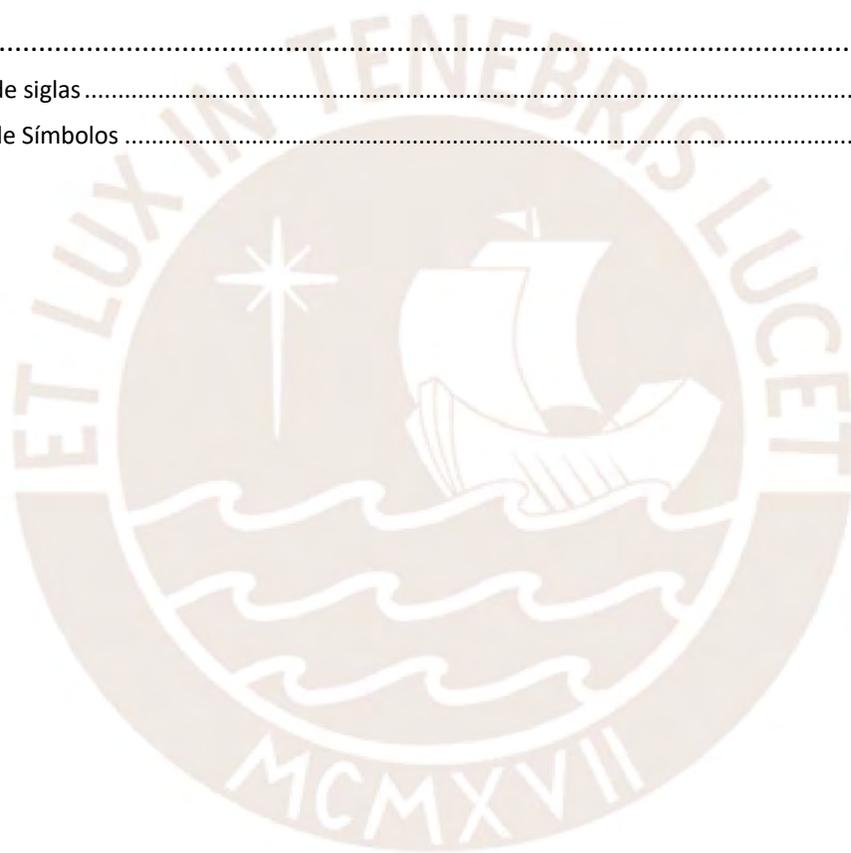
El diseño y los resultados se realizaron con el software Cadence Virtuoso Analog Design Environment®, empleando el simulador Spectre.

# Índice general

Resumen .....	1
Índice general.....	2
Índice de figuras .....	5
Índice de tablas .....	7
Introducción .....	1
<b>CAPÍTULO 1: Circuito de tensión de referencia por <i>bandgap</i> (BGR).....</b>	<b>2</b>
1.1. Importancia .....	2
1.2. iniciones.....	2
1.2.1. <i>Bandgap</i> .....	2
1.2.2. Coeficiente de temperatura (TC).....	3
1.2.3. Factor de rechazo a la fuente de alimentación (PSRR).....	3
1.2.4. PTAT ( <i>Proportional to absolute temperature</i> ).....	3
1.2.5. CTAT ( <i>Complementary to absolute temperature</i> ) .....	3
1.2.6. Funcionamiento del <i>bandgap</i> .....	4
1.2.7. aclaración de la problemática .....	6
1.3. Estado del Arte .....	6
1.3.1. Compensación sin resistores.....	6
1.3.2. Compensación en la región de inversión débil del MOSFET.....	7
1.3.3. Compensación mediante ajuste por partes .....	8
1.3.4. Compensación empleando el punto cero de coeficiente de temperatura .....	8
1.3.5. Compensación con BiCMOS .....	8
1.3.6. Comparación de características y resultados .....	9
1.4. ustificación.....	10
1.5. Objetivos.....	10
1.5.1. Objetivo general .....	10
1.5.2. Objetivos específicos .....	10
<b>CAPÍTULO 2: Teoría sobre el BGR de bajo tensión .....</b>	<b>11</b>
2.1. Circuito BGR CMOS convencional .....	11
2.1.1. Tensión CTAT .....	12
2.1.2. Tensión PTAT .....	14
2.1.3. Espejo de corriente PMOS .....	15
2.1.4. OPAMP – amplificador de error (amplificador diferencial).....	17
2.1.5. Inconvenientes del BGR CMOS convencional .....	19
2.2. Circuito BGR CMOS de bajo tensión – Modelo solución .....	20
2.2.1. ustificación de la elección del modelo solución .....	21

2.3. PSRR - Análisis de pequeña señal.....	22
2.3.1. Tensión de referencia con espejo de corriente.....	22
2.3.2. Tensión de referencia con opamp (amplificador de error).....	25
2.3.3. PSRR del amplificador operacional.....	29
<b>CAPÍTULO 3: Diseño del circuito .....</b>	<b>32</b>
3.1. Selección del número de transistores bipolares.....	32
3.2. $\beta_{eff}$ – Cálculo de $\beta_{1}$ .....	34
3.3. Diseño del espejo de corriente principal .....	35
3.3.1. Simulación de $\beta_{eff}$ .....	36
3.3.2. Simulaciones del punto de operación .....	37
3.4. Determinación de $\beta_{2}/\beta_{1}$ .....	39
3.5. $\beta_{eff}$ – Cálculo de $\beta_{2}$ .....	41
3.6. Diseño del amplificador operacional (amplificador de error – amplificador diferencial).....	43
3.6.1. Elección de $\beta_{eff}$ .....	44
3.6.2. Diseño del par diferencial.....	44
3.6.3. Diseño del <i>current sink</i> del amplificador operacional.....	48
3.6.4. Diseño del espejo de corriente.....	48
3.7. Diseño del subcircuito de <i>Start-up</i> .....	49
3.8. Diseño del subcircuito de polarización por réplica ( <i>Replica biasing circuit</i> ).....	50
3.9. Diseño del Filtro Pasa Bajo en la salida.....	51
3.10. Dimensiones finales de los transistores CMOS.....	52
3.11. Circuito esquemático final.....	52
<b>CAPÍTULO 4: Simulaciones y resultados.....</b>	<b>53</b>
4.1. Simulaciones con 1.2 V de alimentación.....	54
4.1.1. Simulaciones de <i>corners</i> .....	54
4.1.2. Simulaciones de Montecarlo – <i>mismatch</i> .....	56
4.1.3. Simulaciones de Montecarlo - <i>process</i> .....	61
4.1.4. Resultados de las simulaciones de Montecarlo a 1.2 V.....	66
4.1.5. Simulación Transitoria ( <i>Transient</i> ) .....	67
4.2. Simulaciones con 1 V de alimentación.....	68
4.2.1. Simulaciones de <i>corners</i> .....	68
4.2.2. Simulaciones de Montecarlo – Mismatch .....	70
4.2.3. Simulaciones de Montecarlo – Process.....	75
4.2.4. Resultados de las simulaciones de Montecarlo a 1 V.....	80
4.2.5. Simulación transitoria ( <i>Transient</i> ).....	81

4.3. Simulaciones variando	82
4.3.1. TC vs	82
4.3.2. PSRR @DC vs	84
4.3.3. Resultados de las simulaciones variando	86
4.4. Comparación de Resultados	87
Conclusiones	89
Recomendaciones y trabajos futuros	90
Referencias	91
Anexos	95
Anexo A: Lista de siglas	95
Anexo B: Lista de Símbolos	96



## Índice de figuras

Figura 1.1. Topología de Kuijk [15] .....	4
Figura 2.1.1. BGR CMOS convencional [6], [25]-[27] .....	11
Figura 2.1.2. Tensión emisor-base, conectado como diodo .....	12
Figura 2.1.3. Diferencia de las tensiones emisor-base .....	14
Figura 2.1.4. Espejo de corriente PMOS .....	15
Figura 2.1.5. $I_{D1}$ vs $I_{D2}$ .....	16
Figura 2.1.6. Amplificador de error .....	17
Figura 2.1.8. Errores introducidos debido a $I_{D2} \neq I_{D1}$ .....	19
Figura 2.2.1. BGR CMOS de bajo tensión .....	20
Figura 2.3.2. PMOS y su modelo de pequeña señal .....	22
Figura 2.3.3. Versión simplificada de un circuito de tensión de referencia .....	23
Figura 2.3.4. Modelo de pequeña señal del circuito de la Figura 2.9 .....	23
Figura 2.3.5. Modelo de pequeña señal del caso ideal .....	24
Figura 2.3.6. Modelo de pequeña señal del caso real (resistencia finita) .....	24
Figura 2.3.7. Modelo de pequeña señal del circuito completo .....	25
Figura 2.3.8. Modelo de pequeña señal, efectos del opamp .....	26
Figura 2.3.9. Modelo de pequeña señal, efectos del opamp .....	27
Figura 2.3.10. amplificador de error .....	28
Figura 2.3.11. Amplificador de error .....	29
Figura 2.3.12. Modelo de pequeña señal del amplificador de error .....	30
Figura 3.1.1. Arreglo que permite minimizar los errores debido al área .....	32
Figura 3.2.1. Relación entre $I_{D1}$ y $I_{D2}$ .....	34
Figura 3.3.1. Espejo de corriente PMOS .....	36
Figura 3.3.2. $I_{D1}$ y $I_{D2}$ vs $I_{DPMOS}$ .....	37
Figura 3.3.3. Punto de operación con $I_{D1}/I_{D2} = 1.2$ .....	37
Figura 3.3.4. Punto de operación con $I_{D1}/I_{D2} = 0.7$ .....	39
Figura 3.4.1. TC vs $I_{D2}/I_{D1}$ .....	41
Figura 3.5.1. $I_{D1}$ vs $I_{D2}$ vs temperatura .....	41
Figura 3.5.2. $I_{D1}$ vs temperatura .....	42
Figura 3.6.1. Amplificador de error basado en un par diferencial .....	43
Figura 3.6.2. amplificador de error basado en un par diferencial .....	44
Figura 3.6.3. Transistores del par diferencial vs ancho de canal (W) .....	47
Figura 3.6.4. Transistor del sumidero de corriente .....	48
Figura 3.11.1. Circuito Esquemático Final .....	52
Figura 4.1.1. $I_{D1}$ vs $I_{D2}$ en 9 corners: SS-TT-FF a $-40, 27$ y $85$ °C .....	54

Figura 4.1.2. PSRR vs.  $\diamond$  en 9 corners: *slowest-typical-fastest* a  $-40, 27 \diamond 85$  °C ..... 55



Figura 4.1.3. $\diamond\diamond\diamond\diamond$ vs. $\diamond$ con variaciones ocasionadas por <i>mismatch</i> .....	56
Figura 4.1.4. Histograma de $\diamond\diamond\diamond\diamond$ – <i>mismatch</i> .....	57
Figura 4.1.5. Histograma del coeficiente de temperatura (TC) - <i>mismatch</i> .....	58
Figura 4.1.6. PSRR vs. $\diamond$ con variaciones ocasionadas por <i>mismatch</i> .....	59
Figura 4.1.7. Histograma del PSRR – <i>mismatch</i> .....	60
Figura 4.1.8. $\diamond\diamond\diamond\diamond$ vs. $\diamond$ con variaciones ocasionadas por <i>process</i> .....	61
Figura 4.1.9. Histograma de $\diamond\diamond\diamond\diamond$ – <i>process</i> .....	62
Figura 4.1.10. Histograma del coeficiente de temperatura (TC) – <i>process</i> .....	63
Figura 4.1.11. PSRR vs. $\diamond$ con variaciones ocasionadas por <i>process</i> .....	64
Figura 4.1.12. Histograma del PSRR – <i>process</i> .....	65
Figura 4.1.13. Simulación transitoria .....	67
Figura 4.2.1. $\diamond\diamond\diamond\diamond$ vs. $\diamond$ en 9 corners: slowest-typical-fastest a $-40, 27 \diamond 85$ °C.....	68
Figura 4.2.2. PSRR vs. $\diamond$ en 9 corners: <i>slowest-typical-fastest</i> a $-40, 27 \diamond 85$ °C .....	69
Figura 4.2.3. $\diamond\diamond\diamond\diamond$ vs. $\diamond$ con variaciones ocasionadas por <i>mismatch</i> .....	70
Figura 4.2.4. Histograma de $\diamond\diamond\diamond\diamond$ – <i>mismatch</i> .....	71
Figura 4.2.5. Histograma del coeficiente de temperatura (TC) – <i>mismatch</i> .....	72
Figura 4.2.6. PSRR vs. $\diamond$ con variaciones ocasionadas por <i>mismatch</i> .....	73
Figura 4.2.7. Histograma del PSRR – <i>mismatch</i> .....	74
Figura 4.2.8. $\diamond\diamond\diamond\diamond$ vs. $\diamond$ con variaciones ocasionadas por <i>process</i> .....	75
Figura 4.2.9. Histograma de $\diamond\diamond\diamond\diamond$ – <i>process</i> .....	76
Figura 4.2.10. Histograma del coeficiente de temperatura (TC) - <i>process</i> .....	77
Figura 4.2.11. PSRR vs. $\diamond$ con variaciones ocasionadas por <i>process</i> .....	78
Figura 4.2.12. Histograma del PSRR – <i>process</i> .....	79
Figura 4.2.13. Simulación transitoria .....	81
Figura 4.3.1. TC vs. $\diamond\diamond\diamond$ para el circuito de 1.2 V .....	82
Figura 4.3.2. TC vs. $\diamond\diamond\diamond$ – Variante en el circuito para aumentar el PSRR con $\diamond\diamond\diamond = 1$ V.....	83
Figura 4.3.3. PSRR vs. $\diamond\diamond\diamond$ para el circuito de 1.2 V .....	84
Figura 4.3.4. PSRR vs. $\diamond\diamond\diamond$ – Variante en el circuito para aumentar el PSRR con $\diamond\diamond\diamond = 1$ V	85

## Índice de tablas

Tabla 1.1 – Características y resultados de BGR sin resistores.....	7
Tabla 1.2 – Características y resultados de los BGR en la región de inversión débil .....	7
Tabla 1.3 – Comparación de resultados .....	9
Tabla 2.1 – Comparación de resultados de topologías BGR de bajo tensión.....	21
Tabla 3.1 – Valores obtenidos al variar $\mu_n/\mu_p$ .....	33
Tabla 3.2 – Comparación de las variaciones de los parámetros .....	33
Tabla 3.3 – Parámetros de procesos CMOS para TSMC 180 nm .....	35
Tabla 3.4 – Resultados de la simulación con $\mu_n/\mu_p = 1.2$ .....	37
Tabla 3.5 – Resultados de la simulación con $\mu_n/\mu_p = 0.7$ .....	39
Tabla 3.6 – Simulación de parámetros de transistores a distintos $\mu_n/\mu_p$ .....	45
Tabla 3.7 – Dimensiones de los transistores .....	52
Tabla 4.1 – Resultados de la simulación con 1.2 V de alimentación .....	66
Tabla 4.2 – Resultados de la simulación con 1 V de alimentación .....	80
Tabla 4.3 – Resultados de las simulaciones variando $\mu_n/\mu_p$ para el circuito de 1.2 V.....	86
Tabla 4.4 – Resultados de las simulaciones variando $\mu_n/\mu_p$ para el circuito de 1 V.....	86
Tabla 4.5 – Tabla resumen de resultados.....	87
Tabla 4.6 – Comparación de resultados con otros trabajos.....	88

## Introducción

Los circuitos de tensión de referencia se encuentran en los circuitos integrados analógicos y digitales, tales como amplificadores operacionales, ADC, DAC, DRAM y PLL. Su funcionamiento consiste en entregar una tensión de referencia a otras etapas de un circuito, para realizar comparaciones, por este motivo se requiere gran precisión y estabilidad ante factores como la temperatura y la tensión de la fuente de alimentación.

El contenido de este trabajo de tesis está dividido en cuatro capítulos. En el primer capítulo se revisan aspectos generales sobre los circuitos de tensión de referencia, con esta base se revisa el estado del arte, posteriormente se enuncian la justificación y los objetivos.

En el segundo capítulo se aborda el marco teórico correspondiente a un circuito de tensión de referencia CMOS. Se detallan las ecuaciones que permiten la obtención de una tensión de independiente de la temperatura. Luego se expone los inconvenientes de esta topología clásica para contrastarla con una topología de bajo tensión [19]. Asimismo, se desarrolla un análisis en pequeña señal para observar la dependencia ante variaciones en la tensión de alimentación.

En el tercer capítulo se desarrolla el diseño de un circuito de tensión de referencia basado en el trabajo de H. Banba [29]. Se elige el número de transistores bipolares y se realizan los cálculos de dimensionamiento de los PMOS y NMOS. El proceso de diseño requiere de simulaciones en el software Cadence para afinar los valores calculados, se emplea la tecnología TSMC - 180 nm.

El cuarto capítulo muestra los resultados obtenidos, en donde se realizan simulaciones de Montecarlo, para obtener los rangos de tensión de salida ante variaciones en temperatura y tensión de alimentación.

En la última parte del texto se enuncian las conclusiones, las cuales corresponden a los objetivos de esta tesis. Asimismo, se indican recomendaciones para trabajos futuros.

# CAPÍTULO 1: Circuito de tensión de referencia por *bandgap* (BGR)

## 1.1. Importancia

El circuito de tensión de referencia es un elemento clave en los circuitos analógicos y digitales, tales como amplificadores operacionales (opamp), conversores analógicos digitales (ADC y DAC), memorias dinámicas de acceso aleatorio (DRAM) y lazos de seguimiento de fase (PLL) [1]-[4]. La tensión de referencia por *bandgap*, en inglés: ***bandgap voltage reference*** (BGR), es ampliamente utilizado para definir una tensión precisa que tiene gran estabilidad frente a variaciones de la temperatura y de la tensión de la fuente de alimentación [1]-[7].

## 1.2. Definiciones

### 1.2.1. *Bandgap*

El *bandgap* es un método para atenuar las variaciones de tensión ante variaciones en la temperatura, se busca contraponer variaciones positivas y negativas en la tensión a causa de la temperatura para que sus efectos se contrarresten. Los primeros BGR fueron propuestos por Widlar [14], Kuijk [15] y Brokaw [16], los cuales han inspirado las topologías usadas hoy en día. Los BGR suelen entregar una tensión numéricamente cercana al valor de energía de banda prohibida (*bandgap*) del silicio extrapolado linealmente hasta 0 K (1.205 eV), es decir, entregan alrededor de 1.205 V, por ello reciben el nombre de ***bandgap voltage reference*** (BGR) [2], [28].

### 1.2.2. Coeficiente de temperatura (TC)

Es una propiedad que indica cuánto varía una propiedad física ante una variación de temperatura.

En el contexto de esta tesis, el TC se referirá a variaciones en la tensión respecto de la temperatura.

A mayor TC, mayor sensibilidad a las variaciones en la temperatura.

El TC se define según la ecuación 1.1:

$$TC = \left( \frac{\Delta V_{out}}{V_{out}} \right) \left( \frac{1}{\Delta T} \right) = \Delta V_{out} \cdot \frac{1}{V_{out} \cdot \Delta T} \quad [\text{ppm}/^\circ\text{C}] \quad (1.1)$$

### 1.2.3. Factor de rechazo a la fuente de alimentación (PSRR)

Del inglés: *Power Supply Rejection Ratio* (PSRR), es un cociente que describe la capacidad de un circuito para mantener estable la tensión de salida ante variaciones en la tensión de la fuente de alimentación. El PSRR se analiza en un rango de frecuencias, el cual usualmente va de los 0 Hz hasta 100 MHz. El cálculo del PSRR está dado según la ecuación 1.2:

$$PSRR = 20 \log \left( \frac{\Delta V_{in}}{\Delta V_{out}} \right) \quad [\text{dB}] \quad (1.2)$$

Nota: Si bien el PSRR suele expresarse en decibelios, también es posible expresarlo como  $\Delta V_{in} / \Delta V_{out}$ . Como ejemplo, un PSRR de -60 dB, significa que, por cada variación en una unidad en la tensión de alimentación, se logra una variación de la milésima parte en la tensión de salida ( $\Delta V_{in} / \Delta V_{out} = 1000$ ). Usualmente el PSRR decae a altas frecuencias, para reducir este efecto, se adiciona un capacitor en la salida para filtrar las variaciones en  $\Delta V_{in}$  a la salida. [33]

### 1.2.4. PTAT (*Proportional to absolute temperature*)

Se refiere a una propiedad física cuya magnitud aumenta proporcionalmente con la temperatura absoluta (en grados Kelvin).

### 1.2.5. CTAT (*Complementary to absolute temperature*)

Se refiere a una propiedad física cuya magnitud disminuye proporcionalmente con la temperatura absoluta.

### 1.2.6. Funcionamiento del *bandgap*

En general, los BGR buscan combinar una proporción adecuada entre dos elementos, uno PTAT y otro CTAT. En la Figura 1.1, se observa que el BGR propuesto por K. Kuijk [15]. Esta topología contrapone la tensión base-emisor del BJT  $Q_1$  (CTAT) con la diferencia de las tensiones base-emisor de los transistores  $Q_2$  y  $Q_1$  (PTAT).

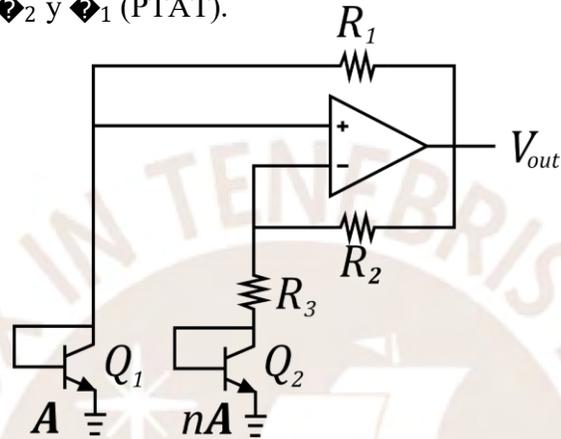


Figura 1.1. Topología de Kuijk [15] (Imagen propia)

(1.3)

El carácter CTAT del  $V_{BE}$  se observa según la ecuación 1.3 [6]:

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{BE} - (4 + \frac{R_2}{R_1}) V_T - V_{g0}}{e}$$

Donde:

$V_{g0}$  : Energía *bandgap* del silicio extrapolada hasta 0 K (1.205 eV)

$e$  : Carga eléctrica del electrón en valor abs. ( $\approx 1.6 \cdot 10^{-19}$  C)

$V_T = kT/q$  : Tensión térmica de la juntura

$k$  : Constante de Boltzmann ( $\approx 1.38 \cdot 10^{-23}$  J/K)

$$\frac{\partial V_{BE}}{\partial T} \approx -3/2$$

Con densidades de corriente típicas,  $V_{BE} = V_T \ln(I_{C1}/I_{C2}) \approx 750$  mV, teniendo con ello un TC de

aproximadamente  $-1.5$  mV/K a temperatura ambiente ( $\approx 298$  K).

$$\frac{\partial V_{BE}}{\partial T} \approx -1.5 \text{ mV/K} \tag{1.4}$$

—  
o



El comportamiento PTAT de  $\Delta V_{BE}$  se justifica según la ecuación 1.5 (a 300 K):

$$\begin{aligned} \Delta V_{BE} &= V_{BE1} - V_{BE2} = V_T \ln\left(\frac{I_{C1}}{I_{C2}}\right) \\ \Delta V_{BE} &= V_T \ln\left(\frac{I_{S2}}{I_{S1}}\right) \\ \Delta V_{BE} &\approx 87 \cdot 10^{-6} \ln\left(\frac{I_{S2}}{I_{S1}}\right) \cdot V_T \end{aligned} \quad (1.5)$$

Donde:  $V_T = kT/q$   $I_{S1}$ : Corriente de saturación

El TC es  $87 \cdot 10^{-6} \ln(I_{S2}/I_{S1})$ , se requiere que sea igual a  $+1.5$  mV/K, de modo que logre compensar el TC negativo de la tensión base-emisor (1.4). Para llegar a  $+1.5$  mV/K debería ser aproximadamente  $2.95 \cdot 10^4$ , un valor gigantesco e inválido pues es la proporción de las corrientes de saturación de  $I_{S1}$  y  $I_{S2}$ . La forma viable consiste en multiplicar  $87 \cdot 10^{-6}$  por un factor que permita que  $I_{S2}$  tenga un valor moderado (entre 10 y 20) [6]. Dicho factor se obtiene gracias a la ganancia que producen el op-amp y las resistencias  $R_2$  y  $R_3$ . Se observa que  $I_{C1}$  adquiere una ganancia de  $(1 + R_2/R_3)$ , según el no inversor; y  $I_{C2}$  adquiere una ganancia de  $(-R_2/R_3)$ ,

debido al inversor, entonces se tiene que la tensión de referencia está dada por la ecuación 1.6:

$$V_{REF} = V_{BE1} = V_{BE2} + (1 + \frac{R_2}{R_3}) I_{C1} \ln\left(\frac{I_{S2}}{I_{S1}}\right) \quad (1.6)$$

La proporción de las resistencias  $R_1$  y  $R_2$  define la proporción entre las corrientes de los transistores

$I_{C1}$  y  $I_{C2}$ , se selecciona  $R_1 = R_2$  de modo que las corrientes de colector de  $I_{C1}$  y  $I_{C2}$  sean

iguales.

En el caso de transistores integrados la proporción de las corrientes de saturación es igual a la

proporción de las áreas de los emisores de las BJT (siguiendo la misma proporción) es independiente de la temperatura [15]. A temperatura ambiente (300 K), la componente PTAT alcanza un valor de aproximadamente 450 mV, esto sumado a los 750 mV (CTAT) nos da una tensión de referencia aproximadamente de 1.2 V.

$$\therefore V_{REF} \approx 1.2 \text{ V}$$

### **1.2.7. Declaración de la problemática**

Así como la topología de Kuijk, los BGR convencionales entregan una tensión de referencia alrededor de los 1.2 V, debido a que el diseño prioriza minimizar el coeficiente de temperatura, los componentes limitan el rango de tensión de referencia que puede entregar el BGR. Asimismo, los

BGR convencionales requieren de una tensión de entrada superior a 1.2 V.

### **1.3. Estado del Arte**

Para minimizar las variaciones de la tensión del BGR en rangos amplios de temperatura, se han desarrollado muchas técnicas de compensación, tales como la compensación sin resistores [1], [18], compensación en la región de inversión débil del MOSFET [9]-[11], compensación mediante ajuste por partes [4], [12], compensación con el punto cero de coeficiente de temperatura [13], [19], compensación con BiCMOS [17], [24]. Los trabajos cuyos resultados serán analizados y comparados fueron realizados en los últimos 8 años.

#### **1.3.1. Compensación sin resistores**

Si bien muchas técnicas de compensación emplean resistores debido a su flexibilidad, el uso de resistores aumenta el tamaño del chip y aumenta el ruido que se acopla del sustrato del transistor [1]. Debido a esto, en ciertas aplicaciones, como las de bajo ruido y pequeña señal, los diseños de BGR ya no incluyen resistores; no obstante, la mayoría de estos diseños no entregan una tensión de referencia tan preciso pues la compensación ante la variación de temperatura es más difícil de realizar sin resistores [1], [18]. Los trabajos [1] y [18] no emplean resistores en sus BGR, sin embargo, logran mantener gran precisión en la tensión de referencia; sus resultados serán comparados en la Tabla 1:

Tabla 1.1 – Características y resultados de BGR sin resistores. Adaptado de [1] y [18].

	[1]	[18]
Tensión de alimentación [V]	[2; 5]	0.4
Rango de temperatura [°C]	[-40; 125]	[-60; 45]
PSRR [dB]	-61	-
Coeficiente de temperatura [ppm/°C]	1.01	0.02
Tensión de referencia [V]	1.14	0.179
Consumo [ $\mu$ A]	33	-
Tecnología [ $\mu$ m]	0.35	0.13

### 1.3.2. Compensación en la región de inversión débil del MOSFET

También llamada compensación en la región subumbral, esta técnica requiere que el MOSFET opere en dicha región, donde se cumple que:  $V_{GS} < V_{th}$ . La idea principal de esta técnica es aprovechar el comportamiento exponencial de los transistores CMOS en la región de inversión

débil para compensar la dependencia no lineal con la temperatura que tiene la tensión base-emisor de un BJT [11]. Se han revisado tres trabajos [9], [10] y [11], los cuales serán comparados en la Tabla 1.2. De estos tres, [10] posee mejores resultados y será comparado posteriormente con las otras investigaciones.

Tabla 1.2 – Características y resultados de los BGR en la región de inversión débil. Adaptado de [9], [10] y [11].

	[9]	[10]	[11]
Tensión de alimentación [V]	1.6	1.2	1.15
Rango de temperatura [°C]	[0; 150]	[-40; 120]	[0; 100]
PSRR [dB]	-36	-80	-50.46
Coeficiente de temperatura [ppm/°C]	13.1	6.9	53.1
Tensión de referencia [V]	1.112	0.179	0.72
Consumo [ $\mu$ W]	288	0.1	0.58
Tecnología [ $\mu$ m]	0.13	0.18	0.09

### **1.3.3. Compensación mediante ajuste por partes**

En los trabajos [4] y [12], se busca implementar un BGR en un rango muy amplio de temperatura, lo cual suele ser una limitación en los BGR, debido a que la estabilidad se pierde en rangos amplios de temperatura. En estos trabajos, la compensación se realiza dividiendo el rango original de temperatura en rangos más cortos, ajustando las variaciones ante la temperatura en cada uno.

### **1.3.4. Compensación empleando el punto cero de coeficiente de temperatura**

Muchas de las tecnologías CMOS convencionales poseen el denominado punto cero de coeficiente de temperatura (*ZTC point*), un punto en donde la corriente de drenador del transistor se vuelve casi independiente de la temperatura, debido a la cancelación de la tensión umbral y la movilidad de portadores [22]. Los trabajos en [13], [20] y [22] emplean esta técnica en sus diseños.

### **1.3.5. Compensación con BiCMOS**

Los BiCMOS son transistores que integran las ventajas de las tecnologías bipolar y CMOS. Los BGR que emplean BiCMOS tienen ventajas sobre los que solo usan MOSFET, pues presentan mayor precisión en la tensión de referencia y un coeficiente de temperatura mucho menor [24]. En [17] se afirma que la mayor fuente de error en los BGR es el error de la tensión de offset del amplificador, dicho trabajo emplea un condensador conmutado diferencial para minimizar dicho error.

### 1.3.6. Comparación de características y resultados

En la Tabla 1.3 se comparan los principales trabajos mencionados en el estado del arte, aquellos que destacan por la obtención de un valor óptimo de un resultado (color azul) en sus diseños.

Tabla 1.3 – Comparación de resultados. Adaptado de [1], [10], [12], [13] y [17].

	[1]	[10]	[12]	[13]	[17]	Propuesto
Tensión de alimentación [V]	[2; 5]	1.2	1.3	0.8	5.2	$\leq 1.2$
Rango de temperatura [°C]	[-40; 125]	[0; 100]	[-40; 140]	[-40; 125]	[-40; 125]	[-40; 85]
PSRR [dB]	-61	-50	-61.9	-87	-127	-60
Coefficiente de temperatura [ppm/°C]	1.01	53.1	1.67	5.6	3	30
Tensión de referencia [V]	1140	723	547	428	3650	400
Disipación [ $\mu$ W]	66	0.58	50.4	13	3900	2
Tecnología [nm]	350	180	350	65	800	180

Al observar los resultados de los trabajos comparados, se puede observar que no es posible lograr que todos los parámetros alcancen un valor óptimo, dependiendo de la aplicación a la que se oriente el diseño se prioriza un parámetro. En esta tesis, se priorizará que la tensión de referencia sea menor a 1 V, así como que el coeficiente de temperatura sea menor a 30 ppm/°C y se logre un PSRR de -60 dB, es decir que, por cada variación en una unidad en la tensión de alimentación, se logre una variación de la milésima parte en la tensión de referencia.

## 1.4. Justificación

En base a lo expuesto, para aplicaciones de bajo tensión, se requiere un BGR con características que permitan entregar una tensión de referencia menor, sa requiera que opere con una tensión de alimentación menor a 1.2 V. Las topologías clásicas de los BGR impiden que la tensión de referencia varíe significativamente de 1.2 V. Este trabajo de tesis propone un modelo solución basado en el trabajo de H. Banba *et al.* [29], con dicho circuito

## 1.5. Objetivos

### 1.5.1. Objetivo general

- Diseñar y simular un circuito de tensión de referencia de 400 mV, con una tensión de alimentación de [1; 1.2] V.

### 1.5.2. Objetivos específicos

- Analizar la topología convencional CMOS, para comprender su funcionamiento y sus inconvenientes.
- Elegir una topología que permita resolver las deficiencias del circuito convencional CMOS
- Diseñar el circuito de tensión de referencia empleando *bandgap*, tomando como base el circuito de H. Banba [29], analizando en DC y en pequeña señal.
- Añadir los sub-circuitos de *start-up* y de polarización por réplica para mayor estabilidad.
- Simular el circuito diseñado para comprobar su óptimo funcionamiento, con el software Cadence Virtuoso Analog Design Environment.

## CAPÍTULO 2: Teoría sobre el BGR de bajo tensión

En el presente capítulo se desarrollará el marco teórico sobre el circuito de tensión de referencia por *bandgap* (BGR) para realizar el diseño que se presentará en el tercer capítulo.

### 2.1. Circuito BGR CMOS convencional

Para el desarrollo de este capítulo se analizará el circuito de la Figura 2.1.1, el cual permitirá comprender las etapas que permiten la generación de una tensión de referencia mediante *bandgap*.

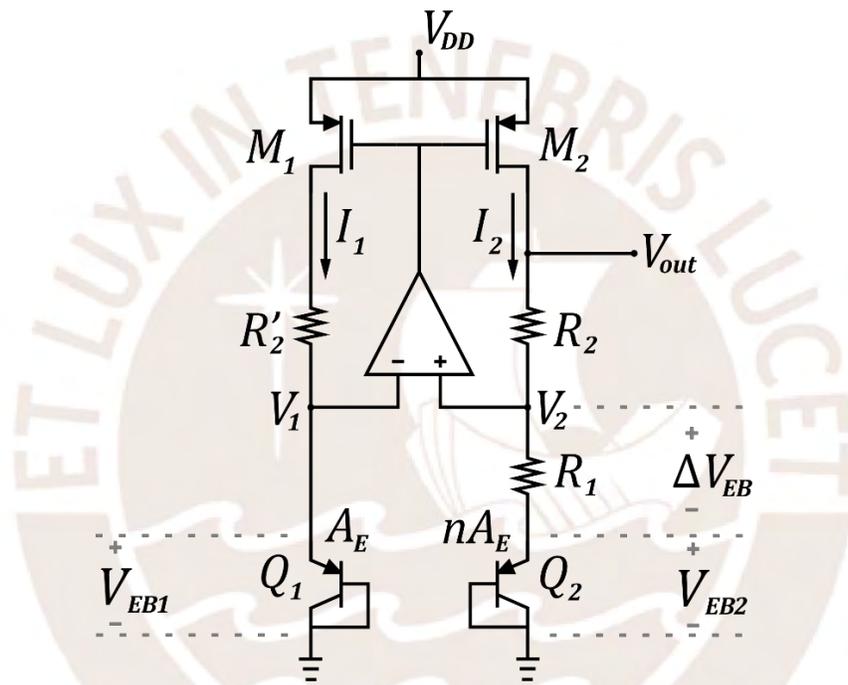


Figura 2.1.1. BGR CMOS convencional [6], [25]-[27] (Imagen propia)

El circuito es alimentado con  $V_{DD}$ , entonces se polarizan los PMOS, generando dos corrientes iguales en las dos ramas, las cuales están estabilizadas por el amplificador de error, el cual garantiza

que la diferencia entre  $V_{BE1}$  y  $V_{BE2}$  sea mínima (idealmente  $V_{BE1} = V_{BE2}$ ), esto permite que en  $V_{BE1}$  se pueda calcular la diferencia de los tensiones emisor-base de los BJT PNP,  $(1 + \beta^2)$  determina el factor

$\beta^2$

de amplificación (ganancia del amplificador no inversor) de la tensión emisor-base de  $V_{BE2}$  para que

$\Delta V_{BE}$  sea prácticamente independiente de la temperatura. La tensión de salida generado está

dada por:

$$V_{BE} = V_{BE0} + (1 + \beta) \frac{V_T}{\beta} \ln(I_C) \quad (2.1)$$

$$V_{BE} = V_{BE0} + (1 + \beta) \frac{V_T}{\beta} \ln(I_C) \quad (2.2)$$

### 2.1.1. Tensión CTAT

La tensión emisor-base del transistor  $Q_2$  (BJT tipo PNP) se ha conectado cortocircuitando la juntura base-colector NP (ver Figura 2.2), de modo que el transistor funciona como un diodo, esto

le permite al transistor bipolar operar en la región activa directa en todo momento. Un BJT en esta configuración tiene una tensión directa menor que un diodo común, además es menos susceptible a los incrementos en la corriente directa. En el circuito se emplean transistores BJT tipo PNP debido a que generan menos ruido que sus contrapartes NPN.

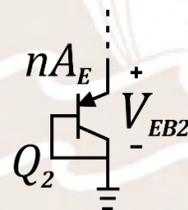


Figura 2.1.2. Tensión emisor-base, conectado como diodo (Imagen propia)

La tensión emisor-base es CTAT, pues posee un coeficiente de temperatura negativo, es decir, decrece con la temperatura; esto se demostrará a continuación (adaptado de [28]).

$\frac{k_B}{q}$ ) y la tensión emisor-base:

La ecuación 2.1.1 describe la relación entre la tensión térmico  $V_T$  y

$$V_{BE} = V_{BE0} + (1 + \beta) \frac{V_T}{\beta} \ln(I_C) \quad (2.1.1)$$

=

Donde  $I_c$  es la corriente de colector e  $I_s$  es la corriente de saturación. Esta expresión no está completamente expresada en función de la temperatura. Asumiendo que  $I_s$  tiene variaciones despreciables,  $I_c$  se expresa según la ecuación 2.1.2:



$$I_c = \frac{q A D_n n_i^2}{L_n N_D} \quad (2.1.2)$$

=  
Donde:

- $q$  : Es la carga eléctrica del electrón
- $A$  : Es el área del emisor
- $D_n$  : Es el coeficiente de difusión para electrones
- $n_i$  : Es la concentración intrínseca de portadores
- $N_D$  : Es la concentración base de dopaje
- $L_n$  : Es el ancho de la región de emisor

De todas estas variables, solamente  $D_n$  y  $n_i$  no son constantes, su dependencia con la temperatura puede ser modelada según:

$$D_n = \mu_n \frac{k T}{q} \quad (2.1.3)$$

$$=$$

$$n_i^2 = N_C N_V \exp\left(-\frac{E_g}{k T}\right) \quad (2.1.4)$$

$N_C$  )

Donde  $N_C$  y  $N_V$  son constantes,  $\mu_n$  es la movilidad de los electrones y  $E_g$  es el voltaje de *bandgap*

del silicio extrapolado linealmente hasta el cero absoluto (0 K). Luego se tiene:

$$I_c = \frac{q A D_n n_i^2}{L_n N_D} = \frac{q A \mu_n k T}{L_n N_D} N_C N_V \exp\left(-\frac{E_g}{k T}\right) \quad (2.1.5)$$



La ecuación (2.1.6) se puede escribir como:

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{BE} - V_{BE0}}{T} - \frac{\gamma}{T} \quad (2.1.8)$$

=

Al reemplazar (2.1.8) en (2.1.7), el coeficiente de temperatura se expresa como:

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{BE} - V_{BE0}}{T} - \frac{\gamma}{T} \quad (2.1.9)$$

Para valores típicos de  $V_{BE} = 600 \text{ mV}$ ,  $V_{BE0} = 1.205 \text{ V}$ ,  $\gamma = 3.2$ , y  $T = 300 \text{ K}$ , se tiene que:

$$\frac{\partial V_{BE}}{\partial T} = -2.01 \frac{\text{mV}}{\text{K}} - 0.28 \frac{\text{mV}}{\text{K}} \approx -2 \text{ mV}/^\circ\text{C}$$

El resultado es usualmente expresado como,  $\partial V_{BE} / \partial T = -2 \text{ mV}/^\circ\text{C}$ , valor que es distinto al obtenido en el capítulo 1. Debido a que el coeficiente de temperatura es un valor que depende de

$V_{BE}$ , tendrá un valor distinto según el  $V_{BE}$  con el que opere.

### 2.1.2. Tensión PTAT

Si bien el  $V_{BE}$  tiene un coeficiente de temperatura negativo, es posible obtener un coeficiente de temperatura positivo a partir de la diferencia de los  $V_{BE}$  de  $Q_1$  y  $Q_2$ .

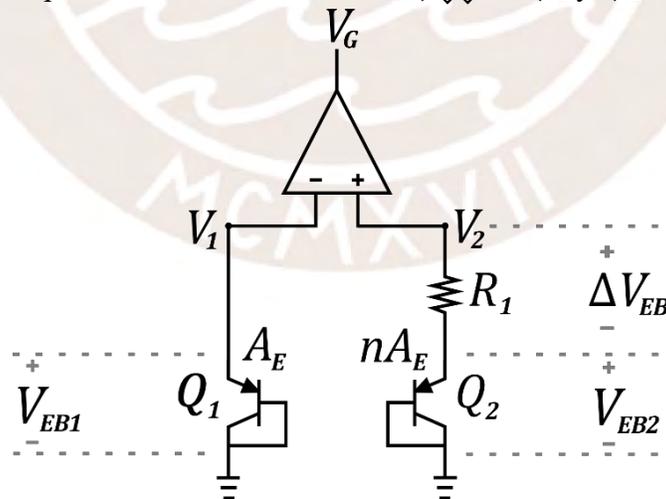


Figura 2.1.3. Diferencia de las tensiones emisor-base (Imagen propia)

Debido al OPAMP,  $V_{BE1} = V_{BE2} = V_{BE}$ , entonces a partir de (2.1.10), se obtiene la tensión en  $V_{BE1}$ :

$$V_{BE1} = V_{BE2} = V_{BE}$$

$$\ln(\phi_1) - \ln(\phi_2) = \Delta \ln(\phi) \quad (2.1.10)$$

$$\ln(\phi_2) =$$





Los transistores PMOS deben operar en la región de saturación debido a que el valor de  $\beta_{eff}$  es casi

independiente de las variaciones de  $\beta_{eff}$ .

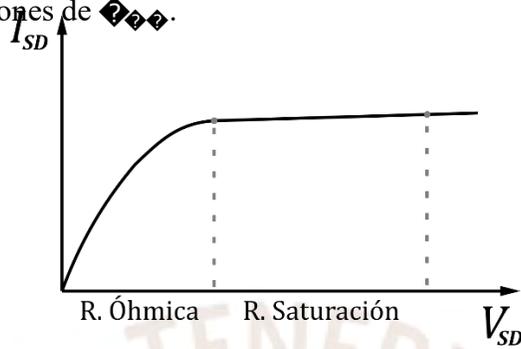


Figura 2.1.5.  $I_{SD}$  vs  $V_{SD}$  (Imagen propia)

A continuación, se justificará que  $\beta_1 = \beta_2$ :

La corriente de *source-drain* ( $I_{SD}$ ) en inversión fuerte está descrita según la ecuación 2.3.1:

$$I_{SD} = \frac{1}{2} \beta_{eff} [(V_{GS} - |V_{TH}|)^2 (1 + \lambda V_{DS})] \quad (2.1.14)$$

Si se consideran despreciables los efectos de  $\lambda$  y se considera que los parámetros de fabricación

$\beta_{eff}$ ,  $V_{TH}$  son constantes, se tiene que:

y

$$I_{SD1} = \beta_{eff} (V_{GS1} - |V_{TH}|)^2 \quad (2.1.15)$$

$$I_{SD2} = \beta_{eff} (V_{GS2} - |V_{TH}|)^2 \quad (2.1.16)$$

En el contexto de los MOSFET, existe la denominada tensión de *overdrive* (*overdrive voltage*  $V_{ov}$ ) [34], el cual se expresa como:  $V_{ov} = V_{GS} - V_{TH}$  para NMOS y  $V_{ov} = V_{GS} - |V_{TH}|$  para PMOS.

Debido a que los parámetros son iguales:

$$\beta_{eff1} = \beta_{eff2} \quad (2.1.17)$$

Además, el espejo se diseña uniendo los terminales *gate* para obtener:

$$V_{GS1} = V_{GS2} \quad (2.1.18)$$

Entonces se tiene que:

$$|x_1 - |x_1|| = |x_2 - |x_2|| = x_1 = x_2 \quad (2.1.19)$$



Al reemplazar (2.3.6) en (2.3.2) y (2.3.3)

$$V_{GS1} = V_{GS2} + (V_{GS1})^2$$

$$V_{GS2} = V_{GS1} + (V_{GS2})^2$$

Por lo tanto:

$$V_{GS1} = V_{GS2}$$

#### 2.1.4. OPAMP – amplificador de error (amplificador diferencial)

Este amplificador genera una tensión basada en la diferencia de  $V_{GS}^+$  y  $V_{GS}^-$ . El amplificador funciona con un bucle de realimentación. Mientras mayor sea su ganancia, mayor será su estabilidad ante

variaciones en la tensión de alimentación. Este amplificador es de una sola etapa (*single-stage*)

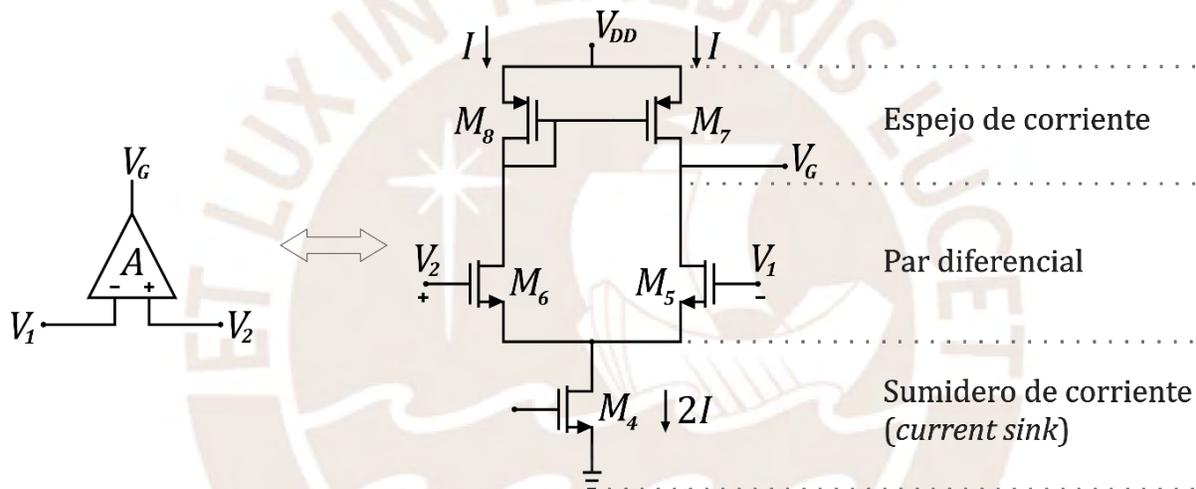


Figura 2.1.6. Amplificador de error de una etapa (Imagen propia)

Esta configuración está compuesta por: un espejo de corriente  $M_7$  y  $M_8$ , un par diferencial  $M_5$

y

$M_6$  y un sumidero de corriente (*current sink*)  $M_4$ , el cual es un análogo de la fuente de

corriente, solo que, en vez de “suministrar” corriente, la “extrae”.

El amplificador de error entrega a los terminales *gate* una tensión de referencia ( $V_{GS}$ ) basada en la amplificación de la diferencia de  $V_{GS1}$  y  $V_{GS2}$  (error), entonces, mientras mayor sea la ganancia del opamp, mayor será la precisión de la tensión de referencia  $V_{GS}$  que genera, el cual está dado por:

$$V_{GS} = V_{GS2} = A \cdot (|V_{GS2} - V_{GS1}|) \quad (2.1.20)$$

A continuación, se explicará cómo es que exactamente el amplificador de error logra reducir la diferencia de las corrientes de las ramas y así garantizar una copia de corriente estable.

Para ejemplificar esta situación, se asumirá que la copia de corriente ideal se da cuando  $I_2 = I_1$

y

$V_{e1} = V_{e2} = 0.7 \text{ V}$ , en este caso las corrientes en ambas ramas son iguales. Sin embargo, debido a varios factores  $I_2$  y  $I_1$  no son exactamente iguales, por consiguiente, las corrientes en las ramas serán diferentes. Se presentan dos casos:  $I_2 > I_1$  o  $I_1 > I_2$ .

El aumento de  $I_2$  ocasiona que  $V_{e1}$  aumente, causando que la corriente de la rama izquierda

$I_1$  sea

mayor que la de la derecha. La disminución de la corriente en la rama derecha ( $I_2$ ) ocasiona que

$V_{e2}$  disminuya significativamente (Figura 2.5), haciendo que la tensión de salida del

opamp

aumente de acuerdo con la ecuación 2.1.20. El caso contrario trae como consecuencia efectos

opuestos. Se puede concluir entonces:

$I_2 > I_1$  →  $V_{e1} \uparrow$ ,  $I_1 \uparrow$ ,  $V_{e2} \downarrow$ ,  $I_2 \downarrow$ ,  $V_{out} \uparrow$

Si:  $I_2 < I_1$

$I_2 < I_1$  →  $V_{e1} \downarrow$ ,  $I_1 \downarrow$ ,  $V_{e2} \uparrow$ ,  $I_2 \uparrow$ ,  $V_{out} \downarrow$

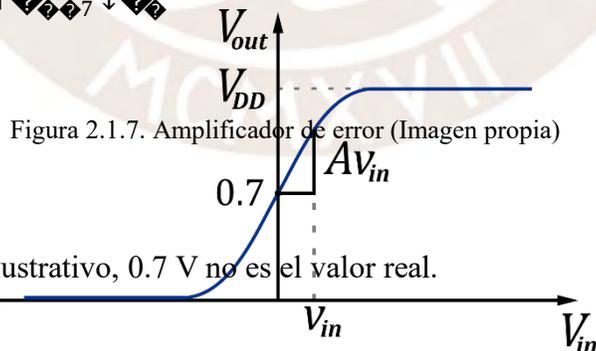
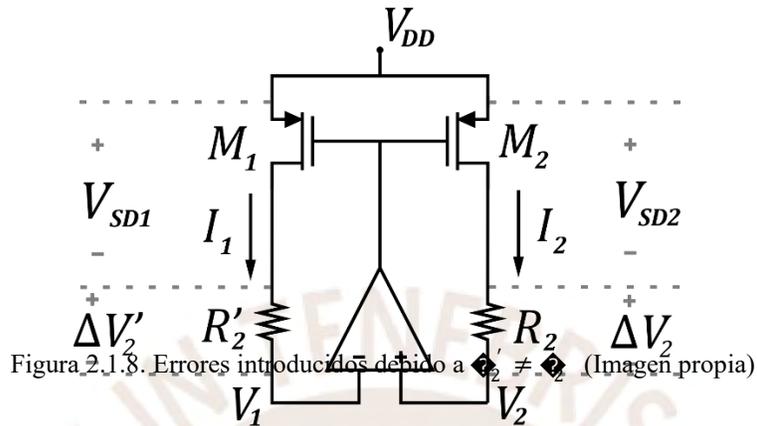


Figura 2.1.7. Amplificador de error (Imagen propia)

Nota: este es un ejemplo ilustrativo,  $0.7 \text{ V}$  no es el valor real.

### 2.1.5. Inconvenientes del BGR CMOS convencional

- Las resistencias  $R_1$  y  $R_2$  no son iguales, por consiguiente  $I_1 \neq I_2$ , lo cual de acuerdo con la ecuación (2.3.1) ocasiona que  $V_1 \neq V_2$ .



- Tensión de salida alrededor de 1.2 V debido a que, para mantener una tensión de referencia estable ante variaciones de la temperatura, los coeficientes empleados no permiten que el rango de dicha tensión varíe significativamente.
- Tensión de alimentación mayor a 1.2 V

## 2.2. Circuito BGR CMOS de bajo tensión – Modelo solución

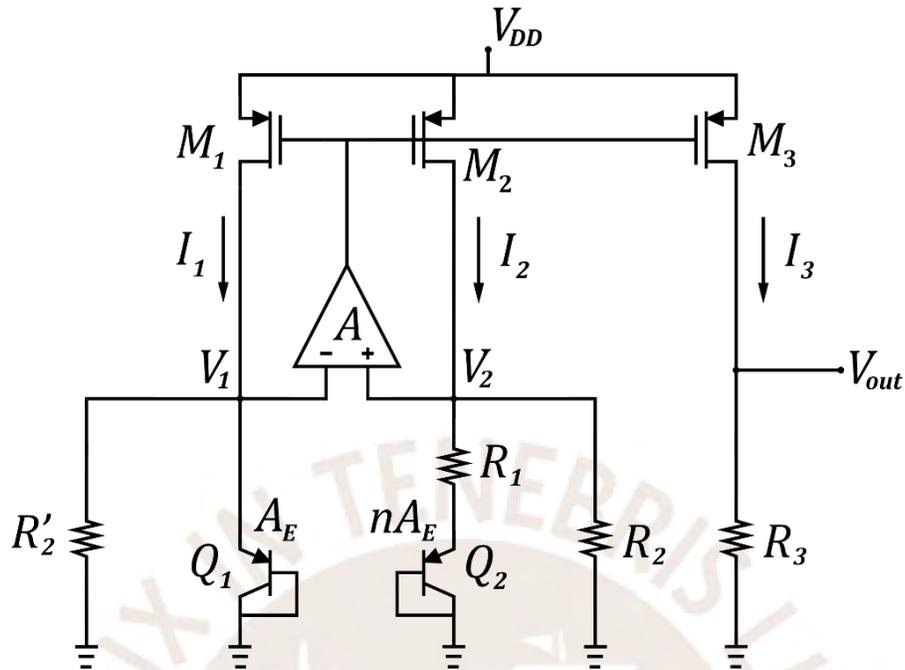


Figura 2.2.1. BGR CMOS de bajo tensión. Adaptado de [29] (Imagen propia)

Este circuito logra resolver los inconvenientes expuestos en la parte 2.1, está compuesto por los mismos elementos, además de dos modificaciones. En primer lugar  $I_2$  y  $V_2$  fueron trasladadas a los terminales  $I_1$  y  $V_1$  respectivamente, para que idealmente  $I_1 = I_2$ , mejorando así la precisión. Además, se añadió una rama (con un transistor  $M_3$ ), la cual es una extensión de corriente, entonces se tiene:

$$I_1 = I_2 = I_3 \rightarrow I_1 = I_2 = I_3 \quad (2.2.1)$$

En el nodo  $V_2$ , por la ley de corrientes de Kirchoff:

$$\frac{\Delta V_2}{R_2} + \frac{I_1}{R_2} + I_2 = \frac{V_2}{R_3}$$

$$= \frac{1}{R_3} V_2$$

En la rama de la derecha se tiene que:

$$I_2 = \frac{V_2}{R_3} \quad (2.2.2)$$

$$I_2 = I_3 = I_1 \quad (2.2.3)$$

Finalmente se obtiene que:

$$\frac{V_{ref3}}{V_{ref2}} = \frac{V_{ref1} + \Delta V_{BE1}}{V_{ref2}} \quad (2.2.4)$$

$$V_{ref3} = V_{ref2} \left( V_{ref1} \ln\left(\frac{V_{ref2}}{V_{ref1}}\right) + \Delta V_{BE1} \right) \quad (2.2.5)$$

Esta tensión de referencia posee un factor  $\frac{V_{ref3}}{V_{ref2}}$ , el cual reduce la tensión de referencia convencional

de 1.2 V a una fracción de este, manteniendo la estabilidad ante la temperatura, pues la corriente PTAT es la corriente que circula por las ramas del espejo de corriente.

### 2.2.1. Justificación de la elección del modelo solución

Además de cumplir con una tensión de alimentación inferior a 1.2 V y entregar una tensión de referencia de 518 mV, el circuito de Banba [3] fue elegido debido que sus resultados son bastante cercanos a trabajos más recientes. Sin embargo, la tensión de alimentación de dicho circuito se vio

comprometido en su implementación debido a que los transistores PMOS tenían un  $\beta_{PMOS} \approx -1$

V, haciendo que el BGR opere con un mínimo de 2.2 V. Por otro lado, el autor afirmó que si se optimizaban los valores de  $\beta_{PMOS} = 0.5$  V, el circuito podía operar con 0.84 V.

Tabla 2.1 – Comparación de resultados de topologías BGR de bajo tensión.

	Banba [3] 1999	Xinpeng [4] 2007	Jiang [13] 2017	Propuesto
Tensión de alimentación [V]	2.2	0.9	0.8	<1.2
temperatura [°C]	[27; 125]	[0; 150]	[-40; 125]	[0; 100]
PSRR [dB]	-	-55	-87	-60
Coeficiente de temperatura [ppm/°C]	119	40	5.6	30
referencia [mV]	518	657	428	400
Potencia [μW]	1.85	47.3	13	—
Tecnología [μm]	0.4	0.18	0.065	0.18

### 2.3. PSRR - Análisis de pequeña señal

En esta sección, se analizará en pequeña señal el circuito de la propuesta de solución (Figura 2.8) para hallar la relación  $v_{out}/v_{in}$ . Esta relación compara las variaciones de la tensión de salida respecto a las variaciones en la tensión de entrada. Previamente se explicarán versiones más

simplificadas para comprender cómo varía la tensión de salida en función de resistores, tensión de alimentación, parámetros de los transistores, etc. Se irán añadiendo componentes y la complejidad de las ecuaciones obtenidas irá aumentando. Es importante recordar los modelos de pequeña señal de los MOSFET tipo n y tipo p:

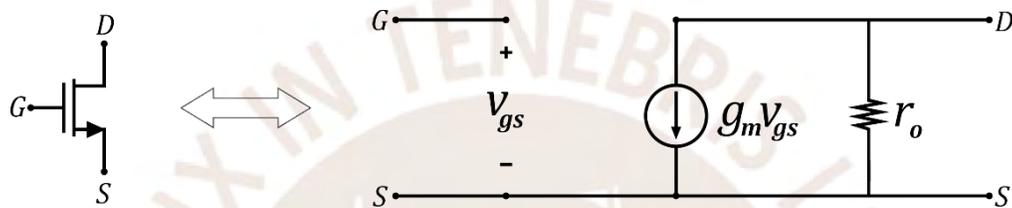


Figura 2.3.1. NMOS y su modelo de pequeña señal

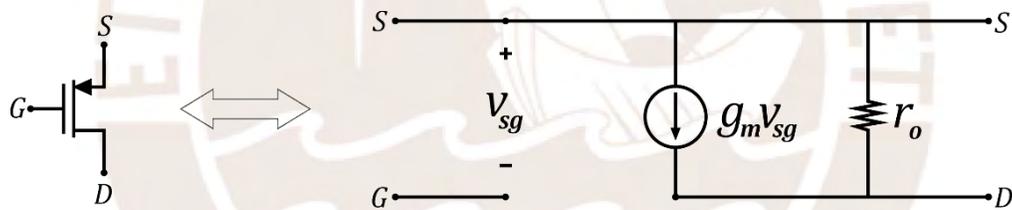


Figura 2.3.2. PMOS y su modelo de pequeña señal

#### 2.3.1. Tensión de referencia con espejo de corriente

Esta es la versión más simple del circuito de tensión de referencia. Se han eliminado varios resistores, los BJT y el amplificador operacional. En la Figura 3.8 se observa una fuente de corriente  $I_0$ , esta simplificación permite modelar la dependencia que existe entre las variaciones en la tensión de salida ( $v_{out}$ ) y las variaciones en la tensión *source-gate* ( $v_{sg}$ ).

Es importante destacar que  $M_A$  y  $M_B$  conforman un espejo de corriente, en donde  $I_{D1}$

se ha conectado como diodo (los terminales puerta y drenador se han unido) para que el transistor esté autopolarizado. Por consiguiente, la corriente  $I_{D1}$  depende de  $V_{DD}$ .

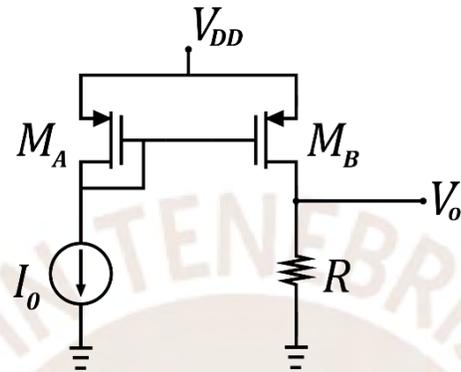


Figura 2.3.3. Versión simplificada de un circuito de tensión de referencia

A continuación, se presenta el modelo de pequeña señal, en donde se modela la fuente de señal  $v_{sg}$  como una resistencia  $r_{o1}$ . Es de vital importancia recordar que en pequeña señal se hace alusión a las variaciones de las fuentes de tensión o corriente. Por ejemplo  $V_{DD}$  no es la fuente de tensión, sino las variaciones que se producen en  $V_{DD}$ .

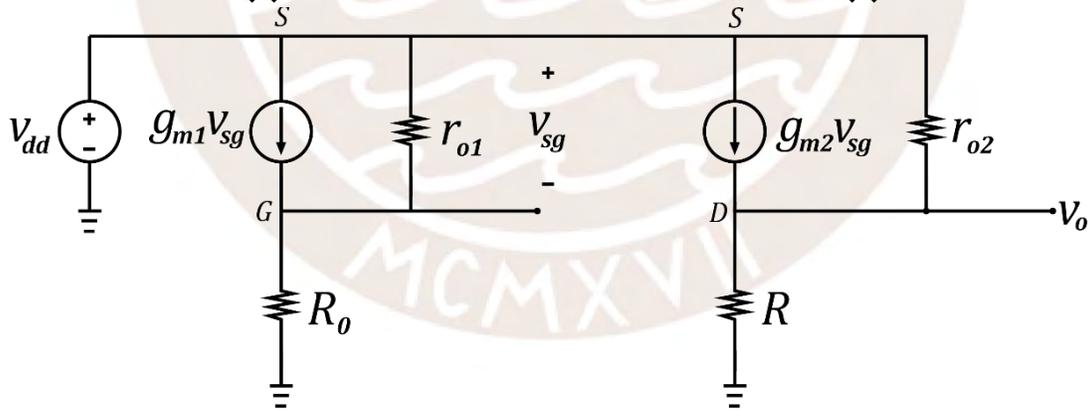
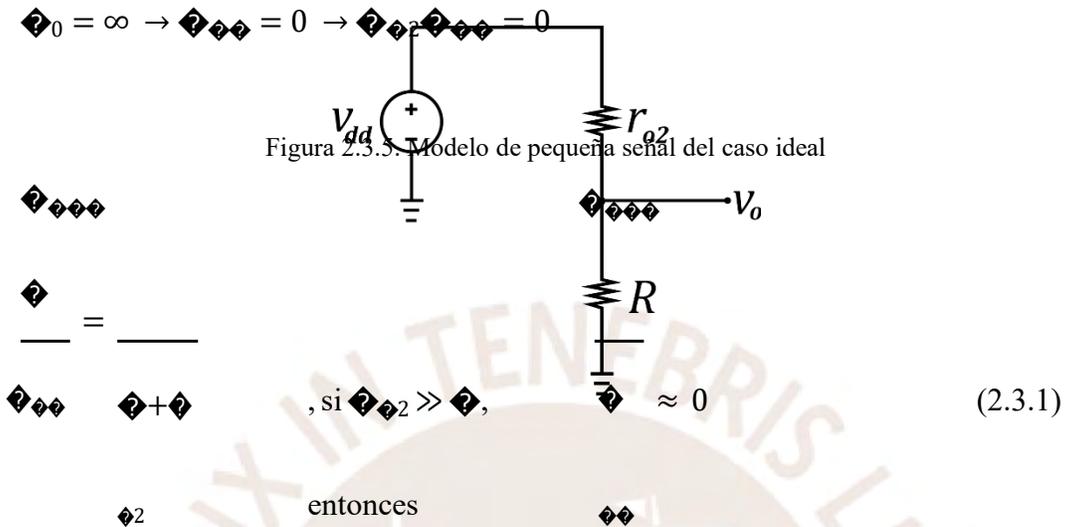


Figura 2.3.4. Modelo de pequeña señal del circuito de la Figura 2.9.

La fuente de corriente  $\beta_0$  puede modelarse de dos maneras, tal como se verá a continuación:

i) **Caso 1:** Fuente de corriente ideal  $\beta_0$  con resistencia infinita



Si la fuente de corriente es ideal (impedancia infinita), anula las variaciones producidas por  $\beta_0 r_{o2}$ .

ii) **Caso 2:** Fuente de corriente  $\beta_0$  con resistencia finita  $r_{o1}$

En la Figura 2.12, debido a que  $\beta_0 r_{o1}$  se encuentra en los terminales S y G, se puede reemplazar por una resistencia de valor  $1/g_{m1}$ .

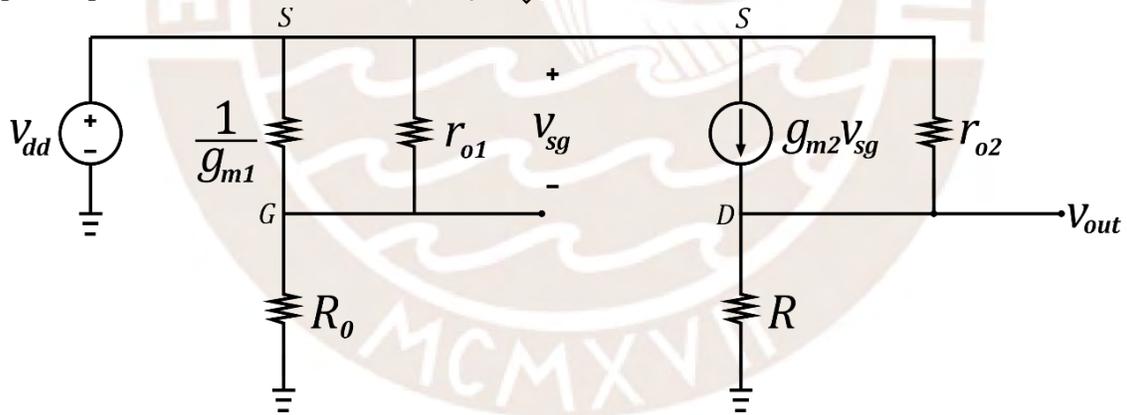


Figura 2.3.6. Modelo de pequeña señal del caso real (resistencia finita)

$$\frac{r_{11}}{r_{11} + r_{12}} = \frac{r_{11} \parallel r_{12}}{r_{11} + r_{12}} = \frac{1}{1 + \frac{r_{12}}{r_{11}}}$$

$$r_{11}$$

Si  $r_{11} \gg 1$ , entonces:

$$\frac{r_{11}}{r_{11} + r_{12}} \approx \frac{1}{1 + \frac{r_{12}}{r_{11}}} \approx \frac{1}{1 + \alpha} \quad (2.3.2)$$

$$g_{11}$$

$$r_{11} = \alpha r_{12}$$

Por la Ley de Corrientes de Kirchhoff (nodo D):

$$i_{11} = i_{12} - i_{13} \quad (2.3.3)$$

$$r_{11} i_{11} = r_{12} i_{12} - r_{13} i_{13}$$

$$r_{11} \left( \frac{1}{r_{11}} + \frac{1}{r_{12}} \right) = \frac{r_{12}}{r_{12}}$$

$$r_{11} \left( 1 + \frac{r_{11}}{r_{12}} \right) = 1 \quad (2.3.4)$$

$$r_{11} = \frac{r_{12}}{1 + \frac{r_{11}}{r_{12}}}$$

Se concluye que para las variaciones producidas por  $r_{11}$  sean mínimas, se requiere que la fuente

de corriente  $I_0$  tenga una resistencia  $R_0$  cuyo valor sea muy alto.

### 2.3.2. Tensión de referencia con opamp (amplificador de error)

En esta sección se analizará el modelo de pequeña señal en el circuito de la propuesta de solución. En la figura

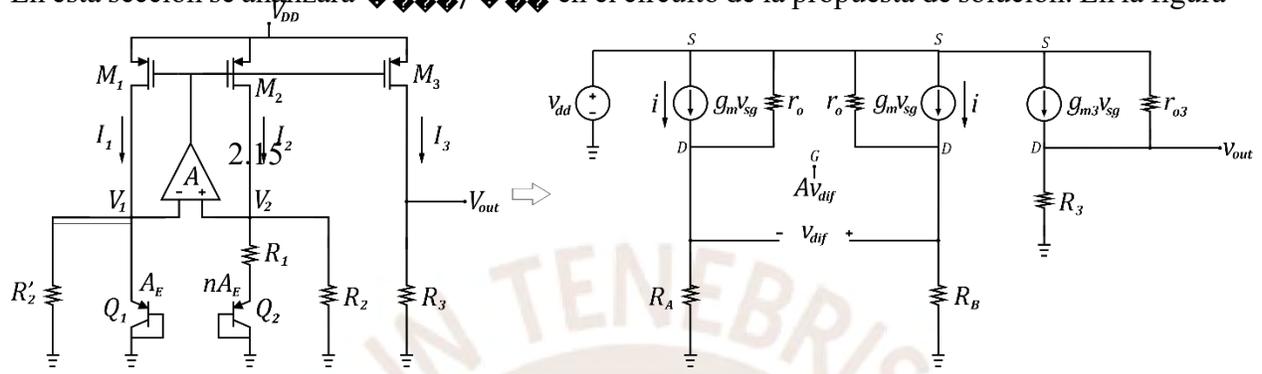


Figura 2.3.7. Modelo de pequeña señal del circuito de referencia con opamp

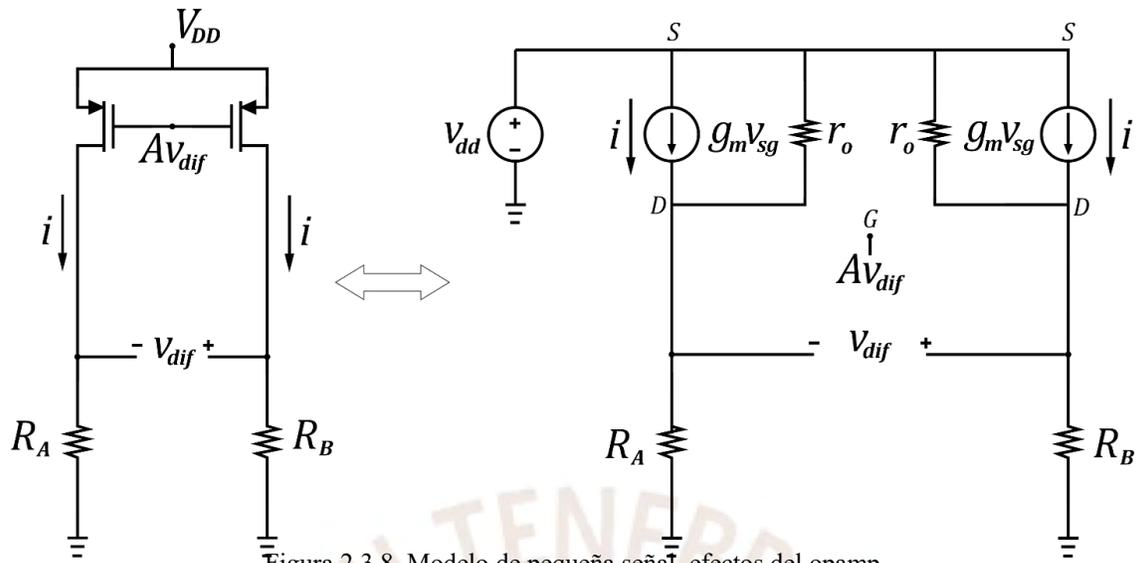


Figura 2.3.8. Modelo de pequeña señal, efectos del opamp.

Las variaciones de corriente  $i$ , están dadas por:

$$i = \frac{v_{ad}}{R_A + R_B} \quad (2.3.5)$$

$$i = \frac{v_{ad}}{R_A + R_B} (1 - A_{v_{dif}}) \quad (2.3.6)$$

$$v_{ad} = i(R_A + R_B) \quad (2.3.6)$$

$$v_{ad} = \frac{v_{ad}}{R_A + R_B} (1 - A_{v_{dif}}) (R_A + R_B) \quad (2.3.7)$$

$$\frac{v_{ad}}{R_A + R_B} (1 + A_{v_{dif}}) = \frac{v_{ad}}{R_A + R_B} (1 - A_{v_{dif}}) \quad (2.3.7)$$

$$\frac{v_{ad}}{R_A + R_B} = \frac{v_{ad}}{R_A + R_B} \frac{(1 - A_{v_{dif}})}{(1 + A_{v_{dif}})} \quad (2.3.8)$$

$$1 + A_{v_{dif}} = \frac{1 - A_{v_{dif}}}{1 + A_{v_{dif}}} \quad (2.3.8)$$

$$1 + A_{v_{dif}} = \frac{1 - A_{v_{dif}}}{1 + A_{v_{dif}}} \quad (2.3.8)$$

$$1 + A_{v_{dif}} = \frac{1 - A_{v_{dif}}}{1 + A_{v_{dif}}} \quad (2.3.8)$$

$$1 + r^n = \frac{1 - r^{n+1}}{1 - r} [1 - r^n] + r^n$$

$$1 + r^n$$



$$\frac{V_{out}}{V_{in}} = \frac{1}{1 + \frac{R_2}{R_1}} \quad (2.3.9)$$

$$\frac{V_{out}}{V_{in}} \approx \frac{1}{\frac{R_2}{R_1}} = \frac{R_1}{R_2} = \alpha \quad (2.3.10)$$

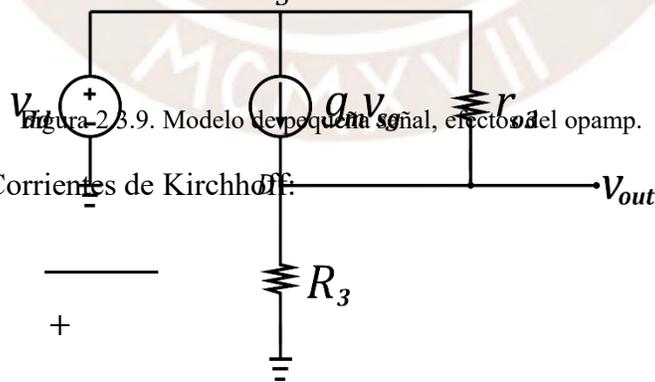
Se comparan las expresiones obtenidas para

Antes:  $\alpha = \frac{R_1}{R_2}$

Ahora:  $\alpha = \frac{R_1}{R_2 + R_3}$

Por lo tanto, debido al opamp, el valor del nuevo  $\alpha$  es al menos  $\frac{R_3}{R_2}$  veces menor que cuando solamente se emplea una fuente de corriente.

Ahora se modela en pequeña señal la rama del transistor  $\beta_3$



Por la Ley de Corrientes de Kirchoff:

$$\frac{V_{in}}{R_1} = \frac{V_{out}}{R_2} + \frac{V_{out}}{R_3}$$

$$\left( \frac{1}{\alpha^3} - \frac{1}{\alpha^2} \right) = \frac{\alpha^2 - \alpha^3}{\alpha^6}$$

3.3)

$$\frac{1}{\alpha^3} - \frac{1}{\alpha^2} + \alpha^2 + \alpha^3$$



$$\frac{v_{out}}{v_{in}} = \frac{v_{out}}{v_{in}} \quad (2.3.11)$$

$$v_{out} = v_{in} \left( \frac{1}{\alpha} + \frac{v_{out}}{v_{in}} \right) \quad (2.3.12)$$

$$v_{out} = v_{in} \left( \frac{1}{\alpha} + \frac{v_{out}}{v_{in}} \right)$$

Es necesario aclarar que la ganancia del opamp varía con la frecuencia, pues se comporta como un filtro pasabajos. Antes de la frecuencia de ganancia unitaria el producto de la ganancia por la frecuencia se mantiene aproximadamente constante. A altas frecuencias la ganancia del opamp disminuye, por lo tanto, su capacidad de reducir el ruido y variaciones de la tensión de alimentación disminuyen.

Por otro lado, se ha modelado el opamp como un amplificador ideal, sin embargo, el opamp real es susceptible a las variaciones de  $v_{in}$ . En consecuencia, el opamp también tiene un asociado, es decir,  $v_{out}$  tiene una componente que depende de  $v_{in}$ . Se debe recordar que el opamp entrega una tensión  $v_g$  a los terminales *gate* de los transistores  $i_1$ ,  $i_2$  y  $i_3$ . Por consiguiente, las variaciones en  $v_g$  se denotan como  $v_g$ .

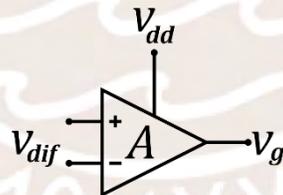


Figura 2.3.10. amplificador de error

Entonces las variaciones en la salida del opamp se expresan como:

$$v_{out} = v_{out} + v_{out} \quad (2.3.13)$$

$$v_{out} = v_{out} - v_{out} \quad (2.3.14)$$

Esto a su vez ocasiona variaciones en las corrientes  $i_1$ ,  $i_2$  e  $i_3$ , las cuales se denotan con la letra *i*. Entonces se tiene:

$$i = \frac{1}{2}(\frac{1}{2} - \frac{1}{2})$$

(2.3.15)



$$i_{i_2} = i(v_{i_2} - v_{o_2}) \quad (2.3.16)$$

$$i_{i_2} = (v_{i_2} - v_{o_2}) g_{m_2} (v_{i_2} - v_{o_2})$$

Reemplazando 2.3.17 en 2.3.13:

$$v_{i_2} = v_{o_2} (v_{i_2} - v_{o_2}) g_{m_2} (v_{i_2} - v_{o_2}) + v_{o_2} g_{m_2} v_{i_2}$$

$$v_{i_2} - v_{o_2} g_{m_2} v_{i_2} = v_{o_2} (v_{i_2} - v_{o_2}) g_{m_2} (v_{i_2} - v_{o_2}) + v_{o_2} g_{m_2} v_{i_2}$$

$$\frac{v_{i_2} (1 - g_{m_2} v_{i_2})}{v_{o_2} (1 + g_{m_2} (v_{i_2} - v_{o_2}))} = \alpha \quad (2.3.18)$$

Por lo tanto, el factor de rechazo a la fuente de alimentación (PSRR) está dado por:

$$\frac{v_{o_2}}{v_{i_2}} = g_{m_2} (r_{o_2} \parallel r_{o_3}) \alpha + \frac{v_{o_3}}{v_{i_2}}$$

$$= g_{m_2} (r_{o_2} \parallel r_{o_3}) \left( \frac{1}{1 + g_{m_2} (v_{i_2} - v_{o_2})} \right) + \frac{v_{o_3}}{v_{i_2}}$$

### 2.3.3. PSRR del amplificador operacional

Se desarrollará el modelo en pequeña señal del amplificador operacional, para determinar su susceptibilidad a las variaciones en  $v_{DD}$ .

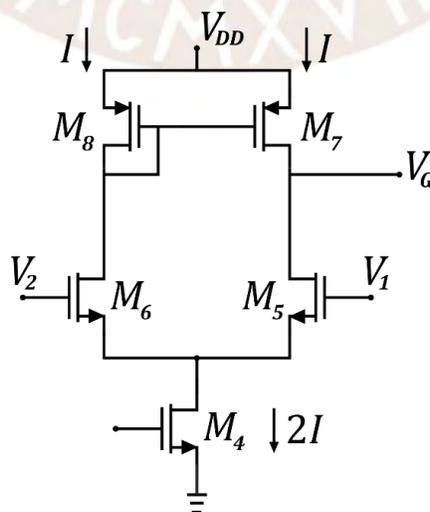


Figura 2.3.11. Amplificador de error



Para este desarrollo se están despreciando las variaciones producidas por  $r_{o4}$  en los transistores

$r_{o5}$  y  $r_{o6}$ . Asimismo, se está asumiendo que  $r_{o7} = r_{o8}$ ,  $r_{o5} = r_{o6}$  y que  $r_{o4}$  se puede expresar equivalentemente como:

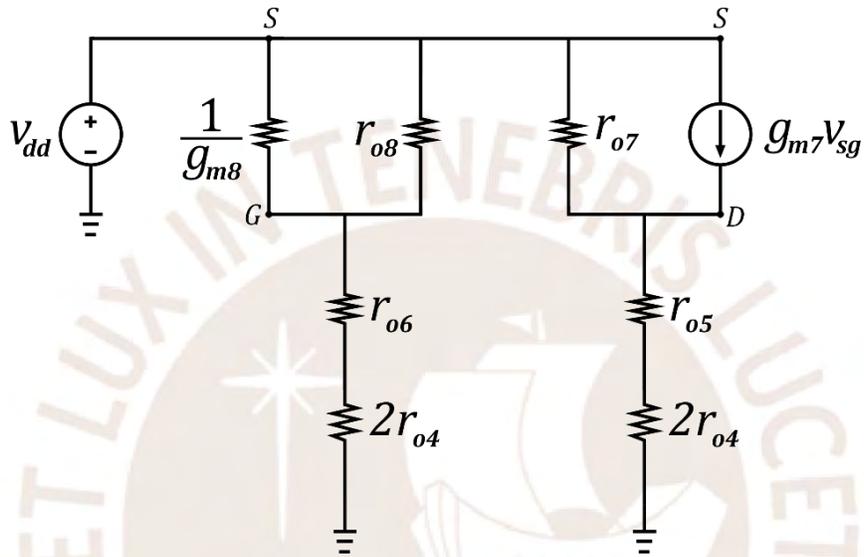


Figura 2.3.12. Modelo de pequeña señal del amplificador de error

$$A_{v_{ol}} = \frac{1}{1 + \frac{r_{o8}(r_{o6} + 2r_{o4})}{r_{o7}(r_{o5} + 2r_{o4})}} \quad (2.3.20)$$

Aplicando la Ley de corrientes de Kirchoff

$$\frac{v_{sg}}{r_{o7}} + \frac{v_{sg}}{r_{o8}(r_{o6} + 2r_{o4})} = \left[ \frac{1}{r_{o7}(r_{o5} + 2r_{o4})} + \frac{1}{r_{o7}} \right] v_{sg} \quad (2.3.21)$$

$$\frac{1}{r_{o7}} + \frac{1}{r_{o8}(r_{o6} + 2r_{o4})} = \left[ \frac{1}{r_{o7}(r_{o5} + 2r_{o4})} + \frac{1}{r_{o7}} \right]$$

$$\frac{1}{r_{o7}} \left[ \frac{r_{o5} + 2r_{o4}}{r_{o5} + 2r_{o4}} + \frac{r_{o7}}{r_{o8}(r_{o6} + 2r_{o4})} \right] = \frac{1}{r_{o7}(r_{o5} + 2r_{o4})} + \frac{1}{r_{o7}}$$

$$\frac{1}{r_{o7}} \left[ \frac{r_{o5} + 2r_{o4}}{r_{o5} + 2r_{o4}} + \frac{r_{o7}}{r_{o8}(r_{o6} + 2r_{o4})} \right] = \frac{1}{r_{o7}(r_{o5} + 2r_{o4})} + \frac{1}{r_{o7}}$$

$$g_{\phi 7} = \frac{1}{r_{\phi 2}} \frac{1 + g_{\phi 8}(r_{\phi 6} + 2r_{\phi 4})}{[r_{\phi 2} + (r_{\phi 5} + 2r_{\phi 4})]} = \phi \quad (2.3.22)$$

La expresión B tiende a 1 si  $\phi_{\phi 4}$ ,  $\phi_{\phi 5}$  y  $\phi_{\phi 6}$  son valores grandes. Para que el amplificador operacional

tenga ramas simétricas, se debe cumplir que:  $\phi_{\phi 5} = \phi_{\phi 6}$ ,  $\phi_{\phi 7} = \phi_{\phi 8}$  y  $\phi_{\phi 7} = \phi_{\phi 8}$ .

Por lo tanto, si  $\phi \rightarrow 1$ , entonces la ecuación 2.3.19 tiende a ser ideal, tal como la ecuación 2.3.1



$$\begin{aligned}
 \frac{\mathbb{Z}^3}{\mathbb{Z}^3} &= \frac{\mathbb{Z}^3}{\mathbb{Z}^3} \left( \mathbb{Z}^3 \parallel \mathbb{Z}^3 \right) \frac{-\mathbb{Z}^3}{1} \left( \frac{1}{\mathbb{Z}^3} \right) + \frac{\mathbb{Z}^3}{\mathbb{Z}^3} \\
 &= \frac{\mathbb{Z}^3}{\mathbb{Z}^3} \frac{\mathbb{Z}^3}{\mathbb{Z}^3} \left( \mathbb{Z}^3 - \mathbb{Z}^3 + \mathbb{Z}^3 \right) \\
 &= \frac{\mathbb{Z}^3}{\mathbb{Z}^3} \frac{\mathbb{Z}^3}{\mathbb{Z}^3} \left( \mathbb{Z}^3 \right) \\
 &= \frac{\mathbb{Z}^3}{\mathbb{Z}^3} \frac{\mathbb{Z}^3}{\mathbb{Z}^3} \left( \mathbb{Z}^3 \right)
 \end{aligned}
 \tag{2.3.23}$$

En conclusión, si  $\mathbb{Z}^3 \gg \mathbb{Z}$ , entonces  $\frac{\mathbb{Z}^3}{\mathbb{Z}^3} \approx 0$



## CAPÍTULO 3: Diseño del circuito

### 3.1. Selección del número de transistores bipolares

En el capítulo 2, se mencionó que  $\alpha$  es la proporción entre las áreas de emisores de los transistores

$\alpha_1$  y  $\alpha_2$ . Esta proporción es equivalente al número de transistores colocados en paralelo en

$\alpha_2$ ,

considerar que en  $\alpha_1$  solo se coloca un transistor. (3.1.1)

$$\alpha = \frac{\alpha_2}{\alpha_1} = \frac{\text{número de transistores en } \alpha_2}{1}$$

Es posible optimizar el funcionamiento de un circuito, cortando las partes irregulares con un láser (*laser trimming*), sin embargo, este procedimiento es costoso. Por lo tanto, el diseño del *layout* de los transistores BJT debe ser planificado para que su funcionamiento reduzca el error debido a la fabricación. Una configuración de forma cuadrada con  $\alpha_1$  en el centro, permite reducir los errores

en la proporción de áreas de emisor [21]. En la Figura 3.1 se observa un arreglo donde  $\alpha = 8$ .

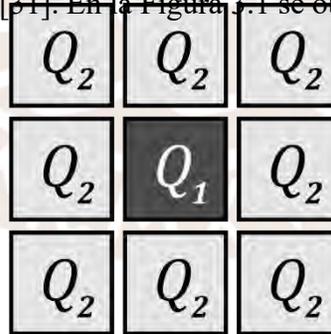


Figura 3.1.1. Arreglo que permite minimizar los errores debido al área (Imagen propia)

En la ecuación 3.2 se tiene el coeficiente de temperatura de la tensión PTAT, al cual debe ponerse a los  $2 \text{ mV/}^\circ\text{C}$  de la tensión CPT. Se diseñan  $\alpha_2, \alpha_1$ , de modo que  $\ln(\alpha)$ , para así reducir el valor de n y así igualar la expresión a  $2 \text{ mV/}^\circ\text{C}$ , sin amplifica el factor  $n$

$\alpha$

embargo,  $R_2/R_1$  también amplifica el offset producido por el opamp y el área (a mayor valor de resistencias, mayor área). En la tabla 3.1 se tiene una comparación del aumento de estos valores.

$$\frac{R_2}{R_1} \cdot \frac{\partial \Delta_{EB}}{\partial} = \frac{R_2}{R_1} \cdot k \ln(n) = 2 \text{ mV/}^\circ\text{C} \quad (3.1.2)$$

$n$	$\ln(n)$	Área ( $\mu\text{m}^2$ )	Amplificación de offset
8	2.079	3364	11.141
24	3.178	9409	7.289
48	3.871	18496	5.984
80	4.382	30625	5.287

A partir de los valores obtenidos en la Tabla 3.1, se analizan las variaciones, para cuantificar qué

variación es más significativa y, por tanto, más eficiente.  $\Delta n$  se está definiendo

$$\frac{x_{(acn)a}}{x_{n=8}}$$

como

Tabla 3.2 – Comparación de las variaciones de los parámetros.

$\Delta n$	$\Delta \ln(n)$	$\Delta \text{Área}$	$\Delta A_{\text{offset}}$
300%	153%	280%	65%
600%	186%	550%	54%
1000%	211%	910%	47%

Se tiene que  $\ln(n)$  aumenta en un 153%, sin embargo, no crece en la misma proporción que  $n$ . Por otro lado, el área aumenta en un 280% y ante mayores valores de  $n$ , su crecimiento si va en la misma proporción, pues de  $n = 24$  a  $n = 48$ , el área va de 280% a 550%, prácticamente también se ha duplicado. Con  $n = 24$ ,  $\frac{x_{(acn)a}}{x_{n=8}}$  se reduce al 65%, y a medida que  $n$  aumenta, no disminuye

significativamente. Por lo tanto, se concluye que el valor de  $n = 24$  permite obtener los resultados más significativos.

### 3.2. $I_{PTAT}$ – Cálculo de $R_1$

Para diseñar el valor de la resistencia  $R_1$ , se empezará bajo la condición de que la corriente  $I_{PTAT}$  sea de  $1 \mu A$ , un valor que permite un bajo consumo de energía y está dentro del rango de valores

de acuerdo con los trabajos revisados en el estado del arte.

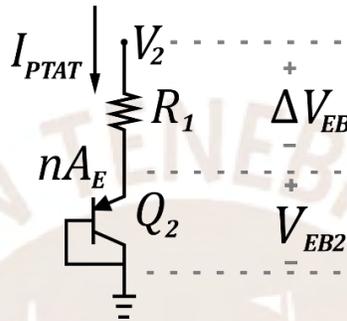


Figura 3.2.1. Relación entre  $I_{PTAT}$  y  $R_1$  (Imagen propia)

Como se vio en el capítulo 2, la tensión en  $R_1$  está descrito según:

$$\Delta V_{EB} = n V_T \ln\left(\frac{I_{PTAT}}{I_S}\right) \quad (3.2.1)$$

=

Sea  $I_S$  la corriente que entrega el espejo de corriente, en  $R_1$  se tiene:

$$I_{PTAT} = \frac{\Delta V_{EB}}{R_1} = \frac{n V_T \ln\left(\frac{I_{PTAT}}{I_S}\right)}{R_1} \quad (3.2.2)$$

=

A una temperatura ambiente de  $27^\circ C$  (300 K) y con  $n = 24$ , se tiene (3.2.3)

que:

$$1 \mu A = \frac{0,0259 \cdot 3,178}{R_1}$$

Por lo tanto:  $R_1 = 7,87 \text{ k}\Omega$

$$\diamond_1 = 82.3 \diamond \Omega$$

(3.2.4)



El objetivo es lograr un valor de  $\beta_{eff}$  que sea lo menor posible, sin embargo, reducir  $\beta_{eff}$  implica

aumentar  $L_1$  y, por consiguiente, su área.

### 3.3. Diseño del espejo de corriente principal

En base al valor de  $I_{ref} = 1 \mu A$ , se diseña el espejo de corriente PMOS para que en cada rama entregue  $1 \mu A$ . En la Tabla 3.3 se encuentran los parámetros de los procesos CMOS para TSMC 180 nm (*Taiwan Semiconductor Manufacturing Company*).

Tabla 3.3 – Parámetros de procesos CMOS para TSMC 180 nm.

		PMOS	
$L_1$ ( $\mu m$ )	$W_1$ ( $\mu m$ )	$\mu_{eff}$ (V)	$\beta_{eff}$
10	2	443,2	70,7
10	5	429	70,1
10	10	424,3	69,7

En base al valor de  $\beta_{eff}$ , se diseña el espejo de corriente PMOS para que en cada rama haya una

corriente de  $1 \mu A$ . En base a la Tabla 3.3, se elige  $\beta_{eff} = 70 \mu A/V^2$ , además se diseña el circuito con un  $V_{GS} = 150 mV$ , para que los PMOS se encuentren en la región de inversión fuerte y así la dependencia de  $I_D$  con  $V_{GS}$  sea mínima.

$$\beta_{eff} = \frac{1}{2} \mu_{eff} \left[ \left( \frac{W_1}{L_1} - \left| \frac{V_{GS} - V_{th}}{V_{GS}} \right| \right)^2 (1 + \lambda V_{GS}) \right] \quad (3.3.1)$$

$$\frac{W_1}{L_1} = x$$

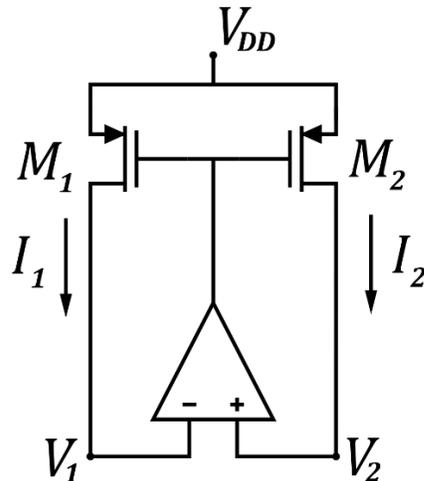


Figura 3.3.1. Espejo de corriente PMOS (Imagen propia)

El factor  $(1 + \frac{V_{ov1}}{V_{ov2}})$  produce modulación de longitud de canal, sus efectos se están despreciando. Al reemplazar los valores se tiene:

$$1 \mu\text{A} = \frac{1}{2} \frac{(70 \mu\text{A}) \left( \frac{V_{ov1}}{V_{ov2}} \right) [(150 \text{mV})^2]}{V_{ov2}^2} \quad (3.3.2)$$

Luego, se despeja  $\frac{V_{ov1}}{V_{ov2}}$ :

$$\frac{V_{ov1}}{V_{ov2}} = 1.27 \approx 1.2$$

Elegir  $\frac{V_{ov1}}{V_{ov2}} \approx 1.2$ , es indistinto de elegir 1.3, pues el objetivo de este cálculo es apreciar el

comportamiento del circuito ante los efectos de dicho factor. Con  $\frac{V_{ov1}}{V_{ov2}} = 1.2$  o 1.3 se

introduce un error debido a que la ecuación 3.3.1 no incluye todos los parámetros que el simulador sí. A causa de los efectos de fabricación  $\mu_{n1} \neq \mu_{n2}$  (mismatch  $\mu_{n}$ ), por lo que  $I_{D1} \neq I_{D2}$ , no obstante, las corrientes tienen un valor bastante cercano (cuatro decimales de precisión), lo cual se

comprobará en las simulaciones.

### 3.3.1. Simulación de $I_{P_{A}}$

En la Figura 3.4 se tiene la simulación de  $\frac{v_{vn}}{v_{vp}}$ , en vista de que ante distintos valores de  $\frac{v_{vn}}{v_{vp}}$

habrá distintos valores en las ramas del espejo de corriente, se concluye que el circuito operará apropiadamente en un solo punto.

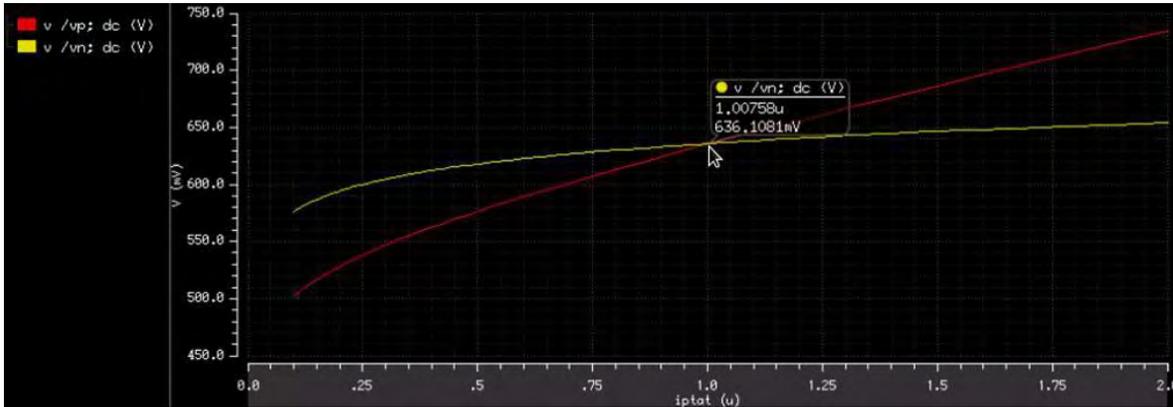


Figura 3.3.2.  $\frac{v_{vp}}{v_{vn}}$  y  $\frac{v_{vn}}{v_{vp}}$  vs  $\frac{v_{vn}}{v_{vp}}$  PMOS (Cadence Virtuoso)

### 3.3.2. Simulaciones del punto de operación

Esta primera simulación se realizó con el valor calculado del factor  $\frac{v_{vn}}{v_{vp}} = 1.2$

A continu



$I_{D1} = 1.02 \mu A$	$I_{D2} = 1.02 \mu A$
$V_{D1} = 581.99 \text{ mV}$	$V_{D2} = 581.99 \text{ mV}$
$ V_{D1D2}  = 466.43$	$ V_{D2D1}  = 466.43$
$V_{D3} = 115.56 \text{ mV}$	$V_{D4} = 115.56 \text{ mV}$

Se observa que el valor de  $V_{D3} = 115.56 \text{ mV} \neq 150 \text{ mV}$ , esto se debe a que el simulador considera

más parámetros que la ecuación 3.3.1. Para obtener  $V_{D3} = 150 \text{ mV}$ , solo hace falta recalcular

$\alpha/\alpha$ . De acuerdo con la ecuación 3.3.1, si la corriente permanece constante, es posible

establecer la siguiente relación:

$$\frac{I_{D1}^2}{I_{D2}^2} = \frac{V_{D1}}{V_{D2}} \tag{3.3.2}$$

$$\frac{1.02^2}{1.02^2} = \frac{V_{D1}}{V_{D2}} \tag{3.3.3}$$

$$\frac{150^2}{115.56^2} = \frac{V_{D1}'}{V_{D2}'}$$

$$V_{D1}' = 0.71 \approx 0.7 \tag{3.3.4}$$

Con este nuevo valor, se vuelve a simular el circuito.

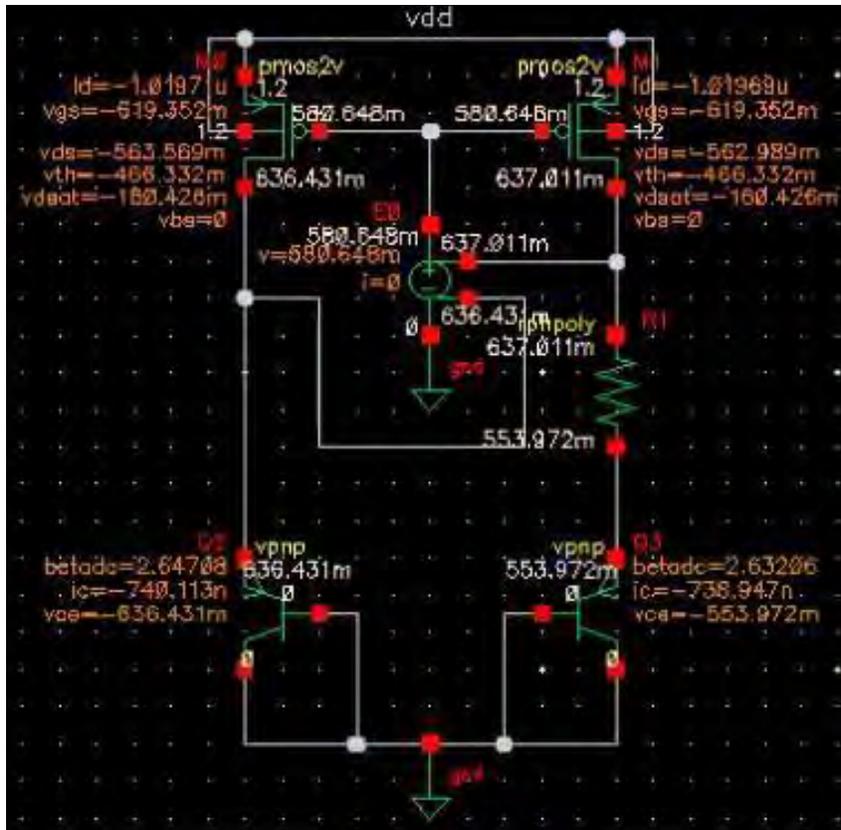


Figura 3.3.4. Punto de operación con  $\frac{W_1}{W_2} = 0.7$ . (Cadence Virtuoso) Tabla 3.5 – Resultados de la simulación con  $\frac{W_1}{W_2} = 0.7$ .

Rama izquierda ( $\diamond_1$ )	Rama derecha ( $\diamond_2$ )
$\diamond_{11} = 1.02 \mu\text{A}$	$\diamond_{21} = 1.02 \mu\text{A}$
$\diamond_{12} = 619.35 \text{ mV}$	$\diamond_{22} = 619.35 \text{ mV}$
$ \diamond_{13}  = 466.43$	$ \diamond_{23}  = 466.43$
$\diamond_{14} = 153.02 \text{ mV}$	$\diamond_{24} = 153.02 \text{ mV}$

Con este nuevo valor de  $\frac{W_1}{W_2}$ , sí se obtiene el  $\diamond_{11}$  que se calculó, esto debido a que la

relación cuadrática es mucho más preponderante.

### 3.4. Determinación de $\frac{W_1}{W_2}$

Para poder calcular  $\alpha_2$ , es necesario obtener la relación  $\alpha_2/\alpha_1$ . Como se describió en el

capítulo

1, el circuito de tensión de referencia por *bandgap* busca cancelar dos coeficientes de temperatura.

Se emplearán las ecuaciones 2.1.9 y 2.1.13 y 2.2.5 para igualar las tensiones PTAT y CTAT y

calcular  $\alpha_2/\alpha_1$ .

$$\frac{V_{ref}}{T} = \frac{V_{ref0}}{T_0} + \frac{\alpha_2}{\alpha_1} \ln\left(\frac{T}{T_0}\right)$$

Se deriva respecto a T y se iguala a 0, implicando que los coeficientes de temperatura se cancelan.

$$\frac{\partial}{\partial T} \left( \frac{V_{ref}}{T} \right) = 0 \quad (3.4.1)$$

$$\frac{\partial V_{ref}}{\partial T} \frac{1}{T} - \frac{V_{ref}}{T^2} = 0$$

$$\left[ \frac{\alpha_2}{\alpha_1} \frac{1}{T} \right] + \left[ \frac{V_{ref0}}{T_0} - \frac{V_{ref}}{T} \right] = 0$$

Considerando que  $\alpha_2/\alpha_1 = 635 \text{ mV}$  (de acuerdo con las simulaciones),  $V_{ref0} = 1.205 \text{ V}$ ,  $T_0 = 300 \text{ K}$ ,

$$q \approx 1.6 \cdot 10^{-19} \text{ C}, \quad k \approx 1.38 \cdot 10^{-23} \text{ J/K}, \quad \gamma = 3.2, \quad n = 24.$$

$$\left[ \frac{0.635 - 1.205}{300} - \frac{(3.2)(1.38 \cdot 10^{-23})}{1.6 \cdot 10^{-19}} \right] + \left[ \frac{\alpha_2}{\alpha_1} \frac{1}{300} - \frac{1.205}{300} \right] = 0 \quad (3.4.2)$$

$$\frac{\alpha_2}{\alpha_1} = 7.94$$

Para verificar este resultado, se simulará el TC (coeficiente de temperatura) vs.  $\alpha_2/\alpha_1$ . Se observa (Figura 3.4.1) que el coeficiente de temperatura alcanza un valor mínimo de 7.801 ppm/°C cuando  $\alpha_2/\alpha_1 = 7.512$ . El coeficiente de temperatura en la realidad siempre tiene un valor distinto de cero. Se observa que el valor de la simulación es muy cercano al calculado

matemáticamente, la diferencia existente puede deberse a los parámetros adicionales que el simulador considera.



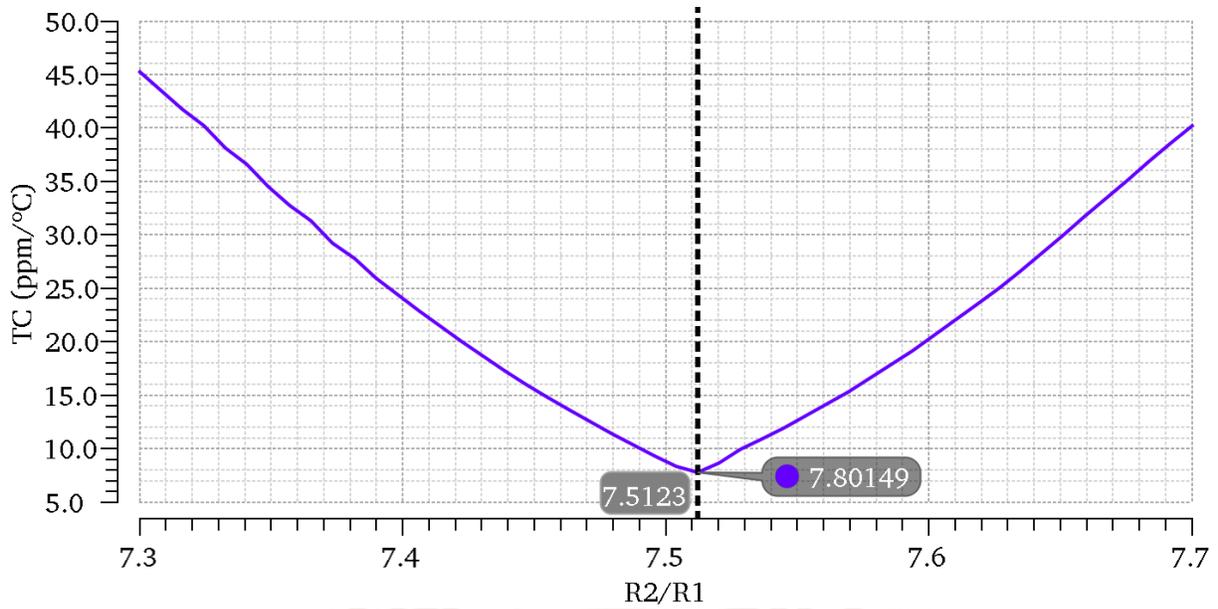


Figura 3.4.1. TC vs  $R_2/R_1$

### 3.5. $I_{\text{A}}$ – Cálculo de



Con la relación  $R_2/R_1 = 7.525$ , se calcula  $R_2$ , pues el valor de  $R_1 \approx 80 \Omega$

$$R_2 = (7.525)(80 \cdot 10^3) \approx 602 \Omega \quad (3.5.1)$$

Luego se simulan las corrientes  $I_{\text{A}}$  e  $I_{\text{B}}$  (Figura 3.5.1)

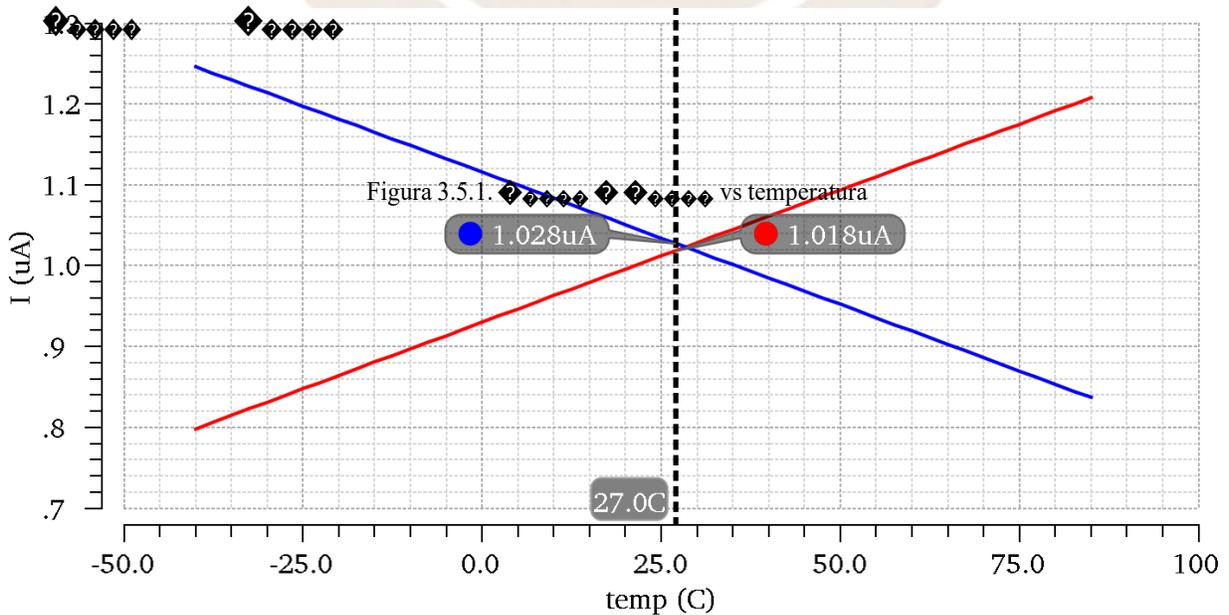
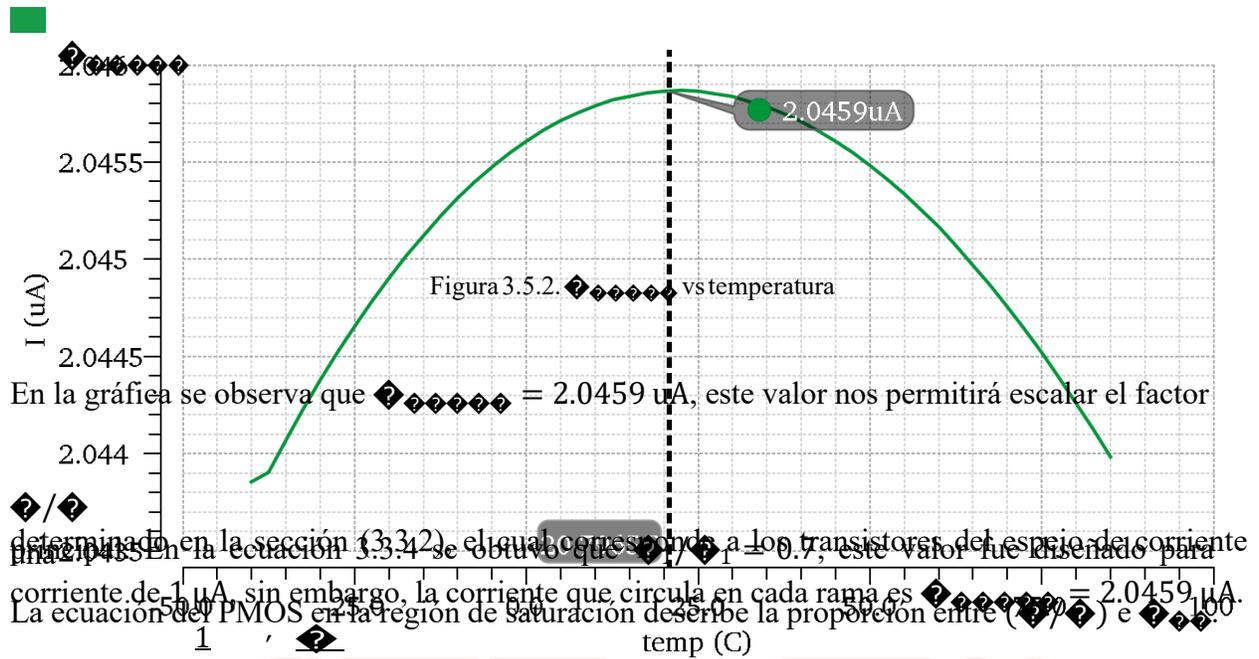


Figura 3.5.1.  $I_{\text{A}}$  e  $I_{\text{B}}$  vs temperatura

Se observa que aproximadamente a 27 °C alcanzan el mismo valor (el coeficiente de temperatura se cancela).



$$\frac{I_1}{I_2} = \frac{W_1}{W_2} \left( \frac{V_{GS1} - V_{th}}{V_{GS2} - V_{th}} \right)^2, \text{ entonces se tiene:}$$

$$\frac{2.0459}{1} = \frac{W_1}{W_2} \left( \frac{1.7 - 0.7}{1.7 - 0.7} \right)^2$$

→

$$2.0459 \frac{W_1}{W_2} = (0.7)(2.0459 \cdot 10) = 1.43213$$

$$\therefore \frac{W_1}{W_2} \approx 1.5$$

(3.5.2)

$$\frac{W_1}{W_2}$$

### 3.6. Diseño del amplificador operacional (amplificador de error – amplificador diferencial)

En las Figuras 3.5 y 3.6 se observa que la tensión en el drenador de los PMOS es 636 mV, 637 mV. En las nuevas simulaciones la tensión es 635 mV, este valor permite calcular los rangos de las tensiones de los MOSFET del opamp para que operen en la región de saturación con un margen que les permita mantenerse estables.

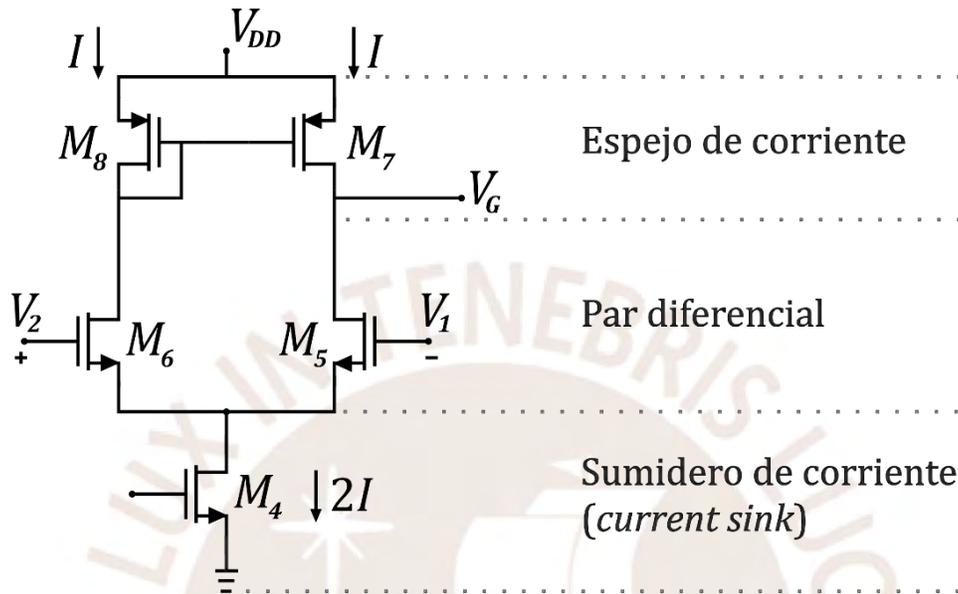


Figura 3.6.1. Amplificador de error de una etapa (amplificador diferencial) (Imagen propia)

En trabajos como [11], la topología de los amplificadores de error de una etapa (*single-stage*) está dada por: una fuente de corriente PMOS en la parte superior, seguido del par diferencial PMOS y en la parte inferior un espejo de corriente NMOS, debido a que el rango de valores que puede tomar

◆<sub>1</sub> es más amplio sin salir de la región de saturación. Sin embargo, para el propósito del amplificador operacional de esta tesis, la topología que se ha empleado permite aumentar el PSRR, tal como se demostró en la ecuación 2.3.19. en el capítulo 2. Esta topología puede encontrarse en trabajos como [35] y [36].

### 3.6.1. Elección de $V_{GS4}$

A partir de las simulaciones del punto de operación en la sección 3.3.2, se pudo determinar que:

$V_{GS4} = 635$  mV. Teniendo en cuenta la relación:  $V_{GS4} + V_{GS6} < 635$  mV. Los

transistores  $M_6$ ,

$M_5$  y  $M_4$  deben diseñarse de modo que permanezcan en la región de saturación. De acuerdo

con

trabajos revisados en el estado del arte

### 3.6.2. Diseño del par diferencial

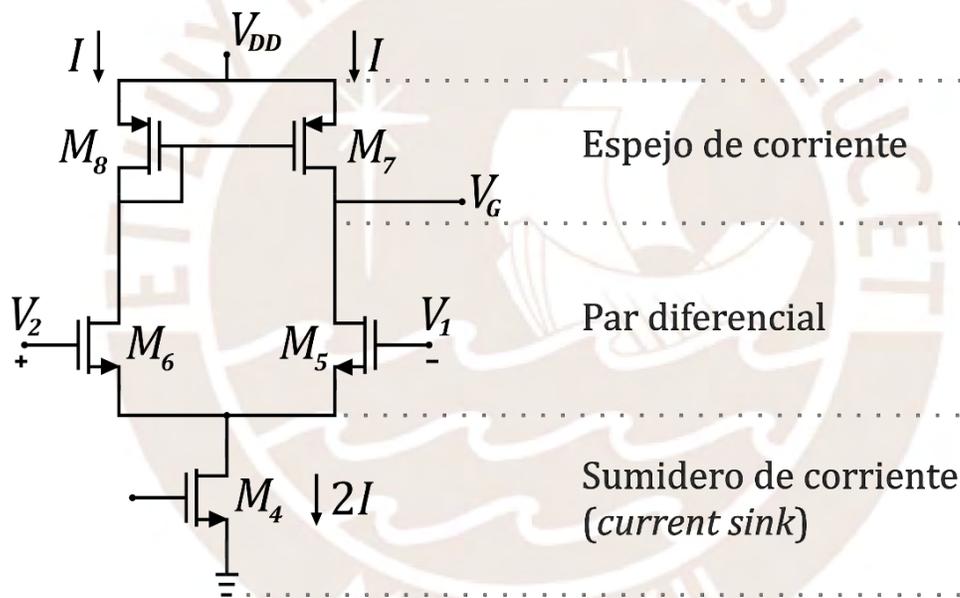


Figura 3.6.2. amplificador de error basado en un par diferencial (Imagen propia)

Entonces se tiene que:

$$V_{GS6} + 150 < 635 \quad (3.6.1)$$

$$V_{GS6} < 485$$

Por lo tanto, para que el transistor tenga un margen de tensión que le permita mantenerse estable en la región de saturación, arbitrariamente se elige:

$$V_{GS6} = 400$$

Con este valor se tiene un margen de 85   y se mejora el PSRR.



Con la ecuación 3.6.2 se calculará la relación  $V_{BE}/I_{BQ}$ , considerando  $V_{BE} = 480 \text{ mV}$  se tiene:

$$\frac{V_{BE6} - V_{BE}}{I_{BQ6}} = \frac{400 \text{ mV} - 480 \text{ mV}}{I_{BQ6}} = -80 \text{ mV} \quad (3.6.2)$$

$$I_{BQ6} = \frac{V_{BE6} - V_{BE}}{-80 \text{ mV}}$$

$$I_{BQ6} = \frac{400 \text{ mV} - 480 \text{ mV}}{-80 \text{ mV}}$$

$$I_{BQ6} = 0.025 \text{ mA}^{-1}$$

Para verificar este resultado se tabulan valores (Tabla 3.6) en el simulador para hallar  $V_{BE}/I_{BQ}$

con más precisión.

Tabla 3.6 – Simulación de parámetros de transistores a distintos  $V_{BE}$

$V_{BE}$	$I_{BQ}$	$V_{BE} - V_{BE}$	$V_{BE}/I_{BQ}$	$V_{BE}^2$
20,00	1	-142,98	26,71	45,62
10,00	2	-84,82	23,41	50,83
6,67	3	-48,56	21,04	59,22
5,00	4	-19,96	19,09	68,63
4,00	5	4,60	17,39	78,59
3,33	6	26,66	15,91	88,87
2,86	7	47,02	14,62	99,32
2,50	8	66,23	13,49	109,91
2,22	9	84,62	12,49	120,62
2,00	10	102,43	11,61	131,43
1,82	11	119,56	10,83	142,26
1,67	12	136,40	10,14	153,20
1,54	13	152,96	9,51	164,19
1,43	14	169,39	8,95	175,29
1,33	15	185,52	8,44	186,35
1,25	16	201,54	7,98	197,46
1,18	17	217,34	7,57	208,91
1,11	18	233,02	7,19	220,54
1,05	19	248,64	6,85	232,24

A partir de la Tabla 3.6, para un  $V_{BE} - V_{BE} = -80 \text{ mV}$ , se tiene que:

$$\frac{I_{C6}}{I_{C5}} = 23$$

$$g_{m6} \approx 23 \text{ V}^{-1}$$

El valor teórico coincide con el simulado. A mayores valores de transconductancia el ruido disminuye, y el ancho de banda aumenta.

La frecuencia de corte del opamp está definida por:

$$\frac{1}{2\pi f_c} = \frac{C_{in}}{g_{m6}}, \quad \frac{1}{2\pi f_c} = \frac{250 \text{ pF}}{g_{m6}} = 1 \text{ MHz}$$

$$g_{m6} = \frac{I_{C6}}{V_T} = \frac{1.57 \mu\text{S}}{1.57 \cdot 10^{-6}} = 68 \text{ nA}$$

$$I_{C6} = 23$$

$$I_{C5} = 68 \text{ nA}$$

Entonces la corriente en el transistor  $T_4$  es el doble:

Cualquier corriente mayor, dará mejores resultados, por lo tanto:

$$I_{C5} = 150 \text{ nA} \tag{3.6.3}$$

En los espejos de corriente. En el espejo de corriente principal se tiene una relación tan grande significa que, si se tuviera una corriente de 150 nA, entonces la relación del número de transistores para ese escalamiento en la copia de corriente debería ser de:

$$\frac{2 \mu\text{A}}{150 \text{ nA}} \approx 14$$

Por consiguiente, en la rama de menor corriente habría 1 transistor y 14 transistores en la rama de mayor corriente. Esto ocasiona malos resultados debido al *mismatch* de los transistores, además de ocasionar problemas en el *layout*. Por consiguiente, se escalará  $I_{D6}$  a 500 nA, reduciendo la relación a 8.

Mediante simulaciones, se puede obtener la relación entre  $I_{D6}$  y  $I_{D5}$ , asumiendo un  $I_{D6} = 1 \mu\text{m}$

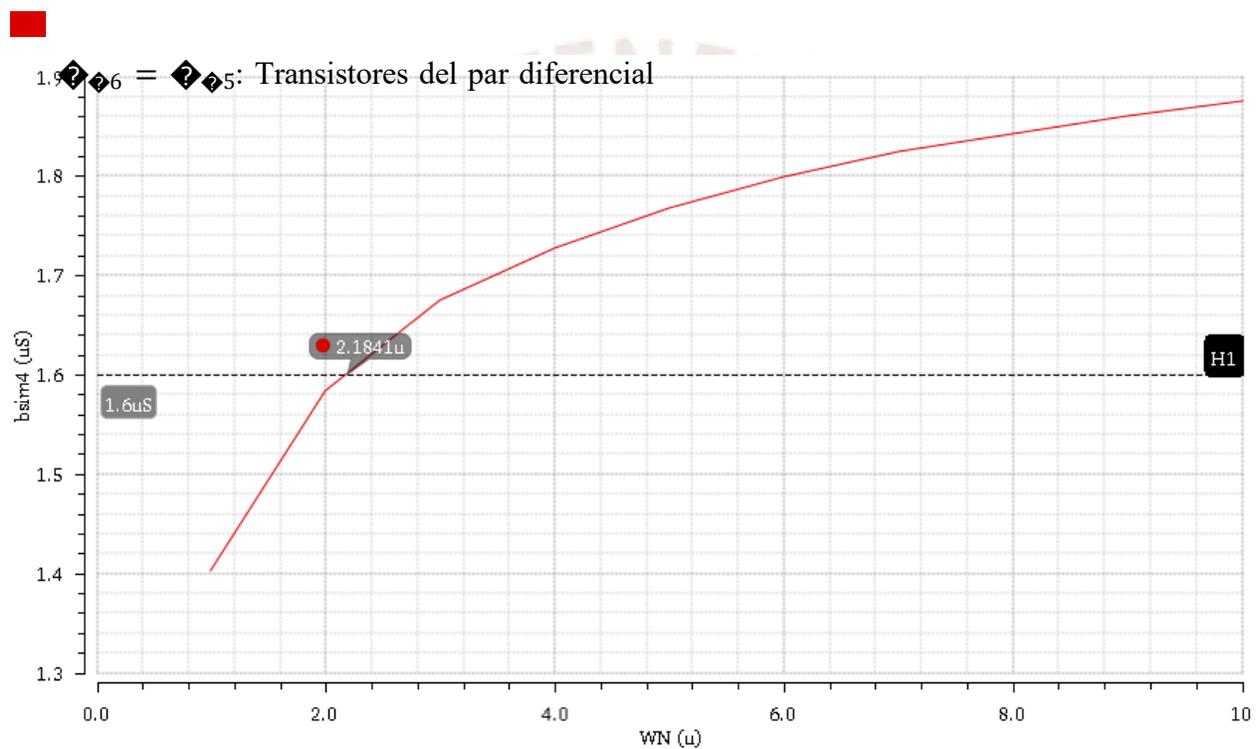


Figura 3.6.3. Transistores del par diferencial vs ancho de canal (W) (Imagen propia)

$$I_{D6} = 2.18$$

$$I_{D6}$$

Por lo tanto, si  $I_{D6} = 1 \mu\text{m}$ , entonces:

$$I_{D6} = 2.18 \mu\text{m}$$

### 3.6.3. Diseño del *current sink* del amplificador operacional

A partir de la Tabla, y considerando que  $V_{BE} = 150 \text{ mV}$

$$\frac{I_{C4}}{I_{B4}}$$

$$\approx 9.5 \text{ V}^{-1}$$

$$I_{C4} = 9.5 \cdot 150 \text{ n} = 1.425 \text{ } \mu\text{S}$$

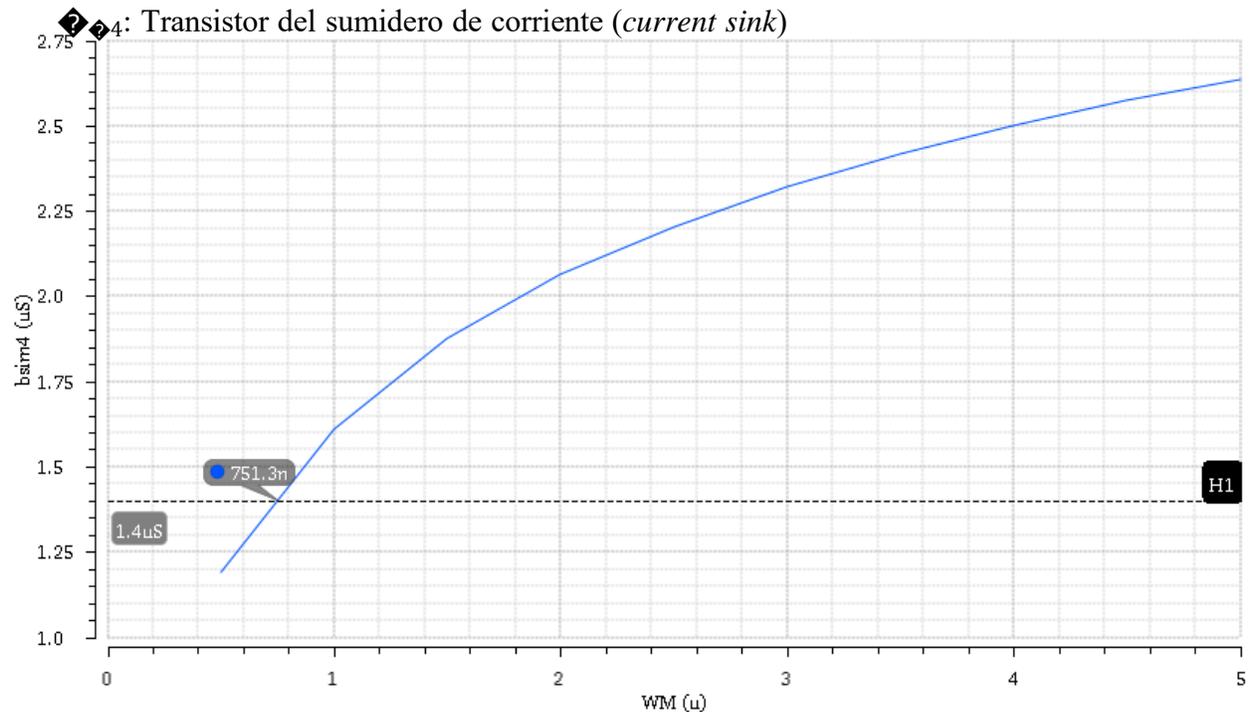


Figura 3.6.4. Transistor del sumidero de corriente (Imagen propia)

A partir del gráfico se obtiene:

$$W_4 = 0.75 \text{ } \mu\text{m}$$

### 3.6.4. Diseño del espejo de corriente

En el diseño del *current sink* se obtuvo que  $I_{C4} = 500 \text{ nA}$ , entonces en cada rama del opamp se tendrá  $250 \text{ nA}$ . Además, en la sección 3.3 se obtuvo que  $I_2/I_1 = 1.5$ , sin embargo, este valor correspondía para un  $I_{C4} = 150 \text{ nA}$ , para corresponder este escalamiento en corriente, se debe escalar  $I_2/I_1$ , según:

$$\frac{W_2}{W_1} = \frac{500}{150} = \frac{10}{3}$$

$$W_1 = \frac{10}{3}$$

$$W_1 = 3 \cdot 1.5 = 5$$

En las simulaciones se verificó que  $W_2/W_1 = 4$  permite obtener valores más cercanos a los diseñados. Es importante mencionar que debido a que la corriente tiene un factor de escalamiento de 8:1, se colocan 8 transistores en paralelo para generar el mismo efecto que colocar un transistor con un W 8 veces mayor. Con estas consideraciones, se obtiene:

Para el espejo de corriente principal  $Q_1, Q_2$ :

$$W_1 = W_2 = 5 \mu\text{m}, \text{ multiplier} = 8 \text{ (8 transistores en paralelo)}$$

$$W_1 = W_2 = 10 \mu\text{m}$$

Para el espejo de corriente del opamp:  $Q_8, Q_7$ :

$$W_8 = W_7 = 5 \mu\text{m}$$

$$W_8 = W_7 = 10 \mu\text{m}$$

### 3.7. Diseño del subcircuito de *Start-up*

El propósito del subcircuito de *start-up* es llevar al circuito al punto de operación, cuando el circuito funciona apropiadamente, el start-up deja de realizar su función.

Cuando el circuito completo se energiza, la tensión de *gate* del espejo de corriente aumenta su valor desde 0, cuando esta tensión alcanza un valor demasiado alto, el circuito de start-up hace que. En el momento en que el circuito se energiza, la tensión de *gate* aumenta hasta que alcanza

un valor elevado, el circuito de *start-up* hace que el transistor  $Q_{16}$  entre en la región de corte para que la tensión de *gate* disminuya y se llegue al punto de operación. Los transistores  $Q_{14}$  y  $Q_{15}$  actúan como resistencias de *pull-down*. Finalmente, el PMOS  $Q_{13}$  regula la tensión de *gate* del espejo de corriente principal.

$$L_{16} = 1.1 \mu\text{m}$$

$$L_{16} = 3 \mu\text{m}$$

$$L_{14} = L_{15} = 0.5 \mu\text{m}$$

$$L_{14} = L_{15} = 18 \mu\text{m}$$

$$L_{13} = 5 \mu\text{m}$$

$$L_{13} = 1 \mu\text{m}$$

### 3.8. Diseño del subcircuito de polarización por réplica (*Replica biasing circuit*)

Funciona de manera similar a una configuración de espejo cascado, busca colocar en los drenadores del espejo de corriente del *current sink* (transistores  $M_4$  y  $M_9$ ) los mismos tensiones para que la copia de corriente tenga más precisión. Debido a que el subcircuito busca replicar el

$M_{10}$  obtiene ese nombre. Por consiguiente, los transistores  $M_{10}$  y  $M_{11}$  deben tener las mismas dimensiones que  $M_5$  y  $M_6$ . De manera similar  $M_9$  y  $M_4$  deben tener las mismas

dimensiones. Sin embargo, esto es cierto si se desea que las corrientes de espejo estén en la proporción 1:1. En este caso, se hará que las corrientes estén en la relación de 2:1 ( $M_9$  respecto a  $M_4$ ).

Las dimensiones de  $M_4$  fueron halladas en la sección 3.6.3

$$L_4 = 0.75 \mu\text{m}$$

$$L_4 = 1 \mu\text{m}$$

En la sección 3.6.4 se concluyó que el factor de escalamiento  $10/3$ , entonces:

$$L_4 = 0.75 \frac{10}{3} = 2.5 \mu\text{m} \approx 3 \mu\text{m}$$

$$L_4 = 1 \mu\text{m}$$

Se está escalando, manteniendo  $L$  constante para no reducir el valor de  $\beta_{eff}$  pues para tener un PSRR

elevado,  $\beta_{eff}$  debe ser un valor grande.

Para  $\diamond_9$ , se busca que la corriente que conduce sea el doble de la corriente de  $\diamond_4$ , entonces esto

se

resuelve colocando en el software Cadence Virtuoso un factor de *multiplier=2*, lo cual significa colocar 2 transistores en paralelo.

Las dimensiones de  $\diamond_9$  son las mismas de  $\diamond_4$ :

$$\diamond_9 = 3 \mu\text{m} \quad \diamond_9 = 1 \mu\text{m}$$

De igual modo  $\diamond_{10}$  y  $\diamond_{11}$  tienen las mismas dimensiones que  $\diamond_5$  y  $\diamond_6$  con un *multiplier=2*. Sin embargo, debido al escalamiento que se hizo debido a  $\diamond_{10}$  y  $\diamond_{11}$ , primero las dimensiones deben escalar por  $10/3$ , entonces de la sección 3.6.2:

$$\diamond_6 = (2.18 \mu\text{m}) \frac{10}{3} = 7.27 \mu\text{m} \approx 8 \mu\text{m}$$

$$\diamond_6 = 1 \mu\text{m}$$

Sin embargo, se utilizará un  $\diamond_6 = 4 \mu\text{m}$  con un *multiplier=2*, por lo tanto, se tiene que:

$$\diamond_5 = \diamond_6 = \diamond_{10} = \diamond_{11} = 4 \mu\text{m}$$

$$\diamond_5 = \diamond_6 = \diamond_{10} = \diamond_{11} = 1 \mu\text{m}$$

### 3.9. Diseño del Filtro Pasa Bajo en la salida

Tal como se mencionó en el capítulo 1, el PSRR decae a altas frecuencias, por lo que una solución común es filtrar la tensión de salida con un filtro pasa bajo. En base a la revisión de los trabajos del estado del arte, la frecuencia en la que el PSRR obtiene su mínimo valor se encuentra entre 100 KHz y 1 MHz. En el circuito de esta tesis, el mínimo valor se alcanzó a 165 kHz.

$$\diamond_2 = \frac{1}{2\pi(\diamond^3)\diamond} \rightarrow 165 \text{ kHz} = \frac{1}{2\pi(387.441 \text{ k}\Omega)\diamond}$$

$$\diamond = 2.48 \cdot 10^{-12} \text{ F} = 2.48 \text{ pF} \approx 2.51867 \text{ pF}$$

La capacitancia en Cadence se obtiene dimensionando longitudes de metal y óxido, de modo que

### 3.10. Dimensiones finales de los transistores CMOS

Luego del proceso de diseño, se tiene a continuación las dimensiones de los transistores:

Tabla 3.7 – Dimensiones de los transistores

No.	Tipo	$\diamond$ ( $\mu\text{m}$ )	$\blacklozenge$ ( $\mu\text{m}$ )	Multiplier (M)
$\diamond_1$	PMOS	5	10	8
$\diamond_2$	PMOS	5	10	8
$\diamond_3$	PMOS	5	10	4
$\diamond_4$	NMOS	3	1	1
$\diamond_5$	NMOS	4	1	2
$\diamond_6$	NMOS	4	1	2
$\diamond_7$	PMOS	5	10	1
$\diamond_8$	PMOS	5	10	1
$\diamond_9$	NMOS	3	1	2
$\diamond_{10}$	NMOS	4	1	4
$\diamond_{11}$	NMOS	4	1	4
$\diamond_{12}$	PMOS	5	10	4
$\diamond_{13}$	PMOS	5	1	1
$\diamond_{14}$	NMOS	0.5	18	1
$\diamond_{15}$	NMOS	0.5	18	1
$\diamond_{16}$	PMOS	1.1	3	1

Nota: Para el circuito que opera nominalmente a 1 V, se realizaron modificaciones que permiten aumentar el PSRR

con 1 V de alimentación. Se aumentaron  $\diamond_{\diamond_4}$  y  $\diamond_{\diamond_9}$  de 1  $\mu\text{m}$  a 4  $\mu\text{m}$  y el *multiplier* de  $\diamond_9$  se aumentó de 2 a 4.

### 3.11. Circuito esquemático final

A continuación, se tiene el circuito esquemático de la solución propuesta, se detallan todas las conexiones y junto a las dimensiones de la tabla anterior, se puede simular el circuito.

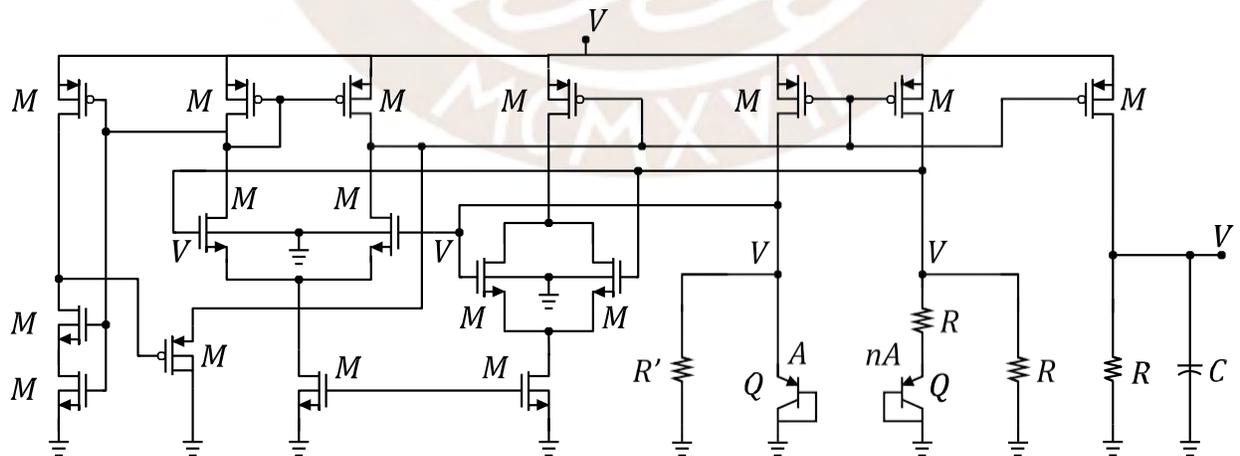


Figura 3.11.1. Circuito Esquemático Final (Imagen propia)

## CAPÍTULO 4: Simulaciones y resultados

En este capítulo se realizarán simulaciones para obtener los rangos de valores de la tensión de referencia, así como el coeficiente de temperatura y PSRR asociados. Existen tres tipos de simulaciones que convencionalmente son requeridas: *corners*, Montecarlo - *mismatch* y Montecarlo - *process*.

**Simulación de *corners*:** consiste en elegir los componentes del circuito y llevarlos a ciertas condiciones de fabricación extremas, si el circuito está correctamente diseñado para funcionar incluso dentro de estos márgenes, es posible que lo haga más lento o rápido, si por el contrario no funciona en lo absoluto, es porque el diseño es inadecuado.

**Simulaciones de Montecarlo:** corresponden a distribuciones estadísticas, las cuales analizan las variaciones producidas por *mismatch* y por **procesos**. El término *mismatch* hace referencia a la desigualdad de parámetros en componentes locales (en un chip), por ejemplo, los transistores en un espejo de corriente. Las variaciones por *mismatch* pueden considerarse como diferencia de parámetros a nivel interno de un circuito. Por otra parte, están las variaciones producidas por procesos (Montecarlo - *process*), las cuales son ocasionadas por las diferencias de parámetros de componentes cuando se comparan dos o más circuitos de un mismo lote (el mismo circuito), es decir, las diferencias de parámetros son de circuito a circuito (chip a chip). También se realizarán

las simulaciones ante un rango de valores de  y finalmente análisis transitorios para ver

la respuesta del circuito en el tiempo. Las simulaciones se realizarán con el software Cadence

Virtuoso Analog Design Environment con el simulador Spectre.

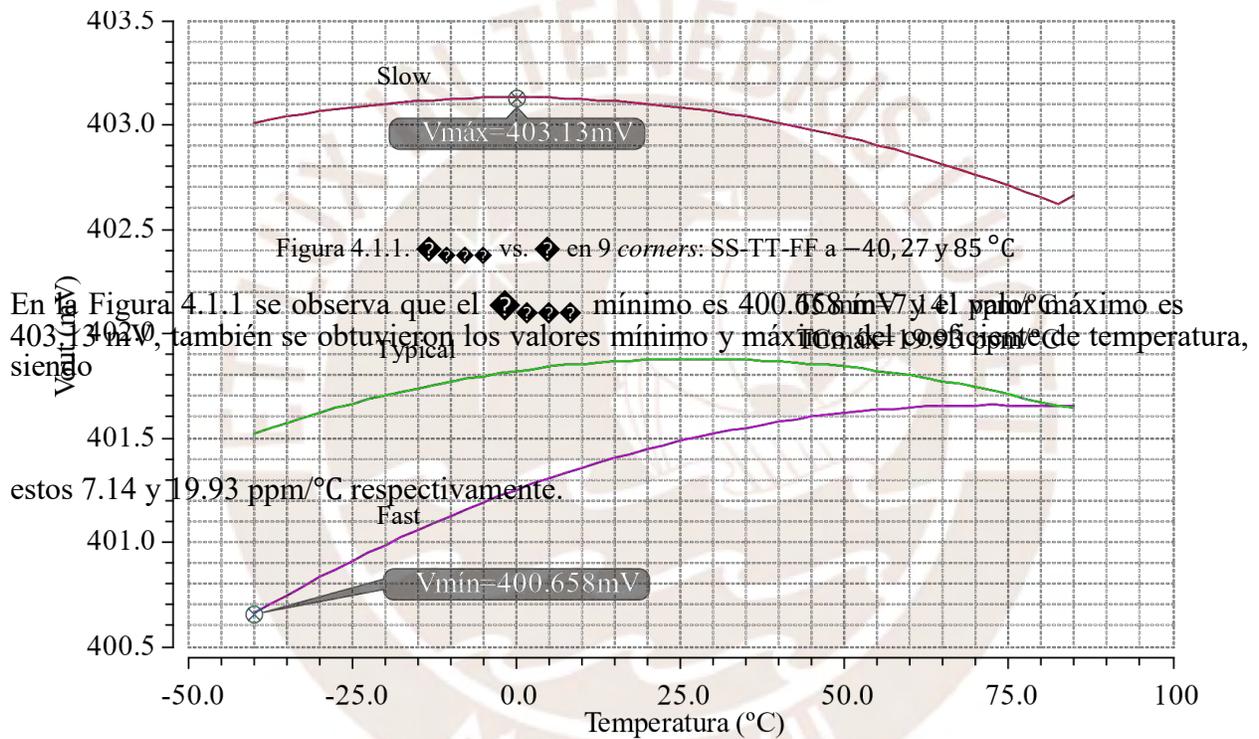
## 4.1. Simulaciones con 1.2 V de alimentación

### 4.1.1. Simulaciones de *corners*

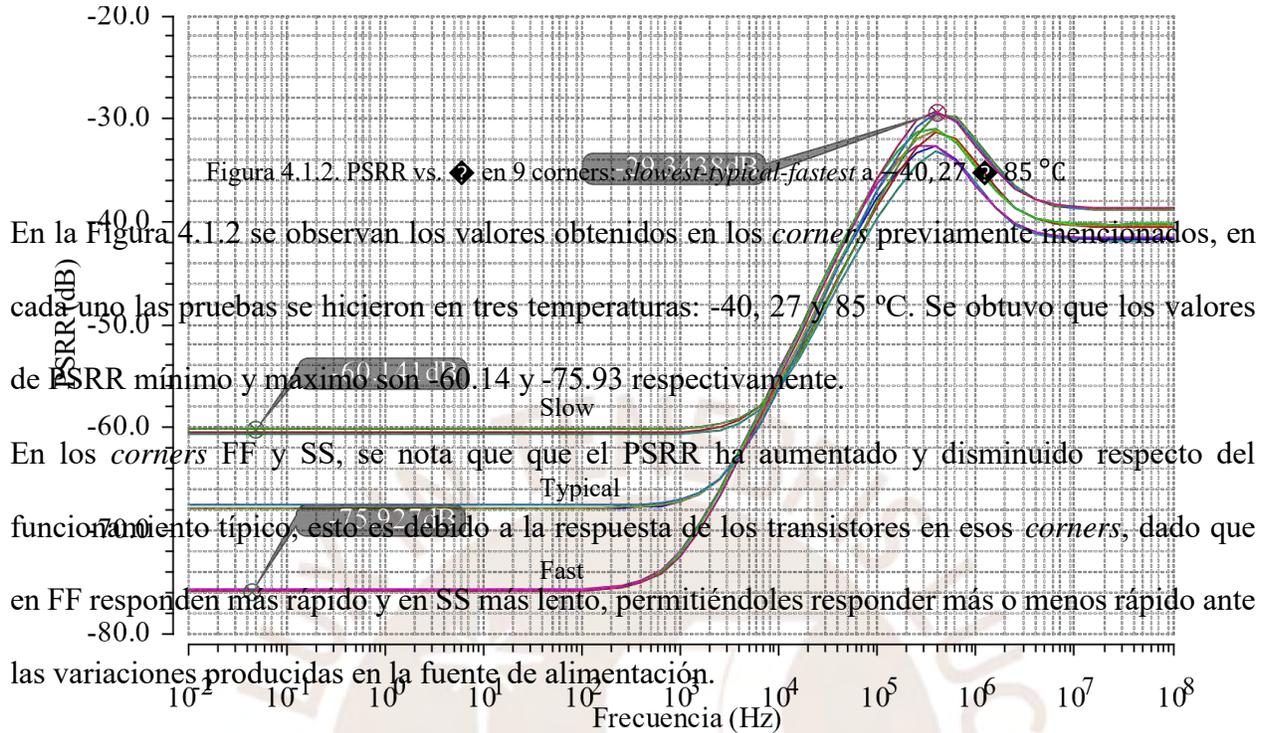
En esta simulación se busca que el circuito diseñado sea simulado a [0,85] °C. Se simuló en: SS

vs.  $\diamond$  y PSRR vs.  $\diamond$

a)  $V_{\diamond\diamond\diamond}$  vs  $\diamond$  @  $V_{\diamond\diamond} = \diamond.\diamond$  V



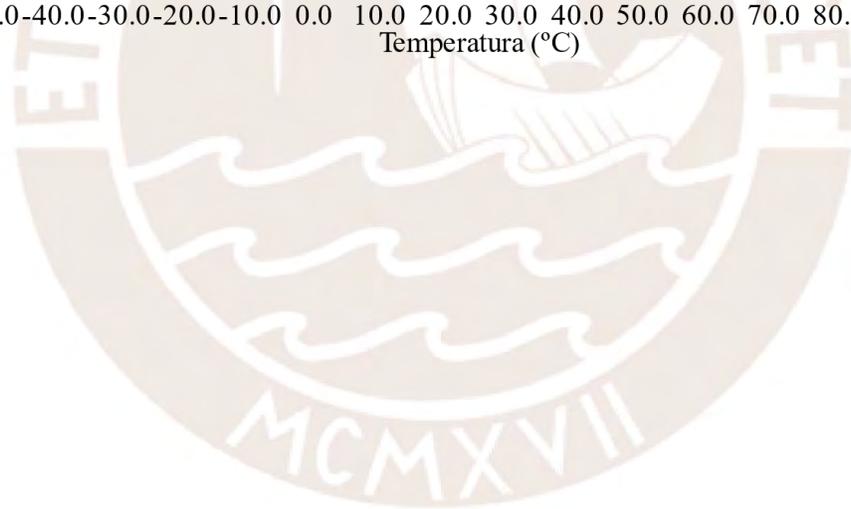
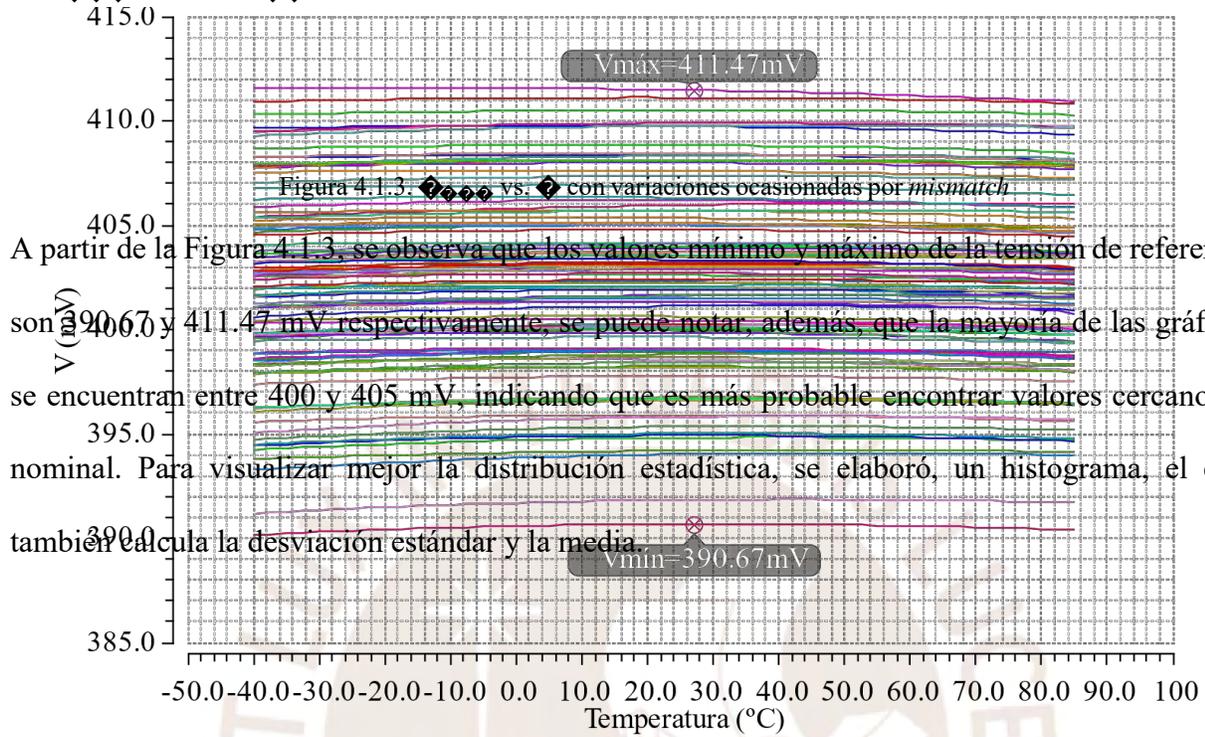
b)  $PSRR_{min}$  vs  $f$  @  $V_{DD} = 1.2 V$



Los valores obtenidos en las posteriores simulaciones (a  $1.2 V$ ) deberían estar comprendidos en el rango cuyos valores extremos son delimitados por las pruebas de *corners*.

### 4.1.2. Simulaciones de Montecarlo – mismatch

a)  $V_{\text{ref}}$  vs  $T$  @  $V_{\text{be}} = 0.7 \text{ V}$



b) Histograma de  $V_{DQD} @ V_{DD} = 1.2 V$

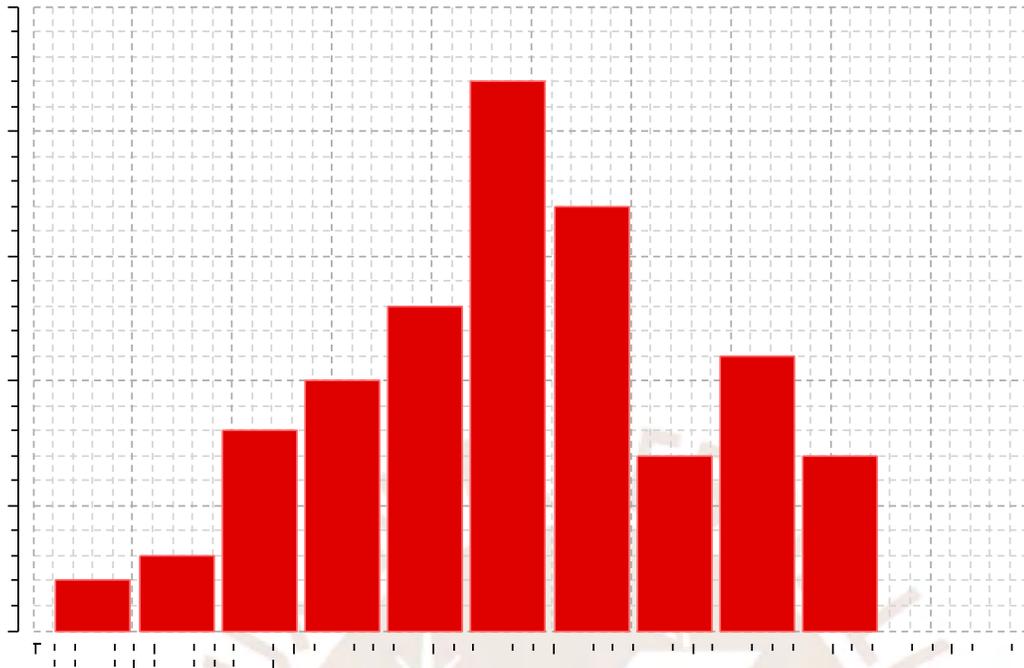
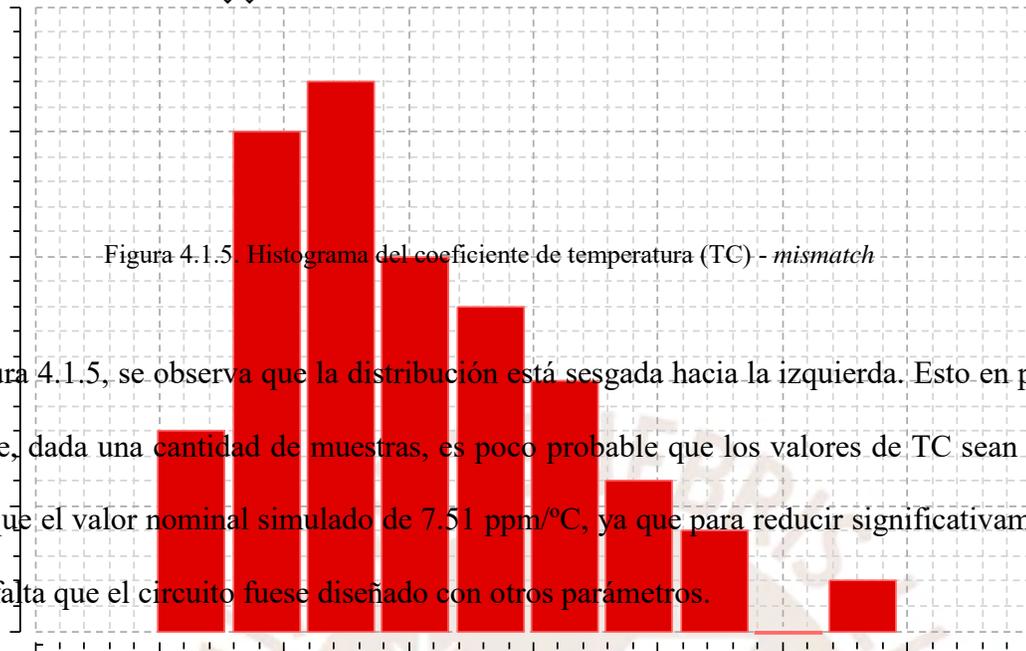


Figura 4.1.4. Histograma de  $V_{DQD} - mismatch$

En la Figura 4.1.4 se tiene el histograma de la simulación de Montecarlo para  $V_{DQD}$ , en donde la media es de 402.4 mV, este gráfico prueba que la mayoría de los valores de  $V_{DQD}$  están concentrados

alrededor de 402 mV, se puede observar una distribución normal.

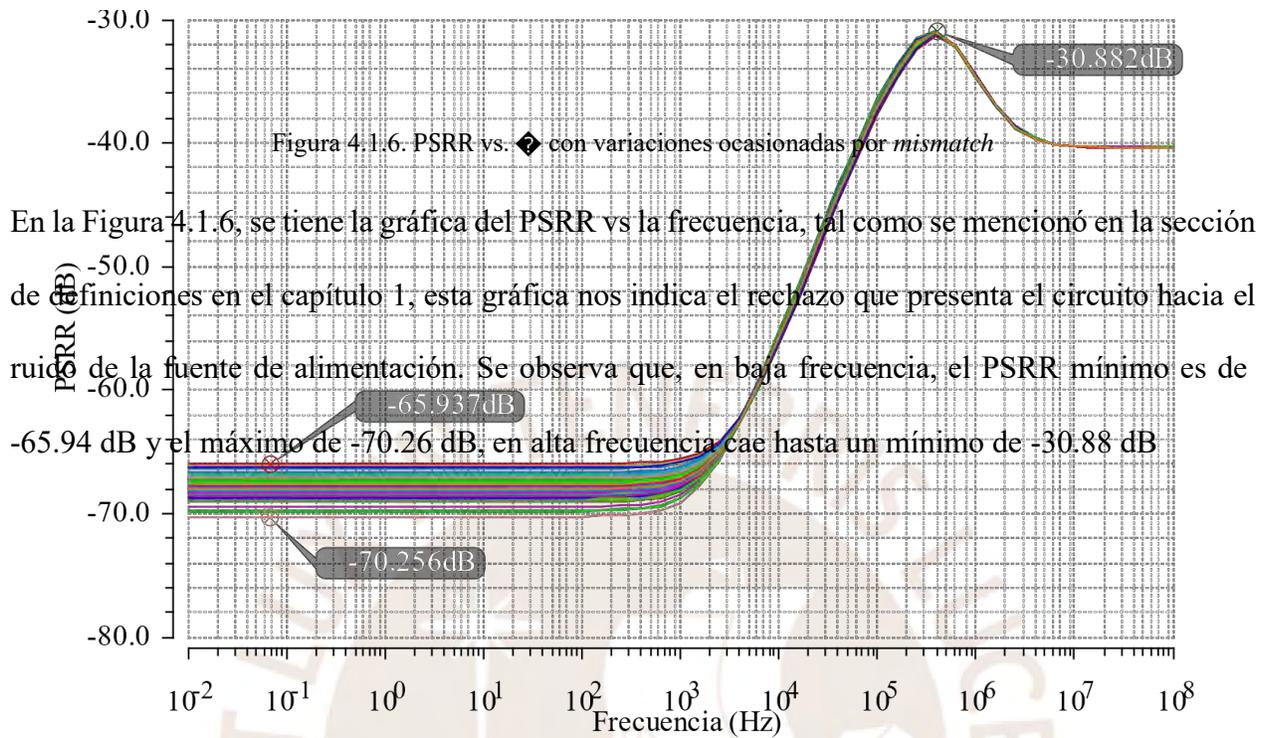
c) Histograma de TC @  $V_{DD} = 2.2V$



En la Figura 4.1.5, se observa que la distribución está sesgada hacia la izquierda. Esto en parte se debe a que, dada una cantidad de muestras, es poco probable que los valores de TC sean mucho menores que el valor nominal simulado de 7.51 ppm/°C, ya que para reducir significativamente el TC haría falta que el circuito fuese diseñado con otros parámetros.



d)  $P_{\text{PSRR}} \text{ vs } f @ V_{\text{in}} = 2.5 \text{ V}$



e) Histograma de  $P_{\text{PSRR}} @ V_{\text{in}} = 1.5 \text{ V}$

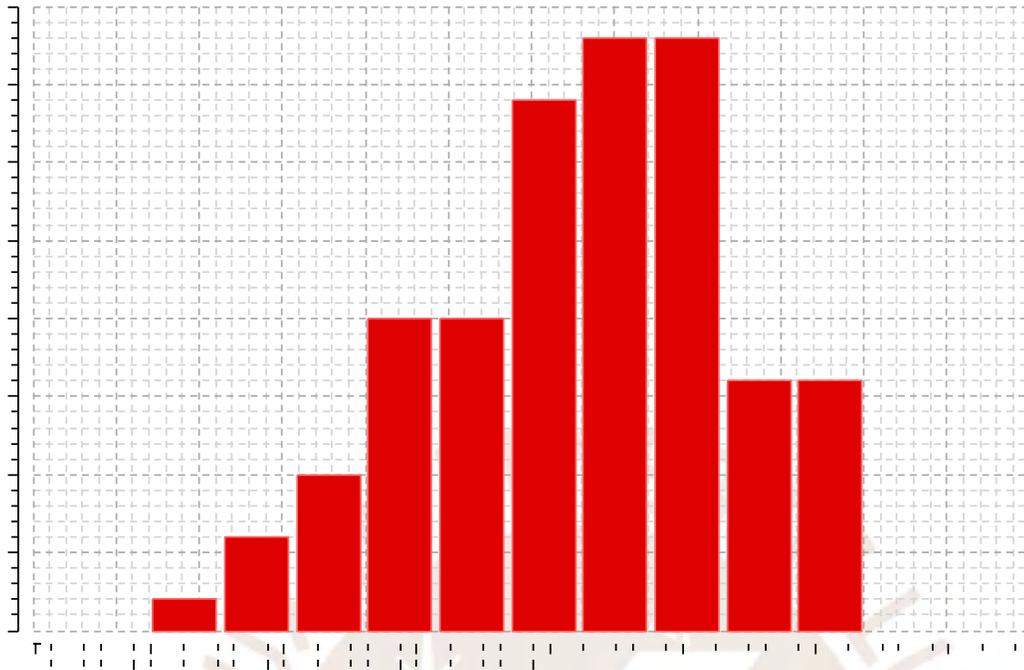
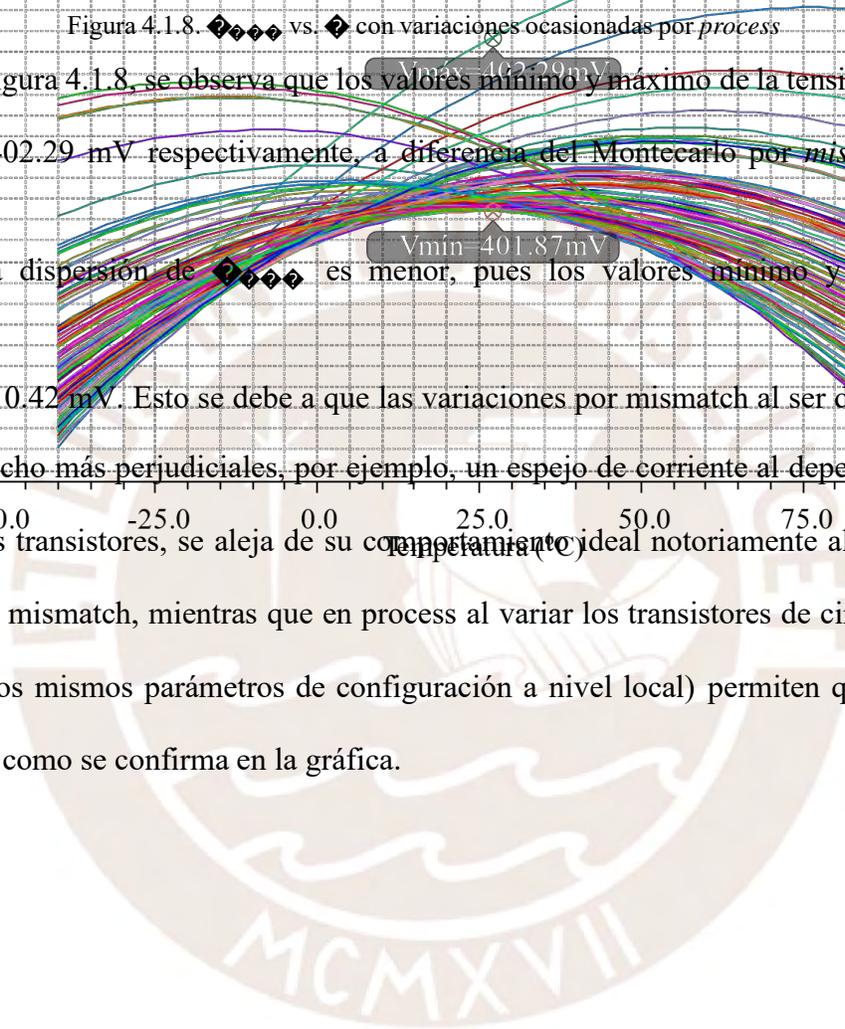
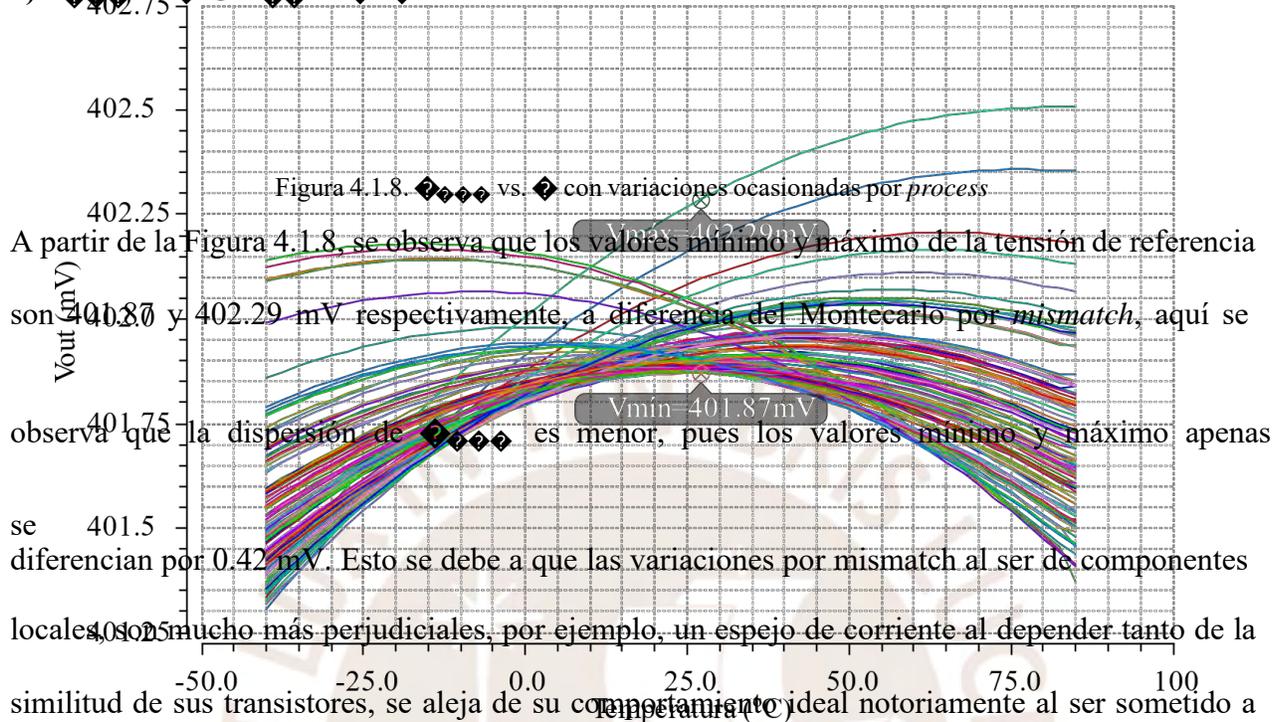


Figura 4.1.7. Histograma del PSRR – *mismatch*

En la Figura 4.1.7, se tiene el histograma del PSRR, se puede observar que sigue una distribución normal y que los valores mínimo y máximo son mayores a los -60 dB propuestos.

### 4.1.3. Simulaciones de Montecarlo - *process*

a)  $V_{out} vs T @ V_{in} = 2.2V$



b) Histograma de  $V_{\text{be}} @ V_{\text{ce}} = 2.2 \text{ V}$

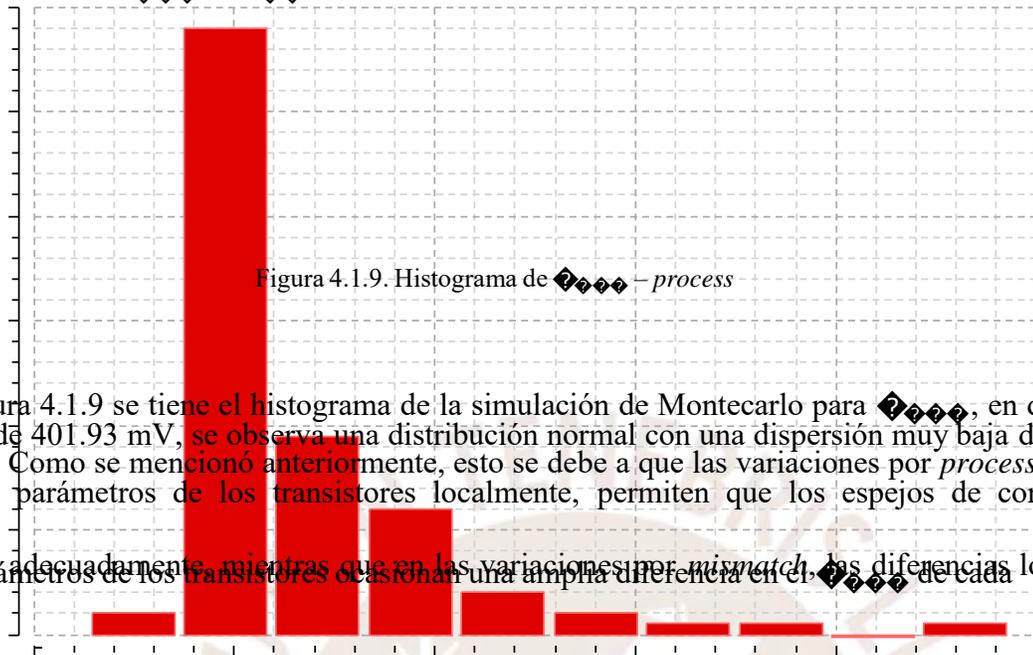


Figura 4.1.9. Histograma de  $V_{\text{be}}$  - process

En la Figura 4.1.9 se tiene el histograma de la simulación de Montecarlo para  $V_{\text{be}}$ , en donde la media es de 401.93 mV, se observa una distribución normal con una dispersión muy baja de solo 69.04  $\mu\text{V}$ . Como se mencionó anteriormente, esto se debe a que las variaciones por *process* al no variar los parámetros de los transistores localmente, permiten que los espejos de corriente funcionen adecuadamente, mientras que en las variaciones por *mismatch*, las diferencias locales en los parámetros de los transistores ocasionan una amplia diferencia en el  $V_{\text{be}}$  de cada muestra.



c) Histograma de TC @  $V_{DD} = 2.4 V$

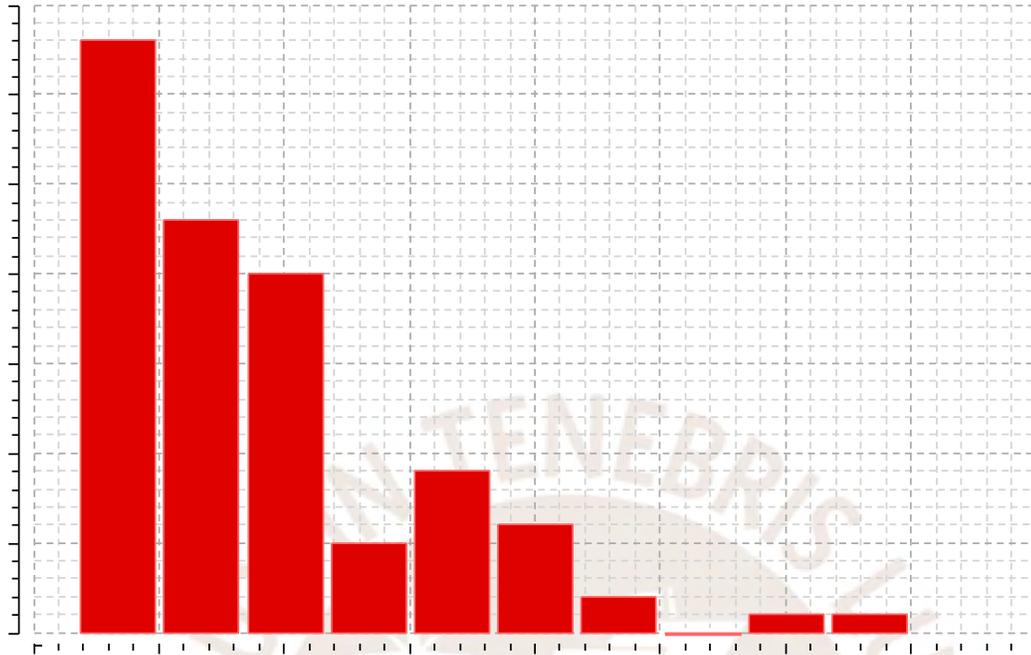
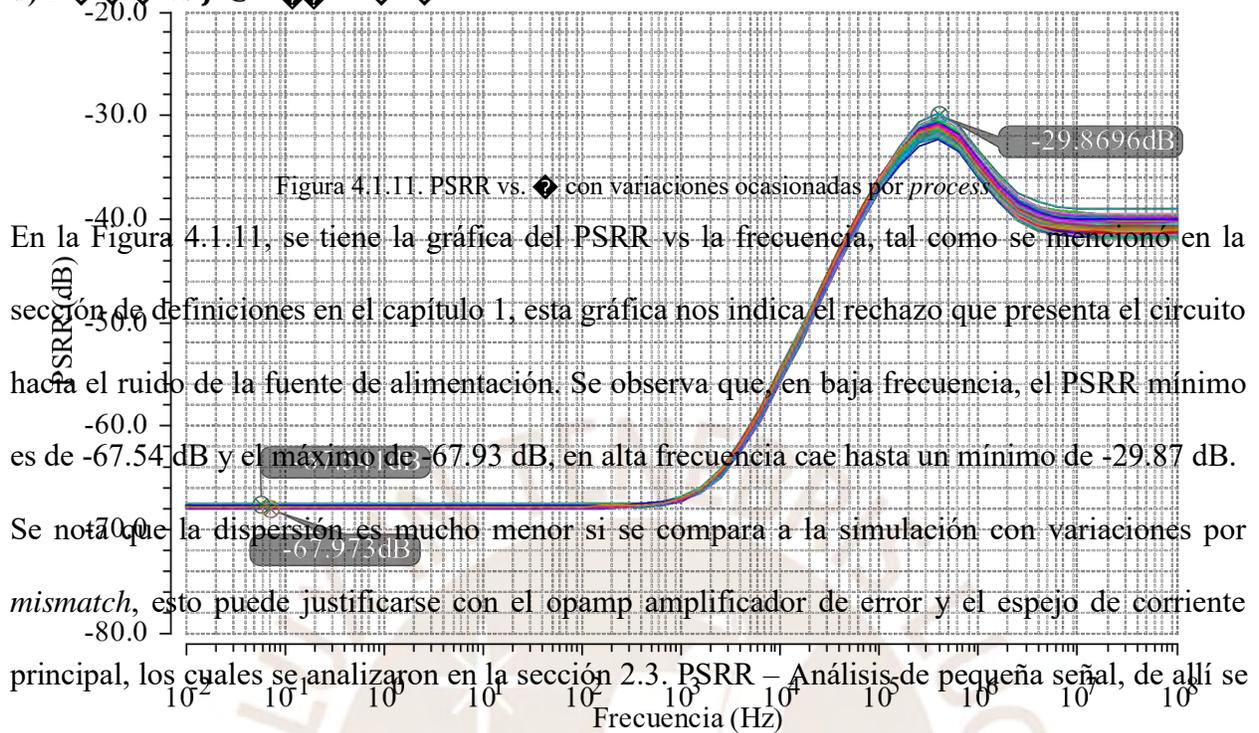


Figura 4.1.10. Histograma del coeficiente de temperatura (TC) – *process*

En la Figura 4.1.10, se observa que la distribución está sesgada hacia la izquierda. Esto en parte se debe a que, dada una cantidad de muestras, es poco probable que los valores de TC sean mucho menores que el valor nominal simulado de 7.51 ppm/°C, ya que para reducir significativamente el TC haría falta que el circuito fuese diseñado con otros parámetros.

d)  $PSRR$  vs  $f$  @  $V_{DD} = 2.5V$



En la Figura 4.1.11, se tiene la gráfica del PSRR vs la frecuencia, tal como se mencionó en la sección de definiciones en el capítulo 1, esta gráfica nos indica el rechazo que presenta el circuito hacia el ruido de la fuente de alimentación. Se observa que, en baja frecuencia, el PSRR mínimo es de -67.54 dB y el máximo de -67.93 dB, en alta frecuencia cae hasta un mínimo de -29.87 dB. Se nota que la dispersión es mucho menor si se compara a la simulación con variaciones por *mismatch*, esto puede justificarse con el opamp amplificador de error y el espejo de corriente principal, los cuales se analizaron en la sección 2.3. PSRR – Análisis de pequeña señal, de allí se entiende que estos subcircuitos dependen bastante de los transistores para asegurar un valor alto de PSRR, de modo que las variaciones por *mismatch* ocasionan un funcionamiento no óptimo, mientras que las variaciones de *process* no causan este problema.

e) Histograma de  $P_{\text{PSRR}} @ V_{\text{CM}} = 0.5 V$

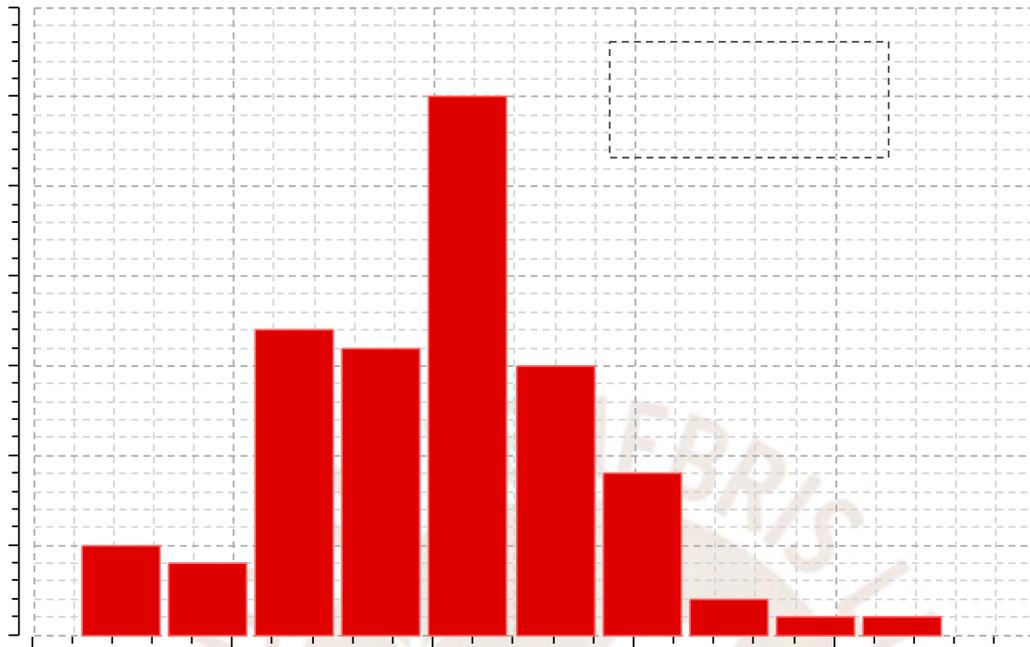


Figura 4.1.12. Histograma del PSRR – *process*

En la Figura 4.1.12, se tiene el histograma del PSRR, se puede observar que sigue una distribución normal y que los valores mínimo y máximo son mayores a los -60 dB propuestos. Si se le compara con el mismo gráfico de la simulación por *mismatch*, se tiene que la desviación estándar es 10 veces menor, esta menor dispersión se debe a que el opamp amplificador de error y el espejo de corriente principal, los cuales se analizaron en la sección 2.3. PSRR – Análisis de pequeña señal, de allí se concluye que estos subcircuitos dependen bastante de los transistores para asegurar un valor alto de PSRR, de modo que las variaciones por *mismatch* ocasionan un funcionamiento no óptimo, mientras que las variaciones de *process* no causan este problema.

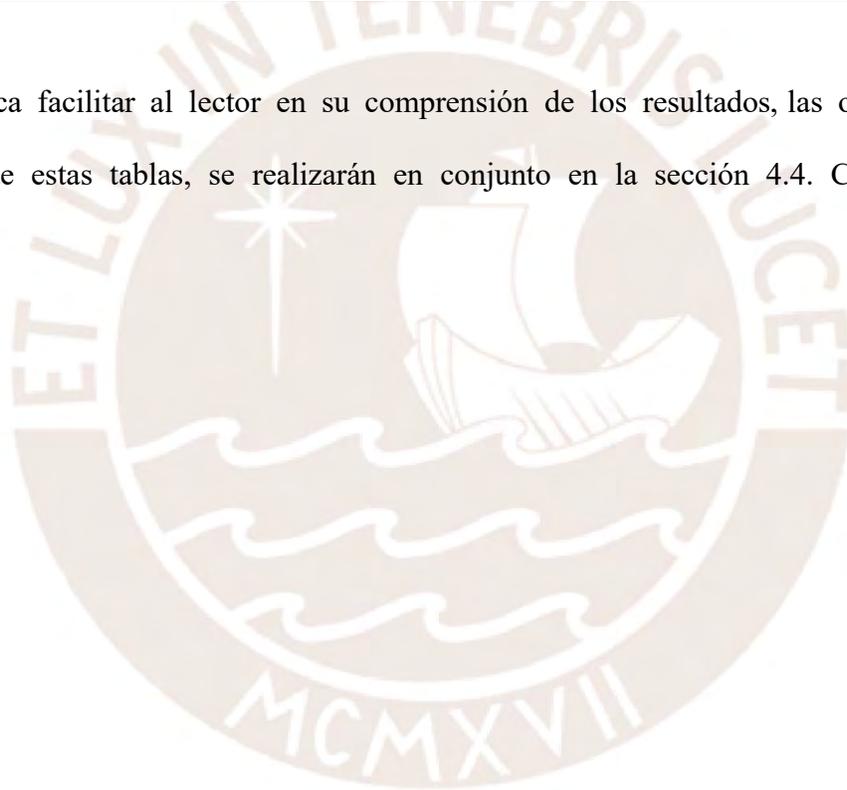
#### 4.1.4. Resultados de las simulaciones de Montecarlo a 1.2 V

La siguiente tabla contiene el resumen de los resultados obtenidos en las simulaciones a 1.2 V

Tabla 4.1 – Resultados de la simulación con 1.2 V de alimentación.

Resultado	Mismatch			Process		
	Máy	Mín	Media	Máy	Mín	Media
♦♦♦♦ (mV)	411.47	390.67	402.39	402.29	401.87	401.93
PSRR (dB)	-68.21	-67.65	-67.68	-67.97	-67.54	-67.79
TC (ppm/°C)	16.41	4.48	8.71	22.49	5.96	9.72

Esta tabla busca facilitar al lector en su comprensión de los resultados, las observaciones y conclusiones de estas tablas, se realizarán en conjunto en la sección 4.4. Comparación de Resultados.



#### 4.1.5. Simulación Transitoria (*Transient*)

Esta simulación permite visualizar el “arranque” del circuito al 400  $\mu\text{s}$  y a continuación se presenta la Figura 4.1.13, la cual ilustra el transiente durante los 400  $\mu\text{s}$  iniciales. Se configura tiempo de subida (ramp-up) de 100  $\mu\text{s}$ .

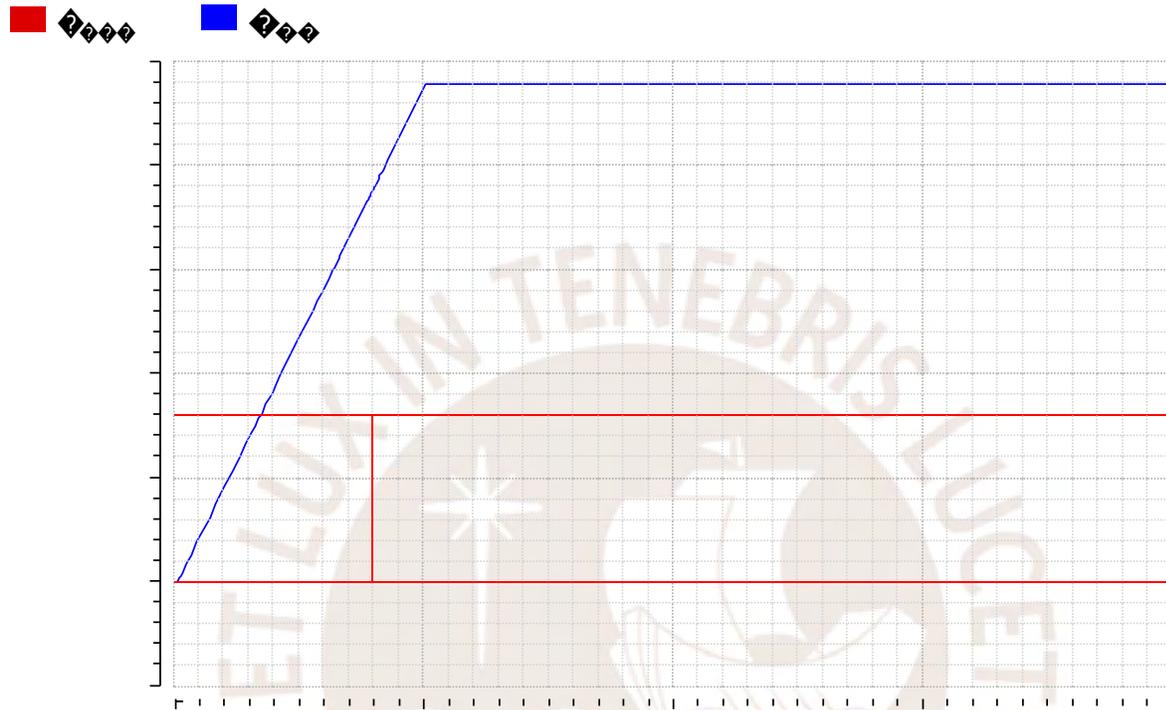


Figura 4.1.13. Simulación transitoria

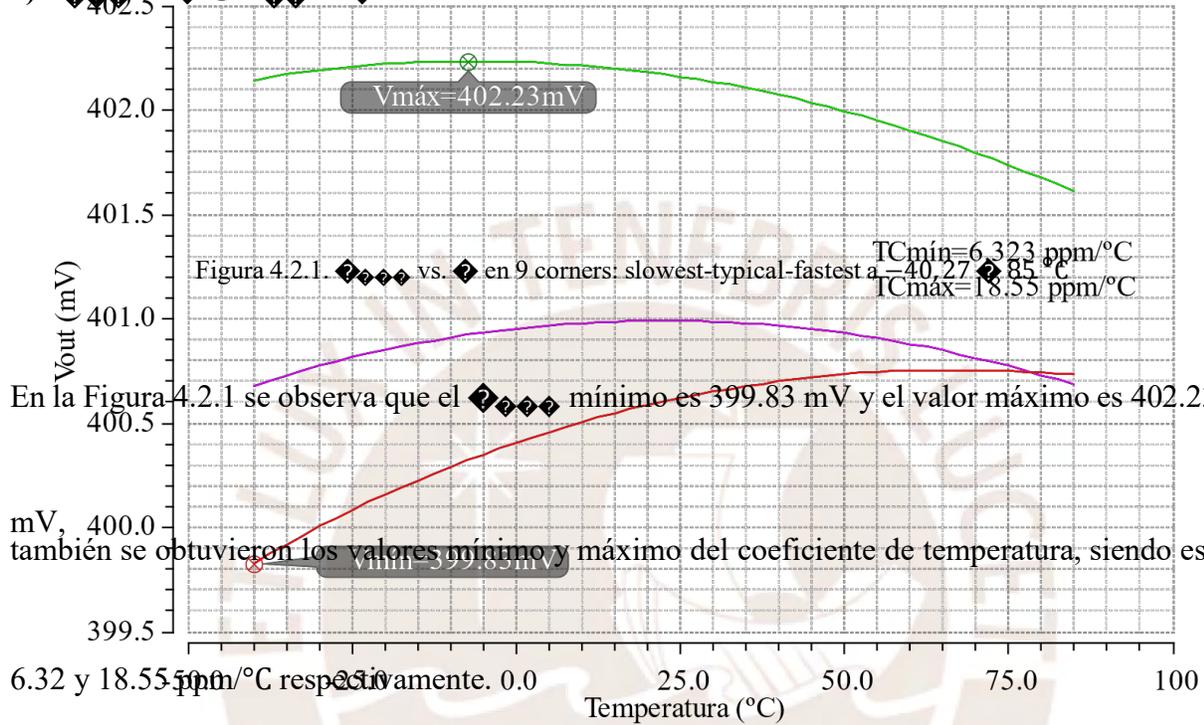
Se observa que  $\mu\text{s}$  (azul) va de 0 a 1.2 V y que cuando ha alcanzado los 0.95 V (aproximadamente a su valor nominal de 80  $\mu\text{s}$ ), la tensión de referencia  $\mu\text{s}$  llega a 400 mV.

## 4.2. Simulaciones con 1 V de alimentación

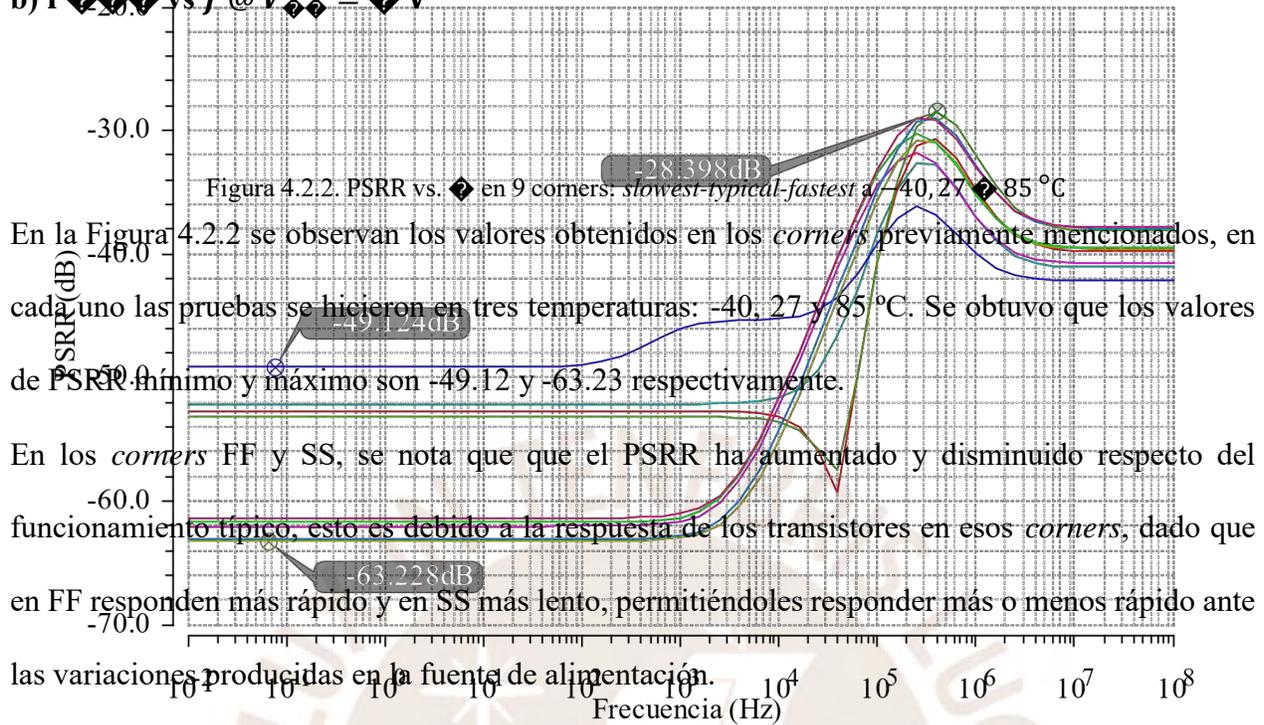
Para el circuito que opera nominalmente a 1 V, se realizaron modificaciones que permiten aumentar el PSRR. Se aumentaron  $R_4$  y  $R_9$  de 1  $\mu\text{m}$  a 4  $\mu\text{m}$  y el multiplier de  $R_9$  se aumento a

### 4.2.1. Simulaciones de *corners*

a)  $V_{out}$  vs  $T$  @  $V_{in} = 1$  V



b)  $PSRR$  vs  $f$  @  $V_{DD} = 1V$

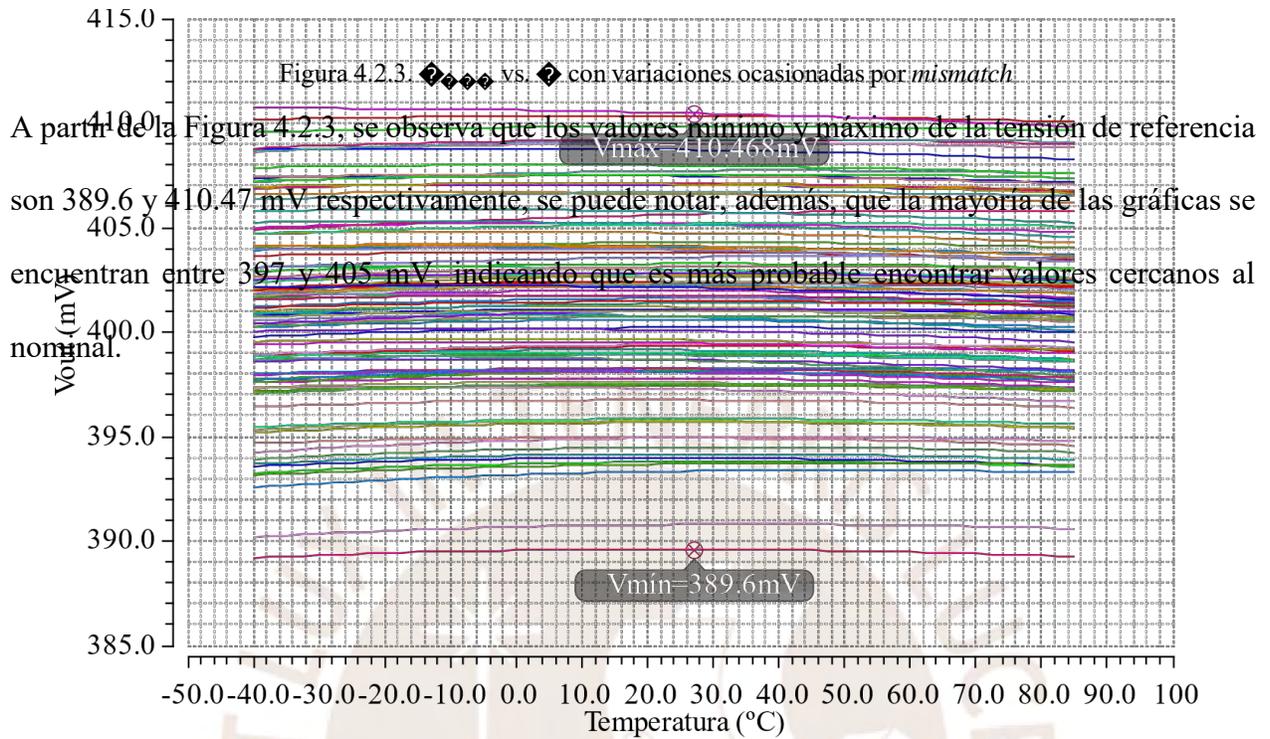


En la Figura 4.2.2 se observan los valores obtenidos en los *corners* previamente mencionados, en cada uno de las pruebas se hicieron en tres temperaturas:  $-40, 27$  y  $85^{\circ}C$ . Se obtuvo que los valores de PSRR mínimo y máximo son  $-49.12$  y  $-63.23$  respectivamente.

En los *corners* FF y SS, se nota que el PSRR ha aumentado y disminuido respecto del funcionamiento típico, esto es debido a la respuesta de los transistores en esos *corners*, dado que en FF responden más rápido y en SS más lento, permitiéndoles responder más o menos rápido ante las variaciones producidas en la fuente de alimentación.

Los valores obtenidos en las posteriores simulaciones (a 1 V) deberían estar comprendidos en el rango cuyos valores extremos son delimitados por las pruebas de *corners*.

## 4.2.2. Simulaciones de Montecarlo – Mismatch



b) Histograma de  $V_{\text{out}} @ V_{\text{in}} = 1 \text{ V}$

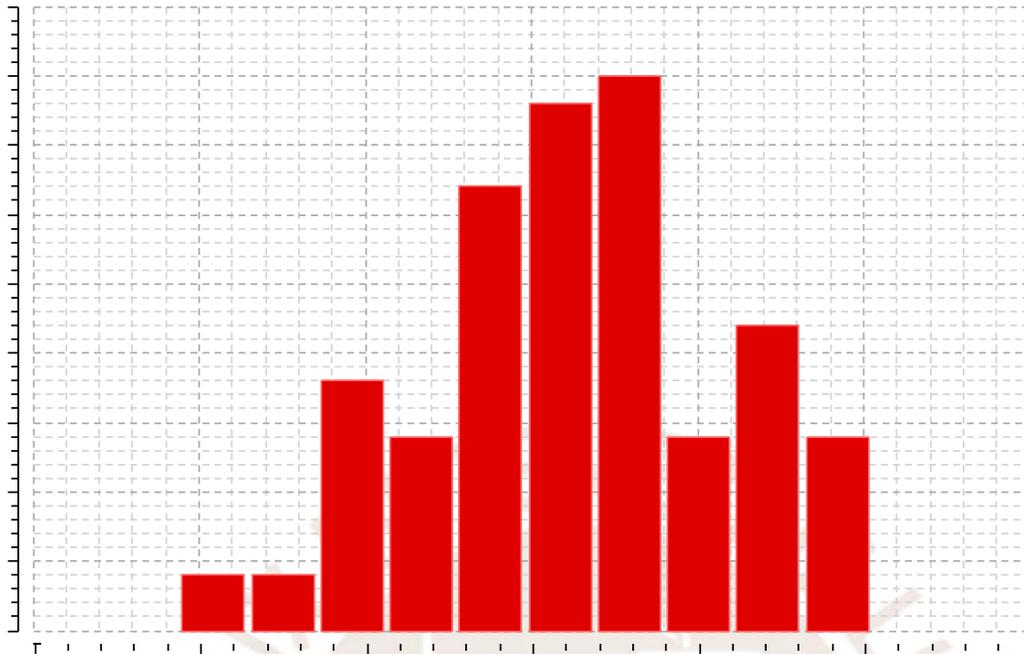
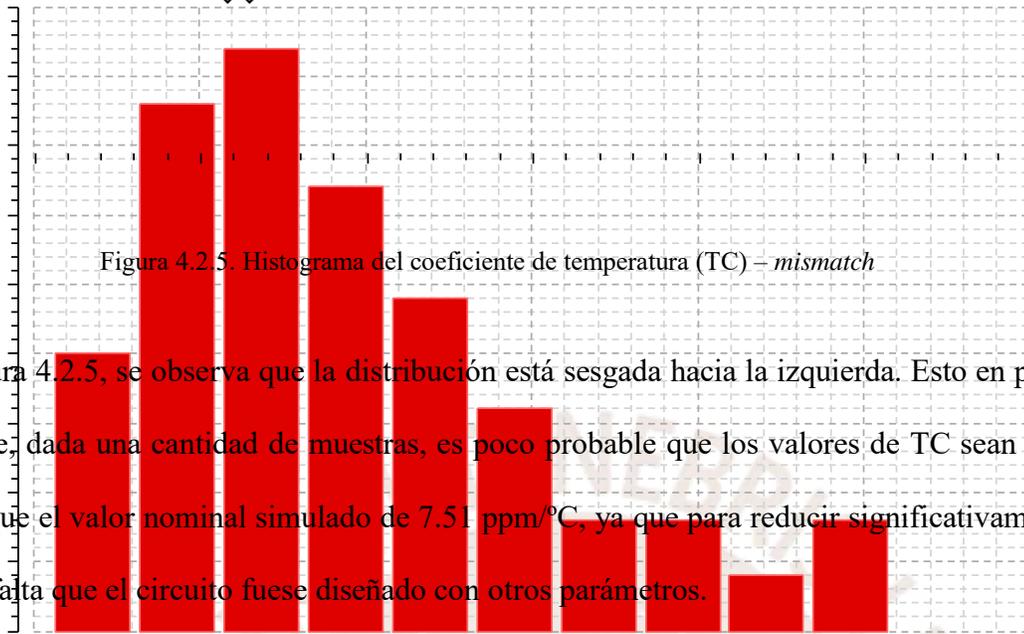


Figura 4.2.4. Histograma de  $V_{\text{out}} - mismatch$

En la Figura 4.2.4 se tiene el histograma de la simulación de Montecarlo para  $V_{\text{out}}$ , en donde la media es de 401.48 mV, este gráfico prueba que la mayoría de los valores de  $V_{\text{out}}$  están concentrados alrededor de la media, se puede observar una distribución normal. Debido a que la simulación es por *mismatch*, la dispersión es mayor a su contraparte por *process*

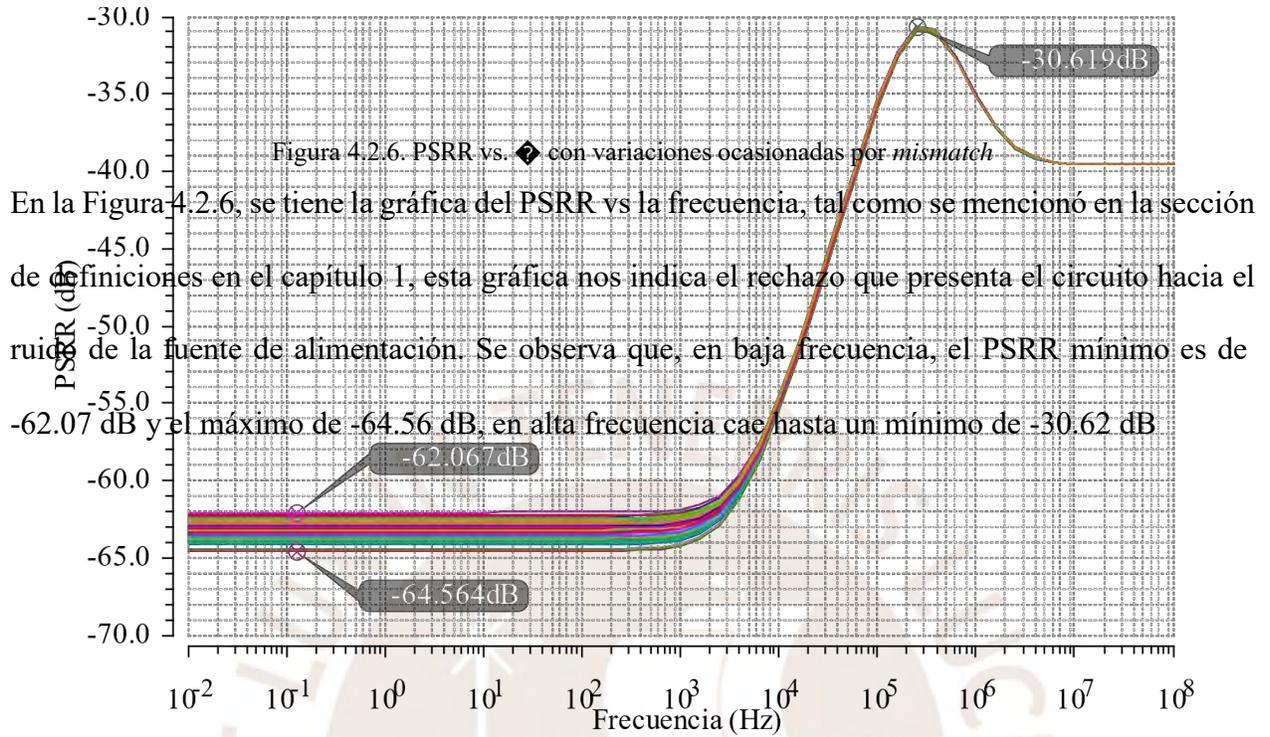
c) Histograma de TC @  $V_{DD} = V$



En la Figura 4.2.5, se observa que la distribución está sesgada hacia la izquierda. Esto en parte se debe a que, dada una cantidad de muestras, es poco probable que los valores de TC sean mucho menores que el valor nominal simulado de 7.51 ppm/°C, ya que para reducir significativamente el TC haría falta que el circuito fuese diseñado con otros parámetros.



d)  $P_{\text{PSRR}} \text{ vs } f @ V_{\text{in}} = V_{\text{out}}$



e) Histograma de  $P_{\text{PSRR}} @ V_{\text{PSRR}} = V$

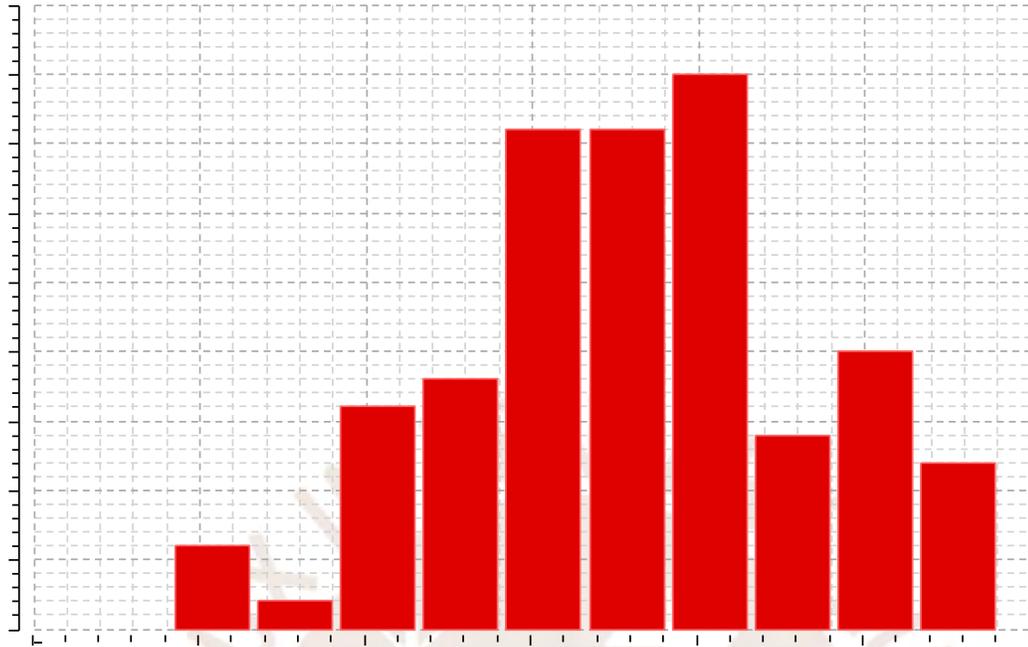


Figura 4.2.7. Histograma del PSRR – *mismatch*

En la Figura 4.1.7, se tiene el histograma del PSRR, se puede observar que sigue una distribución normal y que los valores mínimo y máximo son mayores a los -60 dB propuestos.

### 4.2.3. Simulaciones de Montecarlo – Process



b) Histograma de  $V_{\text{be}} @ V_{\text{ce}} = 10 \text{ V}$

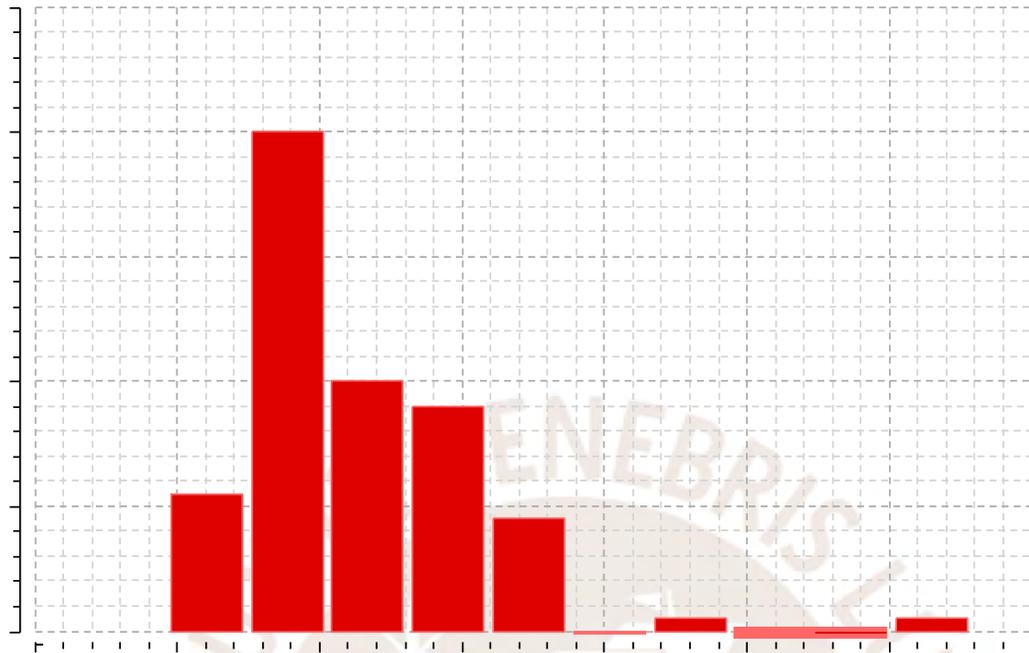
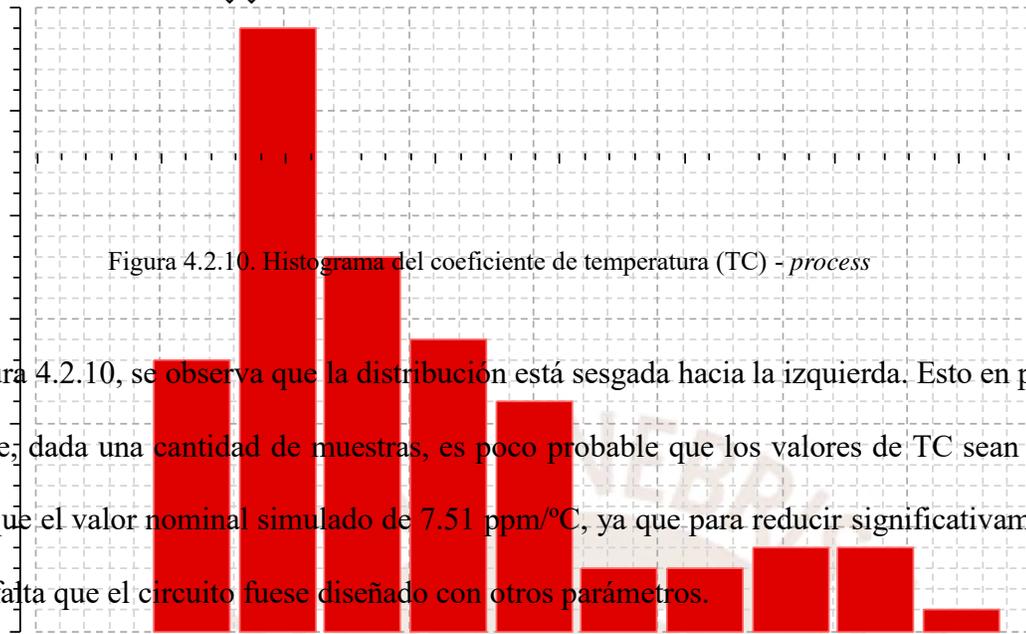


Figura 4.2.9. Histograma de  $V_{\text{be}}$  - process

En la Figura 4.1.9 se tiene el histograma de la simulación de Montecarlo para  $V_{\text{be}}$ , en donde la media es de 401.03 mV, se observa una distribución normal con una desviación muy baja de solo 80  $\mu\text{V}$ . Como se mencionó anteriormente, esto se debe a que las variaciones por *process* al no variar los parámetros de los transistores localmente, permiten que los espejos de corriente funcionen adecuadamente, mientras que en las variaciones por *match*, las diferencias locales de los parámetros de los transistores ocasionan una amplia diferencia en el  $V_{\text{be}}$  de cada

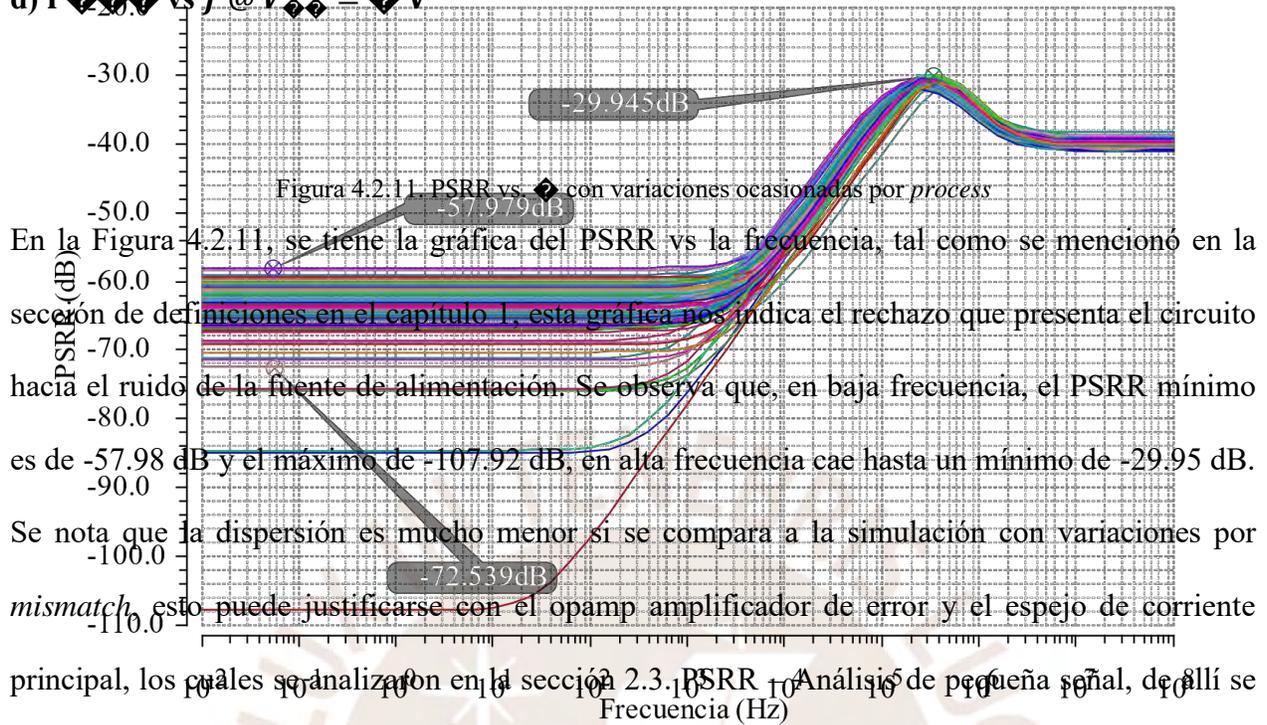
c) Histograma de TC @  $V_{DD} = V$



En la Figura 4.2.10, se observa que la distribución está sesgada hacia la izquierda. Esto en parte se debe a que, dada una cantidad de muestras, es poco probable que los valores de TC sean mucho menores que el valor nominal simulado de 7.51 ppm/°C, ya que para reducir significativamente el TC haría falta que el circuito fuese diseñado con otros parámetros.



d)  $PSRR \text{ vs } f @ V_{DD} = V_{SS}$



En la Figura 4.2.11, se tiene la gráfica del PSRR vs la frecuencia, tal como se mencionó en la sección de definiciones en el capítulo 1, esta gráfica nos indica el rechazo que presenta el circuito hacia el ruido de la fuente de alimentación. Se observa que, en baja frecuencia, el PSRR mínimo es de -57.98 dB y el máximo de -107.92 dB, en alta frecuencia cae hasta un mínimo de -29.95 dB. Se nota que la dispersión es mucho menor si se compara a la simulación con variaciones por *mismatch*, esto puede justificarse con el opamp amplificador de error y el espejo de corriente principal, los cuales se analizan en la sección 2.3. PSRR - Análisis de pequeña señal, de allí se entiende que estos subcircuitos dependen bastante de los transistores para asegurar un valor alto de PSRR, de modo que las variaciones por *mismatch* ocasionan un funcionamiento no óptimo, mientras que las variaciones de *process* no causan este problema.

e) Histograma de  $P_{\text{PSRR}} @ V_{\text{CM}} = V_{\text{CM}}$

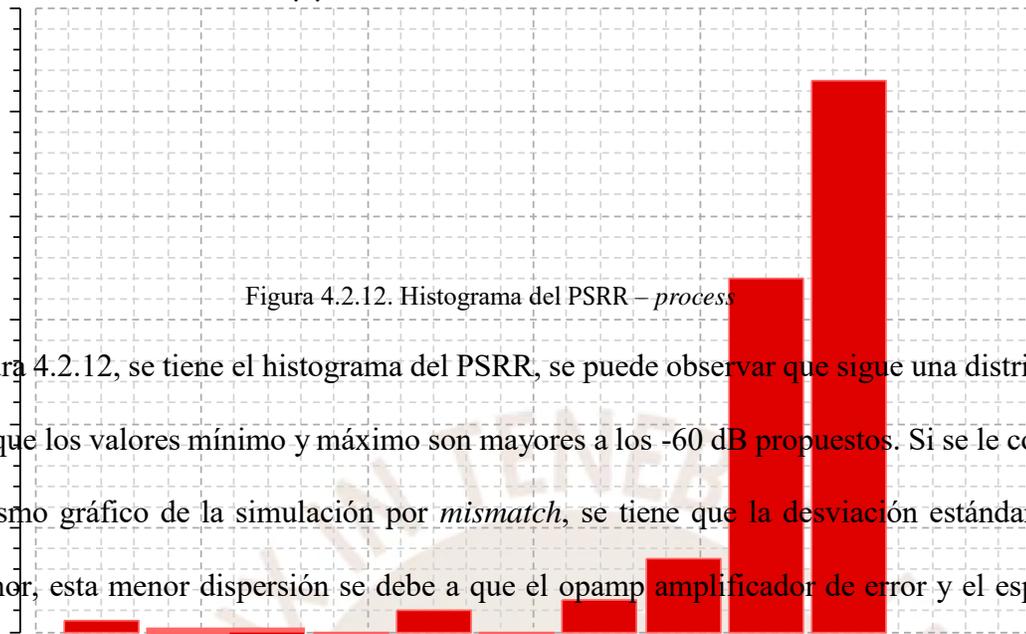


Figura 4.2.12. Histograma del PSRR – *process*

En la Figura 4.2.12, se tiene el histograma del PSRR, se puede observar que sigue una distribución normal y que los valores mínimo y máximo son mayores a los -60 dB propuestos. Si se le compara con el mismo gráfico de la simulación por *mismatch*, se tiene que la desviación estándar es 10 veces menor, esta menor dispersión se debe a que el opamp amplificador de error y el espejo de corriente principal, los cuales se analizaron en la sección 2.3. PSRR – Análisis de pequeña señal, de allí se concluye que estos subcircuitos dependen bastante de los transistores para asegurar un valor alto de PSRR, de modo que las variaciones por *mismatch* ocasionan un funcionamiento no óptimo, mientras que las variaciones de *process* no causan este problema.

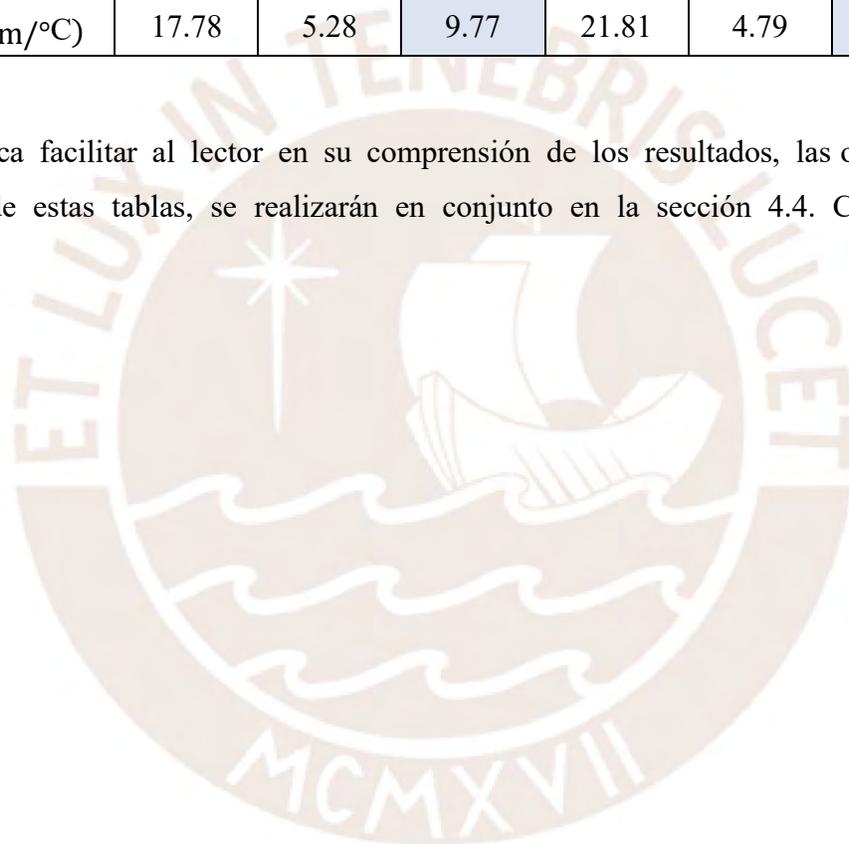
#### 4.2.4. Resultados de las simulaciones de Montecarlo a 1 V

La siguiente tabla contiene el resumen de los resultados obtenidos en las simulaciones a 1 V

Tabla 4.2 – Resultados de la simulación con 1 V de alimentación.

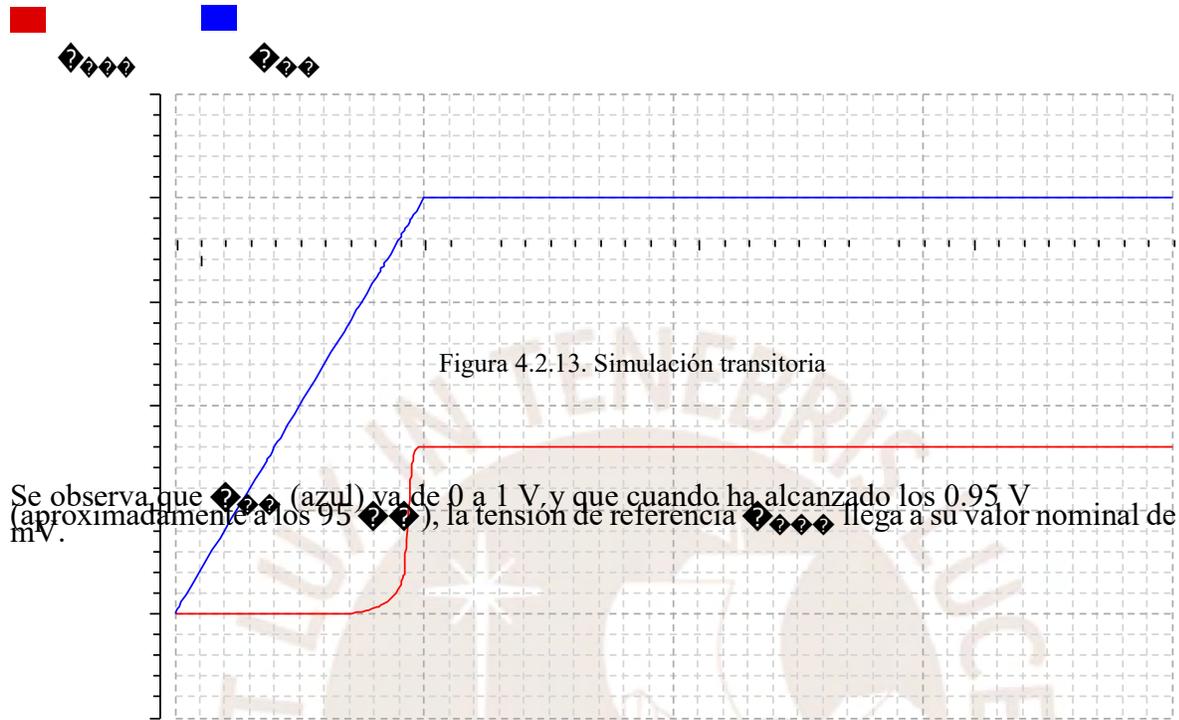
Resultado	Mismatch			Process		
	Máy	Mín	Media	Máy	Mín	Media
❖❖❖❖ (mV)	410.47	389.60	401.49	401.46	400.89	401.03
PSRR (dB)	-64.56	-62.07	-63.18	-107.92	-57.98	-64.19
TC (ppm/°C)	17.78	5.28	9.77	21.81	4.79	10.16

Esta tabla busca facilitar al lector en su comprensión de los resultados, las observaciones y conclusiones de estas tablas, se realizarán en conjunto en la sección 4.4. Comparación de Resultados.

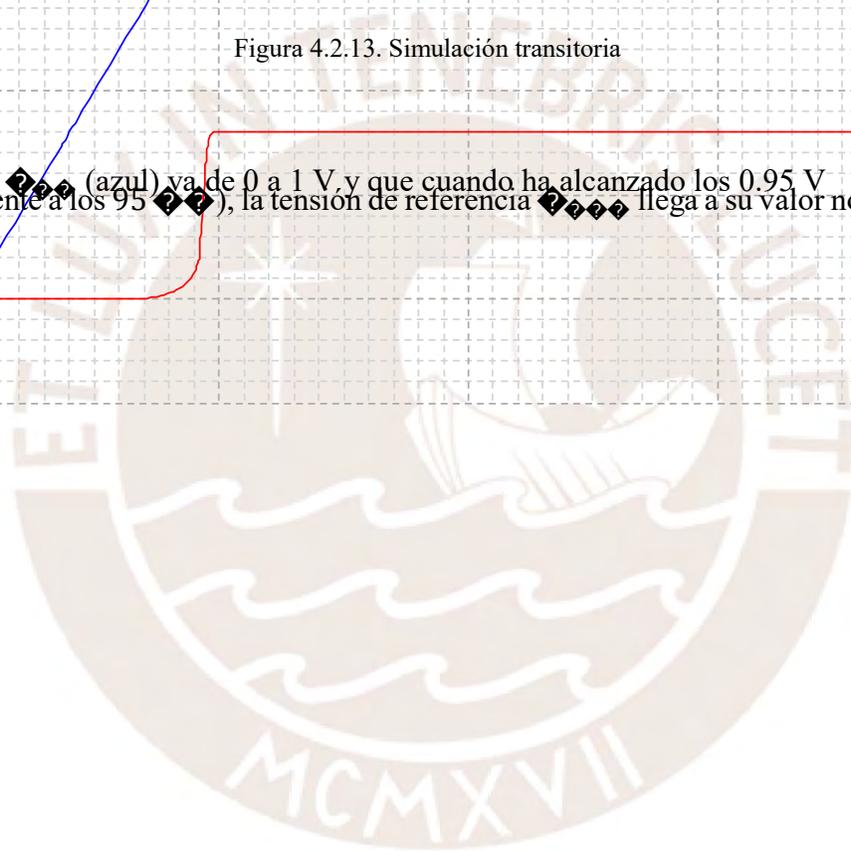


#### 4.2.5. Simulación transitoria (Transient)

La Figura 4.2.13 ilustra el transiente durante los 400  $\mu\text{s}$  iniciales. Se configuró el tiempo de subida (ramp-up) de 100  $\mu\text{s}$ .



Se observa que  $V_{ref}$  (azul) va de 0 a 1 V, y que cuando ha alcanzado los 0.95 V (aproximadamente a los 95  $\mu\text{s}$ ), la tensión de referencia  $V_{ref}$  llega a su valor nominal de 400 mV.

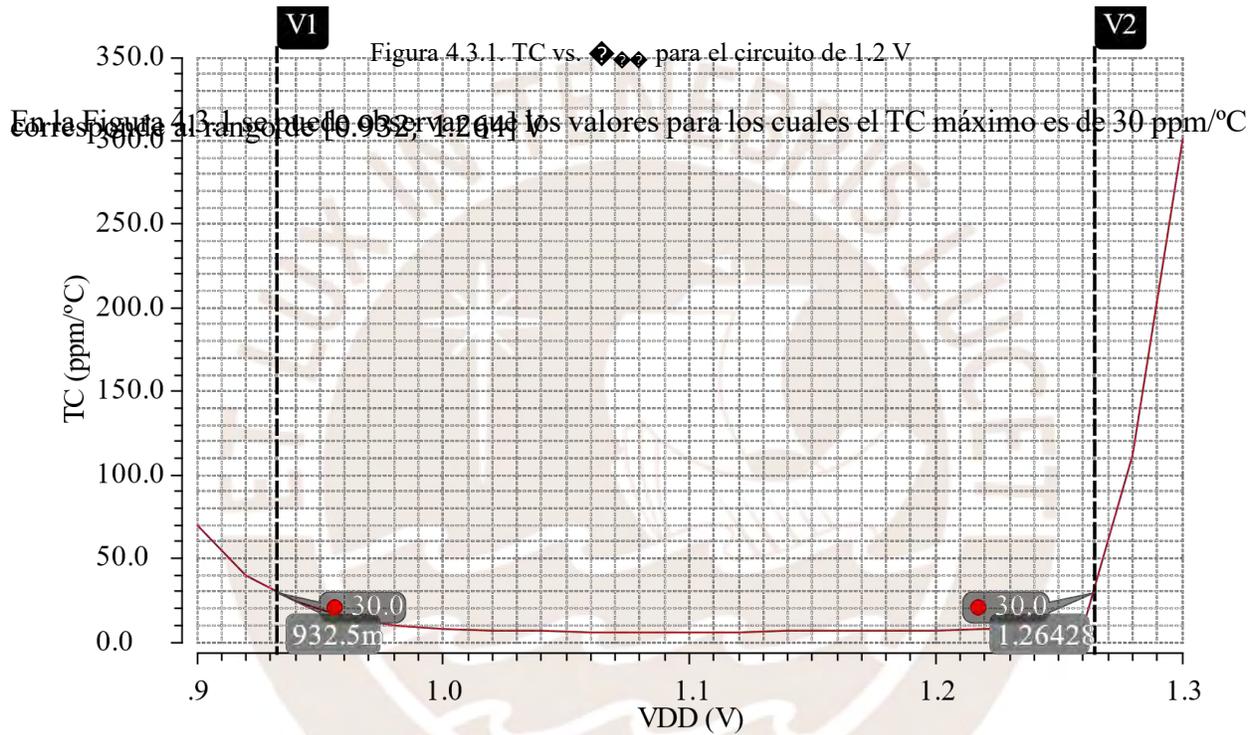


### 4.3. Simulaciones variando $V_{DD}$

Estas simulaciones tienen como objetivo analizar el rango de valores de  $V_{DD}$  para los cuales

se mantienen los valores propuestos para el TC y el PSRR.

#### 4.3.1. TC vs $V_{DD}$



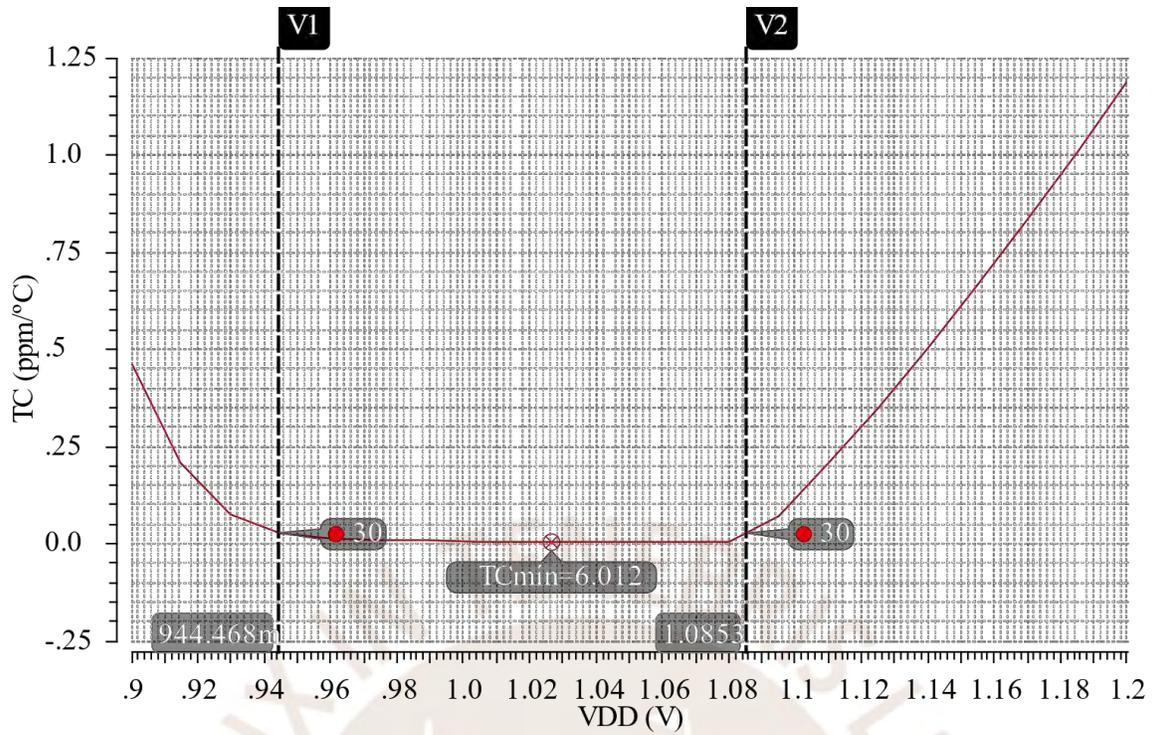
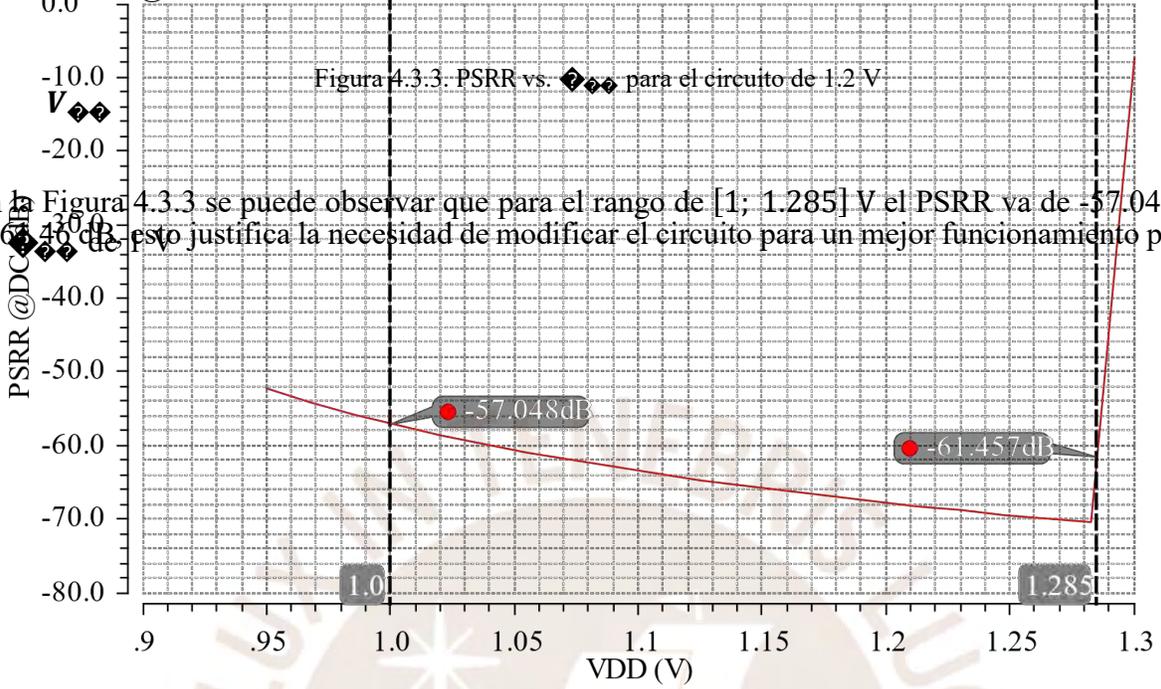


Figura 4.3.2. TC vs.  $V_{DD}$  - Variante en el circuito para aumentar el PSRR con  $V_{DD} = 1$  V  
 En la Figura 4.3.1 se puede observar que los valores para los cuales el TC máximo es de 30 ppm/°C corresponden al rango de [0.944, 1.085] V

### 4.3.2. PSRR @DC vs



En la Figura 4.3.3 se puede observar que para el rango de [1; 1.285] V el PSRR va de -57.04 dB a -61.45 dB, esto justifica la necesidad de modificar el circuito para un mejor funcionamiento para



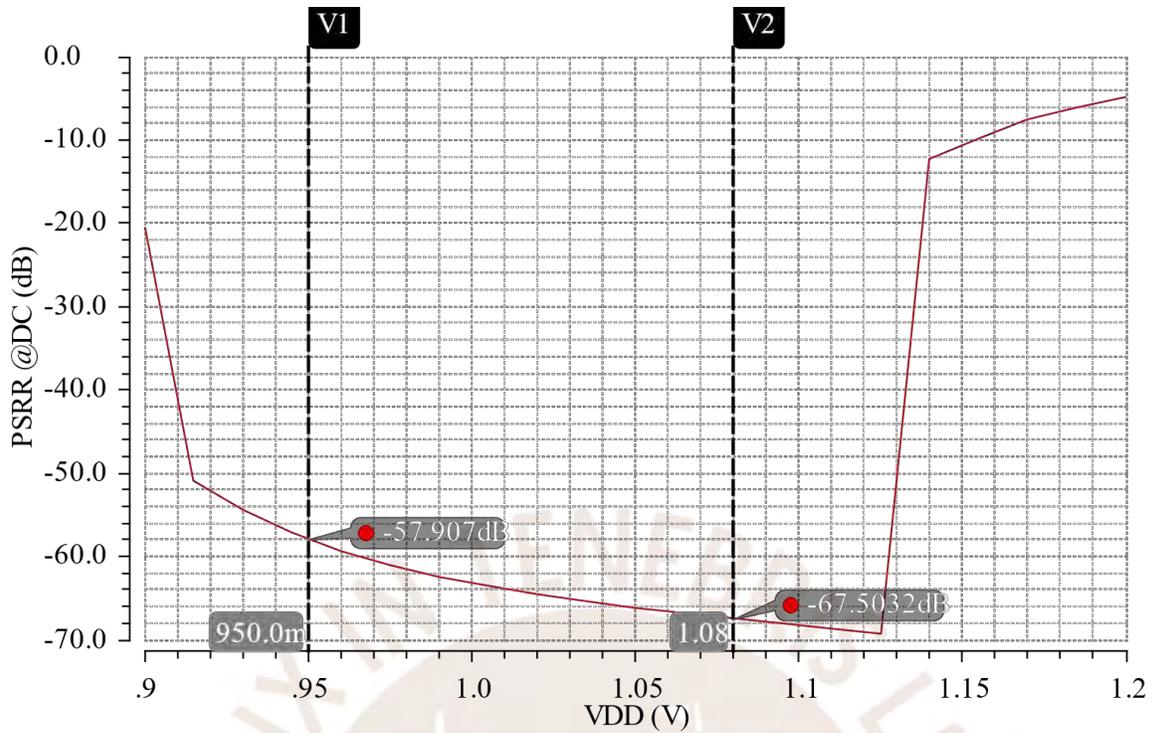


Figura 4.3.4. PSRR vs.  $V_{DD}$  – Variante en el circuito para aumentar el PSRR con  $V_{DD} = 1\text{ V}$

En la Figura 4.3.4 se puede observar que para el rango de  $[0.95; 1.08]\text{ V}$  el PSRR va de  $-57.91\text{ dB}$  a  $-67.50\text{ dB}$ , esto justifica la necesidad de modificar el circuito para un mejor funcionamiento para un  $V_{DD}$  de  $1\text{ V}$ .

A partir de las Figuras 4.3.1 y 4.3.3 es posible establecer el rango de  $V_{DD}$  en el que el circuito opera entregando los resultados de PSRR y TC deseados, esto se verá con más detalle a

continuación.

### 4.3.3. Resultados de las simulaciones variando $V_{DD}$

Para el circuito que opera nominalmente a 1.2 V, no se hicieron modificaciones, se tiene:

Tabla 4.3 – Resultados de las simulaciones variando  $V_{DD}$  para el circuito de 1.2 V

Por lo tanto:

- El rango de  $V_{DD}$  es [0.93; 1.26] V, para mantener un  $TC \leq 30 \text{ ppm}/^\circ\text{C}$

Resultado	$V_{DD}^{\text{mín}}$ (V)	$V_{DD}^{\text{máx}}$ (V)
TC = 30 ppm/ $^\circ\text{C}$	0.93	1.26
PSRR = -60 dB	1.10	1.28

- El rango de  $V_{DD}$  es [1.1; 1.285] V, para mantener un PSRR  $\leq -60 \text{ dB}$

Si bien el PSRR es negativo, en la literatura consultada siempre es comparado como “mayor”

cuanto más grande es su valor absoluto. Por ejemplo, un PSRR de -80 dB es mayor que un PSRR de -60 dB porque representa un mayor rechazo a las variaciones de  $V_{DD}$ .

Para el circuito que opera nominalmente a 1 V, se realizaron modificaciones que permiten aumentar el PSRR. Se aumentaron  $R_4$  y  $R_9$  de 1  $\mu\text{m}$  a 4  $\mu\text{m}$  y el multiplier de  $R_9$  se aumentó a

Tabla 4.4 – Resultados de las simulaciones variando  $V_{DD}$  para el circuito de 1 V

Por lo tanto:

Resultado	$V_{DD}^{\text{mín}}$ (V)	$V_{DD}^{\text{máx}}$ (V)
TC = 30 ppm/ $^\circ\text{C}$	0.94	1.08
PSRR = -60 dB	0.96	1.14

-El rango de  $V_{DD}$  es [0.94; 1.08] V, para mantener un  $TC \leq 30 \text{ ppm}/^\circ\text{C}$

-El rango de  $V_{DD}$  es [0.96; 1.14] V, para mantener un PSRR  $\leq -60 \text{ dB}$

#### 4.4. Comparación de Resultados

La siguiente tabla contiene el resumen de los resultados obtenidos en las simulaciones con tensión de alimentación de 1.2 V y 1 V.

Tabla 4.5 – Tabla resumen de resultados

Resultado	Mismatch @ 1.2 V			Process @ 1.2 V		
	Máx	Mín	Media	Máx	Mín	Media
$\diamond\diamond\diamond\diamond$ (mV)	411.47	390.67	402.39	402.29	401.87	401.93
PSRR (dB)	-68.21	-67.65	-67.68	-67.97	-67.54	-67.79
TC (ppm/°C)	16.41	4.48	8.71	22.49	5.96	9.72

Resultado	Mismatch @ 1 V			Process @ 1 V		
	Máx	Mín	Media	Máx	Mín	Media
$\diamond\diamond\diamond\diamond$ (mV)	410.47	389.60	401.49	401.46	400.89	401.03
PSRR (dB)	-64.56	-62.07	-63.18	-107.92	-57.98	-64.19
TC (ppm/°C)	17.78	5.28	9.77	21.81	4.79	10.16

A partir de las simulaciones realizadas y la Tablas 4.4 y 4.5 se infiere que:

- Las simulaciones mediante variaciones por *process* ocasionan menos dispersión que las simulaciones mediante *mismatch*.
- El rango de mínimo a máximo del TC es mayor en las simulaciones por *process*
- Los resultados en promedio cumplen con los resultados propuestos en el capítulo 1

En la siguiente tabla se comparan los resultados del circuito propuesto en este trabajo frente a los trabajos más relevantes del estado del arte.

Tabla 4.6 – Comparación de resultados con otros trabajos. Adaptado de [1], [10], [12], [13] y [17].

	[1]	[10]	[12]	[13]	[17]	Propuesto	
Tensión de alimentación [V]	[2; 5]	1.2	1.3	0.8	5.2	1.2	1
Rango de temperatura [°C]	[-40; 125]	[0; 100]	[-40; 140]	[-40; 125]	[-40; 125]	[-40; 85]	
PSRR [dB]	-61	-50	-61.9	-87	-127	-67.74	-63.69
Coefficiente de temperatura [ppm/°C]	1.01	53.1	1.67	5.6	3	9.21	9.97
Tensión de referencia [mV]	1140	723	547	428	3650	402.15	401.03
Disipación [μW]	66	0.58	50.4	13	3900	6.48	6.37
Tecnología [nm]	350	180	350	65	800	180	

Los resultados obtenidos son satisfactorios y cumplen con los valores propuestos, llegando incluso a superar no solo los valores propuestos sino también a los resultados de algunos trabajos mencionados en el estado del arte.

## Conclusiones

- Se verificó que el circuito de tensión de referencia entrega un valor nominal de 401 mV con una tensión de alimentación en el rango de [1; 1.2] V
- El circuito presentado disipa 6.48 uW de potencia (sin carga), además tiene un coeficiente de temperatura (TC) de 6.32 ppm/°C y un PSRR de -63.22 dB. Los resultados de PSRR y TC tienen valores mejores que los propuestos, sin embargo, la potencia disipada es mayor que el valor propuesto debido a que se decidió priorizar el área del circuito. Es posible escalar la disipación de potencia para reducirla, dado que la potencia y el área son inversamente proporcionales (aproximadamente).
- Se encontró que el circuito de tensión de referencia diseñado posee resultados comparables a los trabajos [1], [10], [12], [13] y [17].
- El uso de un amplificador operacional es indispensable para maximizar el rechazo a las variaciones en  $V_{DD}$ .
- El TC no se degradó a pesar del uso del opamp, cuyo propósito era mejorar el PSRR.
- Debido a la forma de polarizar el opamp, que emplea la corriente del espejo de corriente principal, no fue necesario diseñar una fuente de corriente.
- La precisión de la tensión de referencia es proporcional a la complejidad del circuito.
- La tensión de referencia entregado, la potencia consumida y el área del circuito dependen de la aplicación a la que esté destinado el circuito.
- El *layout* es un factor importante en el diseño, pues una distribución errada de componentes podría afectar el funcionamiento del circuito.

## Recomendaciones y trabajos futuros

- Tras verificar el correcto funcionamiento del circuito, es completamente posible adaptarlo con tecnologías más modernas que la TSMC 180 nm, actualmente la tecnología más avanzada de TSMC es de 3 nm.
- Para un estudio riguroso, se sugiere llevar a cabo un análisis de ruido del circuito, considerando principalmente el ruido blanco.
- Para aumentar el rango de funcionamiento en la región de saturación de los transistores del par diferencial, se sugiere emplear la técnica *bulk-driven*.
- Es usual encontrar problemas de convergencia al realizar el *sweep* de temperatura en DC y el análisis en AC, por lo que se sugiere tener cuidado con estos inconvenientes propios del software para no confundirlos con errores en el diseño. Los problemas de convergencia en Cadence pueden resolverse colocando el rango de temperaturas de mayor a menor en DC. En AC una solución es habilitar la casilla de *prevoppoint* a “yes”.

## Referencias

- [1] Z. K. Zhou *et al.*, “A Resistorless High-Precision Compensated CMOS Bandgap Voltage Reference,” *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 66, no. 1, pp. 428–437, 2019, doi: 10.1109/TCSI.2018.2857821.
- [2] Y. H. Lam and W. H. Ki, “CMOS bandgap references with self-biased symmetrically matched current-voltage mirror and extension of sub-1-V design,” *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 18, no. 6, pp. 857–865, 2010, doi: 10.1109/TVLSI.2009.2016204.
- [3] S. K. Wadhwa and N. Chaudhry, “High Accuracy, Multi-output Bandgap Reference Circuit in 16nm FinFet,” *Proc. - 2017 30th Int. Conf. VLSI Des. 2017 16th Int. Conf. Embed. Syst. VLSID 2017*, no. 2, pp. 259–262, 2017, doi: 10.1109/VLSID.2017.52.
- [4] K. C. Thushara and S. K. Daniel, “Design of 5.9ppm/°C piecewise curve rectified start-up free bandgap voltage reference in 180nm CMOS process,” *2018 Int. Conf. Emerg. Trends Innov. Eng. Technol. Res. ICETIETR 2018*, no. 2, pp. 6–10, 2018, doi: 10.1109/ICETIETR.2018.8529142.
- [5] A. Shrivastava, A. Kaur, and M. Sarkar, “A 1.2 V, 33 ppm/°C, 40 nW, regeneration based BGR circuit for nanowatt CMOS LSIs,” *Proc. - Int. SoC Des. Conf. 2017, ISOCC 2017*, no. 4, pp. 111–112, 2018, doi: 10.1109/ISOCC.2017.8368794.
- [6] B. Razavi, “The Bandgap Reference [A Circuit for All Seasons],” *IEEE Solid-State Circuits Mag.*, vol. 8, no. 3, pp. 9–12, 2016, doi: 10.1109/MSSC.2016.2577978.
- [7] M. C. Lee and S. Q. Hong, “Design and implementation of a voltage-controlled oscillator with bandgap voltage reference source and temperature sensing,” *Proc. 2017 Int. Conf. Green Energy Appl. ICGEA 2017*, pp. 39–45, 2017, doi: 10.1109/ICGEA.2017.7925452.
- [8] “Understanding the Temperature Coefficient of a Voltage Reference - Technical Articles.” <https://www.allaboutcircuits.com/technical-articles/understanding-the-temperature-coefficient-of-a-voltage-reference/> (accessed May 14, 2020).
- [9] C. B. R. Circuits, Y. Huang, S. Member, L. Zhu, S. Member, and F. Kong, “BiCMOS-Based Compensation: Toward Fully,” vol. 65, no. 4, pp. 1210–1223, 2018.
- [10] B. Ma and F. Yu, “A Novel 1.2–V 4.5-ppm/°C Curvature-Compensated CMOS Bandgap Reference,” vol. 61, no. 4, pp. 1026–1035, 2014.
- [11] K. K. Lee, T. S. Lande, and P. D. Hafliger, “A Sub- $\mu$ W bandgap reference circuit with an inherent curvature-compensation property,” *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 62, no. 1, pp. 1–9, 2015, doi: 10.1109/TCSI.2014.2340553.

- [12] H. M. Chen, C. C. Lee, S. H. Jheng, W. C. Chen, and B. Y. Lee, "A Sub-1 ppm/°C Precision Bandgap Reference with Adjusted-Temperature-Curvature Compensation," *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 64, no. 6, pp. 1308–1317, 2017, doi: 10.1109/TCSI.2017.2658186.
- [13] A. C. T. Coefficient, J. Jiang, W. Shu, J. S. Chang, and S. Member, "A 5.6 ppm/°C Temperature Coefficient, 87-dB PSRR, Sub-1-V Voltage Reference in 65-nm CMOS Exploiting the Zero- Temperature-Coefficient Point," vol. 52, no. 3, pp. 623–633, 2017.
- [14] R. J. Widlar, "New developments in ic voltage regulators," *IEEE J. Solid-State Circuits*, vol. 6, no. 1, pp. 2–7, 1971, doi: 10.1109/JSSC.1971.1050151.
- [15] K. E. Kuijk, "A precision reference voltage source," in *IEEE Journal of Solid-State Circuits*, vol. 8, no. 3, pp. 222–226, June 1973, doi: 10.1109/JSSC.1973.1050378.
- [16] A. Brokaw, "A simple three-terminal IC bandgap reference," *1974 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, Philadelphia, PA, USA, 1974, pp. 188–189, doi: 10.1109/ISSCC.1974.1155346.
- [17] B. L. Hunter and W. E. Matthews, "A  $\pm 3$  ppm/°C Single-Trim Switched Capacitor Bandgap Reference for Battery Monitoring Applications," *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 64, no. 4, pp. 777–786, 2017, doi: 10.1109/TCSI.2016.2621725.
- [18] K. Jaafar, N. Kamal, and M. Bin Ibne, "Resistorless self-biased curvature compensated sub-1V CMOS bandgap reference," no. 1, pp. 14–16, 2016.
- [19] K. J. Singh, R. Mehra, and V. Hande, "Ultra Low Power, Trimless and Resistor-less Bandgap Voltage Reference," in *2018 13th International Conference on Industrial and Information Systems, ICIIS 2018 - Proceedings*, Jul. 2018, pp. 292–296, doi: 10.1109/ICIINFS.2018.8721310.
- [20] Y. Chen, X. Tan, B. Yu, C. Li, and Y. Guo, "A new all-in-one bandgap reference and robust zero temperature coefficient (TC) point current reference circuit," *Proc. Int. Conf. ASIC*, vol. 2017-October, pp. 541–544, 2017, doi: 10.1109/ASICON.2017.8252532.
- [21] Z. Luo, Y. Lu, and R. P. Martins, "0.45-V 5.4-nW switched-capacitor bandgap reference with intermittent operation and improved supply immunity," *Electron. Lett.*, vol. 54, no. 20, pp. 1154–1156, 2018, doi: 10.1049/el.2018.5524.
- [22] P. Toledo *et al.*, "A 0.3–1.2 V Schottky-Based CMOS ZTC Voltage Reference," vol. 66, no. 10, pp. 1663–1667, 2019.
- [23] Y. Wenger and B. Meinerzhagen, "Low-voltage current and voltage reference design based on the MOSFET ZTC Effect," *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 66, no. 9, pp. 3445–3456, 2019, doi: 10.1109/TCSI.2019.2925266.

- [24] D. Talewad, A. V. Nandi, and B. M. Vaishail, "Design and implementation of BiCMOS based low temperature coefficient bandgap reference using 130nm technology," *NUiCONE 2015 - 5th Nirma Univ. Int. Conf. Eng.*, pp. 0–5, 2016, doi: 10.1109/NUICONE.2015.7449637.
- [25] R. Gregorian, G. A. Wegner, and W. E. Nicholson, "An Integrated Single-Chip PCM Voice Codec with Filters," *IEEE J. Solid-State Circuits*, vol. 16, no. 4, pp. 322–333, 1981, doi: 10.1109/JSSC.1981.1051596.
- [26] P. K. T. Mok and K. N. Leung, "Design considerations of recent advanced low-voltage low-temperature- coefficient CMOS bandgap voltage reference," *Proc. Cust. Integr. Circuits Conf.*, no. 29, pp. 635–642, 2004, doi: 10.1109/cicc.2004.1358907.
- [27] L. L. G. Vermaas, C. R. T. De Mori, R. L. Moreno, A. M. Pereira, and E. Charry R., "A bandgap voltage reference using digital CMOS process," in *Proceedings of the IEEE International Conference on Electronics, Circuits, and Systems*, 1998, vol. 2, pp. 303–306, doi: 10.1109/ICECS.1998.814886.
- [28] Paul R. Gray and Robert G. Meyer. *Analysis and Design of Analog Integrated Circuits*. Wiley, New York, 1993.
- [29] H. Banba *et al.*, "A CMOS bandgap reference circuit with sub-1-V operation," in *IEEE Journal of Solid-State Circuits*, vol. 34, no. 5, pp. 670–674, May 1999, doi: 10.1109/4.760378.
- [30] X. Xinpeng, W. Zhihua, and L. Dongmei, "A low voltage high precision CMOS bandgap reference," 25th Norchip Conf. NORCHIP, vol. 00, no. 60475018, pp. 7–10, 2007, doi: 10.1109/NORCHP.2007.4481079.
- [31] P. K. T. Mok and K. N. Leung, "Design considerations of recent advanced low-voltage low-temperature- coefficient CMOS bandgap voltage reference," *Proc. Cust. Integr. Circuits Conf.*, no. 29, pp. 635–642, 2004, doi: 10.1109/cicc.2004.1358907.
- [32] L. Que, D. Min, L. Wei, Y. Zhou, and J. Lv, "A high PSRR bandgap voltage reference with piecewise compensation," *Microelectronics J.*, vol. 95, no. November 2019, p. 104660, 2020, doi: 10.1016/j.mejo.2019.104660.
- [33] Wenguan Li, Ruohe Yao and Lifang Guo, "A low power CMOS bandgap voltage reference with enhanced power supply rejection," 2009 IEEE 8th International Conference on ASIC, Changsha, Hunan, 2009, pp. 300–304, doi: 10.1109/ASICON.2009.5351450.
- [34] B. Razavi, *Fundamentals of Microelectronics*, 3rd ed. Hoboken, NJ, USA: Wiley, 2021.
- [35] J. Mahattanakul, "Design procedure for two-stage CMOS operational amplifiers employing current buffer," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 52, no. 11, pp. 766–770, Nov. 2005, doi: 10.1109/TCSII.2005.852530.

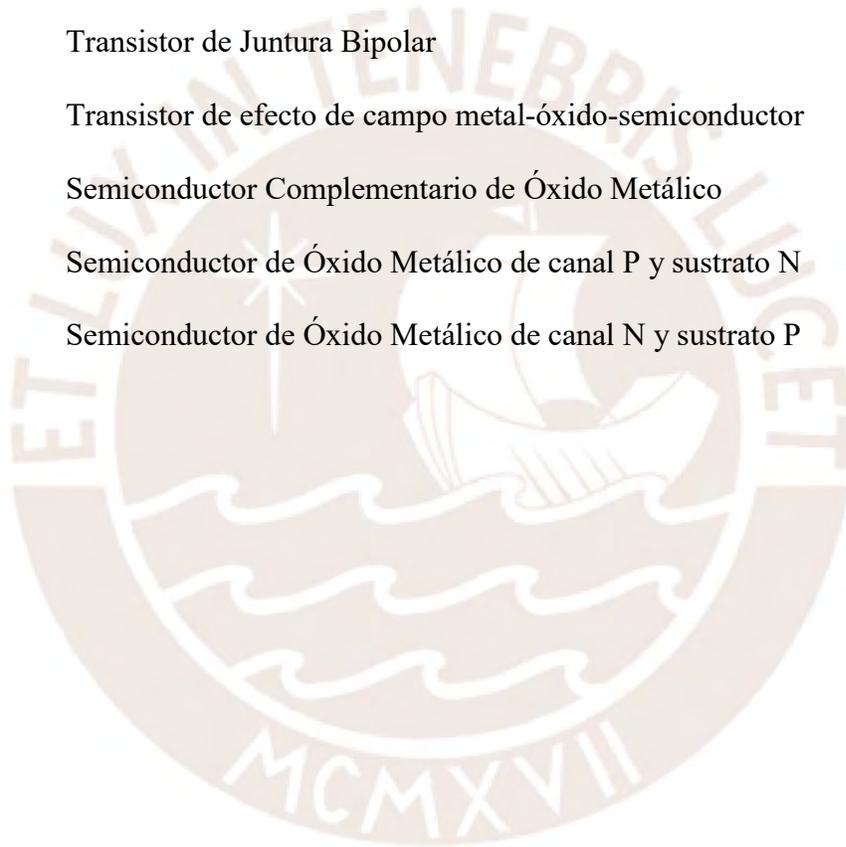
- [36] J. Mahattanakul and J. Chutichatuporn, "Design procedure for two-stage CMOS opamp with flexible noise-power balancing scheme," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 52, no. 8, pp. 1508-1514, Aug. 2005, doi: 10.1109/TCSI.2005.851395.



## Anexos

### Anexo A: Lista de siglas

BGR	<i>Bandgap Voltage Reference</i> (Tensión de Referencia por Bangap)
TC	Coeficiente de Temperatura
PSRR	Factor de rechazo a la fuente de alimentación
PTAT	Proporcional a la Temperatura Absoluta
CTAT	Complementariamente Proporcional a la Temperatura Absoluta
BJT	Transistor de Juntura Bipolar
MOSFET	Transistor de efecto de campo metal-óxido-semiconductor
CMOS	Semiconductor Complementario de Óxido Metálico
PMOS	Semiconductor de Óxido Metálico de canal P y sustrato N
NMOS	Semiconductor de Óxido Metálico de canal N y sustrato P



## Anexo B: Lista de Símbolos

$\diamond\diamond_0$	Tensión de <i>bandgap</i> del silicio extrapolado linealmente hasta 0 K.
$\diamond\diamond$	Energía <i>bandgap</i> del silicio extrapolada hasta 0 $\diamond$ (1.205 eV)
$\diamond\diamond$	Tensión térmica de la juntura PN
$\frac{\diamond}{K}$	Carga eléctrica del electrón en valor abs. <sub>23</sub> ( $\approx 1.6 \cdot 10^{-19}$ C) Constante de Boltzmann ( $\approx 1.38 \cdot 10^{-23}$ J/K)
$\diamond\diamond\diamond$	Tensión base-emisor
$\diamond\diamond\diamond$	Tensión emisor-base
$\Delta\diamond\diamond\diamond$	Diferencia de tensiones emisor-base de dos transistores
$\diamond\diamond\diamond$	Tensión de alimentación
$\diamond\diamond\diamond$	Variaciones en la tensión de alimentación
$\diamond\diamond\diamond\diamond$	Tensión de salida
$\diamond\diamond\diamond\diamond$	Variaciones en la tensión de salida
$\diamond\diamond\diamond\diamond$	Tensión de referencia
$\diamond_1$	BJT número 1
$\diamond_1$	Resistor número 1
$A$	Área que mide " $\diamond$ " unidades cuadradas
$\diamond A$	Área que mide " $\diamond \cdot \diamond$ " unidades cuadradas
$A_\diamond$	Área del emisor que mide " $\diamond$ " unidades cuadradas
$\diamond A_\diamond$	Área del emisor que mide " $\diamond \cdot \diamond$ " unidades cuadradas
$\frac{\partial \diamond_B}{\partial E}$	Derivada parcial de la tensión base-emisor respecto de la temperatura
$\partial$	
$\ln(\diamond)$	Logaritmo natural de $\diamond$

$I_{D,sat}$	Corriente de saturación
$I_{D,c}$	Corriente de colector
$V_{GS}$	Tensión de puerta-fuente ( <i>gate-source</i> )
$V_{DS,sat}$	Tensión de saturación del drenador ( <i>drain</i> )
$V_{th}$	Tensión de umbral ( <i>threshold</i> )
$V_{th,PMOS}$	Tensión de umbral de un transistor PMOS
$M_1$	MOSFET número 1
$V_{SG}$	Tensión fuente-puerta ( <i>source-gate</i> )
$V_{SD}$	Tensión fuente-drenador ( <i>source-gate</i> )
$V_{ov}$	Tensión de <i>overdrive</i>
$g_m$	Transconductancia
$R_{out}$	Resistencia de salida
$V_{diff}$	Tensión diferencial
$C_{ox}$	Capacitancia por unidad de área del óxido (entre la puerta y el canal)
$\mu_n$	Movilidad de los electrones (NMOS)
$\mu_p$	Movilidad de los electrones (PMOS)
$W$	Ancho de canal
$L$	Longitud de canal
$W_1$	Ancho de canal del transistor 1
$L_1$	Longitud de canal del transistor 1
$f_c$	Frecuencia de corte