

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ

FACULTAD DE CIENCIAS E INGENIERÍA



**DISEÑO DE UN AMPLIFICADOR CMOS BASADO EN UN PAR
DIFERENCIAL COMPLEMENTARIO PARA ADQUISICIÓN DE
SEÑALES NEURONALES**

Tesis para obtener el título profesional de Ingeniero Electrónico

AUTOR:

Diego Alessandro Bravo Pacheco

ASESOR:

Julio César Saldaña Pumarica

Lima, abril, 2023

Informe de Similitud

Yo, Julio César Saldaña Pumarica,

docente de la Facultad de Ciencias e Ingeniería de la Pontificia

Universidad Católica del Perú, asesor(a) de la tesis/el trabajo de investigación titulado

DISEÑO DE UN AMPLIFICADOR CMOS BASADO EN UN PAR DIFERENCIAL COMPLEMENTARIO PARA ADQUISICIÓN DE SEÑALES NEURONALES,


del/de la autor(a)/ de los(as) autores(as)

Diego Alessandro Bravo Pacheco

dejo constancia de lo siguiente:

- El mencionado documento tiene un índice de puntuación de similitud de 45%. Así lo consigna el reporte de similitud emitido por el software *Turnitin* el 26/06/2023. El resultado fue de 45%, pero casi todo proviene de su mismo trabajo el cual fue publicado como trabajo final de investigación para obtener el grado de Bachiller.
- He revisado con detalle dicho reporte y la Tesis o Trabajo de Suficiencia Profesional, y no se advierte indicios de plagio.
- Las citas a otros autores y sus respectivas referencias cumplen con las pautas académicas.

Lugar y fecha: Lima, 26 de junio de 2023

Apellidos y nombres del asesor / de la asesora: <u>Saldaña Pumarica, Julio César</u>	
DNI: 10123705	Firma 
ORCID: https://orcid.org/0000-0001-6834-6436	

Resumen

En el presente trabajo de tesis se desarrolla el diseño de un amplificador de instrumentación CMOS de 180 nm basado en un par diferencial complementario en sistemas de adquisición de señales neuronales. Estas señales pueden poseer una magnitud en el rango de microvoltios a decenas de milivoltios, con una frecuencia de hasta 10 kHz. La topología utilizada es *fully differential* de dos etapas, basado en un par diferencial complementario. Además, se incluye una etapa *AC-coupled* para reducir el *offset* del electrodo. Se hace énfasis en obtener un amplificador que disipe baja potencia y de bajo ruido referido a la entrada, siendo este último requerimiento establecido en ser menor o igual a $5 \mu\text{V}_{\text{RMS}}$. Se emplea la tecnología TSMC 180 nm en el software Virtuoso de *Cadence*, donde se realiza el diseño y la simulación del trabajo. Se emplea una fuente de alimentación de 1.2 V. Los resultados de la simulación muestran una ganancia en lazo abierto de 105.87 dB, una ganancia en lazo cerrado de 40 dB, un margen de fase de 88.0417° y un ruido referido a la entrada de $4.047 \mu\text{V}_{\text{RMS}}$.

Contenido

Introducción	viii
1. Amplificadores de biopotenciales para adquisición de señales neuronales	1
1.1. Aplicaciones de los amplificadores de biopotenciales como parte de un sistema	1
1.1.1. Estudio y análisis de las señales neuronales	1
1.1.2. Estimulación	2
1.2. Requerimientos de los amplificadores para adquisición de señales neuronales	2
1.2.1. Parámetros que caracterizan a los amplificadores de biopotenciales.....	2
1.2.2. Efecto producido por los electrodos.....	4
1.3. Revisión de los circuitos de amplificación	5
1.3.1. Topologías de los amplificadores	5
1.3.1.1. Two stage OpAmp with Miller compensation	5
1.3.1.2. Current mirror OTA	5
1.3.1.3. Folded cascode	6
1.3.1.4. Telescopic	6
1.3.1.5. Differential self-biased OTA	7
1.3.2. Arquitecturas de los sistemas	8
1.3.2.1. Open-loop	8
1.3.2.2. Capacitive feedback	8
1.3.2.3. Active feedback	9
1.3.2.4. Pseudo-resistors	9
1.3.3. Discusión	10
1.4. Declaración de la problemática	11
1.5. Importancia y justificación	11
1.6. Objetivos	12
1.6.1. Objetivo general	12
1.6.2. Objetivos específicos	12
2. Amplificadores operacionales CMOS	13
2.1. Estudio de un amplificador diferencial	13
2.1.1. Análisis en gran señal	13
2.1.2. Análisis en pequeña señal	14

2.2. Clasificación según el número de etapas	15
2.2.1. Amplificadores de una sola etapa	15
2.2.2. Amplificadores de dos etapas	16
2.3. Clasificación por la forma de conexión de la salida	17
2.3.1. Con salida single-ended	17
2.3.2. Fully differential	18
2.4. Common Mode Feedback (CMFB) en OpAmps	19
2.5. Especificaciones de la propuesta solución.....	19
3. Diseño del amplificador CMOS	21
3.1. Aspectos generales de diseño analógico	21
3.2. Análisis en pequeña señal de la propuesta	24
3.3. Ruido en amplificadores operacionales	27
3.3.1. Ruido térmico	27
3.3.2. Ruido flicker	28
3.3.3. Análisis de ruido	29
3.4. Dimensionamiento de los transistores	31
3.4.1. Primera etapa	31
3.4.1.1. Transistores de entrada	31
3.4.1.2. Transistores que conforman el CMFB	33
3.4.2. Segunda etapa	35
3.4.2.1. Transistores de entrada	36
3.4.2.2. Transistores que conforman el CMFB	37
3.4.3. Circuito de polarización	37
3.5. Consideraciones finales	40
4. Simulaciones y resultados	41
4.1. Introducción	41
4.2. Simulaciones	42
4.2.1. Análisis DC	42
4.2.2. Análisis AC	45
4.2.2.1. Análisis en lazo abierto	45
4.2.2.2. Análisis en lazo cerrado	46
4.2.3. Análisis de estabilidad	46
4.2.4. Análisis de ruido	47

4.2.5. Análisis transitorio	48
4.2.6. Simulaciones Monte Carlo	49
4.2.6.1. Monte Carlo Process	49
4.2.6.2. Monte Carlo Mismatch	51
4.3. Resultados	52
Conclusiones	54
Recomendaciones	55
Bibliografía	56



Índice de figuras

Figura 1. Comunicación entre el amplificador y la interfaz neuronal	1
Figura 2. Consideraciones de diseño desde el punto de vista de los electrodos	4
Figura 3. Amplificador de dos etapas con compensación Miller	5
Figura 4. Amplificador con espejo de corriente	6
Figura 5. Amplificador con cascode plegado	6
Figura 6. Amplificador telescópico	7
Figura 7. Amplificador diferencial autopolarizado	7
Figura 8. Amplificador en lazo abierto	8
Figura 9. Amplificador con retroalimentación capacitiva	9
Figura 10. Amplificador con retroalimentación activa	9
Figura 11. Par diferencial básico	14
Figura 12. Modelos de pequeña señal. (a) básico, (b) efecto de modulación de canal representado por una fuente de corriente dependiente, (c) efecto de modulación de canal representado por una resistencia, (d) efecto cuerpo representado por una fuente de corriente dependiente	15
Figura 13. Amplificadores diferenciales de una sola etapa	16
Figura 14. Bloques de un amplificador de dos etapas	16
Figura 15. Amplificador diferencial de dos etapas	17
Figura 16. Amplificador diferencial con salida single-ended	18
Figura 17. Amplificador fully differential self-biased	18
Figura 18. Representación del CMFB	19
Figura 19. Fully differential de dos etapas	22
Figura 20. Estructura externa del amplificador de señales neuronales	23
Figura 21. Modelo de pequeña señal de la primera etapa del fully differential	25
Figura 22. Modelo simplificado de pequeña señal de la primera etapa	26
Figura 23. Modelo de pequeña señal de la segunda etapa del fully differential	26
Figura 24. Modelo simplificado de pequeña señal de la segunda etapa	27
Figura 25. Ruido térmico en un transistor	28
Figura 26. Enlaces colgantes en la interfaz óxido-silicio	28
Figura 27. Representación del ruido referido a la entrada	29
Figura 28. Esquema de la primera etapa del amplificador	34
Figura 29. Gráfica de la relación entre corriente y V_{DS} en el transistor M_9	36

Figura 30. Espejo de corriente con transistores PMOS	38
Figura 31. Análisis de V_{SD} de M_Y considerando el efecto de los PMOS de la primera etapa	39
Figura 32. Gráfica de corriente vs voltaje en el pseudoresistor para la realimentación	42
Figura 33. Test bench del amplificador operacional en lazo cerrado	43
Figura 34. Amplificador operacional fully differential de dos etapas	44
Figura 35. Test bench del amplificador operacional en lazo abierto	45
Figura 36. Análisis AC en lazo abierto. a) Magnitud en dB b) Fase en grados sexagesimales	45
Figura 37. Análisis AC en lazo cerrado. a) Magnitud en dB b) Fase en grados sexagesimales	46
Figura 38. Análisis de estabilidad (Loop gain). a) Magnitud en dB b) Fase en grados sexagesimales	47
Figura 39. Ruido referido a la entrada	48
Figura 40. Análisis transient del amplificador	49
Figura 41. Análisis AC en lazo cerrado con Monte Carlo Process. a) Magnitud en dB b) Fase en grados sexagesimales	50
Figura 42. Análisis de estabilidad (Loop gain) con Monte Carlo Process. a) Magnitud en dB b) Fase en grados sexagesimales	50
Figura 43. Ruido referido a la entrada con Monte Carlo Process	51
Figura 44. Análisis del voltaje de offset Monte Carlo Mismatch	52

Índice de tablas

Tabla 1. Comparación entre trabajos presentados anteriormente	10
Tabla 2. Resumen de los requerimientos de la presente tesis	20
Tabla 3. Relación entre el coeficiente de inversión y el nivel de inversión	22
Tabla 4. Resumen de los resultados del análisis de ruido por el simulador	30
Tabla 5. Resumen de los componentes (transistores, capacitores y resistencias) diseñados en la tesis	40
Tabla 6. Comparación entre los valores simulados y los requerimientos de diseño	53



Introducción

La integración de la ingeniería con la medicina ha permitido un gran avance en este último. Específicamente, la tecnología permite que estos estudios biológicos continúen desarrollándose y entender el comportamiento del cuerpo humano con una mayor precisión cada vez más. Así, por ejemplo, existen dispositivos médicos implantables en el ámbito neuronal y cardíaco. Actualmente, se hace énfasis en el estudio de estas señales, ya sea por métodos invasivos o no invasivos. La microelectrónica ha permitido la miniaturización de los dispositivos electrónicos, los cuales resaltan cada vez más en estas aplicaciones y con ello, se permite el estudio de estas señales de manera invasiva.

Dentro de este proceso de adquisición de los biopotenciales, existe la etapa de amplificación, la cual es una etapa crítica y depende de su rendimiento para el acondicionamiento de la señal biológica. En resumen, se puede decir que el procesamiento de una señal se da mediante un sistema compuesto principalmente por una etapa de amplificación, filtrado, conversión análogo-digital y transmisión. Sin embargo, este sistema no sería muy eficiente si es que la primera etapa no es diseñada bajo ciertos requerimientos para su correcta adquisición de la señal mediante electrodos, pues estos están directamente conectados al amplificador.

En este trabajo se propone el diseño de un amplificador de instrumentación CMOS para adquisición de señales neuronales, que emplea una topología *fully differential* de dos etapas, basado en un par diferencial complementario. Para ello, se consideran los requerimientos de un amplificador de biopotenciales y se hace énfasis en obtener un bajo ruido y disipación de potencia.

En el capítulo uno se aborda el tema de amplificadores de biopotenciales para adquisición de señales neuronales. En el capítulo dos se menciona un análisis teórico de los amplificadores operacionales CMOS. En el capítulo tres se desarrolla el diseño del amplificador de instrumentación CMOS y en el capítulo cuatro se presentan las simulaciones y los resultados. Por último, se indican las conclusiones y recomendaciones de la presente tesis.

Capítulo 1

Amplificadores de biopotenciales para adquisición de señales neuronales

1.1. Aplicaciones de los amplificadores de biopotenciales como parte de un sistema

En este trabajo, se ha englobado las aplicaciones de los amplificadores de biopotenciales en dos rubros: El estudio y análisis de las señales neuronales y la estimulación, tal como se puede apreciar en la figura 1, donde el color rojo representa la etapa de estimulación y el color azul grisáceo representa la etapa de detección.

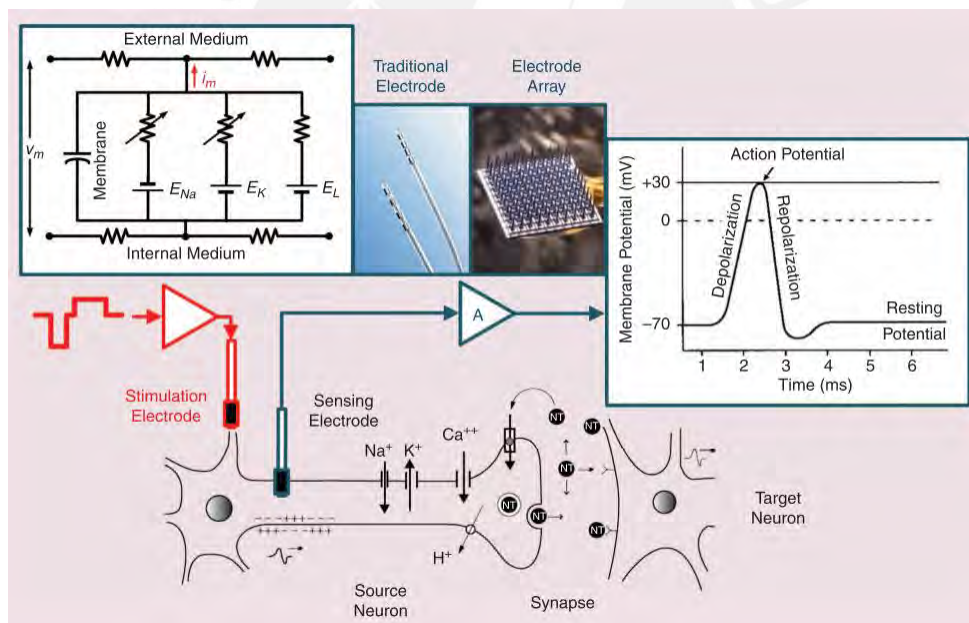


Figura 1. Comunicación entre el amplificador y la interfaz neuronal [1].

1.1.1. Estudio y análisis de las señales neuronales

El entendimiento del cerebro y de las señales neuronales es fundamental para el análisis de su funcionamiento y para un futuro desarrollo de dispositivos médicos implantables frente a alguna enfermedad cerebral. Las señales neuronales se pueden clasificar en: *Action potential* (AP) o

“spikes” y *Local Field Potential* (LFP). Ambas pueden ser registradas mediante los electrodos, los cuales están conectados al amplificador para acondicionar la señal y luego sigue una serie de etapas hasta su posterior transmisión en un dispositivo, en donde se analizan estas señales. Así, la etapa de detección es relevante, pues se espera registrar estas señales y obtener una señal de salida de buena calidad, para su posterior estudio. Algunos proyectos relacionados a la investigación del cerebro y de las señales neuronales junto con alguna interfaz son: *Human Brain Project* y *DARPA SyNAPSE Program*.

1.1.2. Estimulación

Para la etapa de estimulación, usualmente se utilizan dos electrodos, donde uno de ellos actúa como referencia y el otro como estimulador. El principal objetivo es la administración de una carga en el tejido que influye en el potencial fuera de la membrana para iniciar el potencial de acción (AP) [1]. La forma de onda de la estimulación generalmente cuenta con dos fases: estimulación y recuperación. Típicamente, se representa el tiempo en el eje x y la corriente en el eje y. Respecto al flujo de carga, su dirección, ya sea dentro o fuera del tejido, determinará el signo positivo o negativo [1]. Un ejemplo de circuito de estimulación que presenta la referencia anterior consiste en generar una corriente de salida mediante resistores conectados a un amplificador, cuya relación determinará la ganancia.

1.2. Requerimientos de los amplificadores para adquisición de señales neuronales

1.2.1. Parámetros que caracterizan a los amplificadores de biopotenciales

- **Ganancia:** La ganancia de un amplificador se puede definir como una relación entre una señal de salida y una de entrada. En este caso, una de las más importantes es la ganancia de voltaje ($A_v = V_{out}/V_{in}$). Generalmente, se expresa en decibelios. Es recomendable obtener una ganancia de por lo menos 40 dB según [2].
- **Linealidad:** La linealidad es un punto importante en un circuito aplicado a la adquisición de señales neuronales. Se busca reducir la distorsión no lineal de la señal, que puede ser entendida como una razón entre la variación de la ganancia y la amplitud de la señal de entrada. La realimentación es un método para mejorar la linealidad.

- Ancho de banda: El ancho de banda se define como el rango de frecuencias en donde la señal presenta una mayor potencia, hasta que caiga en 3 dB. Las señales neuronales contienen información relevante en su espectro que cubre hasta 10 kHz aproximadamente [1].
- *Noise Efficiency Factor* (NEF): El factor de eficiencia de ruido es un parámetro que depende principalmente de la corriente total, el voltaje RMS del ruido referido a la entrada, el ancho de banda y la temperatura. A pesar de sus limitaciones, sigue siendo utilizado para comparar diseños [2]. Se sugiere que este sea un valor de baja magnitud, generalmente se encuentra entre 1 y 5 en el estado del arte.
- Tamaño: Al tratarse de un dispositivo implantable, el tamaño desempeña un factor fundamental al momento del diseño del amplificador. Se sugiere que este sea el menor posible, suele ser menor que 1 mm^2 en los diseños de los amplificadores.
- *Common Mode Rejection Ratio* (CMRR): El factor de rechazo de modo común se puede definir como la razón entre la ganancia diferencial y la ganancia modo común. Generalmente, se expresa en decibelios. Se sugiere que este sea un valor elevado, como mayor a 60 dB, el cual es un valor típico en el estado del arte.
- Ruido: El ruido es un elemento crucial al momento de trabajar con señales de baja amplitud, puesto que, si es muy grande, puede ser comparable con la señal deseada. En términos sencillos, se entiende como una señal de interferencia (no deseada) que va a estar presente en la señal de interés. En este caso, se analiza el ruido referido a la entrada al momento de realizar comparaciones entre diseños y se espera que este valor sea bajo. Para obtener una señal de calidad, se recomienda que el ruido referido a la entrada se encuentre alrededor de $5 \mu\text{V}_{\text{RMS}}$ [2].
- Disipación de potencia: Una baja disipación de potencia es requerida en un amplificador de biopotenciales, puesto que es un dispositivo implantable. Sumado a esto, se considera la disipación de calor, la cual impone un límite en la disipación de potencia en este tipo de dispositivos. Un flujo de calor de $80 \text{ mW}/\text{cm}^2$ es considerado un límite seguro a mantener [2].

1.2.2. Efecto producido por los electrodos

En la práctica, los electrodos son empleados para detectar las señales neuronales, como se ve en la siguiente imagen. Usualmente, son de metal y, al ser colocado dentro de un medio fisiológico, ocurre una actividad electroquímica y se formará una interfaz entre dos fases [1].

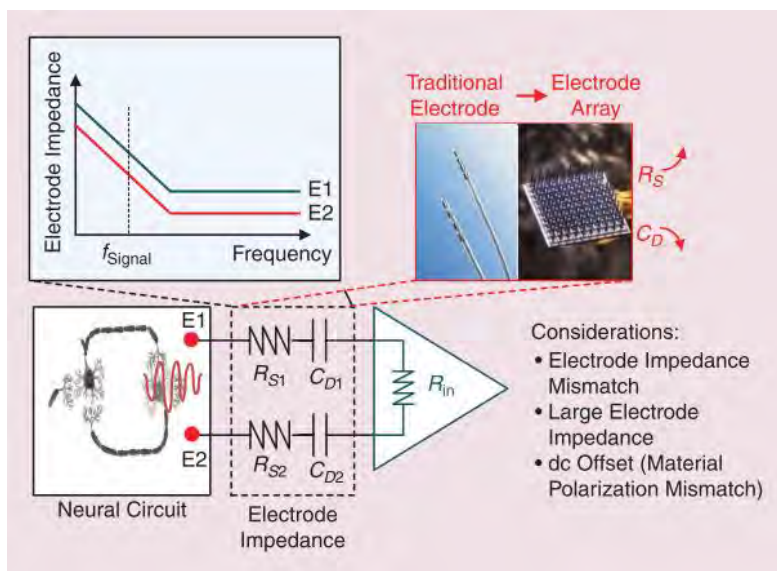


Figura 2. Consideraciones de diseño desde el punto de vista de los electrodos [1].

Estos van conectados a la entrada del amplificador y, al no ser ideales, se debe estimar el efecto que estos producen en el diseño del amplificador. Estos electrodos pueden considerarse eléctricamente como un compuesto de resistencia y condensador y, por ende, presentan una impedancia. La variabilidad en los parámetros de estos puede afectar el registro de las señales neuronales. Asimismo, al ser una impedancia conectada al amplificador, se requiere que la impedancia de entrada del amplificador sea elevada, para reducir su efecto. Otro criterio a tener presente es el fenómeno de polarización, que resultará en un *offset* entre los dos electrodos [1]. Por lo tanto, es importante considerar también reducir este *offset*. Un último factor a examinar es el ruido debido al electrodo. Generalmente, el ruido introducido por el electrodo es del orden de decenas de microvoltios y depende de la impedancia del electrodo [3]. Así, el ruido que aporta el amplificador debe ser de una baja magnitud para no afectar la calidad de la señal de salida.

1.3. Revisión de los circuitos de amplificación

Para realizar un buen diseño de un amplificador es importante reconocer qué parámetros de diseño se van a priorizar sobre otros, para que el circuito tenga un buen desempeño en estos parámetros. A continuación, se da una breve revisión de las principales topologías y arquitecturas de los amplificadores orientados a la adquisición de señales neuronales propuestas por [2].

1.3.1. Topologías de los amplificadores

1.3.1.1. Two stage OpAmp with Miller compensation

“La etapa de entrada diferencial produce una ganancia mayor y la etapa de salida produce un rango de voltaje de salida más alto. Por lo general, los transistores PMOS se usan en entrada diferencial, ya que produce un menor ruido *flicker* en comparación con NMOS” [4]. La compensación de Miller se implementa en el circuito colocando el condensador (C_c) de división de polos entre la entrada y la salida de la segunda etapa, como se puede observar en la imagen. El inconveniente que presenta es una mayor disipación de potencia [4].

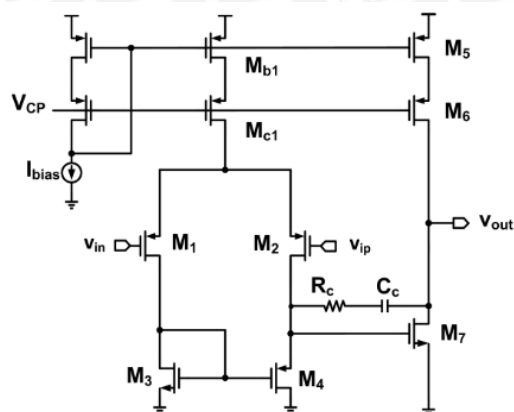


Figura 3. Amplificador de dos etapas con compensación Miller [2].

1.3.1.2. Current mirror OTA

“Presenta una alta impedancia de salida, capacidad de multiplicador de transconductancia y baja disipación de potencia” [4]. Esta topología es popular en el estado del arte y se resalta su relativa simplicidad de diseño. Se considera como una topología de una sola etapa, ya que solo

posee un par de entrada diferencial y las demás estructuras son espejos de corriente [4]. Al ser de una sola etapa, se deduce que no posee una ganancia elevada a comparación de la de dos etapas.

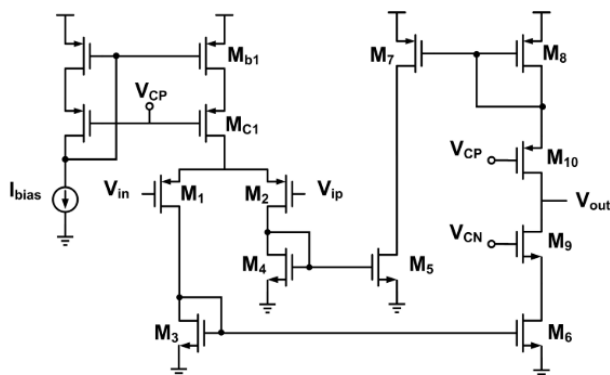


Figura 4. Amplificador con espejo de corriente [2].

1.3.1.3. Folded cascode

“Las ventajas que presenta esta topología son: bajo ruido, alta ganancia, alto rango de voltaje de salida y también un mejor *Power Supply Rejection Ratio* (PSRR)” [4]. Además, aprovecha el aumento de ganancia por la técnica cascode sin perjudicar el rango de entrada de modo común (ICMR). Está compuesto por dos tramos de corriente adicionales y más números de transistores en el circuito, por lo cual, disipa más potencia [4].

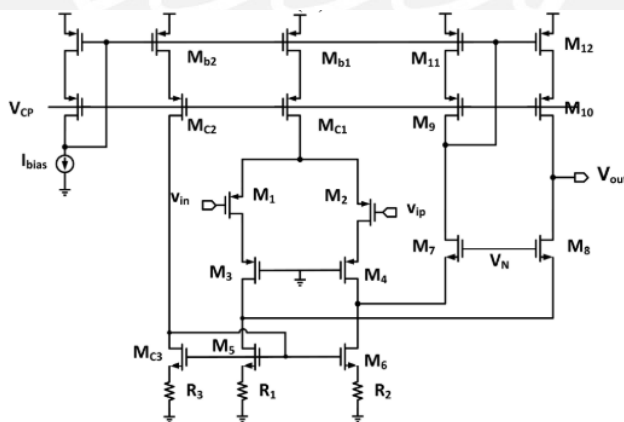


Figura 5. Amplificador con cascode plegado [2].

1.3.1.4. Telescopic

Esta topología “compensa la dificultad presente en el amplificador de dos etapas al apilar dos transistores para formar la estructura del cascode” [4]. La configuración que presenta da como

1.3.2. Arquitecturas de los sistemas

1.3.2.1. Open-loop

Una arquitectura en lazo abierto presenta una ganancia de mayor valor, además de niveles de ruido menores. Por lo general, se utilizan para una potencia muy baja o ruido bajo, aunque es complicado lograr ambos objetivos a la vez [2]. Una de sus grandes desventajas está relacionada a la linealidad, puesto que los parámetros del OpAmp son más susceptibles a las variaciones de los parámetros del proceso. Hoy en día, rara vez se utilizan en dispositivos implantables, debido a problemas en su diseño para sistemas portátiles [2].

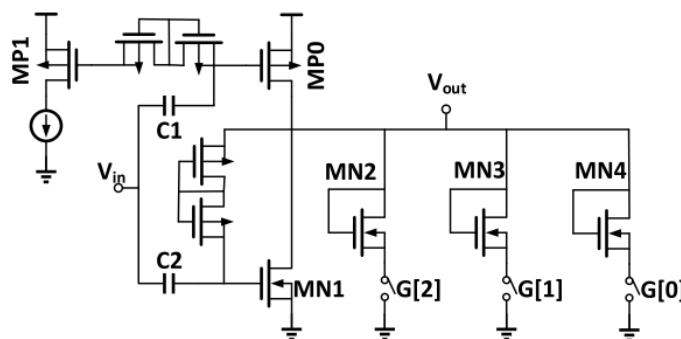


Figura 8. Amplificador en lazo abierto [2].

1.3.2.2. Capacitive feedback

Las técnicas de retroalimentación capacitiva han sido el método de elección para muchos diseños de amplificadores neuronales. Por ejemplo, en la siguiente imagen se muestra el diseño de un amplificador propuesto por Reid Harrison [5], que data del año 2003 y que sigue siendo referenciado hasta ahora. “La topología de retroalimentación capacitiva se ha optimizado para una operación de muy baja potencia a través de una metodología de diseño de circuito dedicado” [2]. Naturalmente, bloquea el nivel del *offset* DC del electrodo, debido a los condensadores que exhibe y, en general, presenta un buen desempeño.

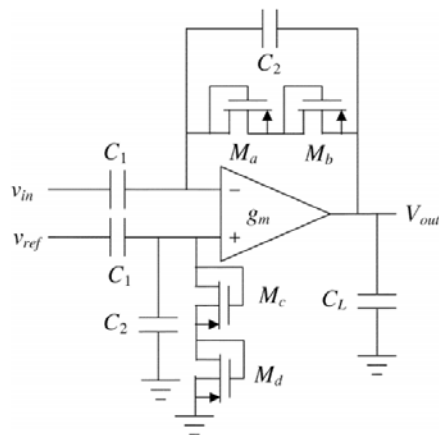


Figura 9. Amplificador con retroalimentación capacitiva [5].

1.3.2.3. Active feedback

Presenta una forma eficiente de extraer componentes de baja frecuencia de la señal de interés y hace que los sistemas sean muy estables, debido a que se filtra un segmento del espectro de señal y se usa como un elemento de cancelación de retroalimentación para suprimir ese componente de señal [2]. Otra ventaja que presenta es un menor tamaño, pues, según [2], se reduce el tamaño del condensador en comparación con la topología de retroalimentación capacitiva.

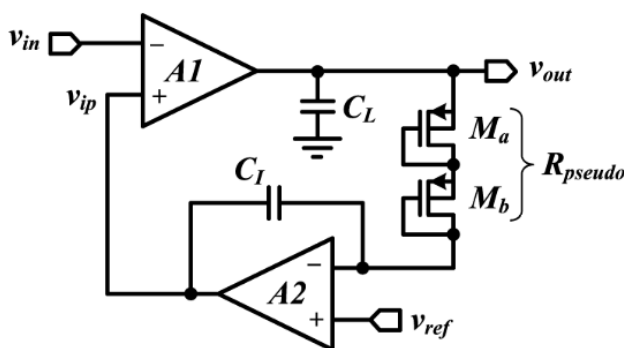


Figura 10. Amplificador con retroalimentación activa [2].

1.3.2.4. Pseudo-resistors

Las pseudo-resistencias ofrecen alta impedancia con un menor empleo del espacio; además, ofrecen posibilidades de ajuste [2]. Ello se debe a que están conformadas por dos transistores PMOS, como se puede observar en las figuras 9 y 10. Suelen implementarse en las demás arquitecturas para ofrecer valores de resistencias elevados.

1.3.3. Discusión

El artículo “A survey of Neural Front End Amplifiers and Their Requirements toward Practical Neural Interfaces” [2] presenta también una recopilación de trabajos anteriores hasta su fecha de publicación (2014), donde destaca la topología/arquitectura empleada. De toda esta recopilación, se escogieron algunos de ellos por presentar un mejor rendimiento a comparación de los anteriores. A continuación, se muestra una tabla donde se resumen las principales características de estos trabajos sobre amplificadores para adquisición de señales neuronales, cuyas dos primeras columnas fueron agregadas por presentar una estructura *fully differential* basado en un par diferencial complementario.

Tabla 1. Comparación entre trabajos presentados anteriormente (adaptada de [2])

Author	Chae [3]	Liu [6]	Kmon [7]	Yin [8]	Lopez [9]	Sepehrian [10]	Caballero [11]
Year of Publication	2008	2012	2013	2013	2014	2014	2020
Circuit topology/ Architecture	Fully differential self-biased	Fully differential – differential complementary pair	Two stage-folded cascode/ Capacitive feedback	Two-stage / Capacitive feedback	Two-stage / Capacitive feedback	Orthogonal current-reuse/ Capacitive feedback	-
Gain (dB)	40	34/40	48/60	46	29.5/72	45.2-59.7	40
NEF	-	2.59	4.6	3.3	3.08	4.37	3
Frequency range (Hz)	0.1 – 20 k	0.2 – 5.8 k	0.3 – 9 k	0.1 – 7.8 k	0.2 – 6 k	10.02 k BW	20 – 10 k
Noise (μV_{RMS})	4.9	5.71	5	2.83	3.2	3.28	1.4
Supply voltage (V)	1.65	1	1.8	3	1.8	1.8	1.2
Supply current (μA)	-	0.8/0.16	6.1	20	3.9	2.27	29.7
CMRR (dB)	90	>60	48	60	60	76	>75
Power consumption per Ch. (Front-end only) or * entire chip (μW)	6.7	-	11	60	7.02	4.1	36
Area per Ch./ Entire chip (mm^2)	1.08 x 0.17	-	0.065/ N/A	N/A/ (5.2 x 4.9)	0.19/ N/A	0.035/ N/A	-

Los trabajos actuales presentan combinaciones de las topologías/arquitecturas mencionadas anteriormente, de acuerdo con los requerimientos de diseño. Además, existe una innovación en las técnicas para mejorar ciertos parámetros como el ruido, CMRR, potencia o la impedancia de entrada. La importancia de esta revisión es poder entender la estructura básica de un amplificador, para poder luego incluir técnicas para mejorar ciertos parámetros de diseño y los inconvenientes que esto conlleva, pues suele suceder que al implementar un circuito extra para incrementar el CMRR, por ejemplo, se afecta la disipación de potencia y el tamaño. De esta revisión, se adapta la topología *fully differential* de dos etapas por presentar un buen rendimiento.

1.4. Declaración de la problemática

El uso de dispositivos médicos implantables es fundamental para mejorar la calidad de vida de las personas. Esto conlleva un amplio estudio e incita a mejorar cada vez más las consideraciones de diseño. Dentro de estos dispositivos, se destacan los empleados invasivamente para la adquisición de señales neuronales, ya que, a diferencia de los no invasivos, presentan una mayor fidelidad de la señal que se va a registrar. Uno de los bloques a resaltar en este tipo de sistemas es el de amplificación, puesto que las actividades neuronales varían en el rango de microvoltios a milivoltios y el objetivo es poder amplificar la señal sin que el nivel de ruido presente la afecte considerablemente, para un adecuado registro de esta. Ello es muy importante, puesto que con estas señales se puede entender mejor el comportamiento de nuestro cerebro y su posterior aplicación terapéutica. “El diseño de circuitos es una de las tecnologías clave para el uso de dispositivos médicos implantables. Administrar la disipación de potencia y el ruido mientras se cumplen los requisitos específicos de la aplicación es importante para la detección neuronal, y la seguridad es absolutamente esencial para la estimulación” [1]. Desde que se destacó la adaptación de la microelectrónica en el ámbito médico, se ha ido mejorando ciertos parámetros de diseño. Sin embargo, continúa siendo un reto en términos de rendimiento, pues resulta complicado enriquecer varios parámetros a la vez y esto exige mejoras en las nuevas arquitecturas.

1.5. Importancia y justificación

Como se mencionó anteriormente, la etapa de amplificación es muy importante y representa un bloque crítico en el sistema desde la adquisición hasta la transmisión de las señales

neuronales. Como tal, debe ser diseñado bajo estrictos parámetros de diseño, pues más allá de límites técnicos que impone la electrónica que no se deben sobrepasar, están presente los límites presentados por un estudio médico y, por ende, debe cumplir ambas especificaciones por ser un dispositivo que se implanta. En este tipo de aplicaciones existen dos tareas en donde las técnicas analógicas son insustituibles por las digitales: “la amplificación de las débiles señales bioeléctricas a niveles apropiados para ser procesadas y el rechazo a fuentes de interferencia electromagnética (EMI)” [12].

El presente trabajo consiste en el diseño de un amplificador de instrumentación que forma parte de un sistema de adquisición de señales neuronales. La topología utilizada será *fully differential*, por presentar un carácter robusto frente al ruido de modo común. Además, se incluirá una etapa *AC-coupled* para reducir el *offset* del electrodo. Se basará en un par diferencial complementario para obtener un mejor rendimiento frente al ruido de los dispositivos internos, puesto que aumenta la transconductancia equivalente del par diferencial. La tecnología empleada será TSMC 180 nm. Esta debe de estar acompañada de un voltaje de alimentación suficiente para poder polarizar los transistores que conforman el amplificador. Por este motivo, se utilizará un voltaje de alimentación de 1.2 V.

1.6. Objetivos

1.6.1. Objetivo general

- Desarrollar el diseño de un amplificador para adquisición de señales neuronales mediante tecnología CMOS de 180 nm.

1.6.2. Objetivos específicos

- Obtener una ganancia total en la banda pasante de 40 dB.
- Obtener un valor de ruido referido a la entrada menor o igual a $5 \mu\text{V}_{\text{RMS}}$.
- Simular y evaluar los resultados del diseño del amplificador con tecnología TSMC 180 nm en el software *Cadence*, así como realizar las simulaciones Monte Carlo.

Capítulo 2

Amplificadores operacionales CMOS

Los amplificadores operacionales conforman una parte fundamental de varios sistemas analógicos y de señales mixtas, y las complejidades de estos diseños varían de acuerdo con la función que van a cumplir dentro de un sistema [13]. Cuando se desarrolló la tecnología CMOS, esta rápidamente abarcó el mercado digital, debido a sus ventajas frente a los dispositivos bipolares y se aplicó esta tecnología al diseño analógico. Se resalta su bajo costo de fabricación y la posibilidad de colocar circuitos analógicos y digitales en un mismo ASIC [13]. De esta manera, gracias a la escalabilidad de estos dispositivos, se ha impulsado el uso de esta tecnología para su implementación en el diseño de circuitos analógicos, como, por ejemplo, los amplificadores de biopotenciales. En el presente capítulo se definen los conceptos teóricos sobre los amplificadores diferenciales CMOS y la teoría necesaria para su diseño en el capítulo 3.

2.1. Estudio de un amplificador diferencial

El amplificador diferencial es uno de los circuitos más importantes y su modo de funcionamiento diferencial ha permitido que sea una de las principales opciones al momento de diseñar circuitos de señales mixtas y analógicas de alto rendimiento [13]. Para empezar, una señal diferencial es aquella que se mide entre dos nodos. Los amplificadores neuronales necesitan una topología diferencial, por ello se adhiere el par diferencial convencional como etapa de entrada, para rechazar el ruido de modo común y poseer una mayor robustez frente al ruido de la fuente de alimentación [14].

2.1.1. Análisis en gran señal

Un requerimiento muy importante en el diseño de un circuito analógico es establecer el punto de operación, puesto que el análisis en pequeña señal depende de esta condición. Por ejemplo, para determinar la corriente I_{DS} en saturación para un NMOS ($V_{DS} > V_{GS} - V_{TH}$), según su modelo simplificado en inversión fuerte, se muestra la ecuación 1:

$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \dots (1)$$

En la práctica, se conecta una fuente de corriente I_{SS} para que la corriente de polarización de los dispositivos presente una mínima dependencia en el nivel de modo común (CM) de entrada [13], cuya conexión se representa en la figura 11.

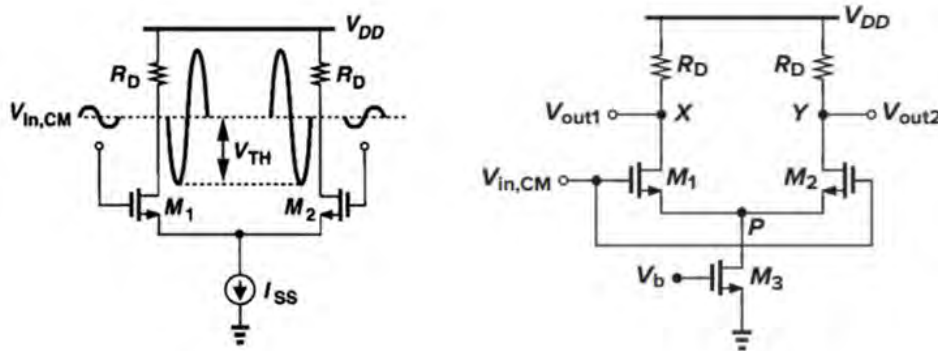


Figura 11. Par diferencial básico [13].

En la ecuación 1 se puede apreciar la relación que existe entre I_{DS} y el voltaje V_{GS} y para el ejemplo del par diferencial básico, M_1 y M_2 deben estar en la región de saturación. Otra relación que se puede obtener del gráfico es que la suma de las corrientes de los transistores M_1 y M_2 debe ser igual a I_{SS} , representado por el transistor M_3 y que el voltaje de modo común de entrada ($V_{in,cm}$) está conectado en las puertas de M_1 y M_2 . Bajo estas condiciones, se establece que el valor permitido por $V_{in,cm}$ debe estar acotado según la expresión 2, puesto que, si no está en ese intervalo, los transistores no van a actuar en la región de trabajo deseada [13].

$$V_{GS1} + (V_{GS3} - V_{TH3}) \leq V_{in,cm} \leq \min \left[V_{DD} - R_D \frac{I_{SS}}{2} + V_{TH}, V_{DD} \right] \dots (2)$$

2.1.2. Análisis en pequeña señal

Luego de realizar el procedimiento anterior, se evalúa el análisis en pequeña señal, que nos indica el cambio en la salida cuando se aplica una variación en la entrada, cuya relación determina la ganancia. Para inversión fuerte, se presentan los modelos en pequeña señal en la figura 2, cuya elección del modelo al momento de realizar los cálculos va a ser determinada según cuánta precisión se requiera.

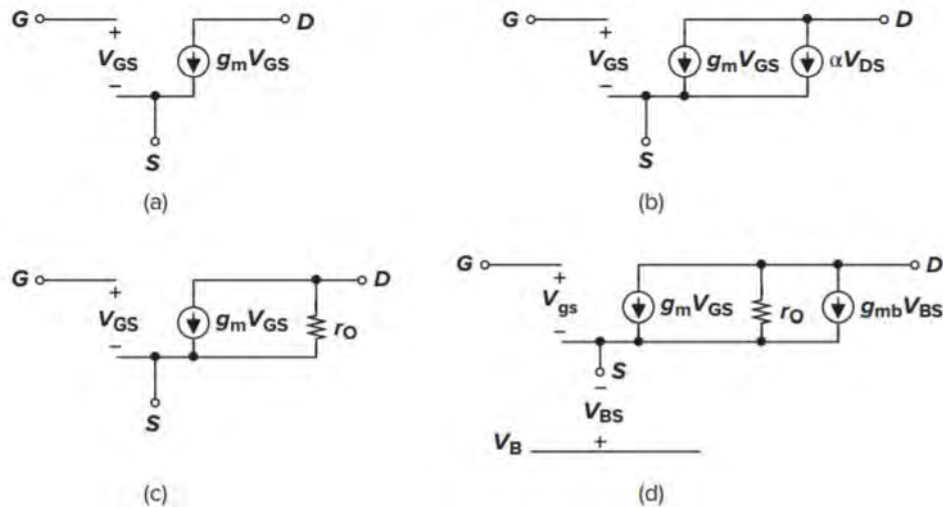


Figura 12. Modelos de pequeña señal. (a) básico, (b) efecto de modulación de canal representado por una fuente de corriente dependiente, (c) efecto de modulación de canal representado por una resistencia, (d) efecto cuerpo representado por una fuente de corriente dependiente [13].

Para el ejemplo del par diferencial básico de la figura 11, si se utiliza el modelo a), el cual es el menos preciso, puesto que no considera el efecto de modulación de canal ni el efecto cuerpo, se obtiene una ganancia de voltaje según la ecuación 3, donde g_m representa la transconductancia.

$$A_v = -g_m R_D \dots (3)$$

2.2. Clasificación según el número de etapas

2.2.1. Amplificadores de una sola etapa

Los amplificadores de una sola etapa pueden poseer salida *single-ended*, como en la figura 13a) o una salida diferencial, como en el caso b). En tal caso, los circuitos mostrados sufren de la contribución de ruido por parte de los transistores M_1 a M_4 . En las topologías de los amplificadores operacionales, por lo menos cuatro dispositivos contribuyen al ruido de entrada: los dos transistores de entrada (M_1 y M_2 en la imagen) y los dos transistores que actúan como carga [13].

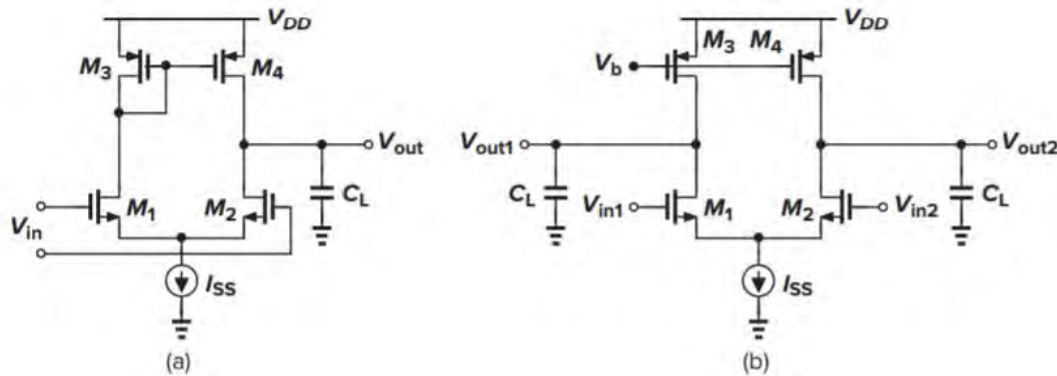


Figura 13. Amplificadores diferenciales de una sola etapa [13].

2.2.2. Amplificadores de dos etapas

Los amplificadores de múltiples etapas suelen emplearse cuando los requerimientos de diseño (por ejemplo: ganancia) no se logran con la implementación de una sola etapa. Sin embargo, es común observar en el estado del arte de los amplificadores de biopotenciales aquellos que emplean dos etapas, puesto que el tamaño es uno de los factores críticos en este tipo de aplicaciones. Otro motivo por el cual es poco probable observar más de dos etapas se debe a que “cada etapa de ganancia introduce por lo menos un polo en la función de transferencia de lazo abierto”, lo que resulta complicado asegurar la estabilidad cuando se realice la realimentación [13]. En el caso de una sola etapa, su ganancia está limitada al producto de la transconductancia del par de entrada y la impedancia de salida [13], mientras que, en los amplificadores de dos etapas, estas se pueden dividir en funciones específicas, como se ve en la figura 14.

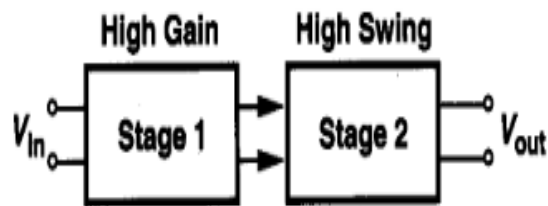


Figura 14. Bloques de un amplificador de dos etapas [13].

En este ejemplo, la primera etapa es de alta ganancia y la segunda permite un mayor rango de voltaje. Así, según esta situación, se podría reemplazar la primera etapa con una topología cascode, puesto que incrementa la ganancia; sin embargo, presenta el inconveniente de limitar el

rango de salida y la segunda etapa compensaría este efecto [13]. De esta manera, ambas etapas se complementan para lograr un mejor desempeño, puesto que, en general, la segunda etapa compensa las dificultades de la etapa anterior.

Cada etapa puede ser implementada con cualquier topología (cascodo, espejos de corriente, par diferencial complementario, etc.) que esté conforme con los requerimientos de diseño. Sin embargo, es típico observar una configuración de *common-source* en la segunda etapa, para obtener un mayor rango de salida [13]. En la figura 15, se puede apreciar que la primera etapa está conformada por los transistores M_1 a M_4 , y la segunda desde M_5 a M_8 .

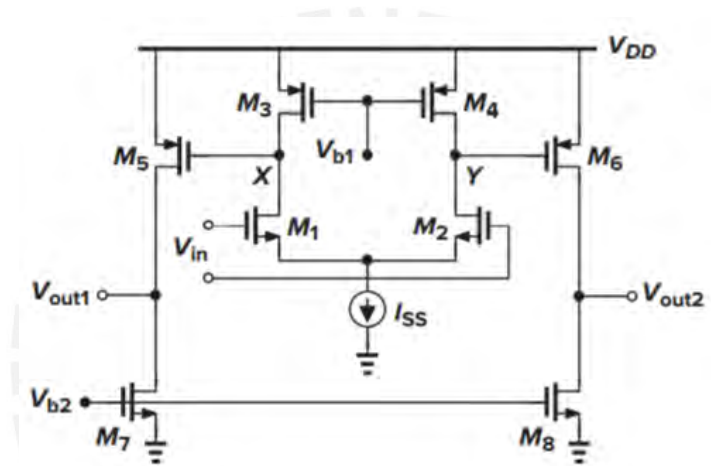


Figura 15. Amplificador diferencial de dos etapas [13].

2.3. Clasificación por la forma de conexión de la salida

2.3.1. Con salida single-ended

Una señal *single-ended* se define como aquella señal que es medida respecto a un potencial fijo, generalmente tierra [13]. En la figura 16 (amplificador de señales neuronales propuesto por R. Harrison) se puede notar que la entrada es diferencial (señales V_+ y V_-), pero la salida no lo es. Para este ejemplo, la salida V_{out} es medida respecto a tierra. En el caso de un amplificador de dos etapas, un método empleado es convertir las corrientes diferenciales de las etapas de salida en un voltaje *single-ended* [13].

2.4. Common Mode Feedback (CMFB) en OpAmps

Los amplificadores operacionales *fully differential* de gran ganancia requieren un circuito de *common mode feedback* (CMFB). Los “*mismatches*” que pueden existir en el circuito producen que el nivel de modo común disminuya o aumente considerablemente, y si no se emplea un circuito CMFB, el OpAmp puede fallar [13], a excepción de los circuitos autopolarizados. El propósito de este circuito es registrar el nivel CM de las dos salidas y ajustar la corriente del circuito amplificador. Este proceso puede dividirse en tres operaciones, tal como se muestra en la figura 18: registrar el nivel de modo común de salida, comparar este valor con una referencia y retornar este error a la red de polarización del amplificador [13].

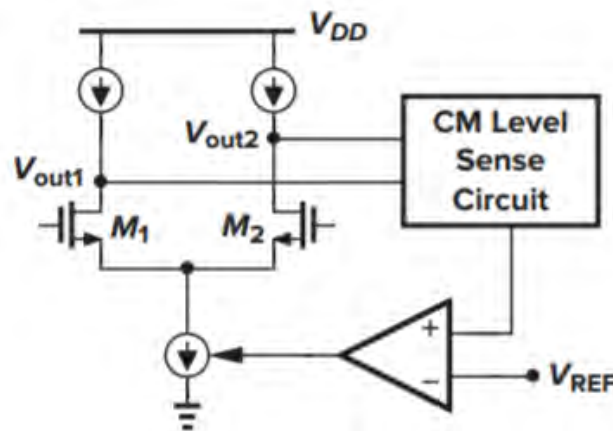


Figura 18. Representación del CMFB [13].

2.5. Especificaciones de la propuesta solución

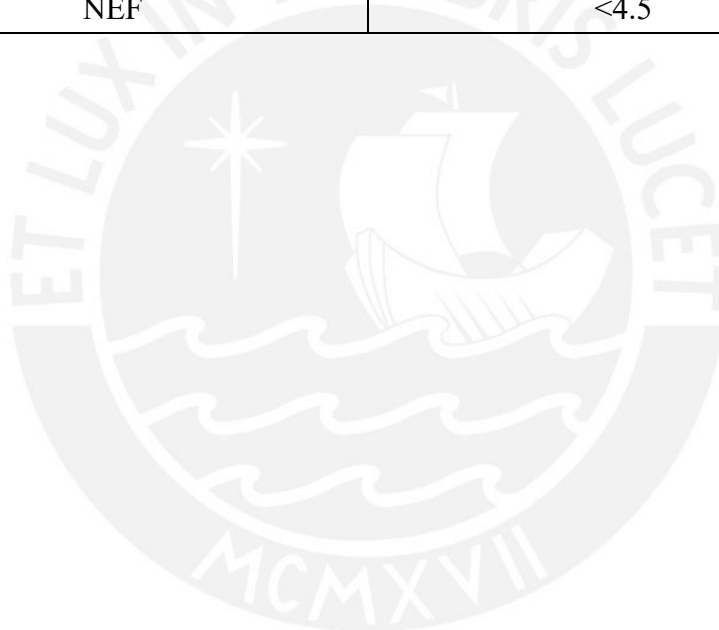
Según lo visto en los capítulos 1 y 2, en esta tesis se trabajará en el diseño de un amplificador *fully differential* de dos etapas, cuya primera etapa está conformada por un par diferencial complementario. Se utilizará realimentación capacitiva y el uso de pseudoresistencias, que presenta la ventaja de mostrar una impedancia muy grande, alrededor de los $G\Omega$, sin utilizar mucho tamaño a comparación de las clásicas resistencias.

Cabe resaltar que se trata de un método invasivo y que se requieren electrodos, los cuales funcionarán como un transductor de entrada. Luego de analizar el estado del arte de los amplificadores para adquisición de señales neuronales junto con valores recomendados por

expertos mostrado en el capítulo 1, se resume en la siguiente tabla los valores que se esperan obtener con el diseño.

Tabla 2. Resumen de los requerimientos de la presente tesis

Parámetro	Requerimiento
Tecnología	180 nm
Voltaje de alimentación	1.2 V
Ganancia	≈ 40 dB
Ancho de banda	≈ 10 kHz
Margen de fase	$>55^\circ$
Potencia	$<6 \mu\text{W}$
Ruido referido a la entrada	$\leq 5 \mu\text{V}_{\text{RMS}}$
NEF	<4.5



Capítulo 3

Diseño del amplificador CMOS

En este capítulo se desarrolla el diseño de un amplificador para adquisición de señales neuronales. El diseño del amplificador operacional (OpAmp) cuenta con dos etapas, cuya primera etapa está basada en un par diferencial complementario. Para ello, mediante los cálculos se estiman los valores de corriente de polarización y las dimensiones (ancho y largo) de los transistores para su correcto funcionamiento en la región en la cual fue diseñada (saturación). El diseño se realiza empleando el software Virtuoso de *Cadence* mediante la tecnología TSMC 180 nm, para comprobar su óptimo funcionamiento y obtener las gráficas necesarias mediante las simulaciones.

3.1. Aspectos generales de diseño analógico

Es importante aclarar que las fórmulas empleadas son una aproximación y que se requiere del software para poder reajustar valores. Sin embargo, su principal utilidad radica en que uno puede observar qué elementos contribuyen a determinado parámetro y son esos elementos los que se modifican. Por ejemplo, si se desea variar la transconductancia, se debe evaluar la corriente, el factor de forma o el voltaje de sobremarcha (*overdrive*). Esta consideración es esencial para el dimensionamiento de los transistores, ya que se debe aumentar el factor de forma, porque la simulación muestra que la transconductancia real es menor a la deseada.

Se emplea la metodología de diseño EKV, ya que, a diferencia del modelo cuadrático, esta permite además trabajar a nivel de cálculos manuales con un modelo de transistor en inversión débil y moderada. La principal ventaja radica en que en inversión débil se puede maximizar la relación entre transconductancia y corriente, lo cual es útil para obtener una mayor transconductancia (para el ruido térmico) con una corriente mínima (menor disipación de potencia). Principalmente, los transistores del par diferencial presentan un bajo coeficiente de inversión y se encuentran en el límite entre inversión moderada y débil, donde en este último caso, la relación g_m/I_D es cercana a 27 V^{-1} . El parámetro de diseño de esta metodología es el coeficiente de inversión (IC), el cual es empleado en algunos diseños en el estado del arte, como en [5] y [14], y establecen los siguientes niveles de inversión:

Tabla 3. Relación entre el coeficiente de inversión y el nivel de inversión

Coeficiente de inversión	Nivel de inversión
$IC < 0.1$	Débil
$0.1 < IC < 10$	Moderada
$IC > 10$	Fuerte

En el capítulo 2 se mencionó que la topología empleada es un *fully differential* de dos etapas, como se puede observar en la figura 19. En esta vista de la estructura interna del amplificador operacional se puede realizar un análisis en gran señal y obtener el dimensionamiento de los transistores que conforman ambas etapas, el cual está desarrollado en la sección 3.4.

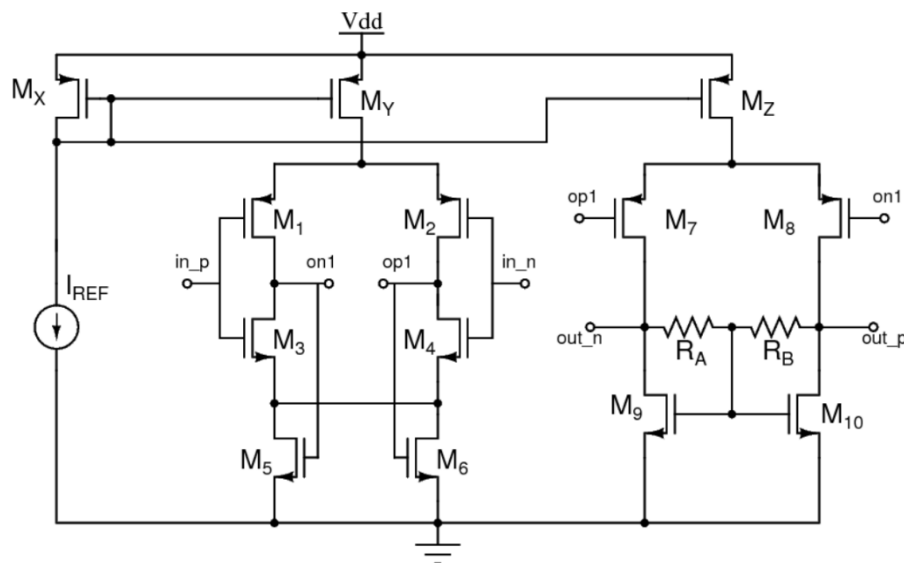


Figura 19. Fully differential de dos etapas.

Asimismo, se estableció en el capítulo anterior que se emplea una realimentación capacitiva, representada por C_0 y C_1 en la figura 20. En esta figura se muestra el esquema general del presente trabajo, en donde el amplificador operacional, representado de color rojo, es completamente diferencial y cuya configuración interna se encuentra en la figura anterior.

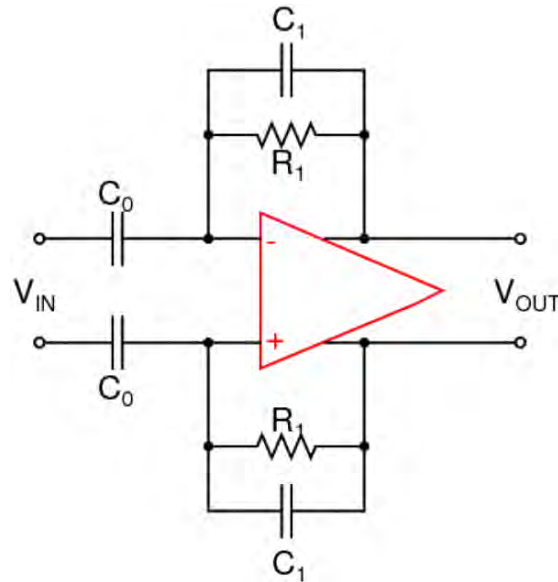


Figura 20. Estructura externa del amplificador de señales neuronales.

Sea $\beta = C_1/(C_0+C_1)$, denominado *feedback factor*, $H(s)$ la función de transferencia del OpAmp y considerando que la resistencia presenta un valor muy elevado (por lo general, mayor a $1 \text{ G}\Omega$) como para ser considerado un circuito abierto, se define la ganancia en lazo cerrado según la siguiente expresión:

$$|A_{CL}| = \left| \frac{V_{OUT}}{V_{IN}} \right| = \frac{C_0}{C_1} \times \frac{\beta H(s)}{1 + \beta H(s)} \dots (4)$$

La ganancia de lazo $\beta H(s)$ se considera mucho mayor que uno (la ganancia en lazo abierto del amplificador debe ser muy grande), por lo que la ganancia en lazo cerrado está delimitada por la relación entre las capacitancias de la realimentación. Como se desea una ganancia en lazo cerrado de 40 dB, esta relación debe ser de 100. Para ello, se escoge que el condensador C_0 presente una capacitancia de 20 pF y, por lo tanto, C_1 debe poseer una capacitancia de 200 fF. La resistencia R_1 permite poder fijar el punto de operación en DC por medio de la realimentación y debe ser incluida para obtener la función de transferencia aproximada del circuito en general. Con las consideraciones mencionadas anteriormente, se construye la función de transferencia:

$$|A_{CL}| = \left| \frac{V_{OUT}}{V_{IN}} \right| = \frac{\frac{1}{sC_1} // R_1}{\frac{1}{sC_0}} = \frac{sC_0 R_1}{1 + sC_1 R_1} \dots (5)$$

Por la forma de la expresión de la función, se puede asemejar a un filtro pasa altos, por lo que se presenta una atenuación en las señales cuyas frecuencias sean menor a la de interés. Se define una frecuencia de interés a partir de 100 Hz y para obtener un error mínimo de 1% a esta frecuencia se obtiene la expresión (6), que se establece a partir del módulo de (5).

$$\frac{1}{\sqrt{1+\left(\frac{f_c}{100}\right)^2}} > 0.99 \dots (6)$$

$$f_c < 14.25 \text{ Hz} \dots (7)$$

Se escoge una frecuencia de corte igual a 10 Hz, cuya expresión puede despejarse de la función de transferencia expresada en (5) y se establece en (8). Como esta frecuencia se ha seleccionado según los requerimientos de diseño, se despeja el valor de la resistencia R_1 .

$$f_c = \frac{1}{2\pi R_1 C_1} = 10 \text{ Hz} \dots (8)$$

$$R_1 \approx 80 \text{ G}\Omega \dots (9)$$

3.2. Análisis en pequeña señal de la propuesta

El análisis en pequeña señal es necesario para poder comprender el comportamiento del circuito frente a variaciones presentes en el mismo. En este caso, se desea obtener una expresión para la ganancia del amplificador en lazo abierto, el cual consta de dos etapas. En la primera etapa se encuentra la topología del par diferencial complementario, en donde la señal de entrada está conectada tanto al transistor PMOS M_1 , como al NMOS M_3 . La segunda etapa sirve para poder ampliar la ganancia de la etapa anterior, cuya salida de la primera etapa es la entrada de la segunda. Para facilidad del análisis, se ha despreciado el efecto cuerpo de los transistores y considerar que los elementos de la primera mitad son iguales que la segunda mitad en cada etapa (mismas dimensiones). En otros términos, $M_1 = M_2$, $M_3 = M_4$, $M_5 = M_6$, $M_7 = M_8$, $M_9 = M_{10}$ y $R_A = R_B$. Tanto en la primera etapa como en la segunda se puede observar la presencia de los potenciales V_{vg1} y V_{vg2} , los cuales son considerados tierras virtuales, es decir, el potencial en ese nodo es cero. Para el caso de V_{vg1} , va conectado el transistor que polariza a cada etapa y, debido a la topología simétrica del amplificador, es válido utilizar el concepto de análisis de medio circuito. No obstante,

se demostrará que el potencial V_{vg2} es una tierra virtual, lo cual, permite simplificar considerablemente el cálculo de la ganancia.

Para una mayor visualización del análisis en pequeña señal, se ha descompuesto el circuito en sus dos etapas, como se puede observar en las figuras 21 y 23. La ganancia del *fully differential* es la multiplicación de las ganancias de cada etapa, es decir, $A_v = A_{v1} \times A_{v2}$, donde A_{v1} es la ganancia de la primera etapa y A_{v2} la ganancia de la segunda etapa.

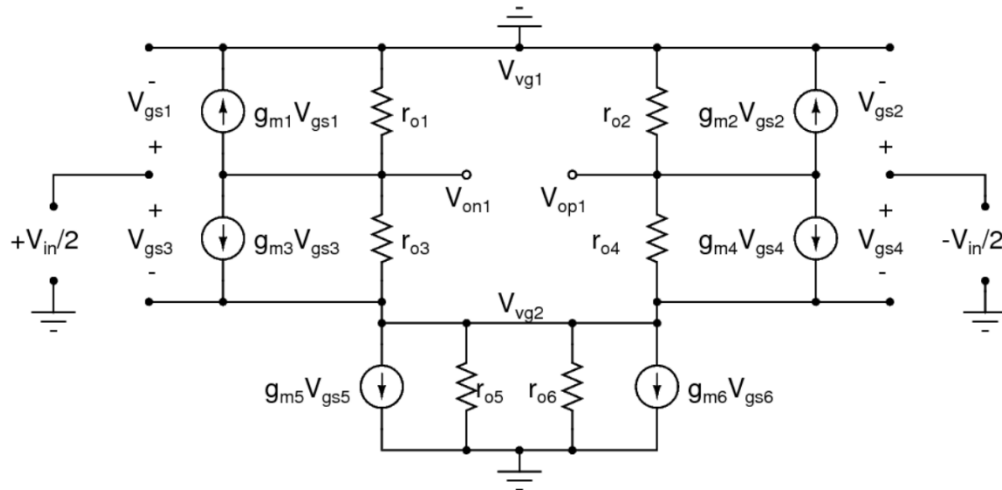


Figura 21. Modelo de pequeña señal de la primera etapa del fully differential.

Del circuito presentado en la figura 21, se establecen las relaciones (10) y (11), que parten del análisis de corriente.

$$-g_{m1} \frac{V_{in}}{2} - \frac{V_{on1}}{r_{o1}} = g_{m3} \left(\frac{V_{in}}{2} - V_{vg2} \right) + \frac{V_{on1} - V_{vg2}}{r_{o3}} \dots (10)$$

$$g_{m1} \frac{V_{in}}{2} - \frac{V_{op1}}{r_{o1}} = g_{m3} \left(-\frac{V_{in}}{2} - V_{vg2} \right) + \frac{V_{op1} - V_{vg2}}{r_{o3}} \dots (11)$$

De (10) y (11) y reordenando términos, se obtiene la siguiente expresión, que sirve para analizar el valor de V_{vg2} .

$$(V_{on1} + V_{op1}) \left(\frac{1}{r_{o1}} + \frac{1}{r_{o3}} \right) = 2V_{vg2} (g_{m3} + \frac{1}{r_{o3}}) \dots (12)$$

Como $V_{on1} = -V_{op1}$ y tanto las resistencias como la transconductancia son distintas de cero, se deduce que V_{vg2} tiene que ser cero, para poder cumplir la igualdad en (12). Con este último dato, el circuito presentado en la figura 21 se puede reducir al circuito mostrado en la figura 22. Con este esquema se puede determinar fácilmente la ganancia, cuya expresión está en (13).

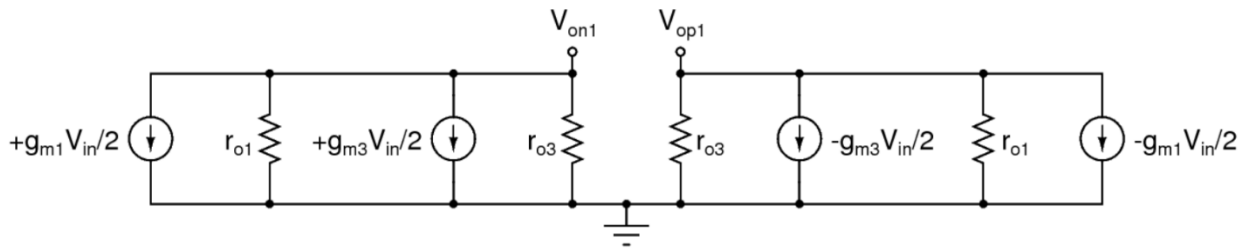


Figura 22. Modelo simplificado de pequeña señal de la primera etapa.

$$|A_{v1}| = (g_{m1} + g_{m3})(r_{o1} // r_{o3}) \dots (13)$$

Mediante la simulación, se obtuvo una ganancia de 54.5 dB, que, como se puede observar en la expresión (13), depende de las transconductancias y de las resistencias de salida de M₁ y M₃. Un procedimiento similar se aplica a la segunda etapa, mostrada en la siguiente figura.

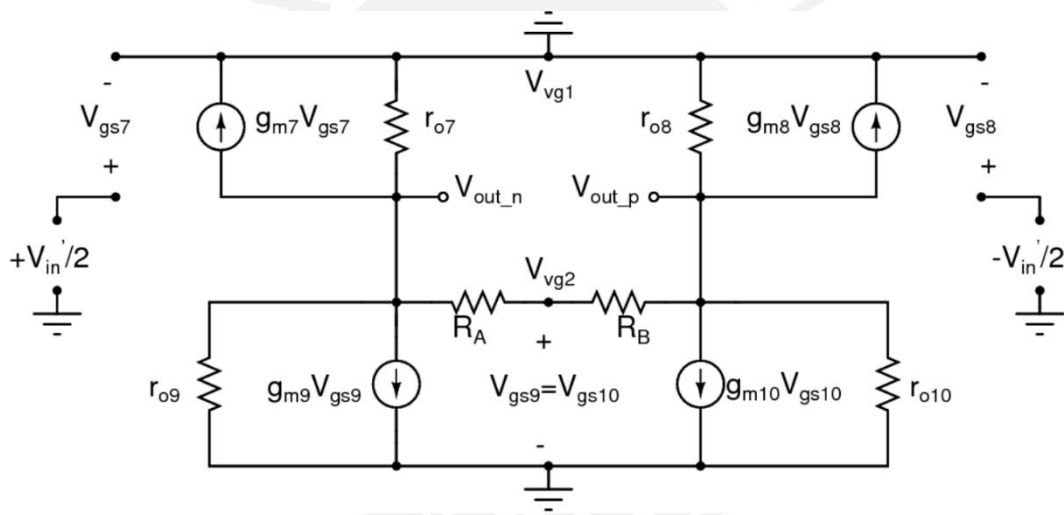


Figura 23. Modelo de pequeña señal de la segunda etapa del fully differential.

De este circuito, se establece la expresión (14), que relaciona la corriente que fluye a través de R_A y de R_B.

$$\frac{V_{vg2} - V_{out_n}}{R_A} = - \left(\frac{V_{vg2} - V_{out_p}}{R_A} \right) \dots (14)$$

$$2V_{vg2} = V_{out_n} + V_{out_p} \dots (15)$$

Como $V_{out_n} = -V_{out_p}$, se deduce según (15) que V_{vg2} tiene que ser cero, para poder cumplir la igualdad y por tal motivo, el circuito de la segunda etapa se simplifica y se muestra en la figura 24. Con esta representación, se obtiene la expresión de la ganancia mostrada en (16).

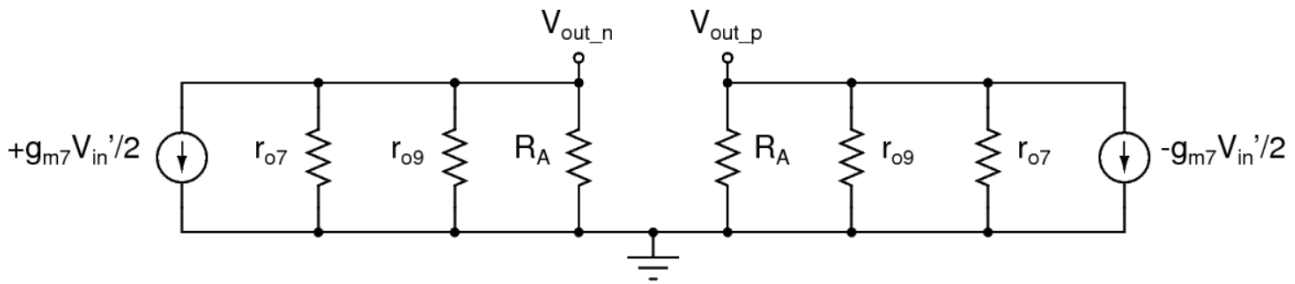


Figura 24. Modelo simplificado de pequeña señal de la segunda etapa.

$$|A_{v2}| = g_{m7}(r_{o7} // r_{o9} // R_A) \dots (16)$$

Para el diseño de la resistencia R_A , se establece este valor para una pérdida de ganancia no mayor a 1 dB. La simulación muestra los valores de las resistencias de salida $r_{o7} = 200 \text{ M}\Omega$ y $r_{o9} = 400 \text{ M}\Omega$. Con estas consideraciones, se obtiene que R_A debe ser alrededor de $1.2 \text{ G}\Omega$. Con este valor en cuenta, la ganancia estimada es de 52.03 dB. Por lo tanto, la ganancia total en lazo abierto es de aproximadamente 105 dB.

3.3. Ruido en amplificadores operacionales

Como se mencionó en el capítulo 1, la amplitud de las señales neuronales puede variar en rango de microvoltios a milivoltios y, debido a su pequeña amplitud, es fácilmente corruptible por el ruido. En esta sección se analiza el ruido térmico y el *flicker*, puesto que son las dos fuentes de ruido más comunes en un amplificador. Es importante analizar qué tipo de ruido es el que más contribuye y enfocar el análisis en disminuir ese aporte. Para el caso del ruido térmico, se debe aumentar la transconductancia o el factor de forma y en el caso del ruido *flicker*, se debe aumentar el área del par de entrada para reducir el ruido [2]. Además, se suele recomendar emplear transistores PMOS como par de entrada, pues exhiben un menor ruido *flicker* a comparación de los NMOS [13].

3.3.1. Ruido térmico

La fuente de ruido más significativa es la generada en el canal del transistor. Para dispositivos MOS de canal largo que operan en saturación, se modela como una fuente de corriente conectada entre los terminales de drenador y surtidor [13], como indica la figura 25.

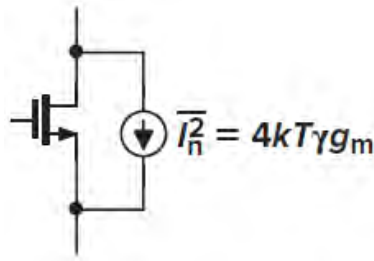


Figura 25. Ruido térmico en un transistor [13].

Además, en la figura se muestra la densidad espectral de corriente, con unidades de A^2/Hz , como indica la expresión $\bar{i}_n^2 = 4kT\gamma g_m$, donde k es la constante de Boltzmann, T es la temperatura en kelvin, γ es un coeficiente que suele asumirse como uno y g_m es la transconductancia del transistor.

3.3.2. Ruido flicker

En la interfaz entre el óxido de la puerta y el sustrato de silicio de un MOSFET, donde el silicio llega a su fin, aparecen enlaces “colgantes” (*dangling bonds*) que dan lugar a estados de energía extra [13], como se muestra en la figura 26. A medida que los portadores de carga se mueven en la interfaz, algunos quedan atrapados y luego liberados por tales estados de energía, lo cual, introduce el conocido ruido *flicker* en la corriente de drenaje [13].

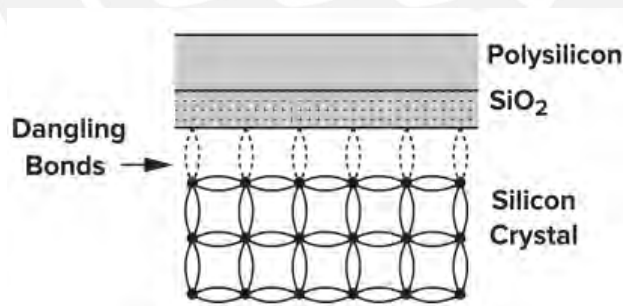


Figura 26. Enlaces colgantes en la interfaz óxido-silicio [13].

Este ruido es más difícil de estimar a comparación del ruido térmico, debido a que depende de factores como la “limpieza” de la interfaz óxido-silicio entre otros mecanismos que podrían generarlo [13]. La densidad espectral de corriente en la región de saturación se puede aproximar según la fórmula (17).

$$\bar{I}_n^2 = \frac{K}{C_{ox}WLf} g_m^2 \dots (17)$$

Esta expresión cuenta con una constante K que depende del proceso y se encuentra en el orden de $10^{-25} \text{ V}^2\text{F}$ [13]. Lo más interesante de la expresión es el componente $1/f$, por lo que se espera que, a bajas frecuencias, este ruido presente un alto valor y luego disminuye a medida que la frecuencia aumenta.

3.3.3. Análisis de ruido

En un circuito existen múltiples fuentes de ruido, en virtud de la presencia de los distintos transistores que lo conforman. Para poder obtener un ruido equivalente y determinar el desempeño del amplificador, este suele representarse por el ruido referido a la entrada y el ruido referido a la salida. Sin embargo, este último no permite una comparación justa del desempeño de diferentes circuitos, ya que depende de la ganancia [13], razón por la cual es muy común ver en el estado del arte el ruido referido a la entrada y es esta métrica la que se representa en el esquema de la figura 27, con un circuito sin ruido ideal y una única fuente de ruido en la entrada. Cabe destacar que esta representación matemática es solo una aproximación, debido a otros fenómenos que pueden ocurrir en un circuito real.

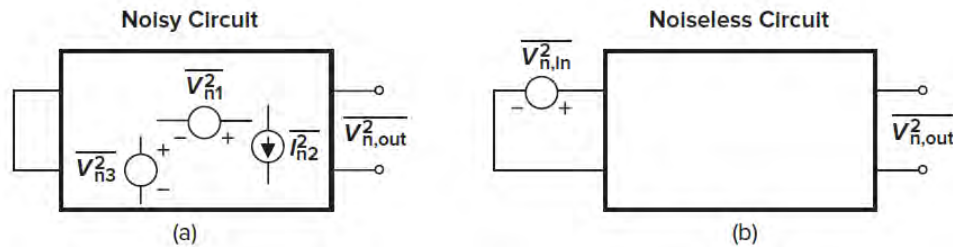


Figura 27. Representación del ruido referido a la entrada [13].

Para estimar el valor del ruido referido a la entrada, se puede calcular el ruido en la salida y dividirlo por la ganancia. En el presente análisis, se trabaja con las densidades espectrales, por lo que en realidad se debe dividir por el cuadrado de la ganancia para obtener la densidad espectral de ruido referida a la entrada. En las secciones anteriores, se ha mencionado la expresión de \bar{I}_n^2 , la cual se puede convertir a voltaje $\overline{V_n^2}$ dividiendo por el cuadrado de la transconductancia. El ruido producido por la segunda etapa, al ser atenuado por la ganancia, suele ser un valor despreciable en comparación al ruido de la primera etapa al momento de referenciarlo a la entrada. Además, de la

primera etapa, el análisis está enfocado en los transistores del par diferencial de entrada (M_1 , M_2 , M_3 y M_4). Con estas consideraciones se puede aproximar el cálculo de ruido térmico referido a la entrada mediante las ecuaciones (18) y (19), hasta llegar al valor en (22).

$$\overline{v_{on1}^2} = (\overline{In_1^2} + \overline{In_3^2})(r_1 // r_3)^2 \dots (18)$$

$$\overline{v_{op1}^2} = (\overline{In_2^2} + \overline{In_4^2})(r_2 // r_4)^2 \dots (19)$$

$$\overline{v_{out1}^2} = \overline{v_{on1}^2} + \overline{v_{op1}^2} = 2(\overline{In_1^2} + \overline{In_3^2})(r_1 // r_3)^2 \dots (20)$$

$$\overline{v_{in}^2} = \frac{\overline{v_{out}^2}}{A_v^2} \approx \frac{2(\overline{In_1^2} + \overline{In_3^2})(r_1 // r_3)^2}{(g_{m1} + g_{m3})^2 (r_1 // r_3)^2} = \frac{2(4kT\gamma g_{m1} + 4kT\gamma g_{m3})}{(g_{m1} + g_{m3})^2} \dots (21)$$

$$\overline{v_{in}^2} \approx \frac{8kT\gamma}{g_{m1} + g_{m3}} \dots (22)$$

Un procedimiento similar se puede aplicar al análisis de ruido *flicker*; sin embargo, para un ancho de banda de 10 kHz, su contribución se puede despreciar. La densidad espectral de voltaje determinada en (22) tiene unidades de V^2/Hz , por lo que debería integrarse en el ancho de banda deseado y la raíz cuadrada de ese valor debe ser menor a $5\mu V_{\text{RMS}}$. El objetivo de esta aproximación es poder despejar la suma de las transconductancias de los transistores M_1 y M_3 , debido a que los demás parámetros son constantes. De este análisis y considerando un margen de seguridad por las aproximaciones, se calcula un valor de 25 μS , por lo que 12.5 μS corresponde a M_1 y a M_3 . Con este valor de transconductancia se parte el dimensionamiento de los transistores en la sección 3.4 para satisfacer el requerimiento de ruido. En la tabla 4 se resume la contribución de ruido de los cuatro transistores de entrada de la primera etapa que el simulador ha calculado.

Tabla 4. Resumen de los resultados del análisis de ruido por el simulador

Transistor	Tipo de ruido	Contribución de ruido respecto al total	
M_1	Ruido térmico	22.83 %	95.5 %
M_2		22.83 %	
M_3		24.92 %	
M_4		24.92 %	
M_1	Ruido flicker	1.87 %	4.5 %
M_2		1.87 %	
M_3		0.38 %	
M_4		0.38 %	

Como se puede observar, la mayor contribución (95.5 %) corresponde al ruido térmico, por lo que la aproximación considerada anteriormente es válida. Con estos valores, el simulador muestra un ruido referido a la entrada de $4.96 \mu V_{RMS}$.

3.4. Dimensionamiento de los transistores

En esta sección se realiza el análisis para estimar las dimensiones de los transistores de la primera y la segunda etapa del amplificador para adquisición de señales neuronales. Ambas etapas se dividen en subsecciones de transistores de entrada y los transistores que conforman el *Common Mode Feedback* (CMFB), para establecer un mayor orden en el diseño.

3.4.1. Primera etapa

La primera etapa está compuesta por los transistores M_1 hasta M_6 , de los cuales, $M_1 - M_4$ corresponden a los transistores de entrada (por ser par diferencial complementario) y $M_5 - M_6$ los del CMFB.

3.4.1.1. Transistores de entrada

Del criterio de ruido se establece que la transconductancia de los transistores M_1 y M_3 es de $12.5 \mu S$ cada uno. Además, como cada etapa es simétrica, se considera que M_1 es igual a M_2 , así como M_3 es igual a M_4 , por lo que presentan las mismas dimensiones. De la metodología EKV, se obtiene la expresión de la transconductancia en cualquier nivel de inversión, el cual está expresado en la fórmula (23), con la transconductancia, la corriente y el coeficiente de inversión como variables.

$$g_m = \frac{2I_D}{n\phi_t} \frac{1}{\sqrt{1+4IC}+1} \dots (23)$$

De esta expresión, se despeja el valor de la corriente de drenador en (24) y se establece su valor mínimo en (26), considerando un coeficiente de inversión igual a cero.

$$I_D = \frac{n\phi_t}{2} g_m (\sqrt{1+4IC} + 1) \dots (24)$$

$$I_{D_{min}} = n\phi_t g_m \dots (25)$$

$$I_{D_{min}} = 1.364 \times 25.9 \text{ mV} \times 12.5 \text{ } \mu\text{S} = 441.6 \text{ nA} \dots (26)$$

Se escoge una corriente mayor al mínimo para poder llegar teóricamente al valor de la transconductancia deseada. Por tal motivo, la corriente que pasa por cada transistor es $I_D = 500 \text{ nA}$. De esto, se concluye que $I_Y = 2 \times 500 \text{ nA} = 1 \text{ } \mu\text{A}$.

a) Transistores PMOS (M_1 y M_2)

Se despeja el coeficiente de inversión de la fórmula de transconductancia en (23), considerando una corriente de 500 nA y una transconductancia de $12.5 \text{ } \mu\text{S}$, y se muestra en la expresión (27).

$$12.5 \text{ } \mu\text{S} = \frac{2 \times 500 \text{ nA}}{1.29 \times 25.9 \text{ mV}} \times \frac{1}{\sqrt{1+4IC+1}} \dots (27)$$

$$IC = 0.226 \dots (28)$$

Con este valor calculado, se reemplaza en la fórmula (29), la cual permite hallar el factor de forma W/L , conociendo la corriente, IC y el valor de I_{spec} , el cual es una constante que difiere en caso de emplear PMOS o NMOS. Luego de reemplazar los valores, se obtiene el factor de forma del PMOS en (31).

$$IC = \frac{I_D}{I_S} = \frac{I_D}{I_{spec} \frac{W}{L}} \dots (29)$$

$$0.236 = \frac{500 \text{ nA}}{148 \text{ nA} \frac{W}{L}} \dots (30)$$

$$\frac{W}{L} = 15 = \frac{75 \text{ } \mu\text{m}}{5 \text{ } \mu\text{m}} \dots (31)$$

Se escoge un factor de forma mayor para poder llegar a la transconductancia de $12.5 \text{ } \mu\text{S}$. Principalmente, los transistores del par diferencial deben aumentarse en mayor proporción. Con ayuda del simulador, se ajusta el valor a 28.

b) Transistores NMOS (M_3 y M_4)

Un idéntico procedimiento se aplica para los NMOS del par de entrada, debido a que, al ser un par diferencial complementario, poseen los mismos requerimientos que el caso anterior con PMOS. No obstante, los resultados divergen, a causa de que presentan diferentes valores de n y de I_{spec} . Bajo estas consideraciones, se calcula IC , cuyo resultado se encuentra en (32) y se reemplaza en la fórmula (29) para obtener el factor de forma.

$$12.5 \mu S = \frac{2 \times 500 \text{ nA}}{1.364 \times 25.9 \text{ mV}} \times \frac{1}{\sqrt{1+4IC+1}} \dots (32)$$

$$IC = 0.138 \dots (33)$$

$$0.138 = \frac{500 \text{ nA}}{546.8 \text{ nA} \frac{W}{L}} \dots (34)$$

$$\frac{W}{L} = 6.6 = \frac{33 \mu m}{5 \mu m} \dots (35)$$

Se escoge un factor de forma de 24, bajo el mismo criterio indicado en el dimensionamiento del PMOS.

3.4.1.2. Transistores que conforman el CMFB

Para este análisis, se considera que el voltaje de modo común de entrada es de 0.6 V, el cual corresponde al voltaje en la puerta de los transistores de entrada, como se puede observar en la figura 28. Además, esta figura permite ayudar en el análisis de los transistores que conforman el CMFB, debido a la conexión entre M_3 y M_5 , por lo que debe tenerse cuidado al garantizar la saturación de ambos transistores. Si bien se desea encontrar las dimensiones de M_5 y de M_6 , se debe tener en cuenta las condiciones de los transistores M_3 y M_4 , puesto que el surtidor de M_3 es el drenador de M_5 y el drenador de M_3 es la puerta de M_5 .

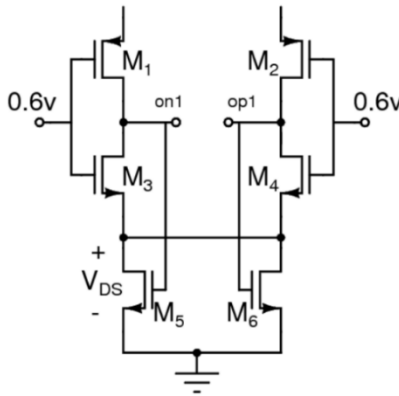


Figura 28. Esquema de la primera etapa del amplificador.

En la subsección anterior se determinó el coeficiente de inversión de M_3 , el cual se puede reemplazar en la fórmula de inversión débil en (36) para determinar el potencial en el surtidor (si bien el IC es igual a 0.138, es muy cercano al límite de 0.1, por lo que para el análisis es válido aplicar la fórmula).

$$\frac{V_G - V_{TON}}{n} - V_S = \varphi_t \ln(IC) \dots (36)$$

$$\frac{0.6 - 0.44}{1.364} - V_S = 25.9 \text{ mV} \times \ln(0.138) \dots (37)$$

$$V_S = 168.6 \text{ mV} \dots (38)$$

De la figura 28, también se puede definir gráficamente que el potencial en el surtidor de M_3 hallado en (38) es igual al V_{DS} del transistor M_5 . Para este transistor, como no se sabe su nivel de inversión, se utiliza la expresión general del NMOS en (39). Sin embargo, como esta expresión relaciona el V_{GS} de M_5 , para que se encuentre en saturación el V_{DS} debe ser mayor que $V_{GS} - V_{TH}$, motivo por el cual, la expresión (39) tiene que ser menor a $(168.6/n)$ mV, cuya simplificación se desarrolla en (40), para luego obtener el rango del IC.

$$\frac{V_G - V_{TON}}{n} - V_S = \varphi_t \{ \sqrt{4IC + 1} - 2 + \ln(\sqrt{4IC + 1} - 1) \} \dots (39)$$

$$4.77 > \{ \sqrt{4IC + 1} - 2 + \ln(\sqrt{4IC + 1} - 1) \} \dots (40)$$

$$IC < 6.8 \dots (41)$$

Con esta desigualdad, el coeficiente de inversión se reemplaza en (29), para estimar el rango del factor de forma para el transistor M_5 .

$$\frac{W}{L} > \frac{1}{7.5} \dots (42)$$

La condición de saturación se aplica al transistor M_3 en (43), debido a la relación entre V_{G5} y V_{D3} , el cual corresponde a “on1” en la figura 28, y para el análisis en DC, este valor coincide con el voltaje de salida de modo común de la primera etapa. Este valor idealmente debería ser de 600 mV; no obstante, su valor real es menor, pero debe ser mayor a 160 mV según lo establecido en (44).

$$V_{G5} = V_{D3} > V_{G3} - V_{TON} \dots (43)$$

$$V_{G5} > 0.16 \text{ V} \dots (44)$$

Según las consideraciones anteriores, se obtiene un factor de forma de 0.667, el cual se reemplaza en (29) y se obtiene un coeficiente de inversión igual a 1.37 y satisface (41).

3.4.2. Segunda etapa

La segunda etapa está compuesta por los transistores M_7 hasta M_{10} , de los cuales, $M_7 - M_8$ corresponden a los transistores de entrada y $M_9 - M_{10}$ los del CMFB. Para esta etapa, se ha considerado el efecto que tiene la realimentación en el amplificador operacional. El voltaje de modo común de salida afecta al modo común de entrada; por lo cual, los transistores de carga de la primera etapa pueden no estar en saturación. Entonces, para polarizar adecuadamente estos transistores, se establece que el voltaje de modo común de salida (V_{CMout}) debe ser por lo menos 500 mV. Mediante el simulador, en la figura 29 se muestra la corriente necesaria para poder obtener este valor de voltaje, el cual coincide numéricamente con el V_{DS} de los transistores M_9 y M_{10} .

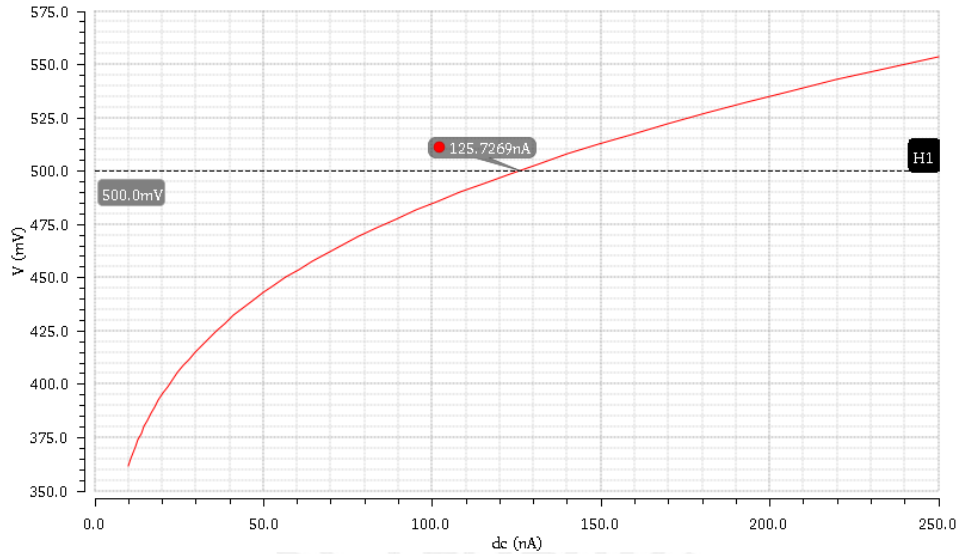


Figura 29. Gráfica de la relación entre corriente y V_{DS} en el transistor M_9 .

3.4.2.1. Transistores de entrada

Con la consideración mencionada anteriormente, se obtiene una corriente de 125 nA por cada transistor. En este caso, el valor de la transconductancia no es un factor determinante para el análisis en DC. Sin embargo, se calcula el valor máximo teórico para los transistores PMOS y se escoge un valor adecuado para poder estimar el coeficiente de inversión. Para los transistores PMOS (M_7 y M_8) se determina la transconductancia máxima según (45).

$$g_{m_{max}} = \frac{I_D}{n\phi_t} = \frac{125nA}{1.29 \times 25.9mV} = 3.74 \mu S \dots (45)$$

Se escoge una transconductancia de $3.33 \mu S$ y este se reemplaza en la fórmula de la transconductancia en cualquier nivel de inversión, para despejar el coeficiente de inversión y luego con este valor reemplazar en (29) para obtener el factor de forma, tal como se ha estado desarrollando en la sección 3.4.

$$3.33 \mu S = \frac{2 \times 125 nA}{1.29 \times 25.9 mV} \times \frac{1}{\sqrt{1+4IC+1}} \dots (46)$$

$$IC = 0.139 \dots (47)$$

$$0.139 = \frac{125 nA}{148 nA \frac{W}{L}} \dots (48)$$

$$\frac{W}{L} = 6.07 = \frac{30.35 \mu m}{5 \mu m} \dots (49)$$

Con esta consideración y con ayuda del simulador, se escoge un factor de forma de 7, para cumplir con los requerimientos indicados.

3.4.2.2. Transistores que conforman el CMFB

El voltaje entre drenador y surtidor de los transistores M_9 y M_{10} es igual a 500 mV y este valor coincide con el V_{GS} de ambos, puesto que se desprecia la corriente que fluye a través de la puerta. Como el surtidor está a tierra, se deduce que el potencial en la puerta V_G es igual a 0.5 V y se reemplaza en la expresión general del NMOS expresado en (39), para poder despejar el coeficiente de inversión y con este hallar W/L .

$$\frac{0.5-0.44}{1.364} - 0 = 25.9 \text{ mV} \{ \sqrt{4xIC + 1} - 2 + \ln(\sqrt{4xIC + 1} - 1) \} \dots (50)$$

$$IC = 2 \dots (51)$$

$$2 = \frac{125 \text{ nA}}{546.8 \text{ nA} \frac{W}{L}} \dots (52)$$

$$\frac{W}{L} \approx 0.11 \approx \frac{1 \mu m}{10 \mu m} \dots (53)$$

Para este caso, se ha determinado un factor de forma de 0.1.

3.4.3. Circuito de polarización

El circuito de polarización es necesario para poder alimentar las etapas del amplificador, así que un correcto diseño analógico debe incluir el dimensionamiento de estos transistores. La configuración más empleada es la de un espejo de corriente, cuyo principio de funcionamiento es copiar una corriente de referencia (I_{REF}), para lo cual se asume que el circuito cuenta con una fuente de corriente bien definida. Para el presente trabajo, se ha empleado un espejo de corriente básico, debido a que presenta una menor cantidad de transistores a diferencia de uno de tipo cascode, que, si bien presenta una mejor impedancia de salida (la cual es deseada), su tamaño es mayor. En la figura 30 se puede observar que el arreglo entre el transistor M_X - M_Y permite copiar la corriente de referencia I_{REF} en una corriente I_Y que polarizará los transistores de la primera etapa. La misma

situación ocurre con el arreglo M_X - M_Z , el cual sirve para polarizar los transistores de la segunda etapa.

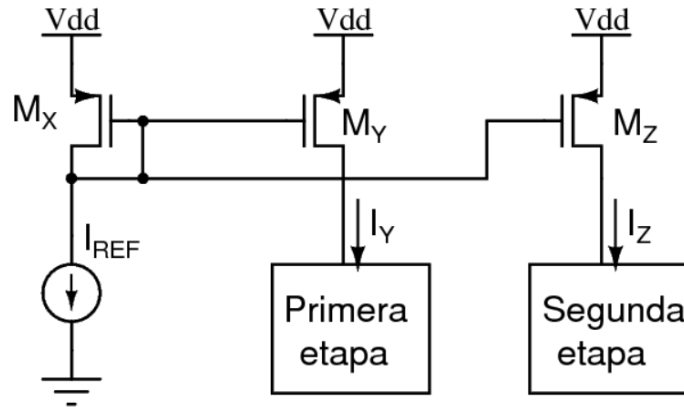


Figura 30. Espejo de corriente con transistores PMOS.

Según el modelo cuadrático, se presentan las ecuaciones de corriente para los transistores M_X y M_Y :

$$I_{REF} = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_1 (V_{GS} - |V_{TOP}|)^2 (1 + \lambda V_{SD1}) \dots (54)$$

$$I_Y = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_2 (V_{GS} - |V_{TOP}|)^2 (1 + \lambda V_{SD2}) \dots (55)$$

Considerando un voltaje de *threshold* (V_{TOP}) igual entre los transistores y despreciando el efecto de modulación de canal, se obtiene la siguiente relación

$$I_Y = \frac{(W/L)_2}{(W/L)_1} I_{REF} \dots (56)$$

Como se puede observar, la corriente que se copia es una versión escalada que depende principalmente del factor de forma. El mismo procedimiento se puede aplicar para M_X - M_Z , expresado en (57).

$$I_Z = \frac{(W/L)_3}{(W/L)_1} I_{REF} \dots (57)$$

Para este diseño, se emplea una corriente de referencia de 250 nA y los tres transistores emplean la misma longitud (2 μm). Así, la relación entre las corrientes está determinada por el

ancho de los transistores. Debido a que el drenador de M_Y es el surtidor de M_1 , tal como se observa en la figura 31, se aplica la expresión general del PMOS indicada en (58) para M_1 ($I_C = 0.226$) y de esta manera obtener V_{BS} en (60).

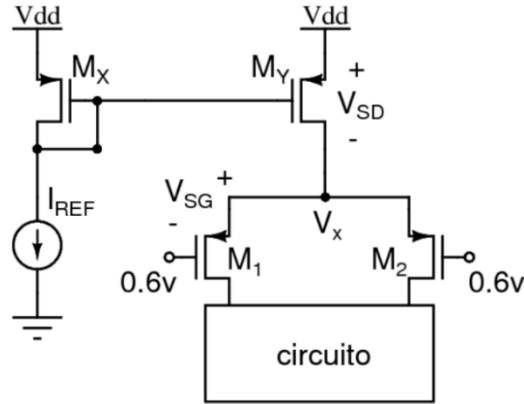


Figura 31. Análisis de V_{SD} de M_Y considerando el efecto de los PMOS de la primera etapa.

$$\frac{V_{BG} - |V_{T0P}|}{n} - V_{BS} = \phi_t \left\{ \sqrt{4IC + 1} - 2 + \ln(\sqrt{4IC + 1} - 1) \right\} \dots (58)$$

$$\frac{0.6 - 0.44}{1.29} - V_{BS} = 25.9 \text{ mV} \left\{ \sqrt{4 \times 0.226 + 1} - 2 + \ln(\sqrt{4 \times 0.226 + 1} - 1) \right\} \dots (59)$$

$$V_{BS} \approx 165 \text{ mV} \dots (60)$$

Numéricamente, $V_B = V_{DD} = 1.2 \text{ V}$ y como $V_X = V_{S1} = V_{D_Y}$, se deduce junto con la figura 31 que el valor en (60) es equivalente al V_{SD} del transistor M_Y . Entonces, el voltaje de *overdrive* V_{ov} de M_Y debe ser menor a 165 mV para que se encuentre saturado. Asumiendo inversión fuerte, se tiene la aproximación en (61).

$$1 \mu\text{A} < \frac{1}{2 \times 1.29} \times 85.5 \mu \frac{W}{L} 0.165^2 \dots (61)$$

$$\frac{W}{L} > 1.11 \dots (62)$$

Se escoge un valor de $(W/L)_2$ igual a 2 ($4 \mu\text{m}/2 \mu\text{m}$). Con esta consideración, se reemplaza en la expresión (56) y se despeja $(W/L)_1$, que es el dimensionamiento del transistor que está conectado como diodo (M_X). Se obtiene un $(W/L)_1 = 0.5$, pero como $L = 2 \mu\text{m}$, entonces $W = 1 \mu\text{m}$. Para la segunda etapa, la corriente $I_Z = 250 \text{ nA}$ es igual a la corriente de referencia. Por lo tanto, las dimensiones del transistor M_Z son iguales a la de M_X según (57).

3.5. Consideraciones finales

La suma de las transconductancias de los transistores M_1 y M_3 debe emplearse para calcular la capacitancia de Miller según la ecuación (63), para un GBW de 1 MHz:

$$g_m = 2\pi \times GBW \times C_M \dots (63)$$

Se obtiene un C_M equivalente de 4 pF. Sin embargo, luego de simular este valor, el GBW es de aproximadamente 924 kHz, en lugar de 1 MHz y esto se debe a la presencia de las capacitancias parásitas. Según los cálculos, se estima una capacitancia parásita de 0.36 pF. Por lo tanto, la capacitancia de Miller que en realidad se debe implementar es igual a 4 pF menos el aporte de las parásitas, lo cual da un $C_M = 3.64$ pF aproximadamente. Para completar la compensación, se conecta en serie al capacitor una resistencia R_P cuyo valor es igual a la inversa de g_{m7} ($3.33 \mu S$), lo que resulta $300 \text{ k}\Omega$. Este bloque RC en serie se conecta entre la entrada y la salida de la segunda etapa. Finalmente, se resumen las dimensiones de los transistores empleados, así como los valores de las resistencias y capacitores presentes en este capítulo y se muestran en la tabla 5.

Tabla 5. Resumen de los componentes (transistores, capacitores y resistencias) diseñados en la tesis

	Componente	Valor	Factor de forma	W (μm)	L (μm)
Circuito de polarización	M_X	-	0.5	1	2
	M_Y	-	2	4	2
	M_Z	-	0.5	1	2
Primera etapa	M_1, M_2	-	28	140	5
	M_3, M_4	-	24	120	5
	M_5, M_6	-	0.667	2	3
Segunda etapa	M_7, M_8	-	7	35	5
	M_9, M_{10}	-	0.1	1	10
	R_A, R_B	$1.2 \text{ G}\Omega$	-	-	-
Red de realimentación	C_0	20 pF	-	-	-
	C_1	200 fF	-	-	-
	R_1	$80 \text{ G}\Omega$	-	-	-
Etapa de compensación	C_M	3.64 pF	-	-	-
	R_P	300 k Ω	-	-	-

Capítulo 4

Simulaciones y resultados

El diseño del amplificador se ha realizado en el *Virtuoso Schematic Editor* del software *Cadence*. Para las simulaciones, se ha empleado el *Virtuoso Analog Design Environment (ADE)*, el cual utiliza el simulador *Spectre*. Las simulaciones nominales se han obtenido mediante el ADE L, mientras que para las simulaciones Monte Carlo se ha empleado el entorno ADE XL. Mediante este software se han podido realizar los ajustes necesarios, puesto que el modelo empleado por el simulador es más exacto a comparación de los cálculos teóricos.

4.1. Introducción

La tecnología utilizada en este trabajo es TSMC 180 nm, por lo que, con ayuda del software, se ha diseñado el tamaño de cada componente (largo y ancho), incluyendo resistencias y capacitores. Además, se han empleado los pseudoresistores tanto en la parte de realimentación (M_{1A} - M_{1B} y M_{1C} - M_{1D}) y en la segunda etapa (M_{A0} - M_{A1} y M_{B0} - M_{B1}), puesto que se requieren resistencias en el orden de los $G\Omega$. Para determinar cómo el par de transistores PMOS actúan como un componente con una gran resistencia, se muestra la figura 32, que sirvió de ayuda para determinar las dimensiones necesarias de M_{1A} - M_{1B} y M_{1C} - M_{1D} . Se puede observar en la imagen que en la zona donde la gráfica es aproximadamente un segmento horizontal, la resistencia asociada es muy grande. Para este caso, el software muestra una resistencia equivalente de $100.21 G\Omega$, que corresponde a ambos PMOS que conforman el pseudoresistor. Cada uno de ellos presenta un factor de forma de $2 \mu\text{m}/2.5 \mu\text{m}$.

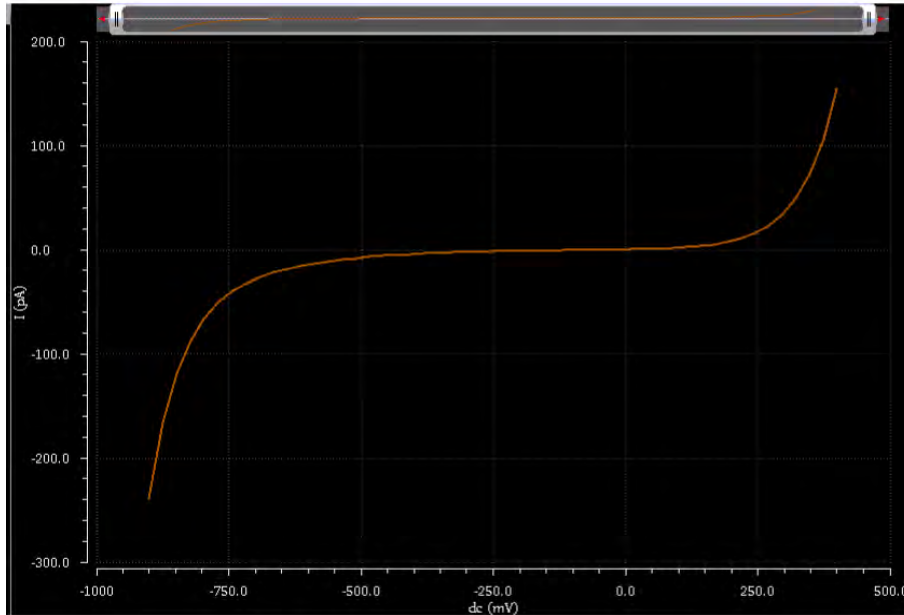


Figura 32. Gráfica de corriente vs voltaje en el pseudoresistor para la realimentación.

El mismo procedimiento se realiza para determinar la resistencia esperada en la segunda etapa. El software muestra un valor de $1.29 \text{ G}\Omega$ para este par de transistores, donde cada PMOS posee un factor de forma de $70 \mu\text{m}/0.5 \mu\text{m}$. Finalmente, se reemplazan las resistencias ideales empleadas en el capítulo 3 por estos transistores PMOS, a excepción de las resistencias de compensación de $300 \text{ K}\Omega$, ya que no es necesario emplear pseudoresistores en este caso.

Por otro lado, en la segunda etapa se han agregado dos transistores NMOS (M_{11} y M_{12}) los cuales permiten fijar el punto de operación, ya que aumenta la corriente por los nodos de salida. Los transistores tienen un factor de forma de $2 \mu\text{m}/0.18 \mu\text{m}$. Estos se pueden observar en el extremo de la figura 34.

4.2. Simulaciones

4.2.1. Análisis DC

Es muy importante realizar el análisis DC del circuito antes de realizar otra simulación para poder observar el punto de operación de los transistores. Mediante este análisis, el software muestra valores como corriente, voltaje puerta-surtidor, voltaje drenador-surtidor y voltaje umbral. En la figura 33 se observa el *test bench* del circuito en lazo cerrado, en donde se puede visualizar que se emplea una fuente de alimentación V_{DD} de 1.2 V , una fuente de corriente de 250 nA y en

la salida se encuentran los capacitores de carga, que para este caso se considera un valor de 200 fF. Se obtuvo un voltaje de modo común de salida de 498.69 mV y una corriente total de 1.483 μ A. Esto da como resultado una disipación de potencia de 1.78 μ W. Este mismo *test bench* se emplea en la mayoría de las simulaciones realizadas.

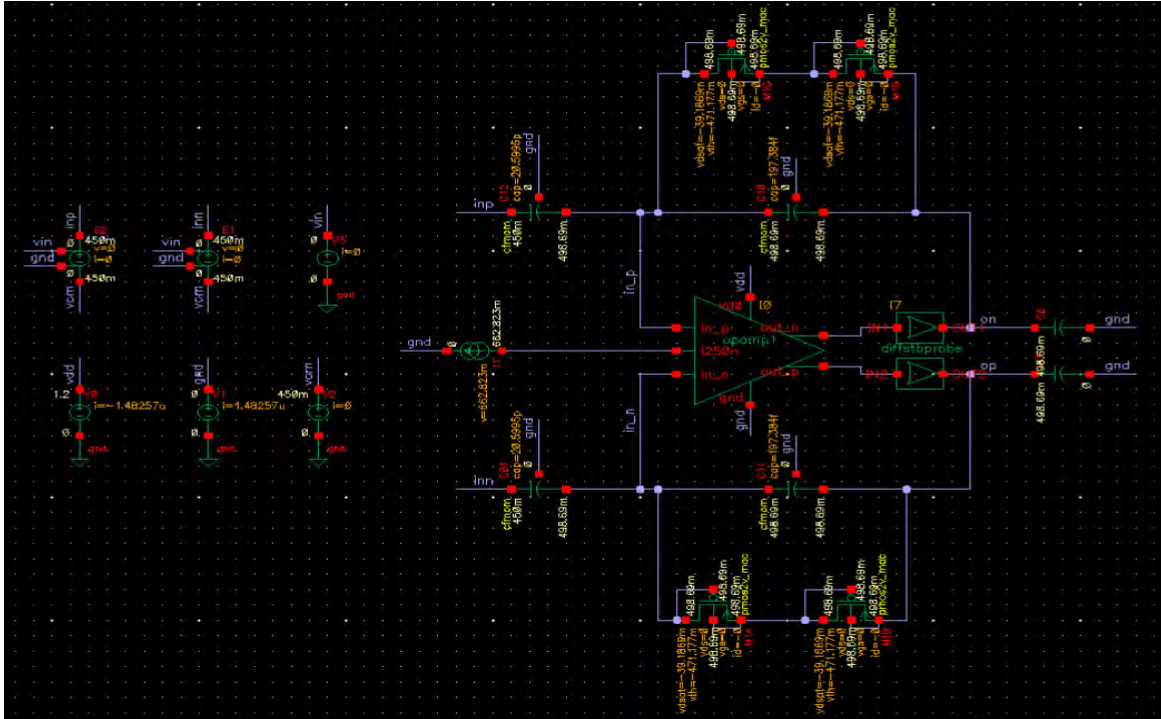


Figura 33. Test bench del amplificador operacional en lazo cerrado.

Dentro del bloque denominado “opamp1” se puede ver el esquemático completo del diseño. La estructura interna del amplificador se muestra en la figura 34, donde se puede visualizar las dos etapas con sus respectivos CMFB y los espejos de corriente en la parte superior. Se observa que la primera etapa consume una corriente de 1 μ A, mientras que la segunda etapa consume 250 nA, debido a que en la primera etapa se requiere una mayor transconductancia para el requerimiento de ruido referido a la entrada.

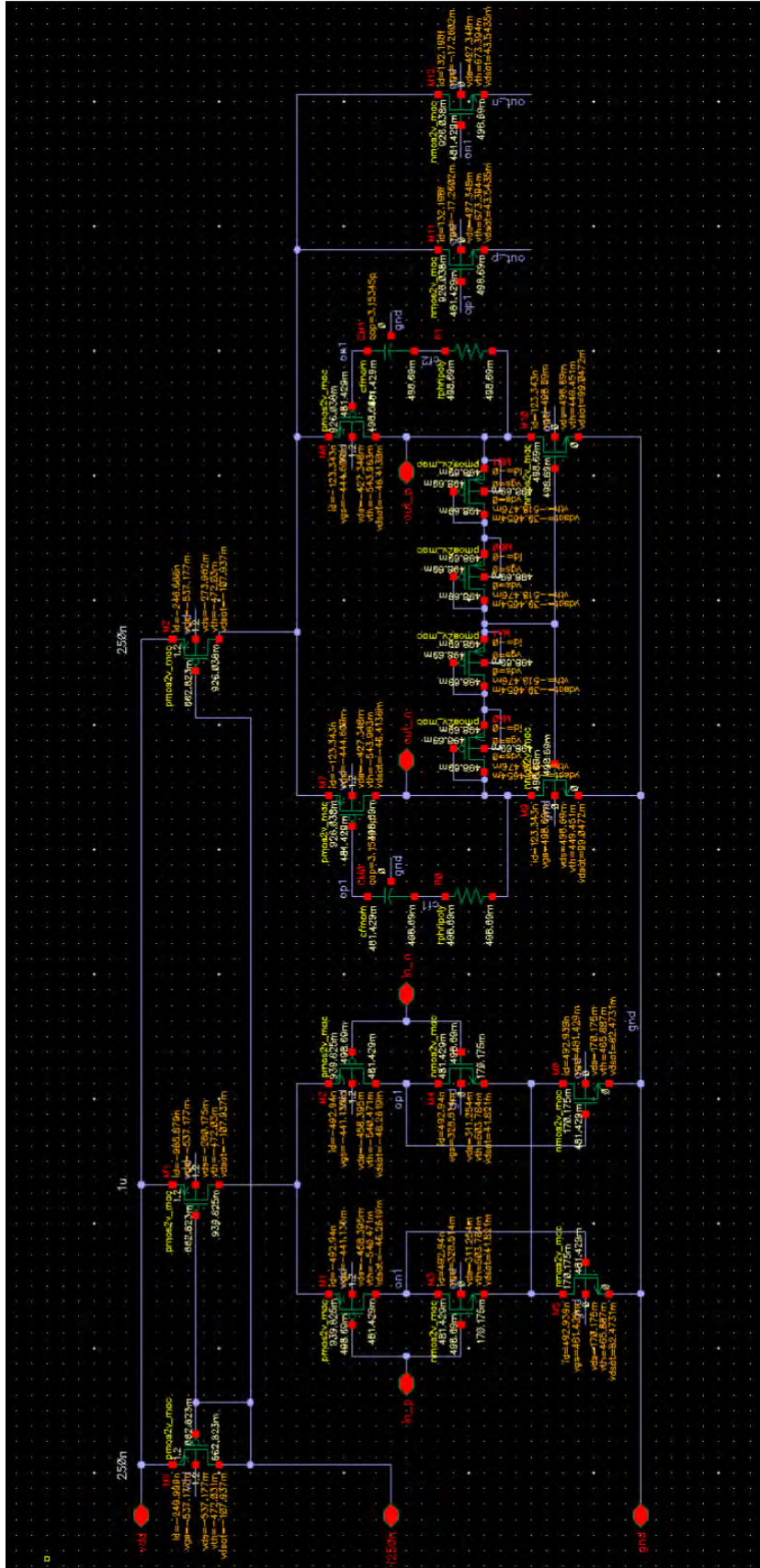


Figura 34. Amplificador operacional fully differential de dos etapas.

4.2.2. Análisis AC

4.2.2.1. Análisis en lazo abierto

En este análisis se evalúa la respuesta en frecuencia del amplificador operacional. Como es en lazo abierto, no se debe considerar la realimentación, por lo que el *test bench* para este caso se muestra en la figura 35 para obtener la respuesta en la figura 36.

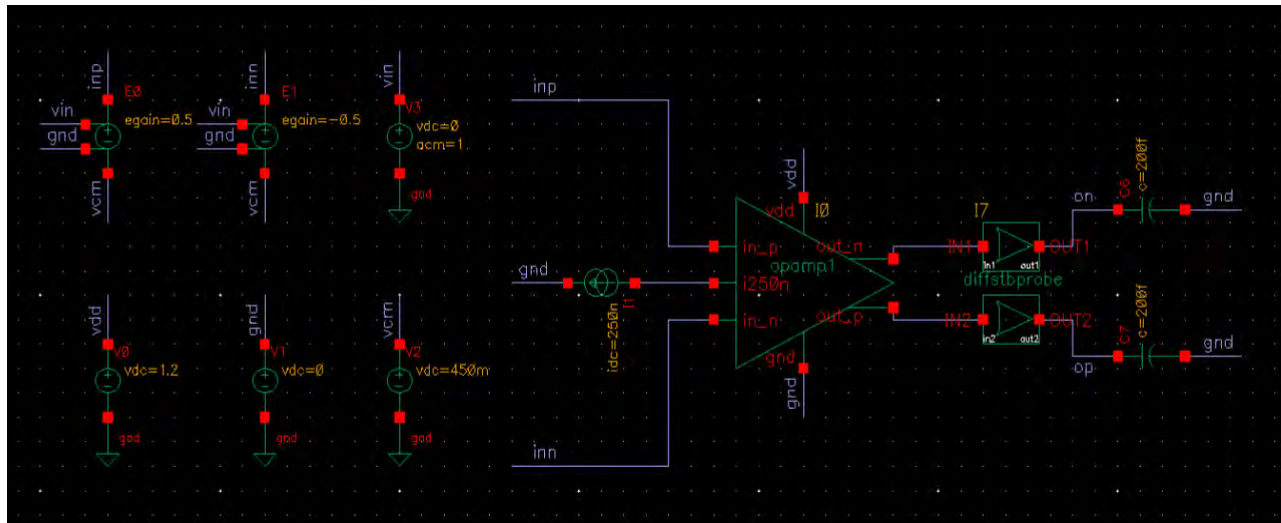


Figura 35. Test bench del amplificador operacional en lazo abierto.

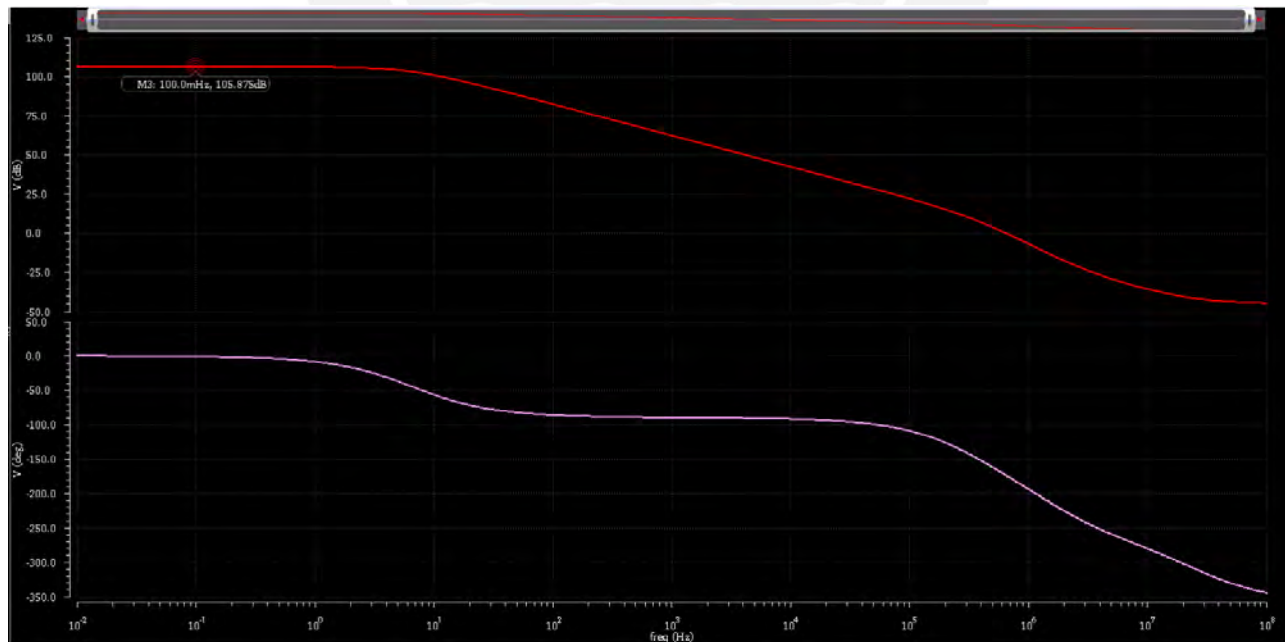


Figura 36. Análisis AC en lazo abierto. a) Magnitud en dB b) Fase en grados sexagesimales.

Se observa una ganancia de aproximadamente 105.87 dB en lazo abierto, la cual corresponde al aporte de las dos etapas que conforman el amplificador, en donde cada una de ellas aporta alrededor de 50 dB.

4.2.2.2. Análisis en lazo cerrado

En este análisis se considera la realimentación capacitiva, pues esta permite determinar la ganancia en lazo cerrado mediante la relación de los condensadores. En la figura 37 se puede observar la respuesta AC en la curva de color rojo, con una ganancia de 40 dB en la banda deseada. Además, con el criterio de -3dB, se puede determinar un ancho de banda de aproximadamente 10.2 kHz.

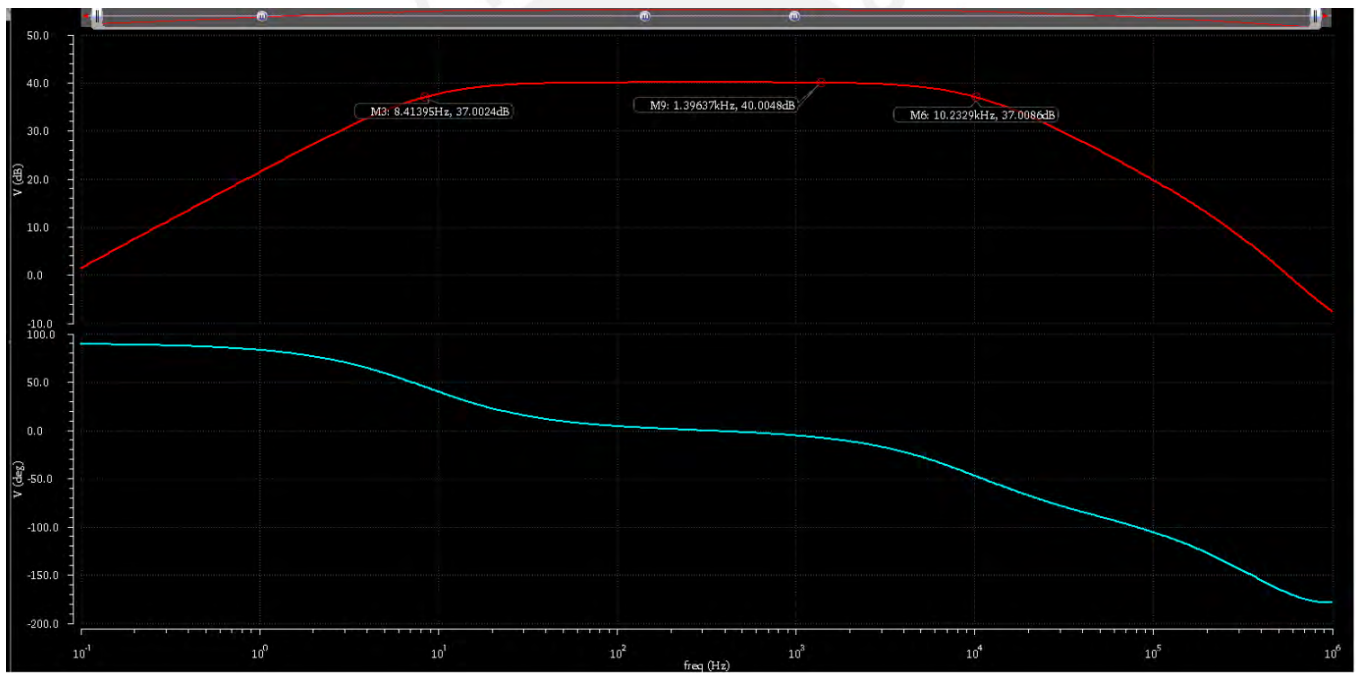


Figura 37. Análisis AC en lazo cerrado. a) Magnitud en dB b) Fase en grados sexagesimales.

4.2.3. Análisis de estabilidad

Para estimar la estabilidad del amplificador *fully differential*, se determinan el margen de fase (MP) y margen de ganancia (MG). Para ello, se emplea la instancia *diffstbprobe*, la cual corresponde al elemento I7 en la figura 33 (en el *test bench*) y es empleada para determinar la

estabilidad para las señales diferenciales. El simulador muestra un $MP = 88.0417^\circ$ a una frecuencia de 9.70137 kHz y un $MG = 43.6332$ dB a una frecuencia de 631.448 kHz. En la figura 38 se muestra el análisis de estabilidad y con los valores obtenidos el sistema es estable, por lo que no ocurrirán oscilaciones.

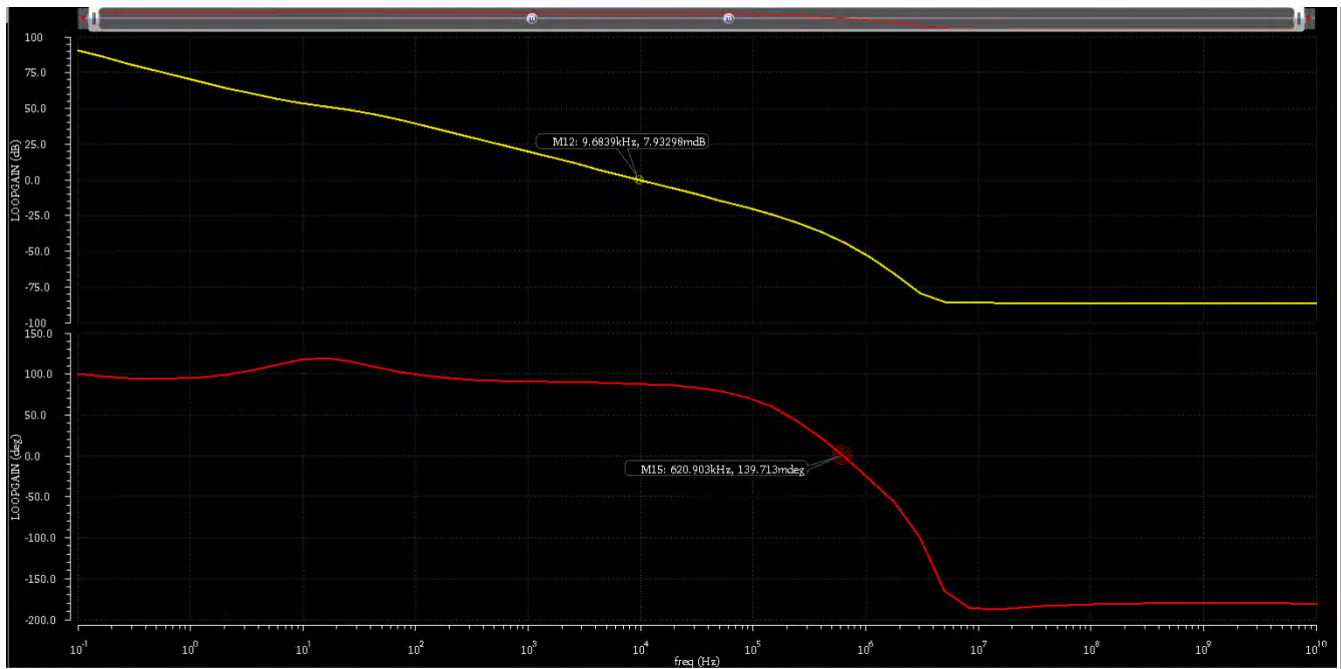


Figura 38. Análisis de estabilidad (Loop gain). a) Magnitud en dB b) Fase en grados sexagesimales.

4.2.4. Análisis de ruido

Para este trabajo, el requerimiento de ruido es muy importante y bajo este criterio se ha diseñado el amplificador. En la figura 39 se muestra el ruido referido a la entrada, con unidades de V/\sqrt{Hz} . Si se consideran los límites de integración a las frecuencias 8.4 Hz y 10.23 kHz se obtiene un ruido referido a la entrada de $2.9942 \mu V_{RMS}$. Se puede observar cómo se manifiesta el ruido *flicker*, el cual posee un alto valor a bajas frecuencias. Para un mayor intervalo de frecuencias, en este caso, una década por debajo y otra por encima de los límites, es decir entre 0.84 Hz y 102.3 kHz, se obtiene un valor de $4.047 \mu V_{RMS}$, el cual es menor a $5 \mu V_{RMS}$ y sigue cumpliendo con el requerimiento.

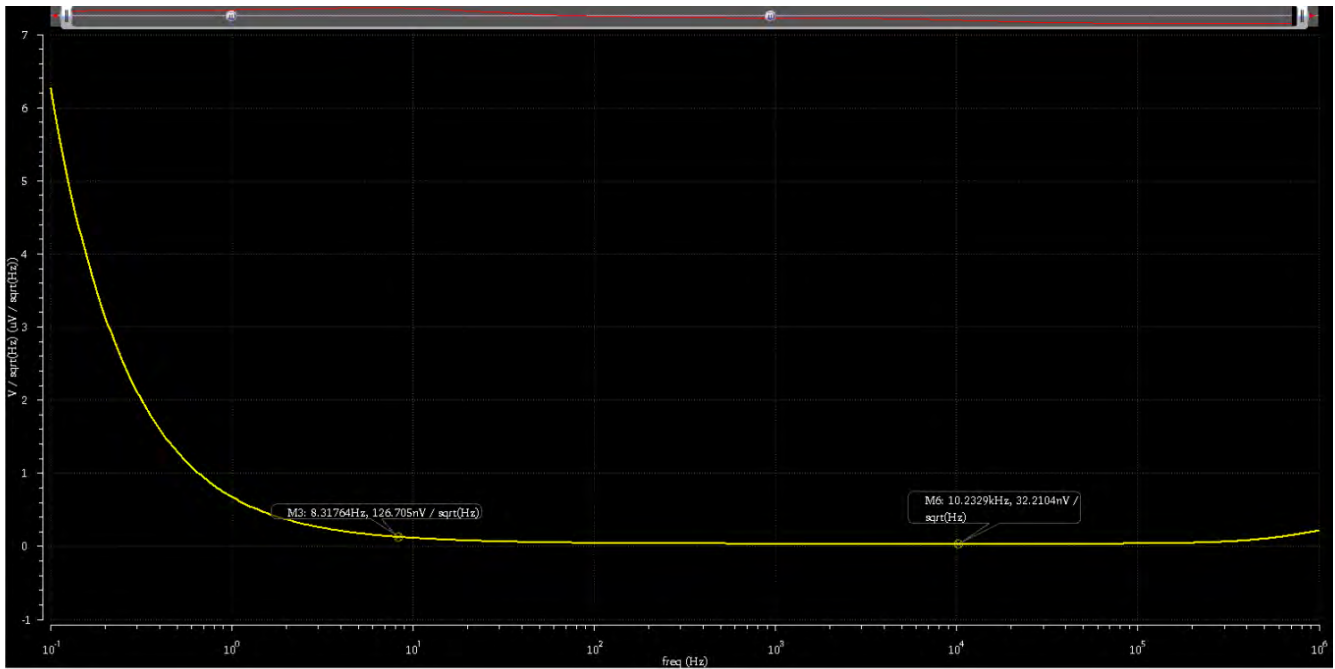


Figura 39. Ruido referido a la entrada.

4.2.5. Análisis transitorio

Se realiza una simulación *transient* del amplificador, para lo cual, se colocó en la entrada una señal similar a una neuronal, la cual corresponde a la gráfica de color marrón en la figura 40. Se evalúa la respuesta del amplificador en el tiempo y se obtiene la gráfica de color amarilla, para ejemplificar el concepto de amplificación.

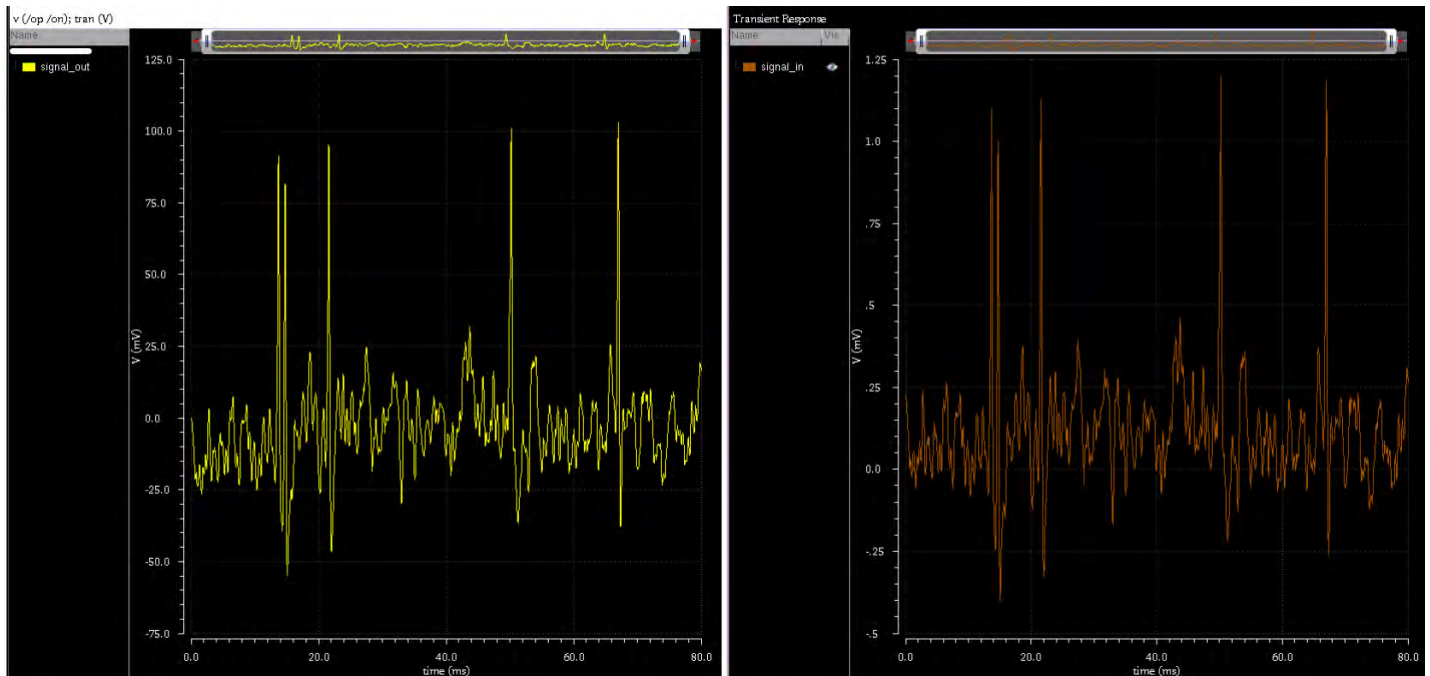


Figura 40. Análisis transiente del amplificador.

4.2.6. Simulaciones Monte Carlo

4.2.6.1. Monte Carlo Process

Este análisis permite mostrar el comportamiento del circuito frente a variaciones de parámetros del proceso. Así, se pueden observar en este caso algunas respuestas (gráficas) en mejores condiciones o en condiciones desfavorables. Se realizaron las simulaciones AC en lazo cerrado, estabilidad y ruido en *Process* para observar las diferencias con las simulaciones nominales expuestas en las secciones anteriores. Se consideraron 100 muestras por cada gráfica nominal. En la figura 41 se muestra el análisis AC en Monte Carlo Process y se puede visualizar cómo se modifica el ancho de banda. Las frecuencias de corte se desplazan ligeramente, pero la ganancia se mantiene alrededor de 40 dB.

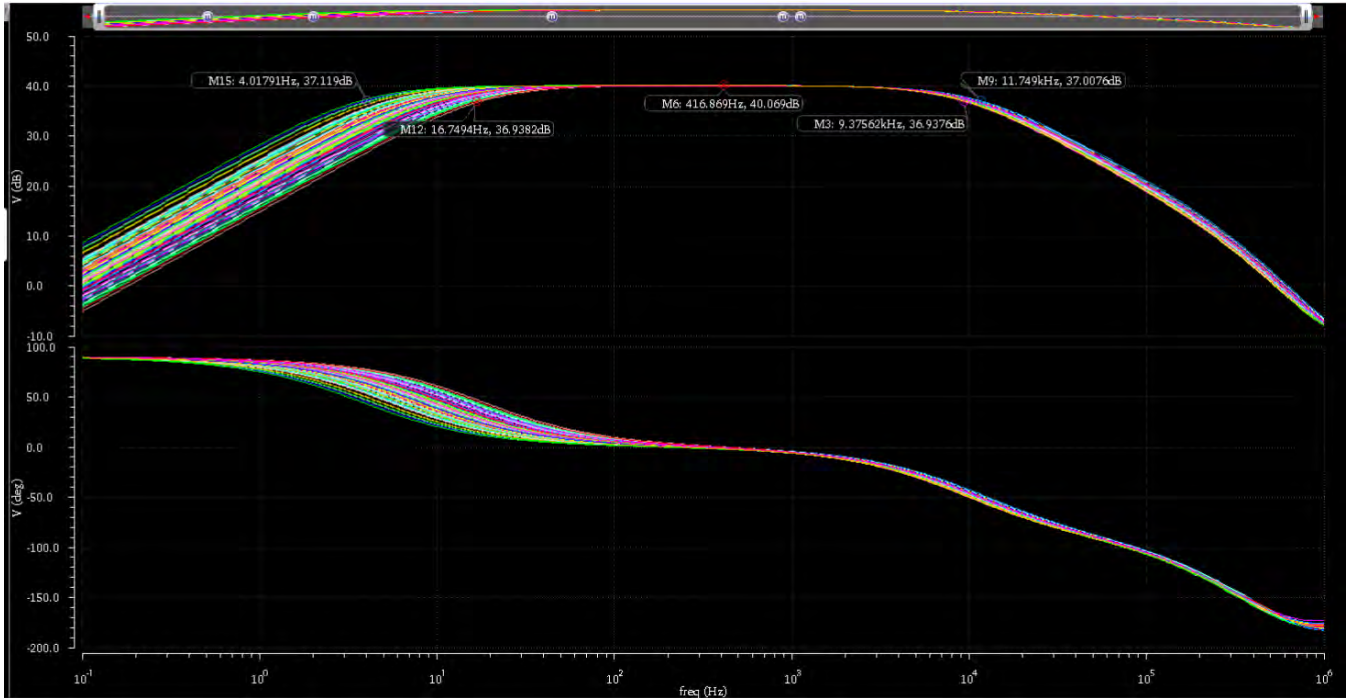


Figura 41. Análisis AC en lazo cerrado con Monte Carlo Process. a) Magnitud en dB b) Fase en grados sexagesimales.

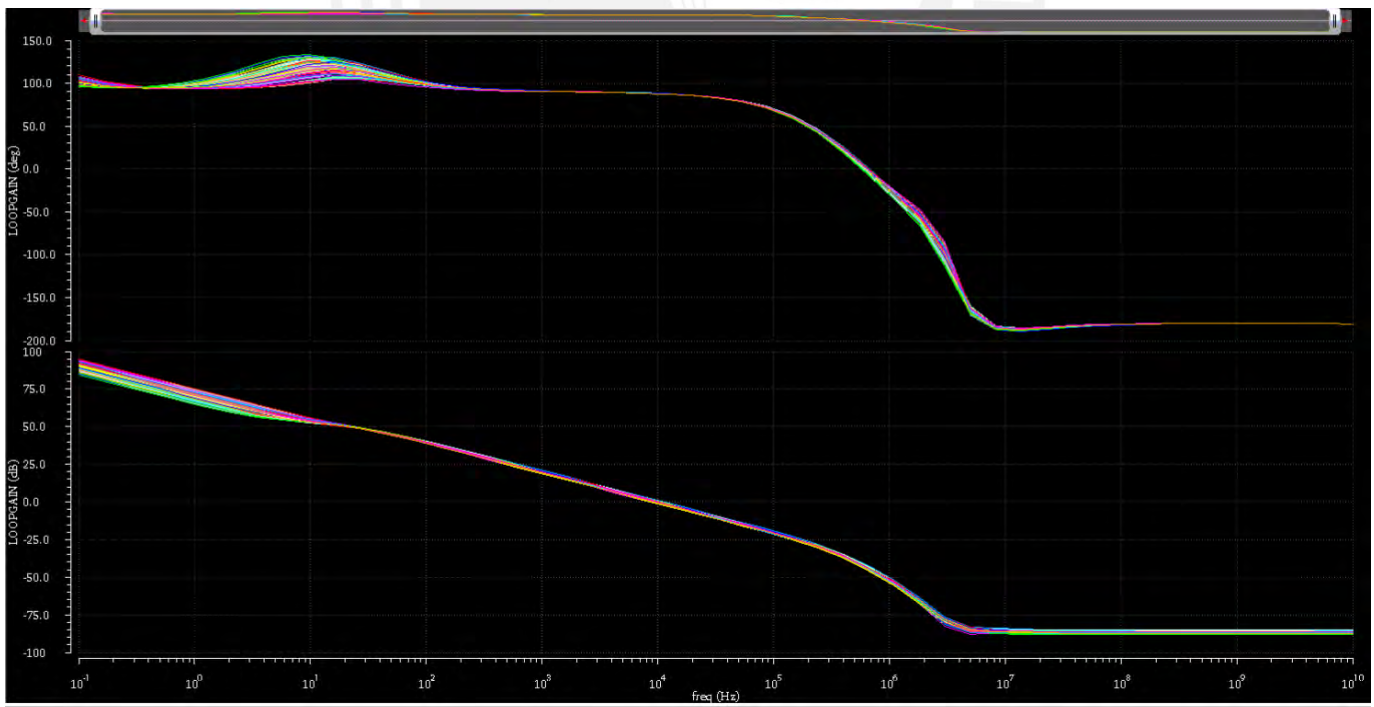


Figura 42. Análisis de estabilidad (Loop gain) con Monte Carlo Process. a) Magnitud en dB b) Fase en grados sexagesimales.

En la figura 42 se muestra el análisis de estabilidad y, como se puede observar, las variaciones en las frecuencias donde se determina el MP y MG son mínimas. Además, en el caso nominal se obtuvo un $MP = 88.0417^\circ$, el cual, si tiende a disminuir cuando existan las variaciones del proceso en la práctica, se cumple que el MP es mayor al valor sugerido de 55° , por lo que el sistema no será inestable. Por último, se realizó el análisis de ruido referido a la entrada con *Process*, el cual se evidencia en la figura 43. Existe una gran variación para frecuencias muy pequeñas; no obstante, la señal de interés no considera este intervalo, por lo que el desempeño respecto al ruido sigue siendo aceptable respecto a los requerimientos planteados.

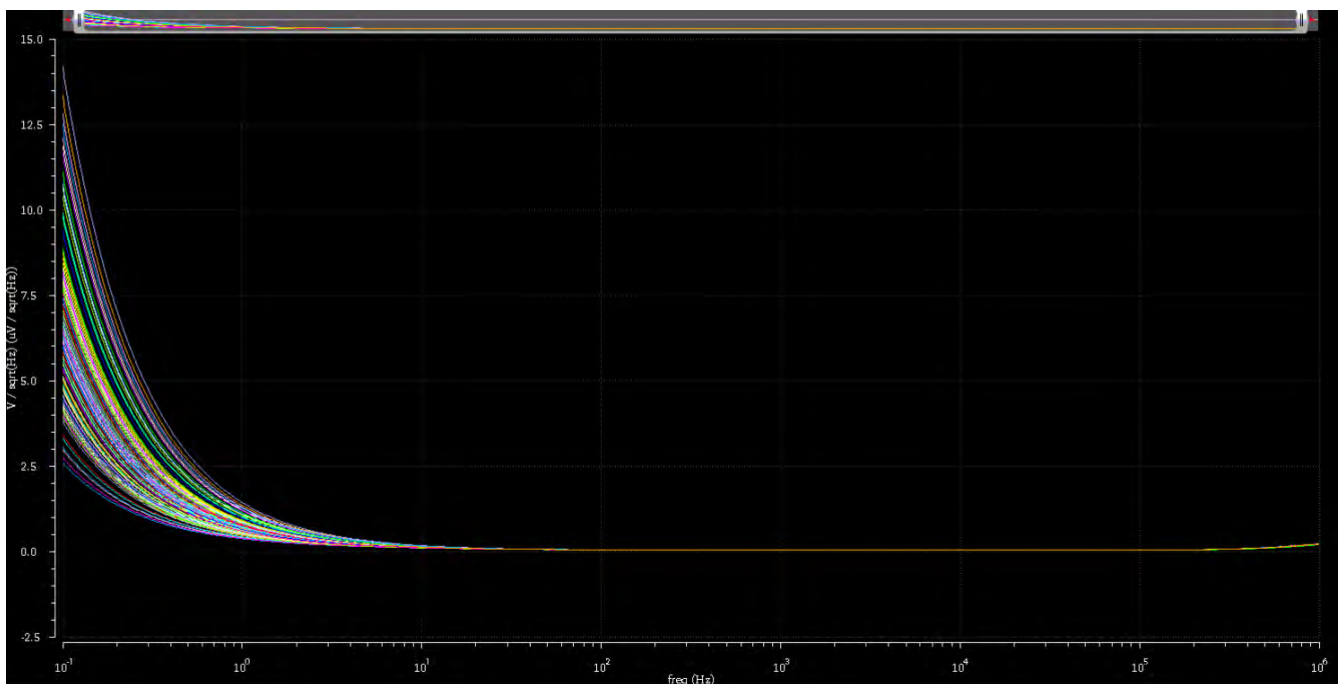


Figura 43. Ruido referido a la entrada con Monte Carlo Process.

4.2.6.2. Monte Carlo Mismatch

El fenómeno de *mismatch* está presente en cualquier circuito real, por lo que dos transistores aparentemente idénticos, en la práctica muestran ligeras diferencias en alguno de sus parámetros, como voltaje umbral, por ejemplo. Bajo este concepto, se realizó el análisis del voltaje de *offset*, el cual está presente en un amplificador operacional real, considerando 100 muestras en Monte Carlo Mismatch, cuyo histograma se indica en la figura 44.

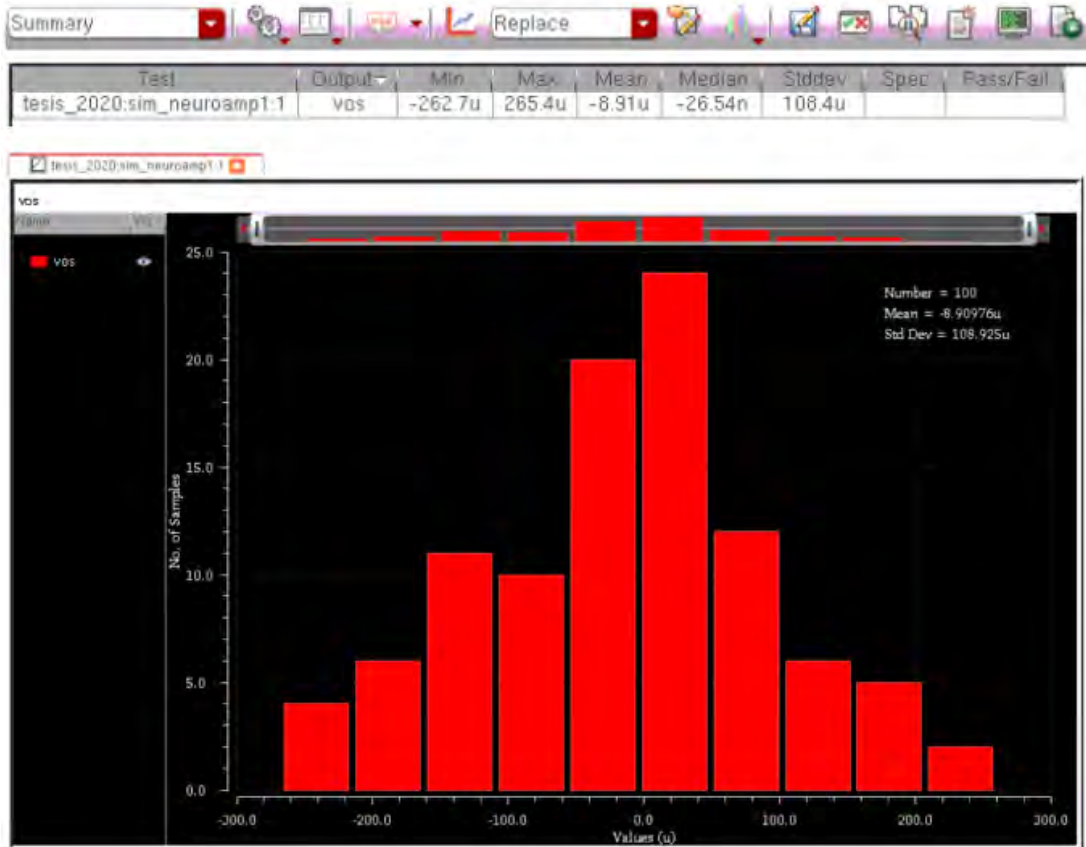


Figura 44. Análisis del voltaje de offset Monte Carlo Mismatch.

Los resultados del análisis en el software estiman que, para este conjunto de simulaciones, el voltaje de *offset* promedio es de $-8.91 \mu\text{V}$. Este valor es adecuado, debido a que en el diseño del amplificador se han empleado transistores relativamente grandes y con una relación g_m/I_D alta, por lo que se esperaba un valor bajo. Además, los datos extremos alcanzan valores de $-262.7 \mu\text{V}$ y $265.4 \mu\text{V}$, con una desviación estándar de $108.4 \mu\text{V}$.

4.3. Resultados

En esta sección se realizará una comparación entre los valores deseados y los resultados de la simulación. Además, se introduce una métrica denominada *Noise Efficiency Factor* (NEF), el cual sirve solo como referencia al momento de revisar el estado del arte y comparar los trabajos. Este parámetro se calcula según [5] de la siguiente manera:

$$NEF = V_{ni,rms} \sqrt{\frac{2I_{tot}}{\pi \cdot U_T \cdot 4kT \cdot BW}} \dots (64)$$

Para una corriente total de $1.483 \mu\text{A}$, una temperatura de 300 K , un ancho de banda de 10.2 kHz y un ruido referido a la entrada de $4.047 \mu\text{V}_{\text{RMS}}$ se obtiene un $\text{NEF} = 1.88$, el cual se esperaba que sea un bajo valor, debido a que el diseño realizado mantiene una buena compensación entre disipación de potencia y ruido referido a la entrada. En la tabla 6 se resumen los valores teóricos y los obtenidos mediante el software *Cadence*.

Tabla 6. Comparación entre los valores simulados y los requerimientos de diseño

Parámetro	Requerimiento	Valor simulado
Tecnología	180 nm	180 nm
Voltaje de alimentación	1.2 V	1.2 V
Ganancia	$\approx 40 \text{ dB}$	40 dB
Ancho de banda	$\approx 10 \text{ kHz}$	$\approx 10.2 \text{ kHz}$
Margen de fase	$>55^\circ$	88.0417°
Potencia	$<6 \mu\text{W}$	$1.78 \mu\text{W}$
Ruido referido a la entrada	$\leq 5 \mu\text{V}_{\text{RMS}}$	$4.047 \mu\text{V}_{\text{RMS}}$
NEF	<4.5	1.88

Conclusiones

El diseño del amplificador operacional en niveles de inversión bajos-medios permite que se pueda maximizar la relación entre transconductancia y corriente y este factor, sumado a la arquitectura del par diferencial complementario en la primera etapa, contribuye a una buena compensación entre corriente y ruido referido a la entrada. De esta manera, se pudo obtener una disipación de potencia de $1.78 \mu\text{W}$ y esta compensación se puede evidenciar en un valor de NEF de 1.88, el cual es un valor adecuado en el estado del arte y se puede observar un buen diseño del amplificador, con lo que se cumple el objetivo general.

A pesar de que para el cálculo del ruido referido a la entrada se consideró un rango de frecuencias más grande que el deseado, sigue cumpliendo en ser menor o igual a $5\mu\text{V}_{\text{RMS}}$, lo cual cumple uno de los objetivos específicos y muestra la robustez del diseño del amplificador *fully differential*.

Mediante la realimentación capacitiva empleada en el presente diseño, se pudo lograr una ganancia de 40 dB en la banda pasante tal como se había planteado en el objetivo específico. Además, el amplificador posee un margen de fase de 88.0417° , el cual es un valor relativamente alto, y, ante variaciones del proceso, el sistema sigue siendo estable como se evidencia en las simulaciones Monte Carlo Process.

Recomendaciones

Se debe realizar el *layout* del diseño propuesto con las técnicas adecuadas y considerando las reglas de diseño, para poder evaluar el tamaño que va a tener el amplificador operacional. Además, se deben realizar simulaciones *post-layout* para poder obtener gráficas más realistas y evaluar con mayor exactitud el desempeño del amplificador. Con estos nuevos resultados se pueden realizar ajustes al circuito con el objetivo de mostrar una mejor respuesta.

El circuito emplea una capacitancia de carga de 200 fF, para lo cual, luego de ser diseñado e implementado, sería recomendable conectar el bloque de amplificación al bloque siguiente correspondiente en el proceso de adquisición de señales neuronales, para poder evaluar el efecto real de la carga.

Los pseudoresistores empleados en el diseño son los que están conformados por dos PMOS en serie y, en efecto, cumplen con brindar una alta resistencia sin necesidad de que estos componentes sean muy grandes. Este tipo de pseudoresistores presenta la desventaja de la linealidad, así que sería recomendable realizar simulaciones con otros tipos de pseudoresistores y evaluar los resultados que brindan los distintos tipos, como una estructura *cross-coupled*, por ejemplo.

Bibliografía

- [1] P. Cong, "Neural Interfaces for Implantable Medical Devices: Circuit Design Considerations for Sensing, Stimulation, and Safety," in *IEEE Solid-State Circuits Magazine*, vol. 8, no. 4, pp. 48-56, Fall 2016, doi: 10.1109/MSSC.2016.2573918.
- [2] E. Bharucha, H. Sepehrian, and B. Gosselin, "A Survey of Neural Front End Amplifiers and Their Requirements toward Practical Neural Interfaces," *Journal of Low Power Electronics and Applications*, vol. 4, no. 4, pp. 268–291, Nov. 2014.
- [3] M. Chae, J. Kim and W. Liu, "Fully-differential self-biased bio-potential amplifier," in *Electronics Letters*, vol. 44, no. 24, pp. 1390-1391, 20 November 2008, doi: 10.1049/el:20089097.
- [4] W. M. E. A Wan Jusoh and S. H. Ruslan, "Design and analysis of current mirror OTA in 45 nm and 90 nm CMOS technology for bio-medical application," *Bulletin of Electrical Engineering and Informatics*, vol. 9, no. 1, pp. 221-228, February 2020, doi:10.11591/eei.v9i1.1860.
- [5] R. R. Harrison and C. Charles, "A low-power low-noise CMOS amplifier for neural recording applications," in *IEEE Journal of Solid-State Circuits*, vol. 38, no. 6, pp. 958-965, June 2003, doi: 10.1109/JSSC.2003.811979.
- [6] L. Liu, X. Zou, W. L. Goh, R. Ramamoorthy, G. Dawe and M. Je, "800 nW 43 nV/ $\sqrt{\text{Hz}}$ neural recording amplifier with enhanced noise efficiency factor," in *Electronics Letters*, vol. 48, no. 9, pp. 479-480, 26 April 2012, doi: 10.1049/el.2012.0685.
- [7] P. Kmon and P. Gryboś, "Energy Efficient Low-Noise Multichannel Neural Amplifier in Submicron CMOS Process," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 7, pp. 1764-1775, July 2013, doi: 10.1109/TCSI.2012.2230504.

- [8] M. Yin, D. A. Borton, J. Aceros, W. R. Patterson and A. V. Nurmikko, "A 100-Channel Hermetically Sealed Implantable Device for Chronic Wireless Neurosensing Applications," in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 7, no. 2, pp. 115-128, April 2013, doi: 10.1109/TBCAS.2013.2255874.
- [9] C. M. Lopez *et al.*, "An implantable 455-active-electrode 52-channel CMOS neural probe," *2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, CA, 2013, pp. 288-289, doi: 10.1109/ISSCC.2013.6487738.
- [10] H. Sepehrian, S. A. Mirbozorgi and B. Gosselin, "A low-power current-reuse analog front-end for multi-channel neural signal recording," *2014 IEEE 12th International New Circuits and Systems Conference (NEWCAS)*, Trois-Rivieres, QC, 2014, pp. 440-443, doi: 10.1109/NEWCAS.2014.6934077.
- [11] R. Caballero, G. Carozo, M. C. Costa-Rauschert, P. Aguirre, C. Rossi-Aicardi and J. Oreggioni, "Biopotential Integrated Preamplifier," *2020 IEEE 11th Latin American Symposium on Circuits & Systems (LASCAS)*, San Jose, Costa Rica, 2020, pp. 1-4, doi: 10.1109/LASCAS45839.2020.9069006.
- [12] E. M. Spinelli, "Amplificadores de instrumentación en aplicaciones biomédicas", tesis doctoral, Univ. Nacional de La Plata, 2007.
- [13] B. Razavi, *Design of Analog CMOS Integrated Circuits*. New York, NY, USA: McGraw-Hill, Inc., 2 ed.
- [14] W. Wattanapanitch, M. Fee and R. Sarpeshkar, "An Energy-Efficient Micropower Neural Recording Amplifier," in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 1, no. 2, pp. 136-147, June 2007, doi: 10.1109/TBCAS.2007.907868.

- [15] S. B. Nerurkar and K. H. Abed, "CMOS fully differential operational transconductance amplifier design for delta-sigma modulators," *IEEE SoutheastCon 2008*, Huntsville, AL, 2008, pp. 52-57, doi: 10.1109/SECON.2008.4494255.

