

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ

FACULTAD DE CIENCIAS E INGENIERÍA



**DISEÑO DE UN FILTRO PASA BAJOS PARA NEURAL SPIKES EN
TECNOLOGÍA CMOS CON VOLTAJE DE ALIMENTACIÓN DE 1V**

Tesis para optar el Título de Ingeniero Electrónico, que presenta el bachiller:

Alvaro Gustavo Raúl Bellido Alba

ASESOR: PhD. Julio César Saldaña Pumarica


Lima, Abril, 2023

Informe de Similitud

Yo, Julio Cesar Saldaña Pumarica, docente de la Facultad de Ciencias e Ingeniería de la Pontificia Universidad Católica del Perú, asesor(a) de la tesis/el trabajo de investigación titulado DISEÑO DE UN FILTRO PASA BAJOS PARA NEURAL SPIKES EN TECNOLOGÍA CMOS CON VOLTAJE DE ALIMENTACIÓN DE 1V, del/de la autor(a)/ de los(as) autores(as) Alvaro Gustavo Raúl Bellido Alba, dejo constancia de lo siguiente:

- El mencionado documento tiene un índice de puntuación de similitud de 11%. Así lo consigna el reporte de similitud emitido por el software *Turnitin* el 23/05/2023.
- He revisado con detalle dicho reporte y la Tesis o Trabajo de Suficiencia Profesional, y no se advierte indicios de plagio.
- Las citas a otros autores y sus respectivas referencias cumplen con las pautas académicas.

Lugar y fecha: Lima, 23 de mayo de 2023

Apellidos y nombres del asesor / de la asesora: Saldaña Pumarica Julio Cesar	
DNI:10123705	Firma
ORCID: https://orcid.org/0000-0001-6834-6436	

Resumen

Los próximos capítulos de la presente tesis se contemplan una revisión de dispositivos *wearable* como estado del arte. Lo que le sigue es una explicación de los puntos teóricos importante para el desarrollo. Finalmente, se cuenta con la solución y los resultados.

Se empieza mencionando los diferentes desarrollos tecnológicos en base a los dispositivos *wearable* y cómo estos han tenido resultados prometedores en el uso con personas o animales. Después de eso, se menciona la motivación para continuar con el desarrollo del trabajo; y se continúa con el estado del arte de las topologías para el diseño de filtros pasabajos en tecnología CMOS.

En la parte de la revisión teórica, se desarrollarán aspectos necesarios tales como el análisis en pequeña señal, la obtención función transferencia por medio del *Teorema de Blackman* y el método de análisis en frecuencia del profesor *Ali Hajimiri*, y el uso de un *Level Shifter*.

Para finalizar, se realizarán las simulaciones en condiciones nominales y PVT para cada tipo de respuesta: AC, DC, transitoria, ruido y potencia; luego se muestra la comparativa de este trabajo con la literatura.



Dedicado a toda mi familia,
mi enamorada Laura López y
amigos que creen en mí,
en especial a Anthony, Jose Luis,
Diego, Alexis, César, Eric, Marcelo
y a mi asesor Julio Saldaña.

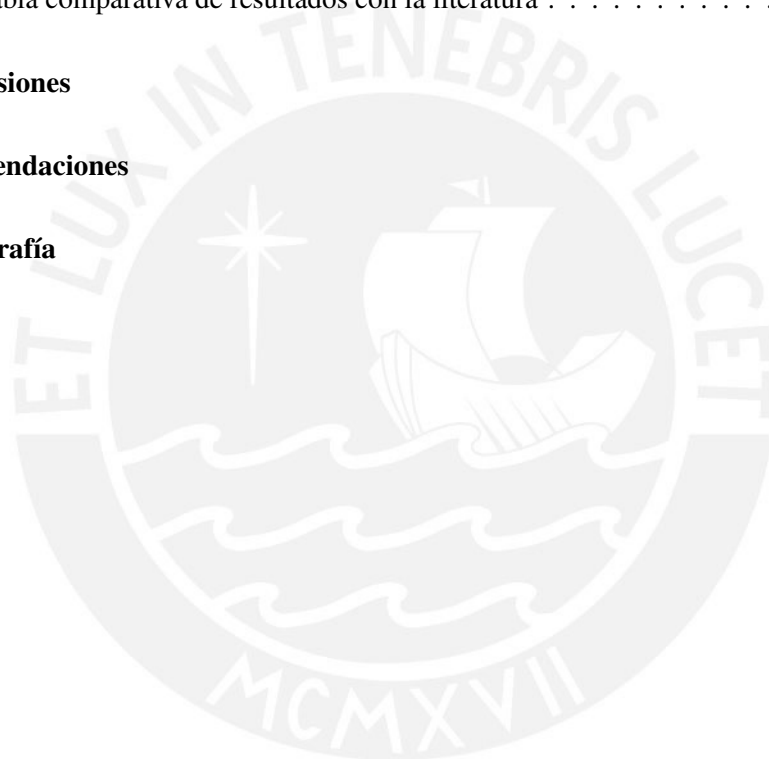
Asimismo, mencionar a mis
amigos de Dräger: Pierina Laura,
Leslie Urdiales, Erika Uchuya,
Alyssa Maguiña y Germán Leiva

Todos ellos son los que me
motivan a continuar por este camino
de la ingeniería en la búsqueda de
mis objetivos y sueños.

Índice General

Introducción	1
1. Márco problemático	3
1.1. Estado del arte de dispositivos wearable	3
1.2. Motivación	6
1.3. Estado del arte de las topologías CMOS para LPF	7
1.4. Justificación	13
1.5. Objetivos	14
1.5.1. Objetivo general	14
1.5.2. Objetivos específicos	14
2. Fundamentos teóricos	15
2.1. Filtros Pasivos RC	15
2.2. Filtros GM-C	17
2.3. Linealidad	20
2.4. Estructuras Source Follower	21
2.4.1. Pequeña señal	21
2.4.2. Respuesta en frecuencia	25
2.5. Modelamiento de la región de saturación del transistor	27
2.6. Modelos en diagrama de bloques	27
3. Diseño del circuito	29
3.1. Análisis riguroso en pequeña señal	29
3.2. Consideraciones para el dimensionamiento de los transistores	31
3.3. Proceso de diseño del filtro <i>single ended</i>	33
3.4. Adición de un <i>Level Shifter</i> para el mejoramiento de la polarización de los transistores	34

3.5. Proceso de diseño del filtro diferencial	37
4. Resultados y discusión	44
4.1. Obtención de capacitores necesarios para la frecuencia de corte	44
4.2. Análisis de estabilidad	46
4.3. Respuesta AC: Frecuencia de corte y diagrama de Bode	46
4.4. Respuesta DC	47
4.5. Respuesta transitoria	49
4.6. Análisis de ruido	51
4.6.1. Análisis de potencia	51
4.7. Tabla comparativa de resultados con la literatura	52
Conclusiones	54
Recomendaciones	55
Bibliografía	56



Índice de Figuras

1.1. Mono macaco participante de la prueba [1]	4
1.2. Dispositivo <i>wearable Apple</i> con sistema ECG [2]	5
1.3. Vista del dispositivo <i>wearable</i> detector de COVID-19 [3]	5
1.4. Paciente con el implante en el cerebro y electrodos en el brazo [4]	6
1.5. Diagrama de bloques para el procesamiento de biopotenciales [5]	7
1.6. Diferencia de dimensión de una resistencia y una transconductancia [6].	7
1.7. LPF SF-C [5].	8
1.8. LPF GM-C (OTA-C) [7].	8
1.9. Agrupación de OTAs para un filtro de n-ésimo orden [7].	9
1.10. Topología OTA con disipación de 41 nW [7].	9
1.11. Topología OTA con disipación de 350 nW [8].	10
1.12. (a) <i>Source Follower</i> [9], (b) <i>Super Source Follower</i> [10], <i>Flipped Source Follower</i> [11]	11
1.13. Tabla de topologías <i>Biquad</i> con <i>Source Followers</i> . Modificado de [5].	11
1.14. Filtro de 4to orden SSF con pseudo-diferencial [12].	12
1.15. Diseño pseudo-diferencial para un filtro de 2do/3er orden CSF [13].	12
1.16. <i>Biquad</i> totalmente diferencial <i>Flipped Source Follower</i> [14].	13
1.17. Topologías <i>Biquad</i> con limites de Q distintos [5].	13
2.1. Filtro pasivo RC de primer orden.	15
2.2. Filtro pasivo RC de segundo orden.	16
2.3. Filtro activo RC de segundo orden <i>Sallen Key</i>	17
2.4. Filtro GM-C de primer orden [6].	17
2.5. Estructuras GM-C de segundo orden [15].	19
2.6. Gráfica de linealidad de R vs GM [6].	20
2.7. Arquitecturas SF Simple, SSF, FSF tipo N.	21
2.8. Modelos en pequeña señal del transistor [16].	22

2.9. Modelo simple de pequeña señal del <i>Source Follower Simple</i>	22
2.10. Modelo simple de pequeña señal del <i>Super Source Follower</i>	23
2.11. Modelo simple de pequeña señal del <i>Flipped Source Follower</i>	24
2.12. Modelo del <i>Source Follower</i> con impedancias finitas.	25
2.13. Diseño solución de [5].	26
2.14. Diseño solución de [5] considerando las corrientes respectivas.	26
2.15. Transistores en formato de bloques.	28
3.1. Esquema del diseño final del filtro FSF-C.	29
3.2. Resumen del Teorema de Blackman	30
3.3. Filtro de segundo orden FSF-C.	31
3.4. Esquemático y dimensionamiento del filtro a 10 kHz (a) y 13 kHz (b).	32
3.5. Ploteo de la fase (rojo) y dB20 (amarillo) del Loop Gain.	33
3.6. Esquema del dimensionamiento y capacitores del circuito en <i>single ended</i>	34
3.7. Esquema del Level Shifter.	35
3.8. Esquema del filtro con <i>Level Shifter</i>	35
3.9. Dimensionamiento (a) y DC Operating Pints (b) del filtro en <i>single ended</i>	37
3.10. TESTs (a) y formulas (b) utilizados en el software.	37
3.11. Arquitectura como filtro diferencial propuesta.	38
3.12. Esquemas de las fuentes utilizadas para la simulación.	39
3.13. Gráfica de linealidad real y linealidad real.	39
3.14. Análisis de la gráfica de la derivada de la linealidad.	40
3.15. Configuración del Spectrum para la FFT de la señal transitoria de salida.	42
3.16. Configuración del Vsin del circuito.	42
3.17. Análisis de la gráfica de la FFT de la señal de salida.	43
4.1. Arquitectura en <i>single ended</i> con los habilitadores b2, b1 y b0	45
4.2. Combinación de llaves para la capacitancia equivalente para el caso SS	45
4.3. Combinación de llaves para la capacitancia equivalente para el caso FF	46
4.4. Diagrama de bode del FSF-C en PVT	47
4.5. Gráfica para el cálculo de Hd3	49

Índice de Tablas

1.1. Señales biopotenciales [7] [17]	4
2.1. Tabla de características de todos los filtros [15].	19
3.1. Resultados del filtro a 10 kHz (a) y 13 kHz (b).	33
3.2. Resultados del Margen de fase.	33
3.3. f_c y transconductancia	34
3.4. α bajo corrientes de polarización distintas para elección del mejor.	40
4.1. Estabilidad ante variaciones de PVT	46
4.2. Frecuencias de corte ante variaciones de PVT	47
4.3. Tabla de valores de α ante variaciones de voltaje, temperatura y proceso con rango lineal de 200mV	48
4.4. Tabla de valores de α ante variaciones de voltaje, temperatura y proceso con rango lineal de 250mV	48
4.5. Tabla de valores de α ante variaciones de voltaje, temperatura y proceso con rango lineal de 300mV	48
4.6. Tabla de valores de α ante variaciones de voltaje, temperatura y proceso con rango lineal de 350mV	49
4.7. Distorsión armónica con una amplitud de entrada de 100mV ante variaciones de PVT	50
4.8. Distorsión armónica con una amplitud de entrada de 125mV ante variaciones de PVT	50
4.9. Distorsión armónica con una amplitud de entrada de 150mV ante variaciones de PVT	50
4.10. Distorsión armónica con una amplitud de entrada de 175mV ante variaciones de PVT	50

4.11. Distorsión armónica con una amplitud de entrada de 200mV ante variaciones de PVT	51
4.12. Ruido ante variaciones de voltaje, temperatura y proceso	51
4.13. Potencia ante variaciones de voltaje, temperatura y proceso	52
4.14. Trabajo actual comparado con otros	52
4.15. Trabajo actual comparado con otros	53
4.16. Trabajo actual comparado con otros	53



Introducción

En la actualidad, se ha visto una creciente demanda referente a la fabricación de distintas clases de dispositivos *wearable*. El que está obteniendo más interés son aquellos dispositivos para uso médico. Esto lo podemos evidenciar por medio de las diferentes empresas que fabrican y comercializan esta clase sistemas como *Apple*, *Samsung*, *Huawei*, entre otros. La finalidad de esta clase de herramientas es monitorear las distintas señales o muestras biológicas importantes en una enfermedad. Dentro de estas se encuentran las señales neuronales, electromiografía, *Neural Spikes*, entre otros.

Una parte fundamental en la recolección de biopotenciales son los filtros pasabajos que cumplen el rol de disminuir el efecto del ruido e interferencia, así como también, el de ser un antialiasing para el muestreo. Hasta ahora se ha implementado diferentes arquitecturas de filtros pasabajos activos por medio de topologías clásicas con numerosos transistores CMOS. Sin embargo, recientemente, se está optando por reducir dicha cantidad proponiendo nuevas arquitecturas que permitan incluso alimentarse con fuentes de baja magnitud, que no consuma corriente considerable y que cuente con una buena linealidad.

En investigaciones recientes, se muestra el gran interés de trabajar con cada vez menores valores de V_{dd} como 1 voltio, 0.8 voltios y 0.5 voltios. Las nuevas propuestas son utilizar estructuras Source Followers o sus variantes para implementar filtros GM-C. Sin embargo, las propuestas siguen siendo limitadas, pero cumplen las características mencionadas.

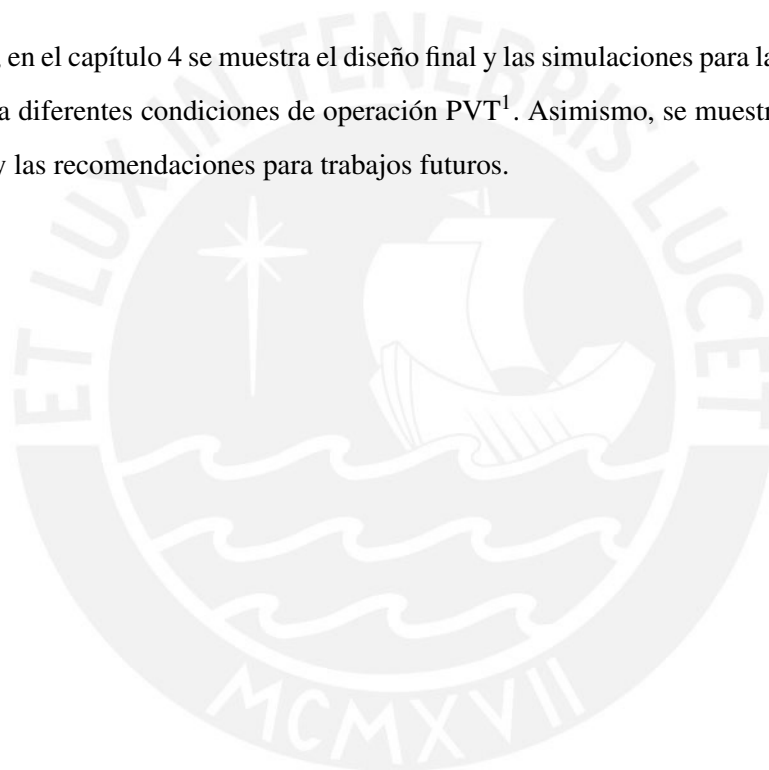
Bajo todo lo mencionado, en el capítulo 1 se presenta el estado del arte de los distintos dispositivos *wearable*, la motivación para realizar el presente estudio, el estado del arte de las topologías para el diseño de filtros pasabajos; seguido de la justificación con los objetivos propuestos.

En el capítulo 2, se presenta fundamentos teóricos de los filtros pasivos RC, los filtros GM-C, tales como sus ventajas y desventajas en el uso de diseño de filtros, y cómo hallar la función

transferencia; después, se explica sobre la linealidad de estas topologías actuales. Luego, se explica sobre las estructuras *Source Follower* y sus variantes, abordando temas de pequeña señal y repuesta en frecuencia. Al final se menciona el concepto de modelamiento de la región de saturación del transistor y se introduce los transistores en modelos de diagrama de bloques.

El capítulo 3 expone un análisis más exhaustivo de los filtros donde se introduce el *Teorema de Blackman* y el *Método de análisis en frecuencia del profesor Ali Hajimiri* para el cálculo de la ecuación característica del filtro y con ello hallar el ω_o y factor de calidad Q . Todo esto para ser utilizado en el diseño del filtro pasabajos propuesto. Asimismo, se muestra algunos criterios considerados para el modelamiento de los transistores.

Finalmente, en el capítulo 4 se muestra el diseño final y las simulaciones para la caracterización del circuito para diferentes condiciones de operación PVT¹. Asimismo, se muestran las conclusiones analizadas y las recomendaciones para trabajos futuros.



¹Process-voltage-temperature conditions

- P (*Process*): En este aspecto, se simula las diferentes propiedades físicas de fabricación que varía entre un chip a otro.

- V (*Voltage*): En esta clase de variación, se puede deber a varios factores. Algunos de estos puede ser, por ejemplo, que la fuente de alimentación no suministre el mismo voltaje de manera constante, sino que tenga algunos cambios hacia arriba o hacia abajo. Esto desencadena que el transistor sea rápido o lento, respectivamente. Otro ejemplo puede ser el ruido que se genera en la fuente. Esto produce que varíe el nivel de voltaje.

- T (*Temperature*): Esa clase de condición se debe por varios factores. La primera es por razones geográficas; la segunda, por razones de la estación climáticas del lugar donde se encuentra el chip; y el tercero, por el propio calentamiento del chip debido a que este cuenta con diferentes densidades a lo largo de toda una región. A mayor densidad, mayor disipación de potencia; a menor densidad, menor disipación de potencia. Es la unión de una región de alta densidad con una región de baja densidad donde se produce la variación de temperatura.

Capítulo 1

Márcos problemáticos

En la presente sección, se mencionarán algunos dispositivos wearable presentes en el mercado o que se encuentran en fase de prueba o en investigación. Además, se menciona la motivación para realizar el presente estudio enfocado en uno de los bloques fundamentales de un sistema de *wearable* para bioseñales: filtro pasabajos de tiempo continuo. Finalmente, se desarrollará el estado del arte de algunas topologías de filtros con tecnología CMOS, la correcta justificación y los objetivos.

1.1. Estado del arte de dispositivos wearable

Hoy en día, se lee en diversas noticias internacionales acerca de la invención de distintos tipos de dispositivos que se colocan en alguna parte de nuestro cuerpo, ya sea por fuera o implantados. En un inicio, estos diseños *wearable* presentaban cables que eran visibles e incómodos para el usuario. Sin embargo, al pasar los años y con la evolución de la tecnología, estos dispositivos requerían características específicas como tamaño micrométrico, cómodos e imperceptible por el usuario y de consumo de energía ultra baja [7]. Este último debido a que se optaría a evitar el uso de batería por la recolección de energía (*energy harvesting*) [5]. La razón de la popularidad y alto consumo de dispositivos *wearable* es que procesan distintos tipos de bioseñales que cuentan con amplitud y frecuencia distintas. Como se puede ver en la Tabla 1.1, existen 6 tipos de biopotenciales: *neural spikes* (APs) electroencefalograma (EEG), electromiografía (EMG), electrocardiograma (ECG), electrograma intracardiaco (IEGM) y electroneurografía (ENG).

Tabla 1.1: Señales biopotenciales [7] [17]

Type of signal	Frecuency range	Amplitude
APs (Neural Spikes)	200 - 6000 Hz	1 - 1000 μV
EEG	0.5 - 60 Hz	15 - 100 μV
EMG	10 - 200 Hz	0.1 - 5 mV
ECG	0.05 - 250 Hz	100 μV (child) 5 mV (adult)
IEGM	0.7 - 70 Hz	Peak: 10.5 mV (mean) Worst: 2 mV; 1.2 mA SR: 9mV/ms
ENG	250 - 5000 Hz	0 - 100 μV

A modo de ejemplo, se expondrán algunas tecnologías avanzadas. Como primer ejemplo, se encuentra el dispositivo *wearable* desarrollado por *NeuraLink* [1] que se basa en el control neuronal para el movimiento de un cursor de computadora que permitiría a personas con parálisis manipular un ordenador. Este dispositivo que cuenta con 1024 electrodos, denominado N1 Link, fue implantado en el cerebro de un mono macaco a modo de prueba. Este experimento fue un éxito, pues como se observa en la Figura 1.1, el mono pudo ser capaz de mover las paletas del juego MindPong.



Figura 1.1: Mono macaco participante de la prueba [1] .

Otro ejemplo son los relojes inteligentes de la compañía *Apple* [2] que para el año 2018 incluyeron electrodos en la parte posterior del reloj para así interpretar bioseñales ECG, tales como ritmo normal o fibrilación auricular. La empresa agregó la funcionalidad de que la data almacenada se presente en un archivo PDF en el iPhone para que pueda ser enviada y analizada por el especialista. En la Figura 1.2 se muestra lo que es el reloj desarrollado por *Apple* que incluye el ECG.



Figura 1.2: Dispositivo *wearable* Apple con sistema ECG [2] .

A raíz de la pandemia del COVID-19, las personas se han visto en la necesidad de realizarse pruebas que permitan indicar si alguna persona en particular porta el virus, ya sea que presente síntomas o no. Por ello, la compañía NeuTigers [3] adaptó el reloj que detectaba diabetes (*StarDeep*) para que a la par detectara si una persona era portador del coronavirus (*CovidDeep* – Figura 1.3). La manera en que este dispositivo *wearable* funciona es por medio de redes neuronales que fueron entrenado con casos del Hospital San Matteo en Pavía, Italia. La empresa referida logró una tasa de aciertos de hasta un 98.1 %.



Figura 1.3: Vista del dispositivo *wearable* detector de COVID-19 [3] .

Finalmente, se puede exponer el caso de un *bypass* neuronal [4]. Este dispositivo implantado en el cerebro recoge señales de la corteza motora, las cuales son procesadas por una computadora con algoritmo de aprendizaje automático que descifren dichas señales. Para lograr que esta disposición mental se convierta en una acción, el usuario contaría con electrodos envuelto en el antebrazo que activen los músculos tal y como se ve en la Figura 1.4. El grupo de ingenieros a cargo del proyecto desarrollaron dos tipos de sistemas nerviosos artificiales. El primero fue uno con características mencionadas al inicio que resultaría ser más preciso en tanto a movilidad de las extremidades involucradas y el segundo es uno no invasivo que no es tan exacto, pero su ventaja radica en que no necesita de ninguna cirugía craneal.



Figura 1.4: Paciente con el implante en el cerebro y electrodos en el brazo [4] .

1.2. Motivación

En la anterior sección, se enlistó una serie de aplicaciones actuales de sistemas *wearable* en el ámbito médico. Para lograr la fabricación de dispositivos de tamaño reducido, estos deben contar con sistemas en chip (SoC) que ahora son los sistemas que causan más interés para la recolección y monitoreo de señales biológicas. Sin embargo, cada vez se está optando por la cosecha de energía para alimentar el sistema involucrado. El nivel de potencia emitido por el dispositivo que recolectan energía es bajo, en el orden de los nW. Por ello, la fabricación de potencia ultra baja es requerida. Primero se debe conocer las partes involucradas en el SoC que recolecta los biopotenciales. En la Figura 1.5, se observa que el sistema cuenta con un bloque de preamplificación que se encarga de la modulación y demodulación, un filtro pasabajos que dependiendo de la bioseñal (Tabla 1.1) tendrá una frecuencia de corte mayor o menor y, finalmente, un convertidor análogo-digital. Las ventajas de diseñar un LPF es que pueden filtrar interferencia y el ruido fuera de banda que generaría el preamplificador como por ejemplo el rizado generado por la técnica chopper [18]. Asimismo, serviría como antialiasing para el bloque de muestreo (ADC).

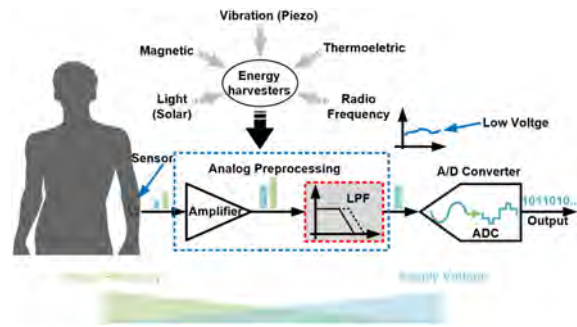


Figura 1.5: Diagrama de bloques para el procesamiento de biopotenciales [5] .

1.3. Estado del arte de las topologías CMOS para LPF

Como se mencionó en la primera sección, con el avance de la tecnología, cada vez los SoC están contando con la característica de *low-power*, *low-Vdd* y *low-area* para su funcionamiento. Los sistemas de filtraje, en este caso, los filtros pasa bajos para bioseñales, no son ajenos a lo anterior. En este sentido, los filtros que van dentro de los sistemas en chip pueden ser diseñados de diferentes maneras, por ejemplo, filtros pasivos RC, filtros activos RC, capacitores conmutados, pero en estas sección se hace énfasis en los filtros GM-C y SF-C que son los elementos transconductores más comunes en la implementación de circuitos integrados para aplicaciones de biopotenciales.

Para entender mejor cuál es el principio de funcionamiento de un filtro GM-C, en un inicio, se tomará como contrapartida la ejemplificación de un filtro RC que cuenta con una linealidad excelente por naturaleza, Como muestra [6], si se requiriese de 150 Hz de frecuencia de corte y contamos con un condensador de 13 pF, necesitaríamos una resistencia de 83 MΩ. Por otro lado, es posible reemplazar la resistencia por un elemento activo que se llama transconductor. Si quisiéramos tener la misma frecuencia de corte y el mismo capacitor, necesitaríamos 12 nS de transconductancia que en área es mucho menor como se puede observar en la Figura 1.6.



Figura 1.6: Diferencia de dimensión de una resistencia y una transconductancia [6].

Asimismo, un defecto que se encuentra respecto a los filtros pasivos RC es que tiene un factor de

calidad Q limitado. Esto se puede solucionar diseñando un filtro RC activo; sin embargo, aun estaría presente el inconveniente del valor de la resistencia y por ende su dimensión. La Figura 1.7 y Figura 1.8 presentan filtros basados en lo que se mencionó anteriormente: Source Follower-C y GM-C (OTA-C), respectivamente. La implementación de filtros activos en base a transconductancia permitiría sintonizar el factor de calidad Q por medio de las corriente de polarización y permitiría eliminar el efecto de carga del filtro respecto a los circuitos de las demás etapas. En el ámbito de dispositivos *wearable*, la implementación de circuitos OTA-C son prometedores, pues permiten un consumo bajo y frecuencias bajas [7].

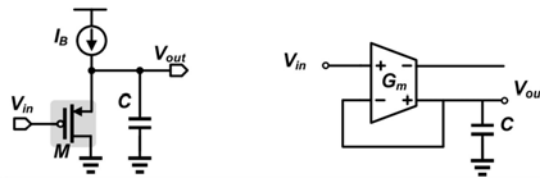


Figura 1.7: LPF SF-C [5].

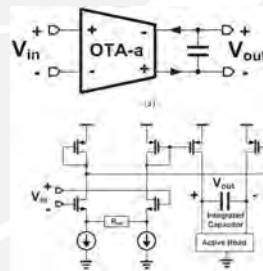


Figura 1.8: LPF GM-C (OTA-C) [7].

Las OTA-C clásicas presentan el problema de la linealidad que puede ser mejorada con muchas técnicas como *source degeneration*, *multitanh cell*, and *adaptive-biasing*; sin embargo, estas mejoras traen consigo otros problemas o limitaciones como, en el primer caso, la de consumo alto de potencia; en el segundo, se ve limitada por la falta de coincidencia del dispositivo y las variaciones del proceso [7]. Hasta la fecha, en diferentes literaturas se plantean diversas formas de agrupar las OTA para desarrollar diferentes filtros. Por ejemplo, en la Figura 1.9, se observa un flujo escalera RLC de n -ésimo orden pero por medio de diferentes OTA.

Donde radica la versatilidad del diseño es en la topología de cada OTA en cada etapa. Como se puede observar en la Figura 1.10, la topología mostrada disipa un potencia de 41nW a diferencia de la topología de la Figura 1.11, que plantea la misma agrupación en cascada que el de la Figura 1.9, pero disipa una potencia de 350 nW, ambos alimentados con un V_{dd} de 1V.

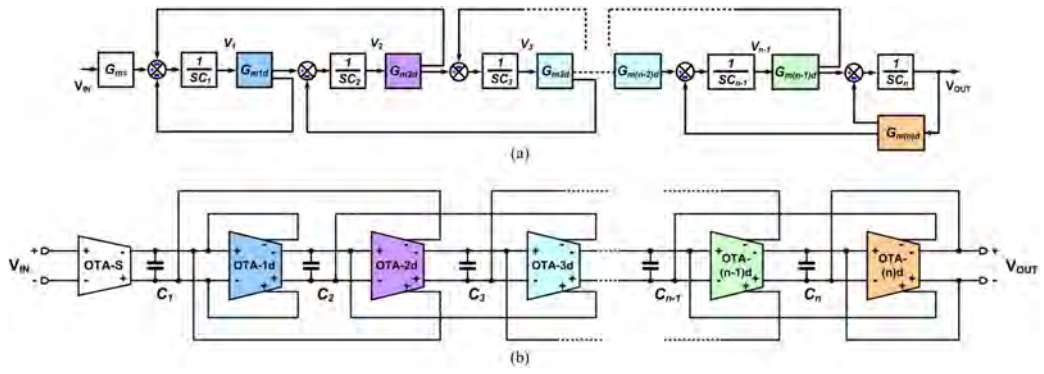


Figura 1.9: Agrupación de OTAs para un filtro de n-ésimo orden [7].

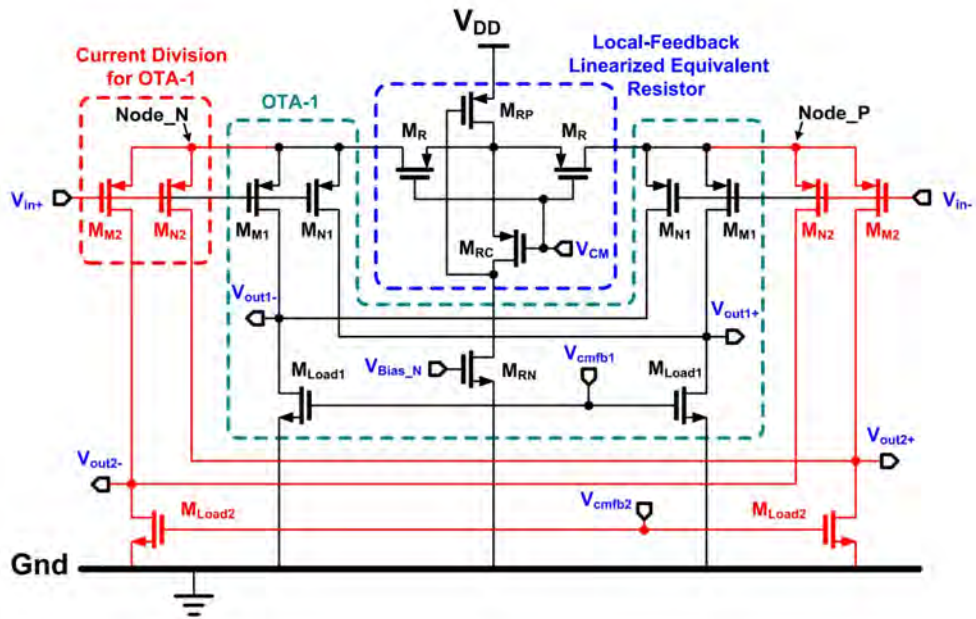


Figura 1.10: Topología OTA con disipación de 41 nW [7].

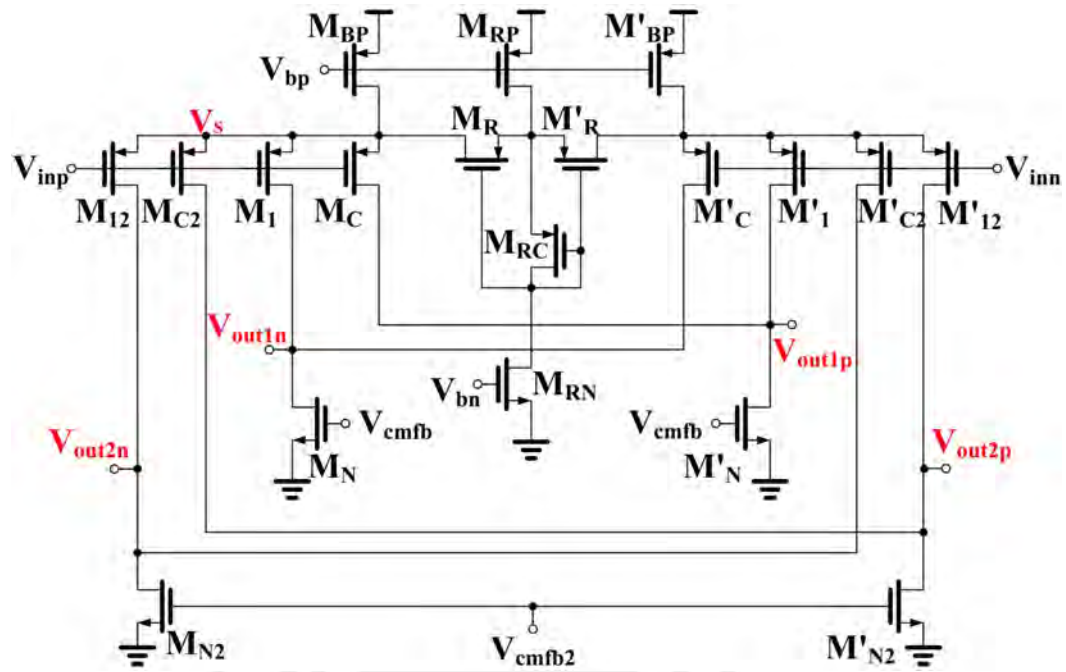


Figura 1.11: Topología OTA con disipación de 350 nW [8].

Hasta aquí se ha expuesto los filtros GM-C; de cómo, hace algunos años, los transconductores eran implementados con varios transistores; y cómo se pueden hacer filtros de orden mayor. Sin embargo, a partir de hace 2 o 3 años, se ha propuesto utilizar un circuito muchísimo más simple como elemento transductor: el Source Follower.

Este consiste en una topología que se aplica una señal en el gate (V_{in}) y se obtiene la señal en el source (V_{out}); además de que necesita de una fuente de corriente como elemento de polarización. El Source follower es uno de los circuitos que se está proponiendo ya desde hace algunos años para hacer el papel del elemento transductor, pues presenta bastante linealidad porque el voltaje de polarización V_{sg} (tipo P) tiene una variación muy pequeña a pesar de que el voltaje de entrada tiene una variación muy grande. Una vez observada la ventaja de utilizar el diseño de Source Follower como elemento transductor en un LPF, los investigadores quizás se preguntaban: “Por qué no usar los antiguos diseños en base a Source Follower como el Super Source Follower (SSP) y Flipped Source Follower (FSF) para filtros pasa bajos?”. Esta consigna tiene mucho sentido. Si bien el Source Follower (Figura 1.12a) [9] presenta una variación de V_{sg} bajo, el Super Source Follower (Figura 1.12b) [10] y el Flipped Source Follower (Figura 1.12c) [11] presentan una variación de V_{sg} aún mucho menor. Por otro lado, como todo nuevo planteamiento, siempre existe mínimo una desventaja frente a una ventaja. En este caso es el punto de reposo. Si se inyectase una señal con un nivel DC, el Source Follower va a aumentar o disminuir el nivel DC dependiendo si es tipo P o tipo N, respectivamente. Esto se detalla mejor en

la Figura 1.13 en la columna 'Voltage' en caso se diseñara un biquads con estas topologías.

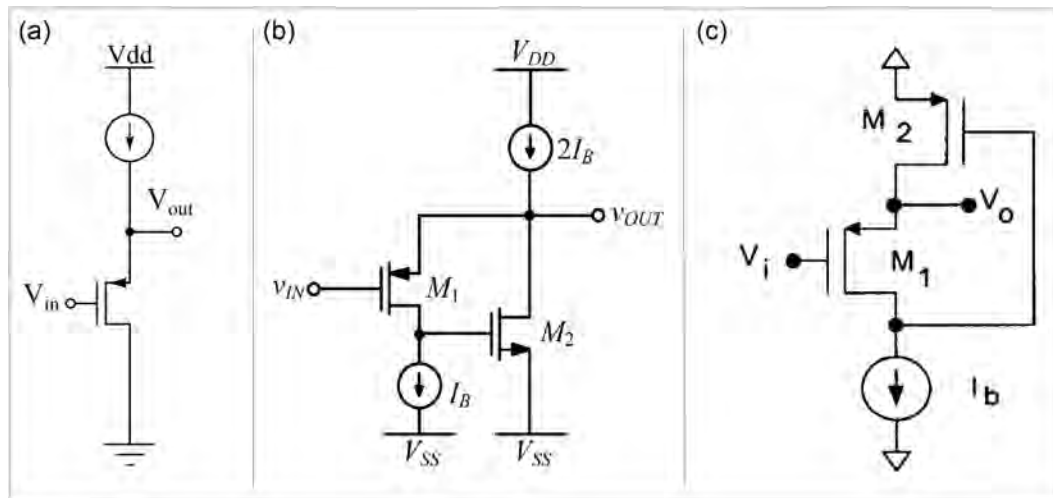


Figura 1.12: (a) *Source Follower* [9], (b) *Super Source Follower* [10], *Flipped Source Follower* [11].

Biquad Topology	Number of SF	Quiescent voltage difference	
		Voltage	Sensitive to corners?
SF-C	2	$2V_{GS}$	Yes
Flipped SF-C	1	V_{GS}	Yes
Super SF-C	1	V_{GS}	Yes

Figura 1.13: Tabla de topologías *Biquad* con *Source Followers*. Modificado de [5].

Hasta la fecha, las diferentes fuentes bibliográficas proponen diseños cada vez más avanzados que proponen características y resultados prometedores.

Por ejemplo, en [12], se presenta una topología SSF en donde se le agrega una celda biquad con solo dos transistores y dos capacitores adicionales. Este circuito permite evitar el uso de una retroalimentación en modo común, ya que se desarrolla por medio de una agrupación pseudo-diferencial. Este diseño se alimentaría con 1.8V y consumiría una corriente de 385 uA por cada celda; es decir, una corriente total de 770 uA.

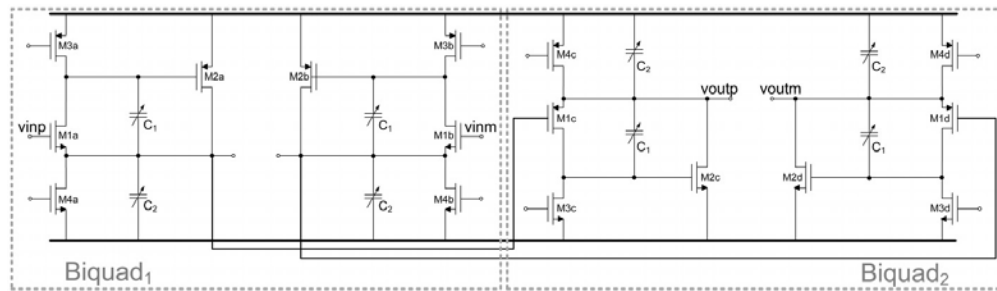


Figura 1.14: Filtro de 4to orden SSF con pseudo-diferencial [12].

También, en la literatura [13], se trata de disminuir el problema del estudio anterior respecto a su alto consumo, la unión de transistores NMOS y PMOS a la par para su diseño y que ocasiona que el factor de calidad sea sensible a cambios por PVT. Lo que propone es un *Couple Source Follower* (CSF) que logra una mayor linealidad a pesar de su ancho de banda y que permite diseñar un filtro pasabajos de tercer orden con una sola etapa de CSF y tres capacitores o de segundo orden desconectando un capacitor; además, permite diseñar más filtros de orden par o impar. Este diseño logra un DR de 76.9 dB y logra disipar una potencia de 0.65 mW.

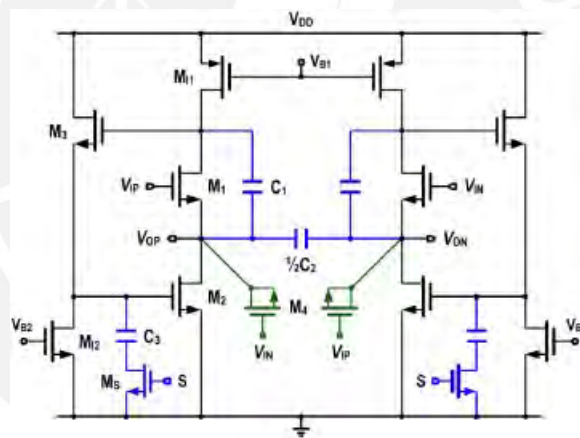


Figura 1.15: Diseño pseudo-diferencial para un filtro de 2do/3er orden CSF [13].

Ahora, en [14], se explica que el SF presenta un amplio rango lineal y consume poca potencia, y que se basa en una topología pseudo-diferencial; pero este diseño se ve afectado, pues se polariza entre gate y source, y que requiere una impedancia entre source y tierra para obtener la función transferencia que se quiere. Por ello, los SF clásicos se vieron en la necesidad de ser alimentados con un voltaje relativamente alto, como 1.8V, para asegurar una buena polarización. Lo que se quiere resolver en esta propuesta es utilizar un suministro de 1V y reducir el acoplamiento de ruido más alto proveniente de un volumen común más delgado en tecnologías CMOS de rango nm. Lo que se propuso fue implementar una topología *Fully-Differential*, permitiendo que la relación de rechazo de fuente de alimentación (PSRR) sea 13 dB más que en el pseudo-diferencial. Además,

permite el uso de un *Flipped Source Follower* (FSF) con un punto de polarización adecuado. Este, al igual que el caso anterior del *Couple Source Follower*, hace uso de dos celdas en el que cada uno disipa una potencia de 408 uW y que en total consumiría 816 uW, con un rango dinámico de 64 dB.

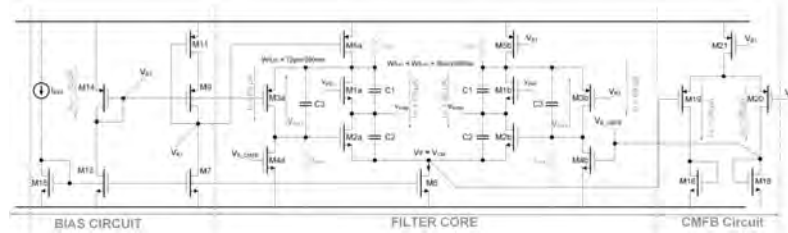


Figura 1.16: *Biquad* totalmente diferencial *Flipped Source Follower* [14].

Así como se mencionó en párrafos más arriba, en filtros basados en transconductancia, se puede conseguir un factor de calidad Q ajustable; pero este dependería de la configuración de la topología *Biquad* SF-C propuesta. Por ejemplo, en la literatura de la Figura 1.17, se menciona que el circuito (a) presentaría un Q máximo de 0.5 y en el circuito (b) se podría obtener un Q cualquiera solo variando el valor de C_1 y C_2 o el valor de G_{m1} y G_{m2} .

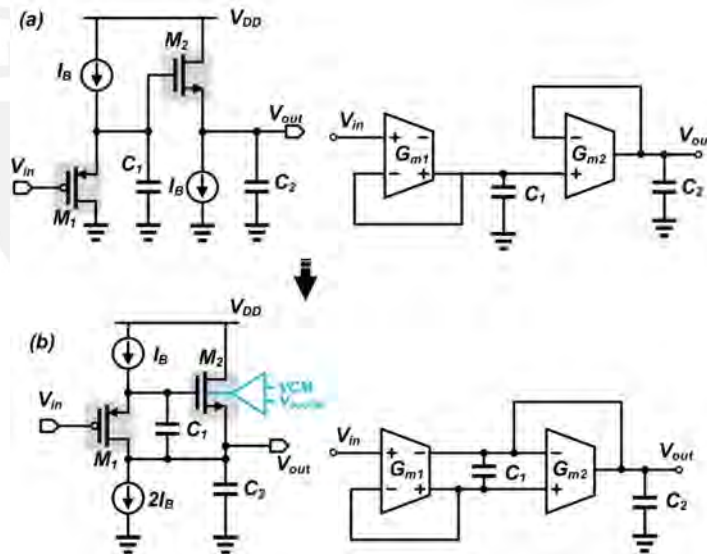


Figura 1.17: Topologías *Biquad* con límites de Q distintos [5].

1.4. Justificación

Últimamente, se ha puesto un claro interés en la implementación de transconductores por medio de *Source Follower*, ya que cumplen la misma virtud que un par diferencial: el punto de operación depende de la corriente programable; además, de brindar un buen rango lineal debido al bajo nivel

de variación del V_{sg} (tipo P) o V_{gs} (tipo N). En este sentido, implementar un filtro en el que el transistor se base en variantes de la topología SF, que disipe menos potencia, se alimente con un nivel de voltaje máximo de 1V y presente un rango lineal alto sería beneficioso para aplicaciones medicas referente a señales *Neural Spikes*.

1.5. Objetivos

1.5.1. Objetivo general

- Diseñar un filtro pasa-bajos CMOS con una alimentación menor o igual a 1V y una frecuencia de corte de 6 kHz.

1.5.2. Objetivos específicos

- Realizar un análisis que permita relacionar las especificaciones con los parámetros de diseño: dimensión de canales, corriente de polarización y valor de condensador.
- Calcular los parámetros de diseño basándonos en las ecuaciones obtenidas en el punto anterior y algunas simulaciones.
- Una vez diseñado, realizar la simulación para caracterización del circuito para diferentes condiciones de operación (PVT).

Capítulo 2

Fundamentos teóricos

En el presente capítulo, se presentarán aspectos teóricos necesarios para el diseño del filtro de la propuesta solución.

2.1. Filtros Pasivos RC

Si bien este documento de tesis se centra en implementar filtros en el que el transconductor se base en variantes de la topología *Source Follower*, es relevante la explicación matemática de filtros RC y GM-C de primer orden y de segundo orden. Lo que se muestra en la Figura 2.1, es la estructura circuital que representa un filtro pasivo RC de primer orden. Para este caso, la función transferencial que representa este filtro está dado por la ecuación 2.1 y una frecuencia de corte dado por la ecuación 2.2.

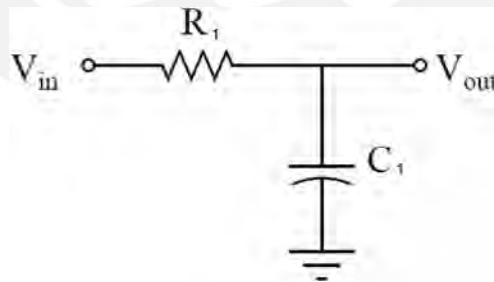


Figura 2.1: Filtro pasivo RC de primer orden.

$$\frac{V_{out}}{V_{in}} = \frac{1}{(R_1 * C_1)s + 1} \quad (2.1)$$

$$f_{corte} = \frac{1}{(2 * \pi * R_1 * C_1)} \quad (2.2)$$

Ahora, se sabe que los filtros RC de primer orden son filtros buenos y básicos para el filtrado de señales de cualquier tipo como el biopotencial *Neural Spikes*; sin embargo, es apartir de filtros de segundo orden donde se puede observar mejor las ventajas. En la Figura 2.2, se muestra el circuito referente a este filtro. También se muestra la función transferencia en la ecuación 2.3 y en la ecuación 2.4 se muestra el resultados que representa el factor de calidad. Este último es el parámetro que permite una respuesta plana en el diagrama de *Bode* de la función trasferencia. En este sentido, analizar el valor máximo al cual puede llegar es importante.

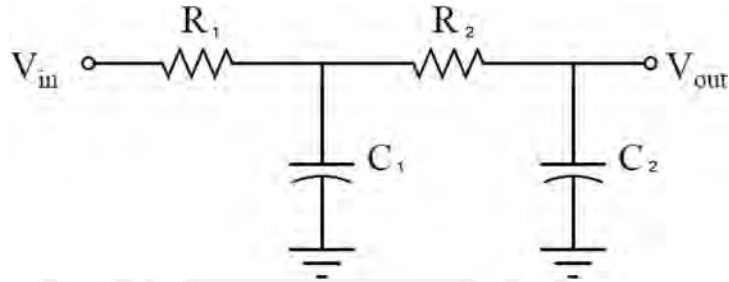


Figura 2.2: Filtro pasivo RC de segundo orden.

$$\frac{V_{out}}{V_{in}} = \frac{\frac{1}{R_1 * R_2 * C_1 * C_2}}{s^2 + \left(\frac{1}{R_1 * C_1} + \frac{1}{R_2 * C_2} + \frac{1}{R_2 * C_1}\right)s + \frac{1}{R_1 * R_2 * C_1 * C_2}} \quad (2.3)$$

$$Q = \frac{\sqrt{R_1 * R_2 * C_1 * C_2}}{R_1 * C_1 + R_2 * C_2 + R_1 * C_2} \quad (2.4)$$

Partiendo de la expresión 2.4, se puede agrupar para formar la ecuación 2.5 dado por:

$$Q = \frac{\sqrt{R_1 * R_2 * C_1 * C_2}}{\sqrt{R_1 * C_1^2 + \sqrt{C_2 * (R_1 + R_2)^2}}} \quad (2.5)$$

Se sabe que la expresión $a^2 + b^2 > 2ab$ es verdad. Entonces, partiendo de esta premisa, se puede decir que:

$$R_1 * C_1 + C_2 * (R_1 + R_2) > 2 * \sqrt{(R_1 * C_1 * C_2 * (R_1 + R_2))} \quad (2.6)$$

$$\frac{1}{R_1 * C_1 + C_2 * (R_1 + R_2)} < \frac{1}{2 * \sqrt{R_1 * C_1 * C_2 * (R_1 + R_2)}} \quad (2.7)$$

Multiplicando en ambos lados por el numerador de la expresión 2.4, se obtiene:

$$\frac{\sqrt{(R_1 * R_2 * C_1 * C_2)}}{(R_1 * C_1 + C_2 * (R_1 + R_2))} < \frac{\sqrt{(R_1 * R_2 * C_1 * C_2)}}{2 * \sqrt{(R_1 * C_1 * C_2 * (R_1 + R_2))}} \quad (2.8)$$

Simplificando,

$$Q < \frac{\sqrt{R_2}}{2 * \sqrt{R_1 + R_2}} \quad (2.9)$$

Así se ve que el valor de Q está limitado a 0.5. Este detalle se puede solucionar con la implementación de filtros activos RC. Un ejemplo de este último se muestra en la Figura 2.3 que muestra un filtro activo Sallen Key de segundo orden. Esta clase de filtros permitiría aumentar el valor de Q por medio de la realimentación positiva.

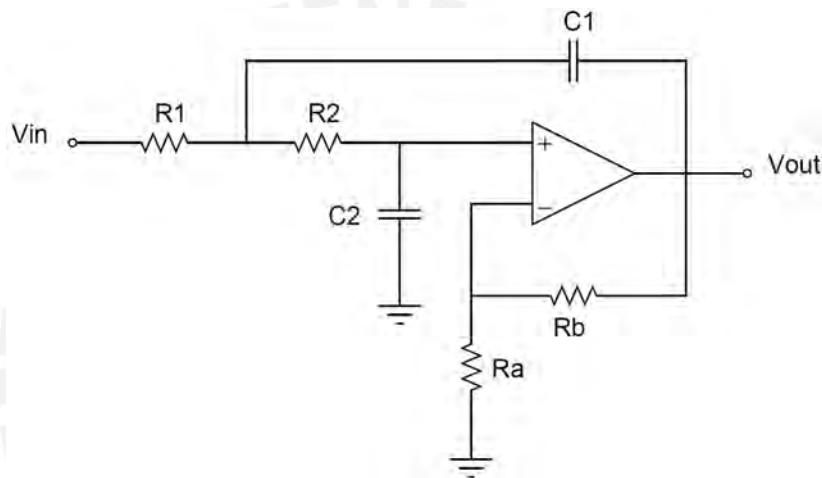


Figura 2.3: Filtro activo RC de segundo orden Sallen Key.

2.2. Filtros GM-C

Otra forma de implementar filtros es por medio de los filtros GM-C, el cual se basa en reemplazar el componente pasivo por un componente transconductor. En la Figura 2.4, se muestra un filtro GM-C de primer orden, el cual tiene una ecuación característica I_{out} expresado por la ecuación 2.10.

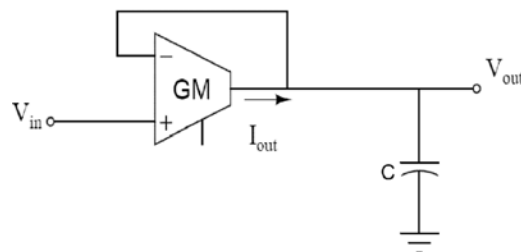


Figura 2.4: Filtro GM-C de primer orden [6].

$$I_{out} = GM * (V_p - V_n) \quad (2.10)$$

Para poder hallar la función transferencia de esta clase de filtro de primer orden, se empieza por definir:

$$V_{out} = I * \frac{1}{sC} \quad (2.11)$$

Despejando el valor de I_{out} y reemplazándolo por la ecuación 2.10:

$$V_{out} * sC = GM * (V_p - V_n) \quad (2.12)$$

Asignado las señales a los pines $V_{pin.positivo}$ y $V_{pin.negativo}$, se obtendría:

$$V_{out} * sC = GM * (V_{in} - V_{out}) \quad (2.13)$$

Finalmente, se llega a la expresión:

$$\frac{V_{out}}{V_{in}} = \frac{1}{\left(\frac{C}{GM} s + 1\right)} \quad (2.14)$$

Con este mismo filtro, se obtiene una frecuencia de corte, dado por:

$$f_{corte} = \frac{GM}{2 * \pi * C} \quad (2.15)$$

De igual forma que el caso del filtro RC, donde se puede ver mejor su funcionalidad, por ser más plana en el diagrama de bode y por ser más selectivo, es cuando se usan filtros de mayor orden. El pionero en esta clase de topologías en base a transconductores es el profesor Sánchez-Sinencios del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional (Cinvestav). En la Figura 2.5, se puede observar las diversas estructuras de filtros GM-C de segundo orden que pudo diseñar. Enfocándose en la primera topología encerrado en un recuadro rojo, para generar un filtro pasabajos de segundo orden se debe colocar los capacitores a tierra. Asimismo, en la Tabla 2.1, se muestran todos los tipos de circuitos (filtro pasabajo, filtro pasa banda, filtro pasa alto, filtro *notch*) con sus respectivas funciones trasferencias, frecuencia angular y factor de calidad. Para la topología en alusión se encerró en un recuadro rojo todas las ecuaciones respectivas.

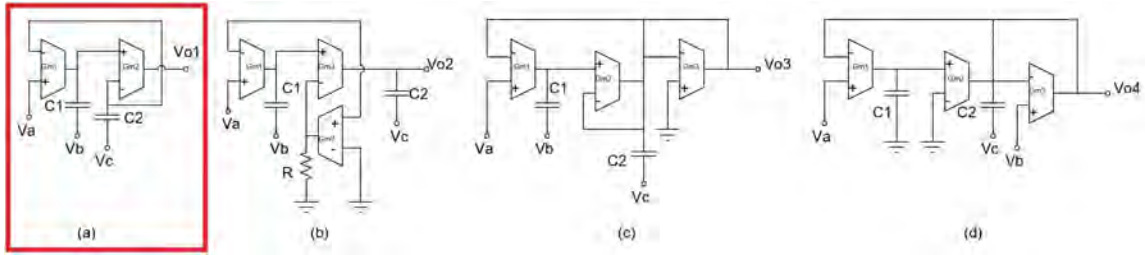


Figura 2.5: Estructuras GM-C de segundo orden [15].

Tabla 2.1: Tabla de características de todos los filtros [15].

Tipo de circuito	Condiciones iniciales	Función Transferencia	Si $g_{m1} = g_{m2} = g_m$
Filtro pasa-bajos con ω_o ajustable	$V_i = V_A, V_B$ y V_C a tierra	$\frac{g_{m1} * g_{m2}}{s^2 * C_1 * C_2 + s * C_1 * g_{m2} + g_{m1} * g_{m2}}$	$\omega_o = \frac{g_m}{\sqrt{C_1 * C_2}}$ $Q = \sqrt{\frac{C_2}{C_1}}$
Filtro pasa-banda con ω_o ajustable	$V_i = V_B, V_A$ y V_C a tierra	$\frac{s * C_1 * g_{m2}}{s^2 * C_1 * C_2 + s * C_1 * g_{m2} + g_{m1} * g_{m2}}$	$\omega_o = \frac{g_m}{\sqrt{C_1 * C_2}}$ $Q = \sqrt{\frac{C_2}{C_1}}$
Filtro pasa-altos con ω_o ajustable	$V_i = V_C, V_A$ y V_B a tierra	$\frac{s^2 * C_1 * C_2}{s^2 * C_1 * C_2 + s * C_1 * g_{m2} + g_{m1} * g_{m2}}$	$\omega_o = \frac{g_m}{\sqrt{C_1 * C_2}}$ $Q = \sqrt{\frac{C_2}{C_1}}$
Filtro Notch con ω_o ajustable	$V_i = V_A = V_C, V_B$ a tierra	$\frac{s^2 * C_1 * C_2 + g_{m1} * g_{m2}}{s^2 * C_1 * C_2 + s * C_1 * g_{m2} + g_{m1} * g_{m2}}$	$\omega_o = \frac{g_m}{\sqrt{C_1 * C_2}}$ $Q = \sqrt{\frac{C_2}{C_1}}$

Centrándose en el factor de calidad Q dado por la ecuación 2.16, se puede notar que este parámetro depende únicamente de los capacitores. Por un lado, esto es conveniente, ya que de esta forma se minimiza el efecto mismatch presentes en los componentes. Por otro, se puede notar que el factor

de calidad no esta limitado a 0.5 como si ocurría en el filtro pasivo RC.

$$Q = \sqrt{\frac{C_1}{C_2}} \quad (2.16)$$

Sin embargo, se mencionó que el mismo resultado (factor de calidad no limitado a 0.5), se puede conseguir por medio filtros activos RC. Entonces, ¿por qué no usar esa clase de filtros? La respuesta es sencilla. En la Figura 1.7 del capítulo anterior, se mencionó un caso en el que se planteaba diseñar un filtro pasabajos de 150 Hz y para ello teniamos dos caminos: por medio de componente pasivo y por medio de componente transconductor. La relación de componente pasivo - componente transconductor referente al área fue aproximadamente 60 a 1 al momento de realizar el layout. Ahi radica la superioridad de implementar OTAs.

2.3. Linealidad

Hasta aquí se ha mencionado lo ventajoso de utilizar un componente transconductor. En la Figura 2.6 del presente capítulo, se puede ver un par de curvas que representan la linealidad de la resistencia en la curva amarilla y la linealidad del GM en la curva azul. Podemos notar que no son iguales y que por zonas tienen una variación significativa. Esto es real, ya que se está optando por disminuir el voltaje de alimentación por dos razones: por la cosecha de energía y por razones de tender a fabricar procesadores más pequeños y por ende transistores más pequeños. Una de las formas en la que se puede cuantizar esta diferencia es por medio del llamado error de linealidad que está dado por el parámetro α definido en la ecuación 2.17. Este parámetro es medido al tomar un valor del eje rotulado como V_{in} ; se proyecta en la recta y en la curva para visualizar el valor de la corriente em ambos casos.

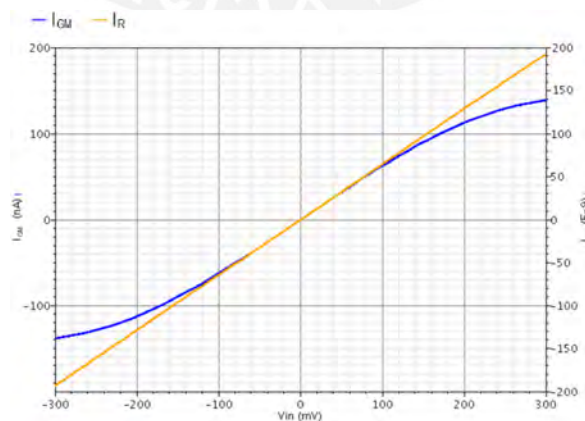


Figura 2.6: Gráfica de linealidad de R vs GM [6].

$$\alpha = \frac{I_R - I_{GM}}{I_R} \quad (2.17)$$

2.4. Estructuras Source Follower

Desde hace algunos años se ha estado poniendo énfasis en utilizar esta clase estructuras para que realice el papel de transconductor en vez de las clásicas estructuras GM-C diseñado con bastantes transistores como se ha visto en el capítulo anterior. La razón es porque presenta alta linealidad, pocos transistores en su implementación, alimentación de voltaje bajo y poco consumo de potencia. Por ello, para un correcto diseño microelectrónico se debe tener en consideración algunos conceptos de análisis.

2.4.1. Pequeña señal

La buena linealidad se debe a que el voltaje de polarización V_{sg} para los tipo P y el el voltaje de polarización V_{gs} para los tipo N cuentan con una variación pequeña a pesar de que el voltaje de entrada tiene una variación muy grande. La forma como se puede observar esto es por medio del análisis en pequeña señal.

En la Figura 2.7, se muestra las estructuras *Source Follower* clásico (SF) y sus variantes que son el *Super Source Follower* (SSF) y el *Flipped Source Follower* (FSF) del tipo N.

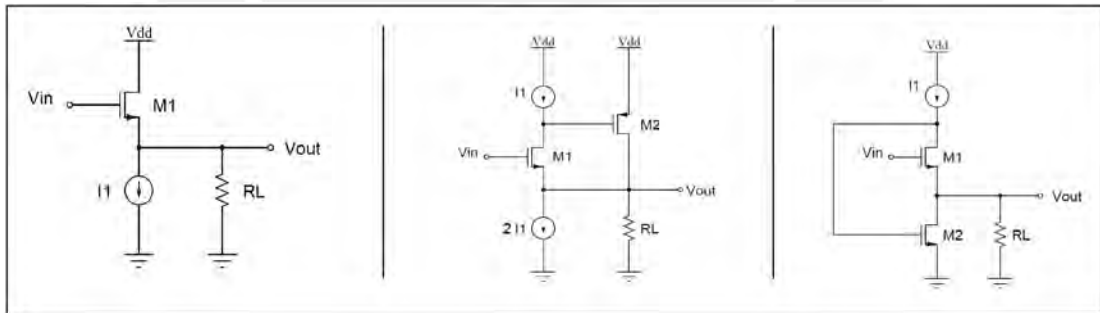


Figura 2.7: Arquitecturas SF Simple, SSF, FSF tipo N.

Para realizar el análisis respectivo, tomaremos en consideración los modelos del transistor descritos en el libro de *Behzad Razavi* del año 2017 [16] que se puede observar en la Figura 2.8.

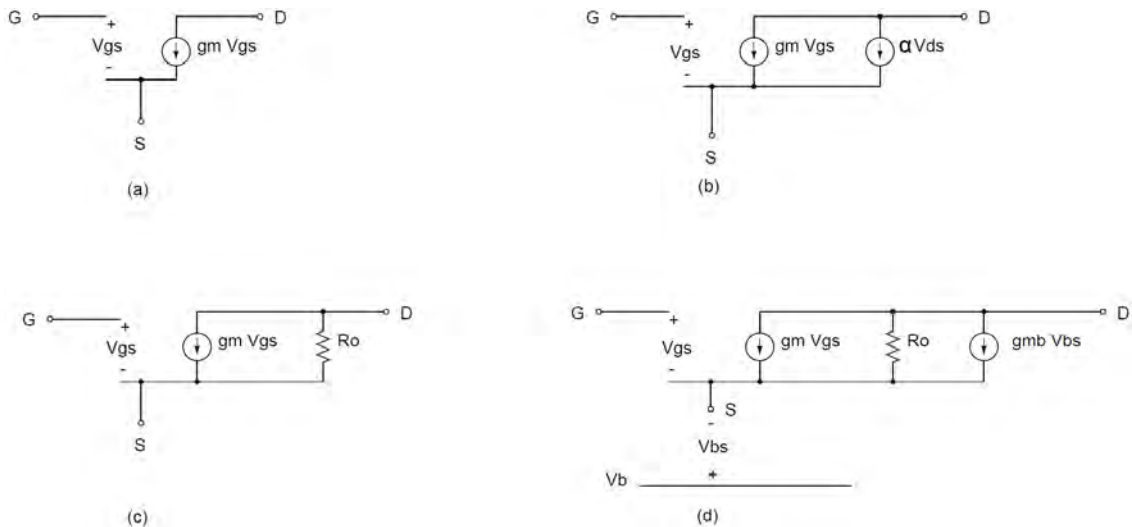


Figura 2.8: Modelos en pequeña señal del transistor [16].

En el análisis de pequeña señal, se tomará como referencia el modelo de la Figura 2.8(a); ya que de esa forma permite un análisis más simple, pues se desprecia los efectos de segundo orden tales como modulación de canal y efecto cuerpo. Para el caso del *Source Follower* Clásico, en la Figura 2.9 se puede observar el modelo en pequeña señal considerando lo mencionado antes.

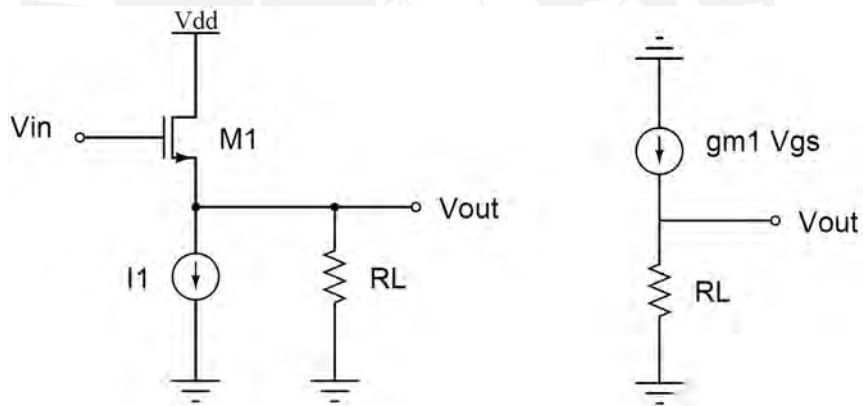


Figura 2.9: Modelo simple de pequeña señal del *Source Follower* Simple.

Apartir de dicho modelo se puede obtener la función transferencia dado por la expresión 2.18:

$$\frac{V_{out}}{V_{in}} = \frac{g_m * R_L}{1 + g_m * R_L} \quad (2.18)$$

Para obtener una expresión respecto de V_{gs} , se desarrolla lo siguiente:

$$1 - \frac{V_{out}}{V_{in}} = 1 - \frac{g_m * R_L}{1 + g_m * R_L} \quad (2.19)$$

$$\frac{V_{in} - V_{out}}{V_{in}} = 1 - \frac{g_m * R_L}{1 + g_m * R_L} \quad (2.20)$$

$$\frac{V_{gs}}{V_{in}} = \frac{1}{1 + g_m * R_L} \quad (2.21)$$

Con la expresión 2.21, podemos notar que V_{gs} es una pequeña porción de V_{in} ; ya que la fracción es menor a 1 pero de igual forma qué tan pequeño dependerá de qué tan grande es $GM * RL$. Quizas en esta estructura de *Source Follower* no se diferencie tanto frente a las topologías convencionales para implementar filtros GM-C; pues existen métodos para mejorar su linealidad de este último, como por ejemplo el *Source Degeneration*. Sin embargo, la versatilidad de las estructuras *Source Follower* se podría ver en las variantes de este tipo.

Una primera variante del *Source Follower* es el *Super Source Follower* que, de igual forma que el caso anterior, se muestra el modelo de pequeña señal en la Figura 2.10.

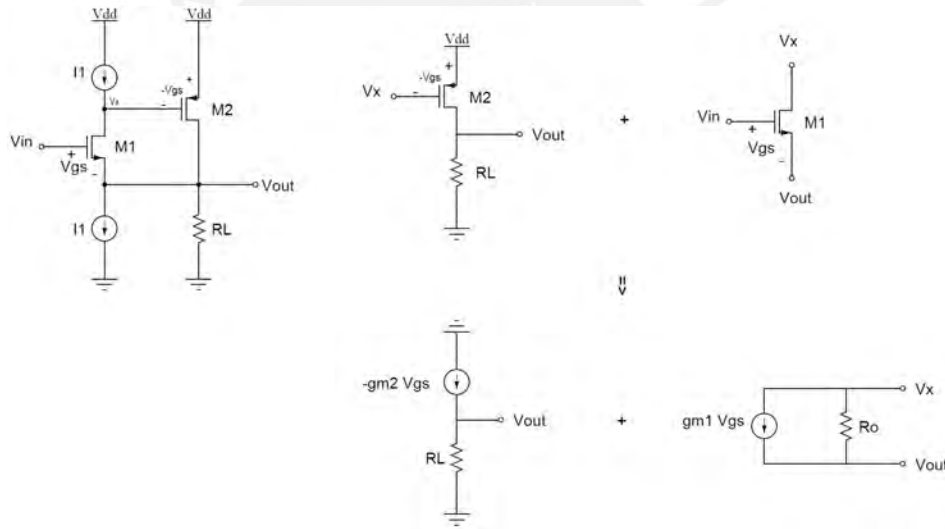


Figura 2.10: Modelo simple de pequeña señal del *Super Source Follower*.

Se desarrolla la función transferencia y se obtiene la expresión en función de V_{gs} :

$$\frac{V_{out}}{V_{in}} = \frac{g_{m1} * g_{m2} * R_L * r_o}{1 + g_{m1} * g_{m2} * R_L * r_o} \quad (2.22)$$

$$1 - \frac{V_{out}}{V_{in}} = 1 - \frac{g_{m1} * g_{m2} * R_L * r_o}{1 + g_{m1} * g_{m2} * R_L * r_o} \quad (2.23)$$

$$\frac{V_{in} - V_{out}}{V_{in}} = \frac{1}{1 + g_{m1} * g_{m2} * R_L * r_o} \quad (2.24)$$

$$\frac{V_{gs}}{V_{in}} = \frac{1}{1 + g_{m1} * g_{m2} * R_L * r_o} \quad (2.25)$$

Para apreciar que en este caso V_{gs} es una fracción aún más significativa respecto a V_{in} , se hace $g_{m2} * r_o = A$, donde $A \gg 1$. Con ello se obtiene la expresión 2.26, dado por:

$$\frac{V_{gs}}{V_{in}} = \frac{1}{1 + A * g_{m1} * R_L} \quad (2.26)$$

La segunda variante es el *Flipped Source Follower* que también se desarrolla su análisis en pequeña señal y la Figura 2.11 muestra su modelo.

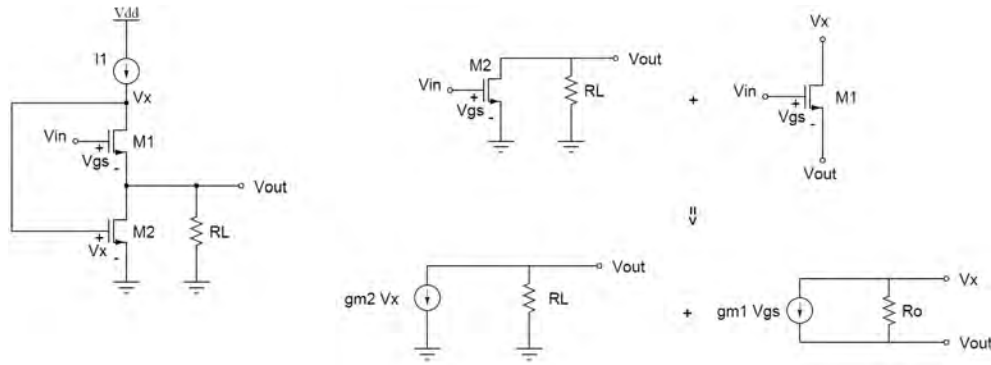


Figura 2.11: Modelo simple de pequeña señal del *Flipped Source Follower*.

Se realiza su desarrollo de la expresión de V_{gs} y se notará una curiosidad:

$$\frac{V_{out}}{V_{in}} = \frac{g_{m1} * g_{m2} * R_L * r_o}{1 + g_{m1} * g_{m2} * R_L * r_o} \quad (2.27)$$

$$1 - \frac{V_{out}}{V_{in}} = 1 - \frac{g_{m1} * g_{m2} * R_L * r_o}{1 + g_{m1} * g_{m2} * R_L * r_o} \quad (2.28)$$

$$\frac{V_{in} - V_{out}}{V_{in}} = \frac{1}{1 + g_{m1} * g_{m2} * R_L * r_o} \quad (2.29)$$

$$\frac{V_{gs}}{V_{in}} = \frac{1}{1 + g_{m1} * g_{m2} * R_L * r_o} \quad (2.30)$$

Podemos notar que la expresión 2.25 y 2.30 son iguales. Eso quiere decir que ambas variantes del *Source Follower* cumplen con la premisa inicial que V_{gs} es un valor pequeño a pesar de contar con una señal que varíe significativamente en la entrada.

2.4.2. Respuesta en frecuencia

Para poder hallar la ganancia de esta clase de filtros a distintas frecuencias se tomará como ejemplo el análisis del *Source Follower* Simple considerando la impedancia de la fuente de corriente dependiente del transistor y la impedancia de la fuente de corriente de polarización; finalmente, se analizará un diseño real aplicativo. Para el primer análisis, se cuenta con la Figura 2.12 en el que se plantea lo anterior considerando la expresión $R_{out} = R_o || R_s$.

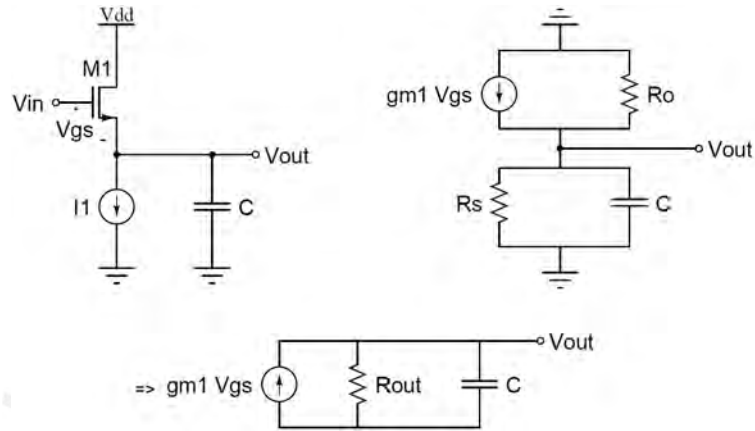


Figura 2.12: Modelo del *Source Follower* con impedancias finitas.

Para realizar el presente análisis, se debe tener en cuenta que $R_{out} = \text{finito}$, entonces se tiene la expresión 2.31:

$$V_{out} = g_m * (V_{in} - V_{out}) * \frac{R_{out}}{1 + R_{out} * C * s} \quad (2.31)$$

Operando para hallar la función transferencia en el dominio de la frecuencia, se tiene:

$$\frac{V_{out}}{V_{in}} = \frac{g_m * R_{out}}{1 + (R_{out} * C * s) + (g_m * R_{out})} \quad (2.32)$$

Expresandose de otra forma muy común, se obtiene:

$$\frac{V_{out}}{V_{in}} = \frac{\frac{g_m * R_{out}}{1 + g_m * R_{out}}}{1 + \frac{R_{out}}{1 + g_m * R_{out}} * C * s} \quad (2.33)$$

Como se mencionó al inicio, ahora se tomará como ejemplo el caso del diseño del paper [5] que se mostró en la Figura 1.17b.

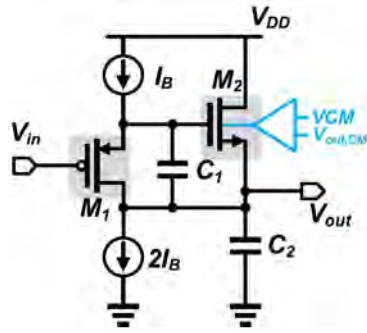


Figura 2.13: Diseño solución de [5].

En la Figura 2.14, se cuenta con el mismo diseño pero en este considerando las corrientes respectivas en el circuito. Donde i_1 es la corriente generada por M1 dado por la expresión $i_1 = g_{m1} * (V_x - V_{in})$ e i_2 es la corriente generada por M2 dado por $i_2 = g_{m2} * (V_x - V_{out})$

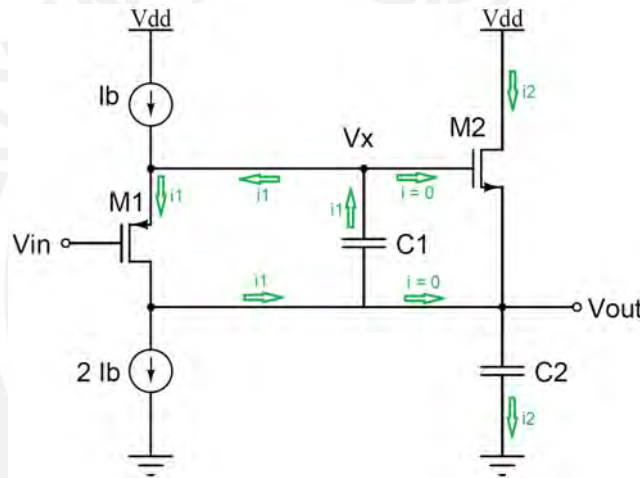


Figura 2.14: Diseño solución de [5] considerando las corrientes respectivas.

Al realizar la Ley de *Ohm* a través de los condensadores C_1 y C_2 , se obtendrían las expresiones 2.35 y 2.37 considerando las expresiones 2.34 y 2.36:

$$i_1 * \frac{1}{s * C_1} = V_{out} - V_x \quad (2.34)$$

$$g_{m1} * (V_x - V_{in}) * \frac{1}{s * C_1} = V_{out} - V_x \quad (2.35)$$

$$V_{out} = i_2 * \frac{1}{s * C_2} \quad (2.36)$$

$$V_{out} = g_{m2} * (V_x - V_{out}) * \frac{1}{s * C_2} \quad (2.37)$$

Realizando la solución del sistemas de ecuaciones dado por 2.35 y 2.37 para hallar la función transferencia, se obtiene:

$$\frac{V_{out}}{V_{in}} = \frac{g_{m1} * g_{m2}}{s^2 * C_1 * C_2 + s * C_2 * g_{m1} + g_{m1} * g_{m2}} \quad (2.38)$$

De este se calcula el factor de calidad Q en la expresión 2.39 y se aprecia que no está limitado a 0.5 como sí ocurría en los filtros pasivos RC de segundo orden.

$$Q = \sqrt{\frac{C_1 * g_{m2}}{C_2 * g_{m1}}} \quad (2.39)$$

2.5. Modelamiento de la región de saturación del transistor

Esta región entra a tallar a partir del un valor de V_{ds} tal que cumpla la siguiente relación $V_{ds} > V_{gs} - V_{th}$. Existen dos ecuaciones que modelan la región de saturación, teniendo en cuenta dos situaciones. El primero es una expresión en el que el inicio está unido al final de la curva de la región ohmica; el segundo, separado a la curva de la región ohmica. En el caso particular de esta tesis, se está considerando la segunda opción que está dado por la expresión 2.40:

$$I_{ds} = \frac{\mu * C_{ox}}{2} * \frac{W}{L} * (V_{gs} - V_{th})^2 * (1 + \lambda * V_{ds}) \quad (2.40)$$

Donde $\lambda * V_{gs}$ modela el efecto de *Modulación de canal*, que para efectos prácticos se esta despreciando.

2.6. Modelos en diagrama de bloques

Para esta parte del capítulo se hizo uso de la Figura 1.17, puesto que modelan todo el filtro propuesto por medio de diagrama de bloques. En este sentido, al realizar un análisis profundo se logra proponer, a modo de resumen, los siguientes esquemas de los modelos de cada transistor en su forma de bloque (Figura 2.15).

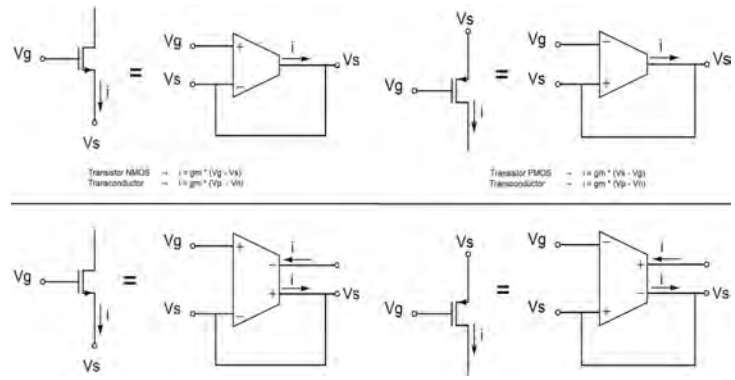


Figura 2.15: Transistores en formato de bloques.



Capítulo 3

Diseño del circuito

En el presente capítulo muestra el proceso de diseño considerando la teoría descrita en el capítulo anterior y simulaciones prelimiaries con los esquemáticos respectivos. Se plantean los pasos que fueron necesarios de considerar para, finalmente, desarrollar el diseño del esquema final del filtro plasmado en la Figura 3.1. Este proceso fue validado con la herramienta *Analog Design Enviroment* de la empresa *CADENCE*.

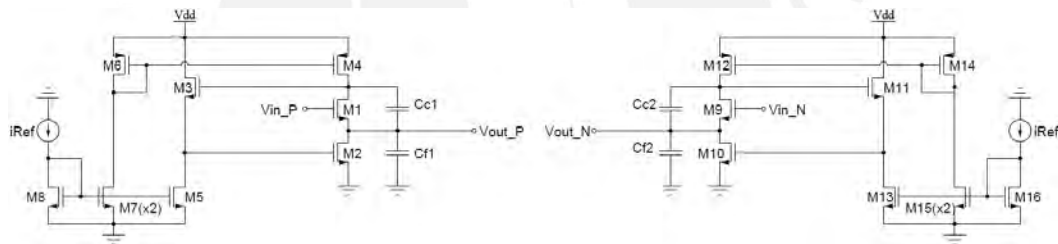


Figura 3.1: Esquema del diseño final del filtro FSF-C.

3.1. Análisis riguroso en pequeña señal

Hablando propiamente del inicio del diseño del filtro en topología *Flipped Source Follower* NMOS, se revisó la literatura y se encontró que esta clase de arquitecturas sirven como filtros de segundo orden; es decir, no son necesarios dos FSF en cascada para generar un *Biquad*. Sin embargo, para saber cómo y dónde colocar los capacitores es necesario un análisis en frecuencia no tan simple como se presentó en el Capítulo 2. Fue necesario revisar en qué consiste el *Teorema de Blackman* y el método de análisis en frecuencia del profesor *Ali Hajimiri* [19]. En esta sección se mencionará un resumen del proceso para el cálculo de la ecuación característica del filtro y con ello hallar el ω_o y Q

El *Teorema de Blackman* sirve para hallar la impedancia de cualquier circuito vista desde un par

de terminales. Se debe tener en consideración que el teorema tiene como fórmula lo planteando en la expresión 3.1, donde T_{sc} es el **Return Ratio** en corto circuito, el T_{oc} es el **Return Ratio** en circuito abierto y Z_o es la impedancia vista desde los terminales con la una fuente de corriente escogida deshabilitada. Para un mejor entendimiento, la Figura 3.2 ilustra de mejor manera la forma cómo fue analizado el esquema del circuito.

$$Z = Z_o + \frac{1 + T_{sc}}{1 + T_{oc}} \quad (3.1)$$

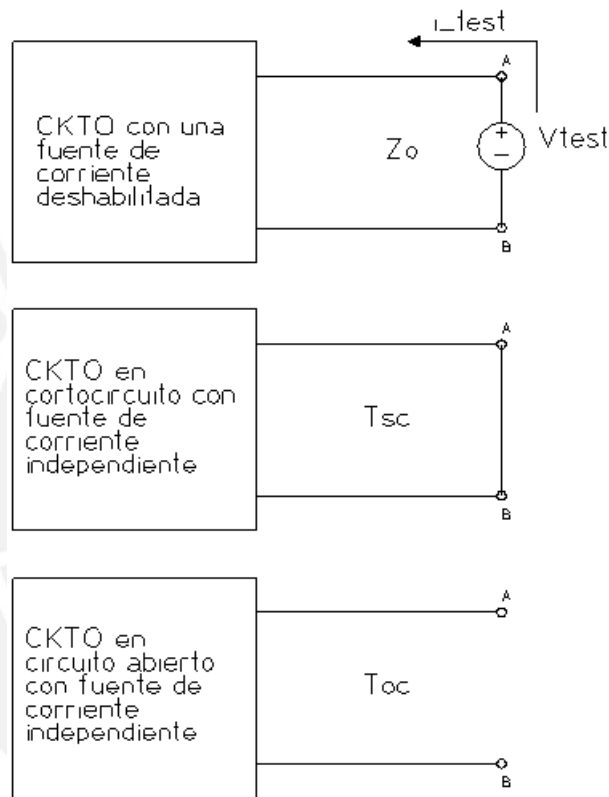


Figura 3.2: Resumen del **Teorema de Blackman**.

El método de análisis en frecuencia del profesor de **Ali Hajimiri** consiste en obtener la ecuación característica de la FT del filtro considerando que tiene la forma de la expresión 3.2.

$$D(s) = 1 + b_1 * s + b_2 * s^2 \quad (3.2)$$

Donde los coeficientes, cuentan con las expresiones 3.3 y 3.4:

$$b_1 = R_f^0 * C_f + R_c^0 * C_c \quad (3.3)$$

$$b_2 = R_f^0 * R_c^{f=\infty} \quad (3.4)$$

Nota : R_i^0 es la resistencia vista desde los terminales del capacitor i con una de las fuentes deshabilitadas (en cero) y capacitores en cero. R_i^j es la resistencia vista desde el capacitor i con el capacitor j en infinito (terminales del capacitor en corto).

Con todo lo mencionado anteriormente, se llega a la expresion 3.5 del filtro de la Figura 3.3.

$$D(s) = C_f * C_c * \frac{1}{g_{m_2} * g_{m_3}} * s^2 + \left(\frac{1}{g_{m_3} * (r_1 || r_2)} * C_f + \frac{1}{g_{m_2}} * C_c \right) * s + 1 \quad (3.5)$$

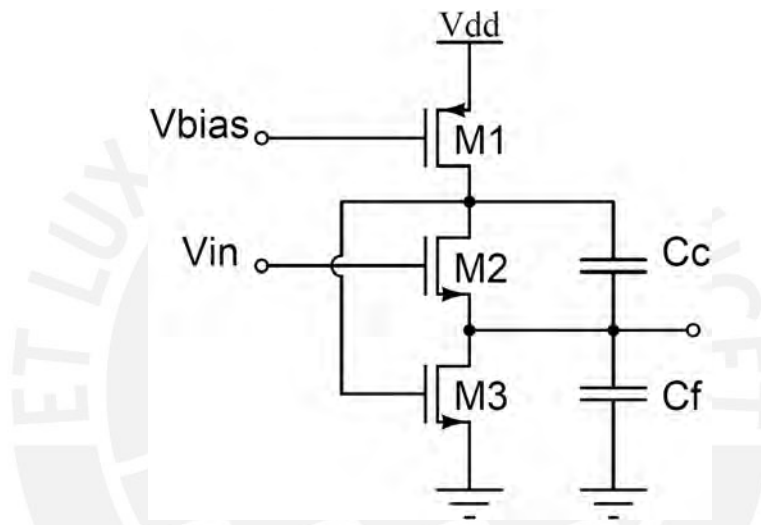


Figura 3.3: Filtro de segundo orden FSF-C.

Con la expresi3n 3.5, se obtiene ω_0 y Q :

$$\omega_0 = \sqrt{\frac{g_{m_1} * g_{m_2}}{C_f * C_c}} \quad (3.6)$$

$$Q = \sqrt{\frac{g_{m_1}}{g_{m_2}}} \sqrt{\frac{C_f}{C_c}} \quad (3.7)$$

3.2. Consideraciones para el dimensionamiento de los transistores

Para empezar a definir las dimensiones de ancho y largo de canal, se deben tener en cuenta la ecuaciones que modela la regi3n de saturaci3n de la teoria b3sica de transistores en tecnologa CMOS y que est3 expuesta en la expresi3n 2.40 del capitulo anterior. Para tener un mejor entendimiento de c3mo utilizar los conceptos te3rico y plantearlos en una posible idea de diseo

en la práctica, se debe tener en consideración ciertos pasos a seguir.

Este proceso de dimensionamiento empieza por la elección de los parámetros de desempeño tales como frecuencia de corte, G_m y valor de C del filtro CMOS por medio de las ecuaciones de frecuencia de corte y factor de calidad obtenidas de la ecuación característica que proporciona el filtro con la arquitectura propuesta por cada autor.

Ahora, cuando se cuenta con el valor de G_m (considerando que I_{ds} es constante y, por ende, V_{gs} también) por medio de (1) la ecuación que relaciona f_{corte} con G_m y C y (2) la ecuación que relacione Q con G_m y C , si se requiere aumentar el G_m , se debe aumentar el factor de forma del transistor. Para este caso, debemos aumentar el ancho del canal, disminuir el largo del canal o hacer ambos a la par. De la misma forma se puede disminuir el G_m realizando el proceso inverso al caso anterior. Todo esta ejecución es iterativo hasta lograr el valor deseado. Como caso práctico de demostración de lo mencionado anteriormente, en la Figura 3.4(a) podemos ver el esquemático de un FSF con sus respectivos dimensionamientos que definen una frecuencia de corte de 10k Hz por medio de los capacitores C1 y C2. Sin embargo, ¿Qué pasaría si modificáramos el dimensionamiento actual de los transistores? El G_m variaría de acuerdo a lo explicado en el párrafo anterior, obteniendo así una nueva frecuencia de corte. En este sentido, para lograr un cambio en la f_{corte} , se optó por aumentar el ancho del canal de los transistores principales (M0 y M1); es decir, se pasó de 1um a 4 um (Figura 3.4(b)). De esta forma ahora se cuenta con un filtro de 13k Hz de ancho de banda (Tabla 3.1(b))

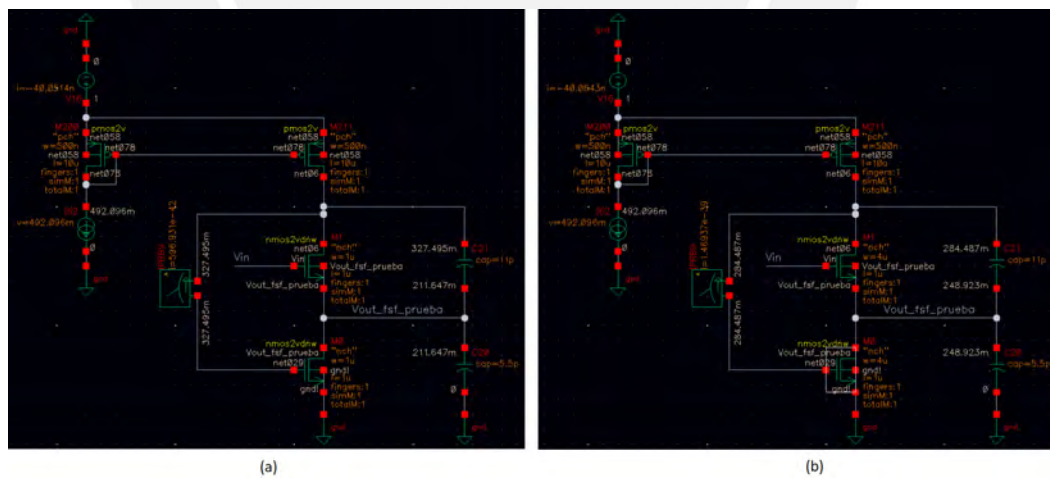


Figura 3.4: Esquemático y dimensionamiento del filtro a 10 kHz (a) y 13 kHz (b).

Tabla 3.1: Resultados del filtro a 10 kHz (a) y 13 kHz (b).

Output	Nominal	Output	Nominal
freq_fc	10k	freq_fc	13k
GM_FSF_M0	489.1n	GM_FSF_M0	555.3n
GM_FSF_M1	488.6n	GM_FSF_M1	549.5n

(a)

(b)

Para finalizar este simple análisis de dimensionamiento, es necesario mencionar que en el diseño de esta clase de filtros es importante observar si el circuito es estable o presenta inestabilidad. En este caso particular, se usó una de las tantas herramientas de simulación para la estabilidad que se llama simulación *stb* para el resultado de Margen de Fase. Esto arrojó un valor de 65° como se puede observar en la Tabla 3.2 o en el plot de la Figura 3.5 que corresponde al Loop Gain Phase en color rojo y al Loop Gain dB20 en color amarillo. Esto es idoneo, puesto que, de acuerdo a la teoría, lo recomendable es contar con un Margen de Fase de al menos 60° para que la arquitectura sea estable.

Tabla 3.2: Resultados del Margen de fase.

Output	Nominal
Phase Margin	65.02
Phase Margin Frequency	15.04k

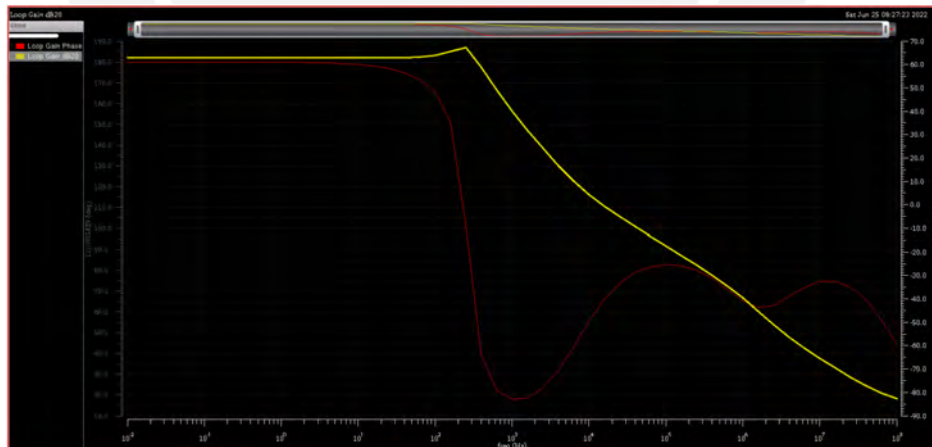


Figura 3.5: Ploteo de la fase (rojo) y dB20 (amarillo) del Loop Gain.

3.3. Proceso de diseño del filtro *single ended*

La solución final se trabajó inicialmente diseñando un filtro en *single ended*. De acuerdo a la expresión 3.7, se optó a trabajar a los transistores con valores de $GM's$ iguales; esto por cuatro

(04) motivos: (1) simplificar el diseño futuro del layout, (2) mantener el mismo factor de forma W/L , (3) considerar un mismo efecto ante variaciones de proceso, temperatura y voltaje, y (4) simplificar el cálculo de frecuencia de corte y factor de calidad.

A partir de estas consideraciones, se empezó a diseñar el filtro siguiendo el esquema presentado en la Figura 3.6. Se partió por definir los valores de capacitores del filtro. Debido a que se desea una respuesta máximamente plana; es decir, un valor de $Q = 0.707$, se necesitará que $C_c = 2 * C_f$. Bajo esta premisa y el hecho de que se requiere una frecuencia de corte de 6 kHz (frecuencia límite de las señales neural spikes), los valores de C_c y C_f deben ser de $18pF$ y $9pF$, respectivamente, (Figura 3.5) con valores de GM iguales para ambos transistores principales de $488nS$ (Tabla 3.3).

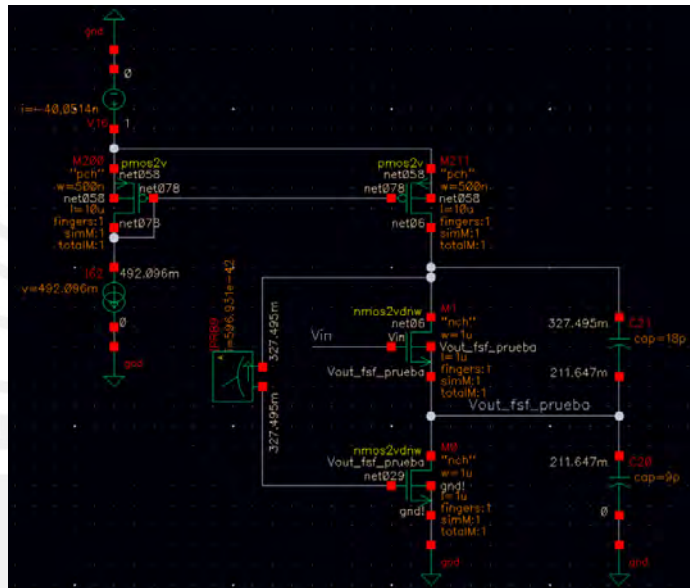


Figura 3.6: Esquema del dimensionamiento y capacitores del circuito en *single ended*

Tabla 3.3: f_c y transconductancia

Output	Nominal
freq_fc	6k
Gm_M_Vin_fsf	489.1n
Gm_M_feedback_fsf	488.6n

3.4. Adición de un *Level Shifter* para el mejoramiento de la polarización de los transistores

Se notaron ciertas peculiaridades en este circuito al estar conectado el V_g del $M3$ con el V_d del $M2$. Para saturar el transistor $M2$ es conveniente subir V_{in} ; ya que de esta forma el V_s de $M1$ aumentaría, pues V_{gs} de $M1$ es constante. Este aumento de V_s de $M1$ ocasiona que V_{ds} de $M2$

sea mayor que el V_{ov} de $M2$ y pase de ohmica a saturación. Sin embargo, ese aumento de V_s de $M1$ puede producir que V_{ds} de $M1$ se acerque al valor de V_{ov} de $M1$; hasta puede que sea menor, pues V_d de $M1$ se mantuvo constante.

Entonces, si intentamos resolver esto aumentando V_d de $M1$ (que es igual a V_{gs} de $M2$), podríamos poner en región ohmica a $M2$. En resumen, El límite inferior de V_{in} es la región ohmica de $M2$ y el límite superior es la región ohmica de $M1$. Este problema fue resuelto a nivel circuital con el uso de un Source Follower intermedio en el lazo, llamado comunmente como *Level Shifter* (Figura 3.7).

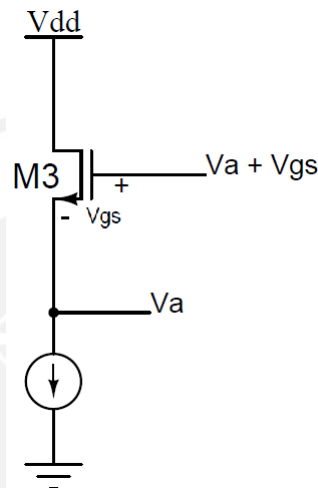


Figura 3.7: Esquema del Level Shifter.

El esquema de la unión entre el Flipped Source Follower y el Level Shifter sería como se muestra en la Figura 3.8:

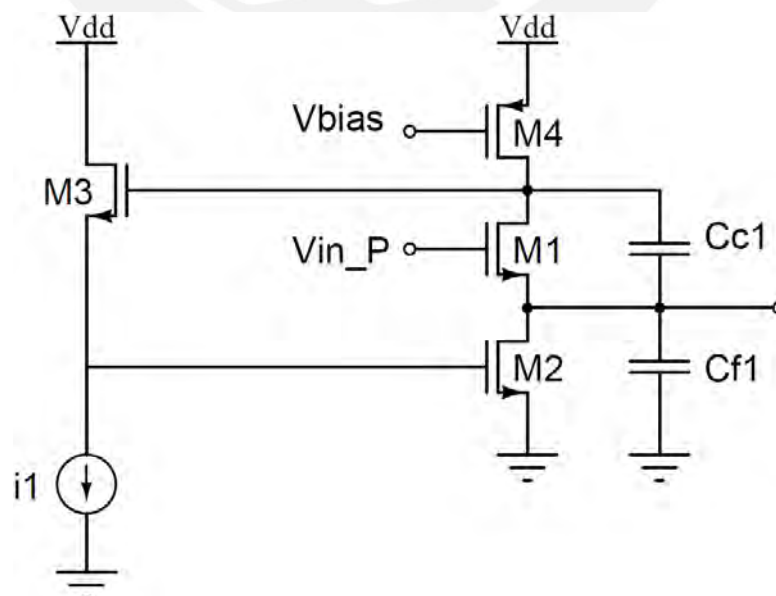


Figura 3.8: Esquema del filtro con *Level Shifter*.

El correcto diseño del circuito involucra tener los voltages adecuados. Como se ha agregado un *Level Shifter* al diseño, se debe tomar en cuenta el límite inferior y el límite superior de tal manera que no afecte la polarización de los transistores importantes ($M1$, $M2$ y $M4$). A continuación, se detalla los análisis desarrollados para estimar ambos límites:

- Límite Superior:

$$V_{d1} = V_{g2} + V_{gs3} \quad (3.8)$$

$$V_{d1} - V_{s1} > V_{ov1} \Rightarrow V_{g2} + V_{gs3} - V_{s1} > V_{ov1} \quad (3.9)$$

$$V_{gs3} > V_{s1} - V_{g2} + V_{ov1} \quad (3.10)$$

$$V_{gs3} > V_{g1} - V_{g2} - V_{TH} \quad (3.11)$$

- Límite Inferior:

$$V_{gs3} + V_{g2} < V_{dd} - V_{ov4} \quad (3.12)$$

$$V_{gs3} < V_{dd} - V_{ov4} - V_{g2} \quad (3.13)$$

En resumen, los límites de V_{gs3} está dados por la expresión 3.15:

$$V_{g1} - V_{g2} - V_{TH} < V_{gs3} < V_{dd} - V_{ov4} - V_{g2} \quad (3.14)$$

Como criterio de diseño, se está considerando un margen de seguridad del 20 % en ambos límites. Bajo esta consideración, se ha planteado usar el valor de V_{gs3} de 202 mV. Este valor exige que el *Level Shifter* esté en *Inversión Débil*.

A continuación, se muestran las Figura 3.9(a) y Figura 3.9(b) donde se puede observar el dimensionamiento de los transistores y el *DC Operating Points*, respectivamente.

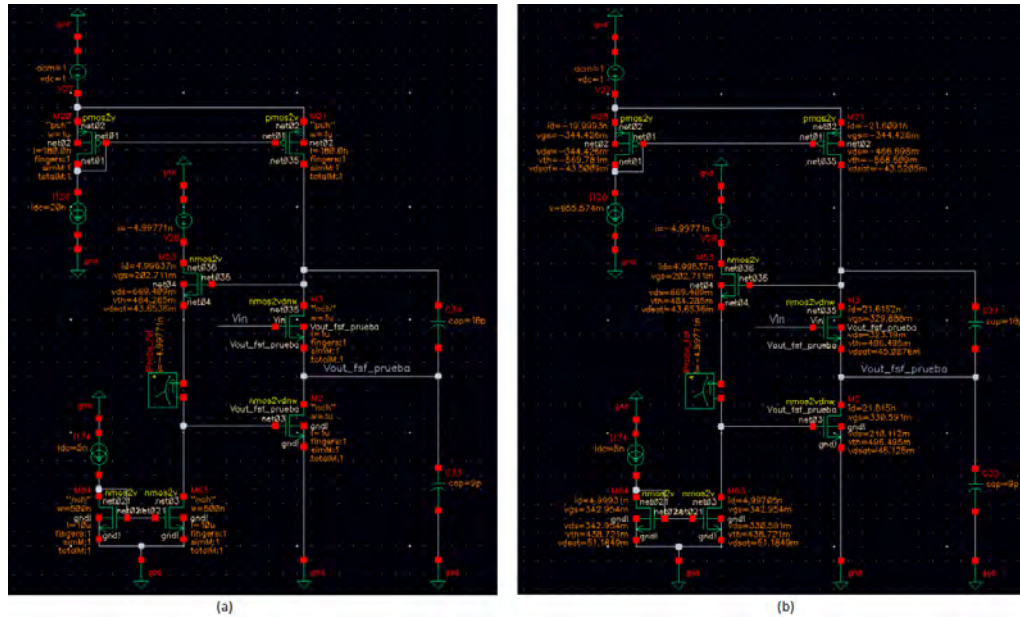


Figura 3.9: Dimensionamiento (a) y DC Operating Points (b) del filtro en single ended.

Para el correcto diseño del filtro en single ended fue necesario ciertas simulaciones. La Figura 3.10 muestra los *TEST* que se necesitó para esta tesis

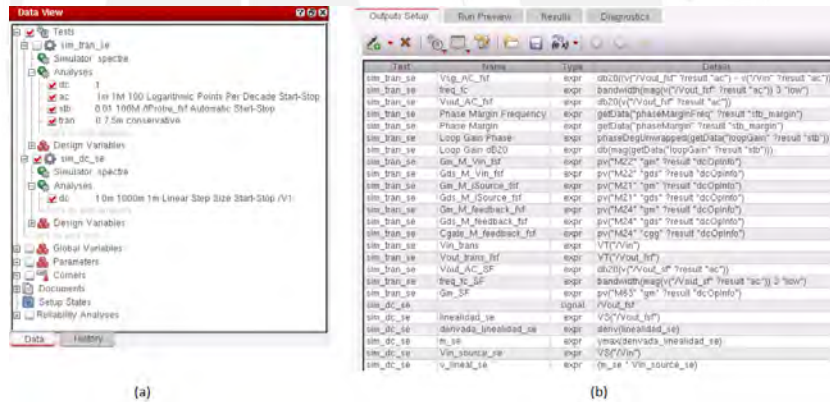


Figura 3.10: TESTs (a) y formulas (b) utilizados en el software.

3.5. Proceso de diseño del filtro diferencial

Para esta sección, utilizaremos el filtro en single ended diseñado anteriormente. En la literatura estudiada, los diseños de los filtros se encuentran en modo diferencial; esto tiene una razón de ser y es porque de esta manera la potencia del segundo armónico no predomina en el cálculo del *Total Harmonic Distorsion* (THD) que, en ciertos de casos, nombran como parámetro a medir en un diseño.

El diseño que se está contemplando como filtro diferencial es el mostrado en la Figura 3.11.

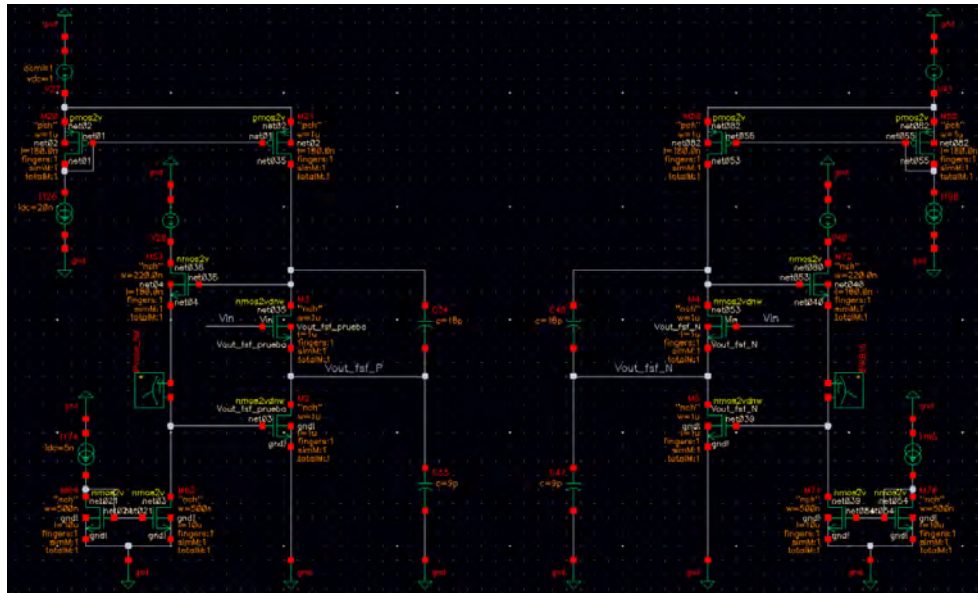


Figura 3.11: Arquitectura como filtro diferencial propuesta.

De acuerdo a la teoría de par diferencial, se requiere de dos parámetros: del Voltaje a modo común y del Voltaje a modo diferencial. Los mencionados voltajes están dados en las siguientes expresiones:

$$V_{DM} = V_1 - V_2 \quad (3.15)$$

$$V_{CM} = \frac{V_1 + V_2}{2} \quad (3.16)$$

Por ende, V_1 y V_2 , están dados por:

$$V_1 = V_{CM} + \frac{V_{DM}}{2} \quad (3.17)$$

$$V_2 = V_{CM} - \frac{V_{DM}}{2} \quad (3.18)$$

Con todas las expresiones mencionadas antes, se estableció utilizar la fuente *VCVS* de la librería *analogLib*, como se muestra en la figura 3.12.

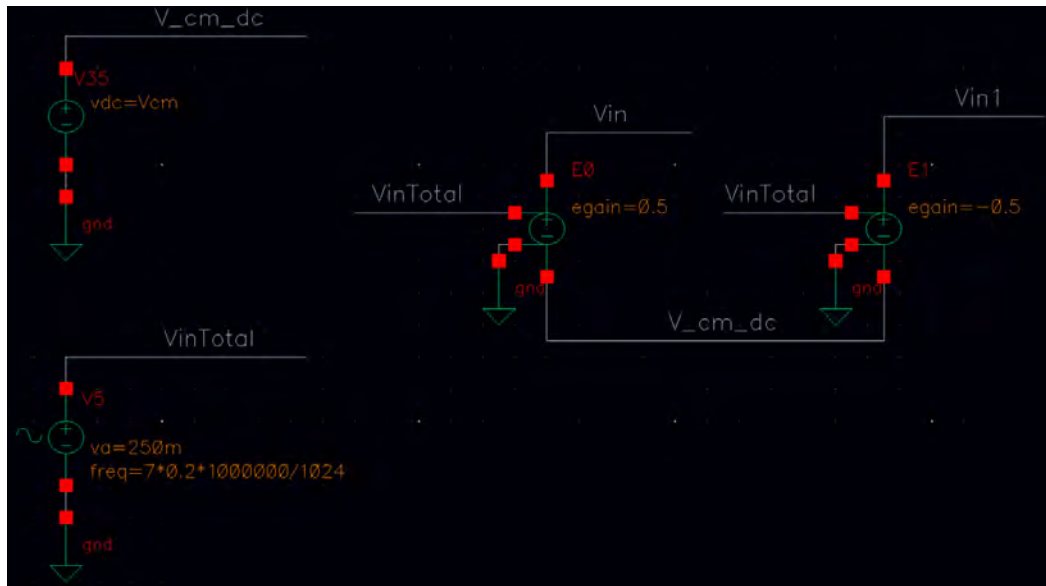


Figura 3.12: Esquemas de las fuentes utilizadas para la simulación.

En lo que respecta a la linealidad de la arquitectura propuesta, la Figura 3.13 muestra la linealidad real del filtro en color amarillo y la linealidad ideal en color rojo.



Figura 3.13: Gráfica de linealidad real y linealidad real.

Como podemos observar, a partir de cierto punto la curva amarilla empieza a flexionarse respecto a la curva roja generando un error. El parámetro importante para cuantizar el error de acuerdo a cierto rango lineal lo denominaremos α . Cabe recalcar que el valor de α depende del punto de estabilidad VQ. Como podemos ver en la Tabla 3.4, se muestra valores de α a diferentes valores de I_d . Podemos observar que mientras a más corrientes polarizamos el filtro FSF-C menor es el valor de α . Se ha sometido al filtro con corrientes que van desde 5nA a 40nA con pasos de 5nA. Estos arrojaron valores de α desde 3.653m a 1.323m, respectivamente. Esto quiere decir que tenemos más rango lineal a corrientes más altas.

Debido a que la corriente de polarización debe ir acorde a la literatura, se escogió la corriente de polarización de 20nA que proporciona un α de 1.422m.

Tabla 3.4: α bajo corrientes de polarización distintas para elección del mejor.

Id	W/L	α
40nA	2u/1u	1.323m
30nA	1.5u/1u	1.375m
20nA	1u/1u	1.422m
10nA	0.5u/1u	1.634m
5nA	0.25u/1u	3.653m

En la particularidad del proceso de diseño de esta tesis, una herramienta importante fue utilizar la gráfica de la derivada de la linealidad; ya que con esa ayuda se logra ver de mejor forma qué voltaje a modo común proporciona un mayor rango lineal. En la Figura 3.14, se visualiza las diferentes derivadas realizando un barrido desde 520mV a 560mV con pasos de 5mV; en la cual se puede notar que el mejor valor que proporciona un mayor rango lineal es a 540mV.

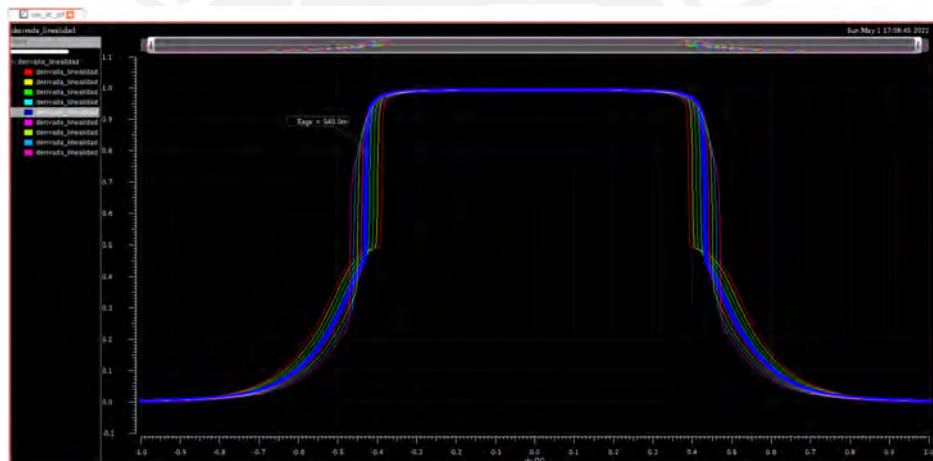


Figura 3.14: Análisis de la gráfica de la derivada de la linealidad.

Por otro lado, como se había mencionado en líneas arriba de este apartado, la literatura proporciona el parámetro THD. Para realizar esta clase de simulaciones se hace uso del *Muestreo Coherente*, que tiene la forma de la siguiente expresión:

$$M * F_{sample} = N * F_{signal} \quad (3.19)$$

Donde:

M : número de periodos de la señal.

N : número de muestras que vamos a tomar y debe ser potencia de 2.

F_{sample} : la frecuencia de muestreo.

F_{signal} : la frecuencia de de la señal.

M y N deben ser primos entre sí

Para este caso, se optó por $M = 7$, $F_{signal} = 1.5\text{kHz}$ y $N = 1024$. Esto da como resultado F_{sample} de 219.428 kHz; es decir, 4.5573035346446 μs . Como se puede notar, es un número con varios decimales. Esto es una limitación con el que contaríamos si se quisiese muestrear la señal de 1.5 kHz; debido a que el software truncará el valor obtenido a quizá 4.5573 μs o 4.56 μs . De esta forma se presentaría un caso de *Muestreo no Coherente*. Así se mantenga el 99% de los decimales, esa omisión del 1% afecta notoriamente: el final de la primera señal finita no coincidiría con el inicio de la siguiente señal finita. La forma como se debe mantener el principio del *Muestreo Coherente* es por medio de un recálculo. El periodo de muestreo, de preferencia, se debería redondear a un valor entero. En el caso particular se redondeó a 5 μs , obteniendo así un F_{sample} de 200 kHz. Esto induciría un cambio en la frecuencia de la señal; ya no sería 1.5 kHz. Para tratar de ser exactos, en el campo donde se define la frecuencia de la señal, se colocará la operación $7 * 0,2 * 1000000/1024$ (operación obtenida del despeje de la variable F_{signal}). La configuración se muestra en la Figura 3.15 (en la señal transitoria de la salida diferencial, Measurements \Rightarrow Spectrum) y en la Figura 3.16 (señal V_{sin} de entrada para la simulación del circuito).

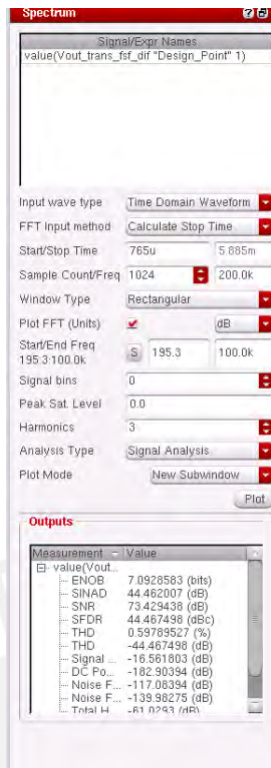


Figura 3.15: Configuración del Spectrum para la FFT de la señal transitoria de salida.

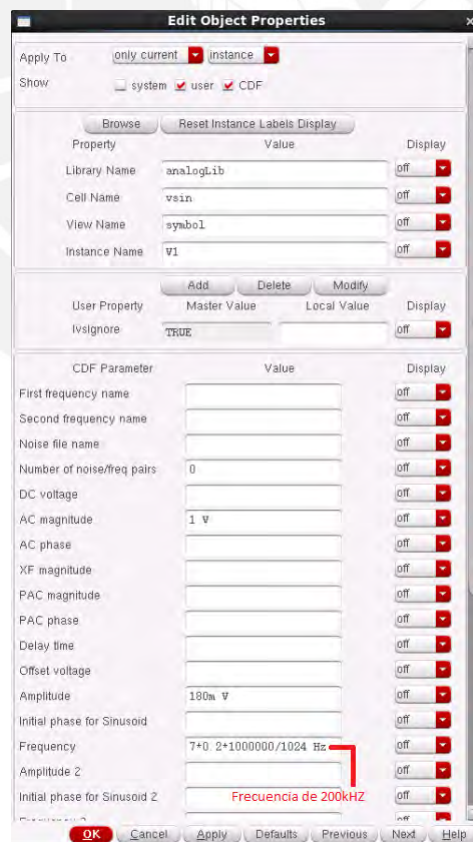


Figura 3.16: Configuración del Vsin del circuito.

Una vez realizada este cálculo y la configuración correspondiente, la forma como se obtiene este parámetro (THD) es por medio de la Transformada de Fourier (Figura 3.17) de la gráfica transitoria de salida del filtro diferencial.

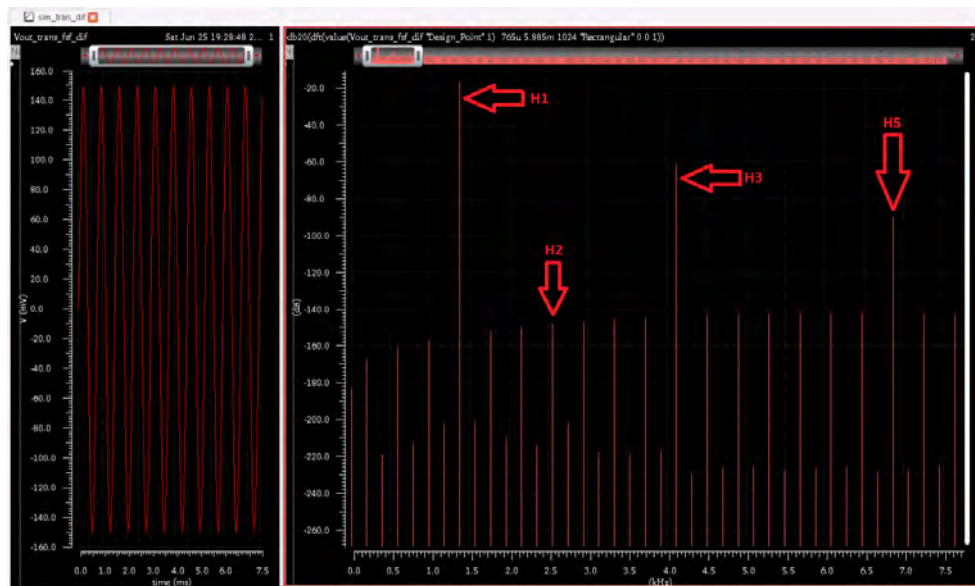


Figura 3.17: Análisis de la gráfica de la FFT de la señal de salida.

En la misma figura, se puede notar que el H2 (segundo armónico) no es dominante y, por simulación, se observó que el valor del cálculo considerando hasta el H5 (quinto armónico) es aproximadamente igual ($THD \approx H_{d3}$). La expresión H_{d3} está definido como:

$$H_{d3} = H3 - H1 \quad (3.20)$$

Nota : observar en la imagen que las magnitudes de H1 y H3 son valores logarítmicos

Capítulo 4

Resultados y discusión

En el presente capítulo, se expondrán las diversas simulaciones (**análisis de conjunto de capacitores necesarios, análisis de estabilidad, análisis en DC, análisis en AC, respuesta transitoria y ruido**) con los respectivos valores numéricos en condiciones PVT.

Se ha considerado parámetros de proceso del transistor en condiciones nominales (Voltaje = 1V y Temperatura = 27°C). Asimismo, un transistor adquiere tres (03) tipos de conjunto de parámetros de proceso: típico (T), fast (F) y slow (S). El primero es cuando dicho conjunto de valores son los más probables. Los dos últimos son un conjunto de parámetros extremos. El extremo *fast* es cuando el transistor se comporta de manera rápida; una de las consecuencias de esto es que la transconductancia aumenta. El extremo *slow* es cuando el transistor se comporta de manera lenta; una de las consecuencias de esto es que la transconductancia disminuye. También se simuló el circuito a tres (03) temperaturas: -40, 27 y 85°C; y tres (03) voltajes: 0.9, 1 y 1.1 V.

En cada sección del capítulo se está realizando una breve discusión de cada simulación y resultado.

4.1. Obtención de capacitores necesarios para la frecuencia de corte

Como se está realizando simulaciones P (proceso), es necesario definir una técnica para calibrar la frecuencia de corte en cada tipo de variación de procesos. Es por ello que se requirió utilizar llaves para habilitar o deshabilitar capacitores según convenga (Figura 4.1). Para el tipo de variación de proceso TT, se consideró la combinación '100' (b2b1b0) como código por defecto para que obtengamos 6k Hz de frecuencia, aproximadamente. Para las siguientes variaciones: SS y FF, se requirió desarrollar análisis. Para el primero, se va a tender a contar con una frecuencia de corte baja con la combinación de bits del caso TT porque es *slow* y para corregir se debe disminuir el valor de capacitor equivalente; para esto se necesitaría un código menor al propuesto para el caso típico como la combinación mostrada en la Figura 4.2. Para el segundo, se va a tender a tener una

frecuencia de corte alta y se necesitaría aumentar el capacitor; es decir, aumentar el código '100' con la combinación de acuerdo a la Figura 4.3. Para los casos de Slow-Fast (SF) y Fast-Slow (FS), el código necesario fue el del típico.

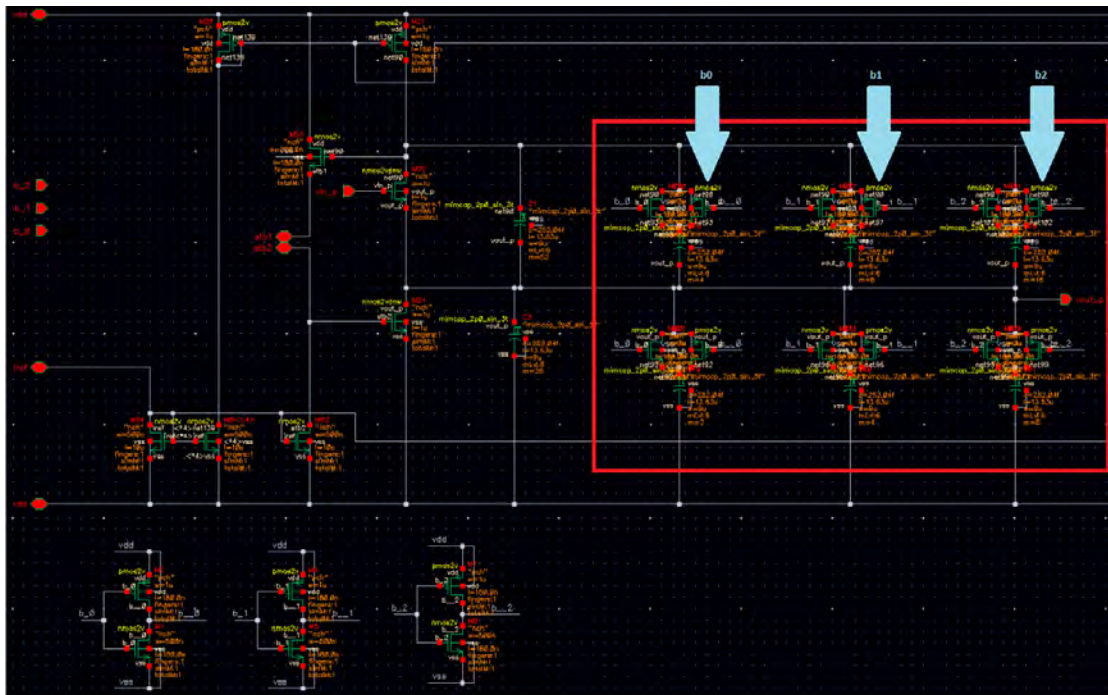


Figura 4.1: Arquitectura en single ended con los habilitadores b2, b1 y b0

Parameter	ss_0	ss_1	ss_2	ss_3
b0	0	0	1	1
b1	0	1	0	1
b2	0	0	0	0
temperature	27	27	27	27

Test	Output	ss_0	ss_1	ss_2	ss_3
sim_tran_dif	Vout_trans_fs_dif	↙	↙	↙	↙
sim_tran_dif	Vout_AC_fs_dif	↙	↙	↙	↙
sim_tran_dif	freq_c_fs_dif	8.476k	7.348k	7.871k	6.889k

Figura 4.2: Combinación de llaves para la capacitancia equivalente para el caso SS

Parameter	ff_0	ff_1	ff_2	ff_3
b0	0	0	1	1
b1	0	1	0	1
b2	1	1	1	1
temperature	27	27	27	27

Test	Output	ff_0	ff_1	ff_2	ff_3
sim_tran_dif	Vout_trans_fsf_dif	↙	↙	↙	↙
sim_tran_dif	Vout_AC_fsf_dif	↙	↙	↙	↙
sim_tran_dif	freq_c_fsf_dif	6.484k	5.803k	6.124k	5.513k

Figura 4.3: Combinación de llaves para la capacitancia equivalente para el caso FF

4.2. Análisis de estabilidad

En la Tabla 3.2 del capítulo anterior, se mostró que el esquema propuesto contaba con un *Margen de fase* de 65°; sin embargo, ese valor fue del esquema sin considerar el *Level Shifter* intermedio en el lazo de realimentación. En este capítulo es necesario mostrar que la estabilidad del circuito no es afectado por cambios de proceso, voltaje y temperatura (PVT); por ello, en la Tabla 4.1 se muestra los diversos valores que demuestran que el circuito es estable en todos los casos.

Tabla 4.1: Estabilidad ante variaciones de PVT

T [°C]	Vdd [V]	TT	SS	FF	SF	FS
-40	0.9	63.25°	86°	60.37°	67.34°	64.5°
	1	62.33°	67.23°	62.71°	61.84°	64.26°
	1.1	61.37°	68.29°	65.33°	60.56°	63.61°
27	0.9	65.32°	64.44°	59.84°	64.21°	66.75°
	1	64.75°	65.6°	61.79°	62.98°	66.84°
	1.1	63.77°	66.48°	64.17°	61.64°	66.49°
85	0.9	66.16°	61.87°	60.51°	65.28°	66.38°
	1	66.17°	62.8°	61.42°	64.54°	66.88°
	1.1	65.73	63.5°	62.98°	63.41°	67.1°

4.3. Respuesta AC: Frecuencia de corte y diagrama de Bode

Las variaciones presentes en la frecuencia no es ajeno en condiciones PVT. Es necesario tener en consideración la máxima y mínima frecuencia de corte que se podría obtener en chip si se mandase a fabricar y utilizar. A continuación, se presenta una tabla donde se puede apreciar cómo varía la frecuencia de corte en condiciones de proceso, voltaje y temperatura. Asimismo, en la misma tabla

se muestran resaltadas la frecuencia máxima (en color rojo) y mínima (en color verde).

Tabla 4.2: Frecuencias de corte ante variaciones de PVT

T [°C]	Vdd [V]	TT	SS	FF	SF	FS
-40	0.9	6.051k	4.572k	7.504k	5.541k	6.411k
	1	6.637k	5.841k	8.33k	6.294k	6.901k
	1.1	7.178k	6.212k	9.171k	6.922k	7.361k
27	0.9	6.064k	5.232k	7.683k	5.894k	6.172k
	1	6.484k	5.506k	8.337k	6.383k	6.528k
	1.1	6.892k	5.753k	9.009k	6.854k	6.875k
85	0.9	5.876k	4.924k	7.634k	5.845k	5.877k
	1	6.208k	5.123k	8.166k	6.229	6.158k
	1.1	6.535k	5.309k	8.714k	6.607k	6.432k

A continuación se puede ver los diagramas de bodes en todas las variaciones de PVT (Figura 4.4). La respuesta es máximamente plata ($Q = 0.707$) en todos los casos, siendo consciente de la ganancia en la banda de rechazo que no es tomada en cuenta debido a que está presente en frecuencias mayores a 100k Hz.

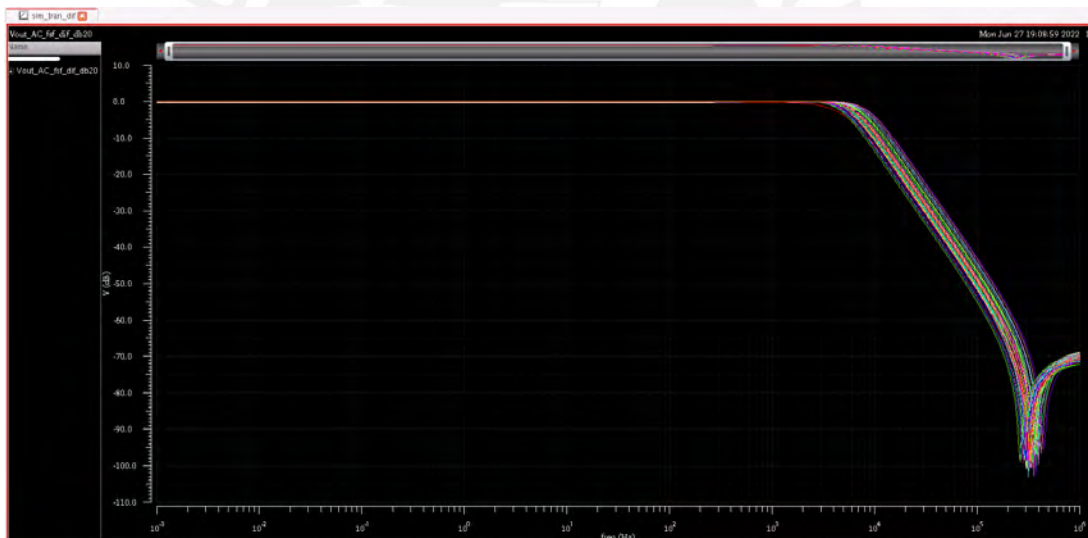


Figura 4.4: Diagrama de bode del FSF-C en PVT

4.4. Respuesta DC

En esta parte del capítulo, se analizó el error de linealidad con el que contaría el circuito a ciertos niveles de rango lineal. Para ser más claro, se configuraron los corners con variaciones de proceso TT, SS, FF, SF y FS con rangos lineales de 200mV, 250mV, 300mV y 350mV. Estas características arrojaron resultados de valor de α (error de linealidad - ver expresión 2.17) mostrados a continuación.

Tabla 4.3: Tabla de valores de α ante variaciones de voltaje, temperatura y proceso con rango lineal de 200mV

T [°C]	Vdd [V]	TT	SS	FF	SF	FS
-40	0.9	3.537m %	165.6m %	1.517m %	26.06m %	1.29m %
	1	3.674m %	36.83m %	1.578m %	25.44m %	1.272m %
	1.1	4.009m %	36.46m %	1.679m %	30.26m %	1.282m %
27	0.9	1.452m %	1.387m %	4.584m %	1.651m %	2.896m %
	1	1.422m %	1.328m %	4.254m %	1.671m %	2.79m %
	1.1	1.406m %	1.31m %	3.982m %	1.733m %	2.702m %
85	0.9	14.63m %	1.727m %	2.47 %	2.636m %	1.26 %
	1	13.2m %	1.686m %	2.23 %	2.529m %	1.13 %
	1.1	12.06m %	1.654m %	1.99 %	2.44m %	1.02 %

Tabla 4.4: Tabla de valores de α ante variaciones de voltaje, temperatura y proceso con rango lineal de 250mV

T [°C]	Vdd [V]	TT	SS	FF	SF	FS
-40	0.9	21m %	1.04 %	4.35m %	264.4m %	3.975m %
	1	23.55m %	686.2m %	4.805m %	236.2m %	4.075m %
	1.1	27.39m %	739.7m %	5.466m %	311m %	4.285m %
27	0.9	3.226m %	4.678m %	10.2m %	5.056m %	6.16m %
	1	3.192m %	4.599m %	9.383m %	5.372m %	5.921m %
	1.1	3.195m %	4.665m %	8.724m %	5.866m %	5.725m %
85	0.9	40.53m %	3.623m %	4.14 %	5.602m %	2.62 %
	1	35.6m %	3.538m %	3.86 %	5.36m %	2.45 %
	1.1	31.77m %	3.475m %	3.57 %	5.212m %	2.29 %

Tabla 4.5: Tabla de valores de α ante variaciones de voltaje, temperatura y proceso con rango lineal de 300mV

T [°C]	Vdd [V]	TT	SS	FF	SF	FS
-40	0.9	182.4m %	2.84 %	18.8m %	1.97 %	19.93m %
	1	219.7m %	3.02 %	23.3m %	2.18 %	21.91m %
	1.1	287.1m %	3.18 %	29.5m %	2.48 %	24.54m %
27	0.9	7.439m %	23.26m %	21.75m %	22.05m %	12.15m %
	1	7.599m %	23.44m %	19.69m %	25m %	11.64m %
	1.1	7.883m %	24.31m %	18.12m %	28.83m %	11.24m %
85	0.9	128m %	7.131m %	6.05 %	11.15m %	4.35 %
	1	107.6m %	6.988m %	5.74 %	10.78m %	4.14 %
	1.1	92.25m %	6.893m %	5.42 %	10.54m %	3.95 %

Tabla 4.6: Tabla de valores de α ante variaciones de voltaje, temperatura y proceso con rango lineal de 350mV

T [°C]	Vdd [V]	TT	SS	FF	SF	FS
-40	0.9	1.95 %	5.06 %	136.2m %	4.28 %	168.3m %
	1	2.21 %	5.46 %	179.6m %	4.63 %	202.1m %
	1.1	2.48 %	5.66 %	245.7m %	4.95 %	255.9m %
27	0.9	24.18m %	142.6m %	49.69m %	122.5m %	24.17m %
	1	26.34m %	145.5m %	43.84m %	140.2m %	23.18m %
	1.1	29.06m %	156.3m %	39.78m %	164.3m %	22.45m %
85	0.9	468.3m %	15.2m %	8.13 %	23.41m %	6.32 %
	1	389.2m %	15.12m %	7.81 %	23.24m %	6.09 %
	1.1	326.8m %	15.15m %	7.47 %	23.49m %	5.87 %

4.5. Respuesta transitoria

Para el cálculo de la distorsión armónica Hd3 (THD en la literatura), se consideró la diferencia entre el tercer armónico y primer armónico debido a que es un FSF-C diferencial. El segundo armónico se atenúa como se puede ver en la Figura 4.5. Del mismo modo, se presentan datos numéricos acerca del Hd3 ante variaciones de procesos, considerando como mínimo aceptable un valor de -40 dB de acuerdo a los papers publicados en la IEEE.

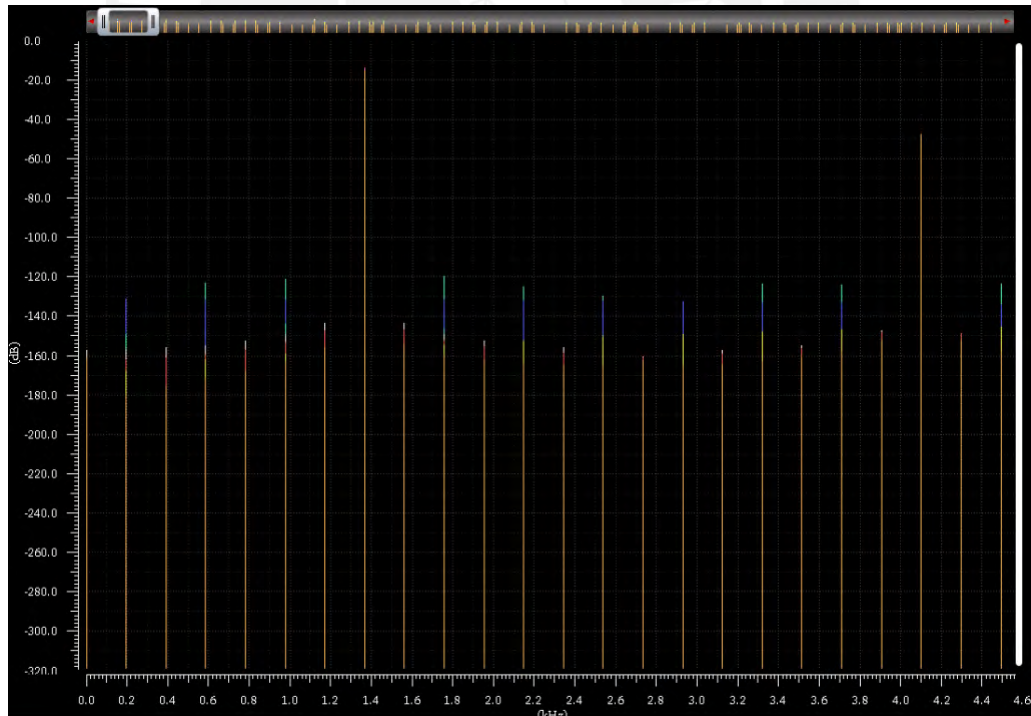


Figura 4.5: Gráfica para el cálculo de Hd3

Tabla 4.7: Distorsión armónica con una amplitud de entrada de 100mV ante variaciones de PVT

T [°C]	Vdd [V]	TT	SS	FF	SF	FS
-40	0.9	-46.97	-43.08	-51.63	-45.36	-48.14
	1	-49.15	-47.28	-54.36	-48.37	-49.90
	1.1	-51.15	-48.92	-57.00	-50.95	-51.54
27	0.9	-50.11	-47.48	-55.47	-49.53	-50.52
	1	-51.61	-48.46	-57.56	-51.32	-51.79
	1.1	-53.06	-49.35	-59.60	-53.01	-52.99
85	0.9	-52.10	-49.01	-43.37	-51.90	-60.76
	1	-53.28	-49.67	-45.24	-53.28	-60.79
	1.1	-54.44	-50.30	-47.39	-54.63	-60.93

Tabla 4.8: Distorsión armónica con una amplitud de entrada de 125mV ante variaciones de PVT

T [°C]	Vdd [V]	TT	SS	FF	SF	FS
-40	0.9	-43.03	-39.18	-47.62	-41.48	-44.18
	1	-45.20	-43.53	-50.35	-44.51	-45.92
	1.1	-47.18	-45.24	-52.98	-47.17	-47.54
27	0.9	-46.20	-43.63	-51.51	-45.63	-46.60
	1	-47.69	-44.59	-53.59	-47.40	-47.86
	1.1	-49.12	-45.46	-55.63	-49.08	-49.05
85	0.9	-48.21	-45.18	-39.21	-48.01	-65.96
	1	-49.38	-45.85	-40.35	-49.38	-64.55
	1.1	-50.53	-46.43	-41.85	-50.71	-62.58

Tabla 4.9: Distorsión armónica con una amplitud de entrada de 150mV ante variaciones de PVT

T [°C]	Vdd [V]	TT	SS	FF	SF	FS
-40	0.9	-39.81	-36.05	-44.30	-38.35	-40.93
	1	-41.95	-40.59	-47.02	-41.43	-42.65
	1.1	-43.93	-42.43	-49.65	-44.24	-44.24
27	0.9	-43.00	-40.50	-48.25	-42.44	-43.40
	1	-44.47	-41.43	-50.32	-44.18	-44.63
	1.1	-45.88	-42.29	-52.35	-45.85	-45.82
85	0.9	-45.03	-42.07	-36.55	-44.82	-57.00
	1	-46.19	-42.69	-37.09	-46.18	-62.33
	1.1	-47.33	-43.29	-37.96	-47.50	-64.19

Tabla 4.10: Distorsión armónica con una amplitud de entrada de 175mV ante variaciones de PVT

T [°C]	Vdd [V]	TT	SS	FF	SF	FS
-40	0.9	-37.10	-33.42	-41.47	-35.75	-38.17
	1	-39.21	-38.22	-44.16	-38.95	-39.85
	1.1	-41.19	-40.18	-46.80	-42.05	-41.42
27	0.9	-40.29	-37.88	-45.46	-39.74	-40.68
	1	-41.73	-38.79	-47.52	-41.46	-41.90
	1.1	-43.13	-39.63	-49.55	-43.12	-43.06
85	0.9	-42.35	-39.48	-34.89	-42.13	-47.34
	1	-43.50	-40.07	-34.98	-43.47	-49.76
	1.1	-44.62	-40.65	-35.35	-44.77	-51.36

Tabla 4.11: Distorsión armónica con una amplitud de entrada de 200mV ante variaciones de PVT

T [°C]	Vdd [V]	TT	SS	FF	SF	FS
-40	0.9	-34.78	-31.19	-39.00	-33.56	-35.79
	1	-36.87	-36.05	-41.66	-36.93	-37.43
	1.1	-38.88	-37.77	-44.30	-40.35	-38.97
27	0.9	-37.95	-35.66	-43.03	-37.42	-38.34
	1	-39.36	-36.52	-45.07	-39.11	-39.53
	1.1	-40.73	-37.34	-47.09	-40.75	-40.67
85	0.9	-40.04	-37.27	-33.86	-39.81	-41.76
	1	-41.17	-37.83	-33.63	-41.12	-43.67
	1.1	-42.27	-38.38	-33.64	-42.41	-44.98

4.6. Análisis de ruido

Para esta simulación, el filtro presentó un ruido nominal de 112.5u Vrms que es muy comparable a algunas literaturas como en [20] que plantea un ruido de 98u Vrms; u otra como la de [21] que muestra un peor valor de 212u Vrms a diferencia de este trabajo que muestra un valor máximo en PVT de 139.4u Vrms. Los datos en estas condiciones se pueden observar en las siguientes tablas de valores.

Tabla 4.12: Ruido ante variaciones de voltaje, temperatura y proceso

T [°C]	Vdd [V]	TT	SS	FF	SF	FS
-40	0.9	107.9u	100.6u	93.52u	116.1u	101.4u
	1	103.9u	116.3u	88.59u	112.4u	98.11u
	1.1	99.97u	113.7u	84.17u	107.5u	95.01u
27	0.9	115.9u	127.5u	100.2u	120.9u	112.2u
	1	112.5u	125.6u	95.86u	116.9u	109.4u
	1.1	109.1u	123.6u	91.84u	112.9u	106.7u
85	0.9	126.1u	139.4u	106.4u	129.7u	122.9u
	1	123.1u	137.9u	102.8u	126.2u	120.6u
	1.1	120.2u	136.3u	99.33u	122.7u	118.2u

4.6.1. Análisis de potencia

En esta parte, se observarán los valores de potencia que consume el circuito ante variaciones de PVT. Entre estos valores se encuentra el mínimo y máximo que corresponden a 52.8nW y 99.48nW, respectivamente.

Tabla 4.13: Potencia ante variaciones de voltaje, temperatura y proceso

T [°C]	Vdd [V]	TT	SS	FF	SF	FS
-40	0.9	55.74n	52.8n	59.22n	53.41n	57.49n
	1	65.29n	63.63n	70.11n	63.48n	66.71n
	1.1	75.31n	72.57n	82.02n	73.85n	76.36n
27	0.9	62.18n	59.67n	67.43n	61.12n	62.92n
	1	71.95n	68.31n	78.96n	71.22n	72.36n
	1.1	82.24n	77.17n	91.46n	81.88n	82.22n
85	0.9	67.05n	62.87n	74.29n	66.7n	67.28n
	1	77.12n	71.56n	86.43n	77.12n	76.99n
	1.1	87.68n	80.47n	99.48n	88.12n	87.11n

4.7. Tabla comparativa de resultados con la literatura

Tabla 4.14: Trabajo actual comparado con otros

Referencias	Presente tesis	[22]	[23]	[24]	[25]	[26]	[7]
Vdd	1V	1 V	1.8 V	3 V	1.5 V	1 V	1 V
Ruido (μ Vrms)	112.5	340	564	29	39.38	100	134
Hd3 (dB)	-44.47	-49	-38.4	-60	-50	-49.8	-62.32
Tecnología (μ m)	0.18	0.18	0.18	0.35	0.35	0.18	0.18
Potencia (W)	71.95n	453n	360n	15n	5.25n	350n	41n

Tabla 4.15: Trabajo actual comparado con otros

Ref.	Presente tesis	[22]	[23]	[24]	[25]	[26]	[7]
Vdd	1V	1 V	1.8 V	3 V	1.5 V	1 V	1 V
Ruido (μ Vrms)	112.5	340	564	29	39.38	100	134
Hd3 (dB) @Amp	-44.47 @ 150 mVp	-49 @ 100 mVpp	-38.4 @ 40 mVpp	-60 @ 50 mVpp	-50 @ 90 mVp	-49.8 @ 86 mVpp	-62.32 @ 100 mVpp
Tecn. (μ m)	0.18	0.18	0.18	0.35	0.35	0.18	0.18
Potencia (W)	71.95n	453n	360n	15n	5.25n	350n	41n

Tabla 4.16: Trabajo actual comparado con otros

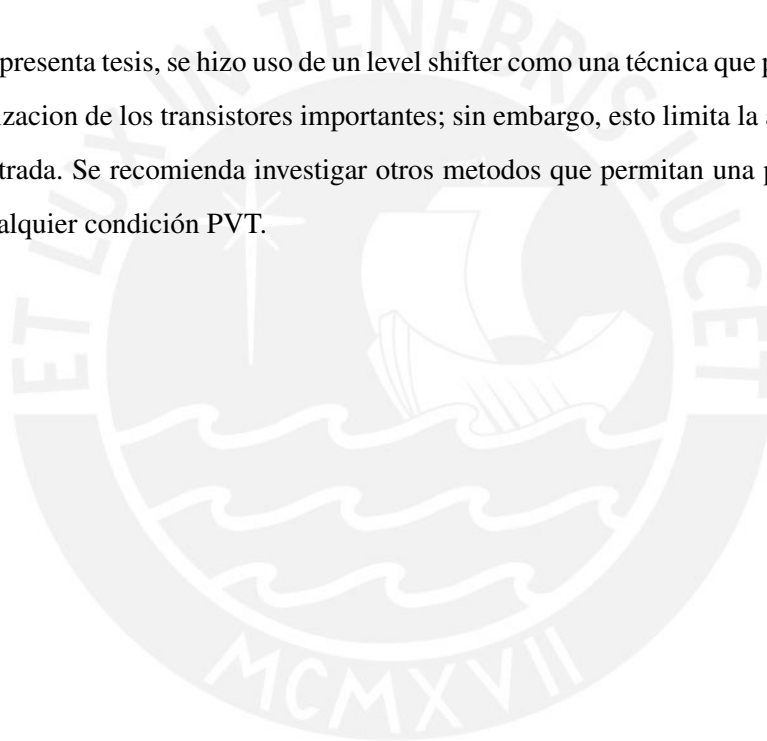
Ref.	Presente tesis	[4]	[5]	[6]	[7]	[8]	[2]
Vdd	1V	1 V	1.8 V	3 V	1.5 V	1 V	1 V
Ruido (μ Vrms)	112.5	340	564	29	39.38	100	134
Hd3 (dB) @Amp	-44.47 @ 150 mVp	-49 @ 100 mVpp	-38.4 @ 40 mVpp	-60 @ 50 mVpp	-50 @ 90 mVp	-49.8 @ 86 mVpp	-62.32 @ 100 mVpp
Tecn. (μ m)	0.18	0.18	0.18	0.35	0.35	0.18	0.18
Potencia (W)	71.95n	453n	360n	15n	5.25n	350n	41n

Conclusiones

- El filtro es funcional con la fuente de alimentación propuesta al inicio de la tesis.
- La arquitectura Flipped Source Follower en filtros es funcional para señales Neural Spikes (señales invasivas con frecuencia límite de 6k Hz).
- La función transferencia es máximamente plana ante cualquier condición PVT al que se lo someta.
- La estrategia de utilizar un Level Shifter como parte del lazo de realimentación del filtro FSF-c resultó efectiva para una correcta polarización de los transistores.
- Se tiene un error de linealidad de 2.5 % para un rango lineal de 300mV a temperaturas comerciales de 27°C y -40°C. A temperaturas extremadamente altas como la de 85°C, presenta un error de linealidad cercano al triple. Quiere decir que a temperaturas muy altas como de 85°C, el filtro ya no es muy útil.
- Las simulaciones muestran que si se suministrase amplitudes de entrada de 150mV se tiene un H_d3 de -44.47dB.
- Los transistores se encuentran en región de saturación en cualquier condición de PVT.

Recomendaciones

- El presente estudio muestra variaciones de la transconductancia de los transistores ante cambios de la temperatura. Como recomendación, se sugiere que se realice el estudio del circuito PTAT y el impacto que tendría en el filtro diferencial.
- En la presente tesis, se hizo uso de un level shifter como una técnica que permita una correcta polarización de los transistores importantes; sin embargo, esto limita la amplitud de la señal de entrada. Se recomienda investigar otros métodos que permitan una polarización exitosa en cualquier condición PVT.



Bibliografía

- [1] P. Studio, “Neuralink is developing a fully-implanted, wireless, high-channel count brain-machine interface (bmi) with the goal of enabling people with paralysis to directly use their neural activity to operate computers and mobile devices with speed and ease.” 2021.
- [2] T. S. Perry, “Apple adds electrodes to turn watch into electrocardiograph,” *IEEE Spectrum*, 2021.
- [3] M. Scudellari, “Wearables provide speedy covid screening,” *IEEE Spectrum*, 2021.
- [4] C. Bouton, “Brain implants and wearables reroute signals to restore movement and sensation,” *IEEE Spectrum*, vol. 58, pp. 28–33, 2 2021.
- [5] Z. Liu, Y. Tan, H. Li, H. Jiang, J. Liu, and H. Liao, “A 0.5-v 3.69-nw complementary source-follower-c based low-pass filter for wearable biomedical applications,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 12, pp. 4370–4381, 2020.
- [6] F. V. V. Marcelo, “Diseño en cmos de un filtro pasa-bajo con frecuencia de corte de 150hz para la adquisición de señales del electrocardiograma,” *Pontificia Universidad Católica del Perú*, 11 2011.
- [7] S.-Y. Lee, C.-P. Wang, and Y.-S. Chu, “Low-voltage ota-c filter with an area- and power-efficient ota for biosignal sensor applications,” *IEEE Transactions on Biomedical Circuits and Systems*, vol. 13, no. 1, pp. 56–67, 2019.
- [8] C. Y. Sun and S. Y. Lee, “A fifth-order butterworth ota-c lpf with multiple-output differential-input ota for eeg applications,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, pp. 421–425, 4 2018.
- [9] J. Saldaña, “Design of analog integrated circuits, presentado como preparación para la realización de tesis en el área de microelectrónica analógica (2020-2021).,” 2021.

- [10] S. Wangtaphan and V. Kasemsuwan, "A 0.6 volt class-ab cmos voltage follower with bulk-driven quasi-floating gate super source follower," *2012 9th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology, ECTI-CON 2012*, 2012.
- [11] J. Ramirez-Angulo, R. G. Carvajal, A. Torralba, J. Galan, A. P. Vega-Leal, and J. Tombs, "The flipped voltage follower: A useful cell for low-voltage low-power circuit design," *Proceedings - IEEE International Symposium on Circuits and Systems*, vol. 3, 2002.
- [12] M. D. Matteis, A. Pezzotta, S. D'Amico, and A. Baschiroto, "A 33 mhz 70 db-snr super-source-follower-based low-pass analog filter," *IEEE Journal of Solid-State Circuits*, vol. 50, pp. 1516–1524, 7 2015.
- [13] Y. Xu, H. Hu, J. Muhlestein, and U. K. Moon, "A 77-db-dr 0.65-mw 20-mhz 5th-order coupled source followers based low-pass filter," *IEEE Journal of Solid-State Circuits*, vol. 55, pp. 2810–2818, 10 2020.
- [14] M. D. Matteis, N. Galante, F. Fary, E. Vallicelli, and A. Baschiroto, "64 db dynamic-range 810 w 90 mhz fully-differential flipped-source-follower analog filter in 28nm-cmos," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, pp. 3068–3072, 7 2021.
- [15] R. L. Geiger and E. Sanchez-Sinencio, "Active filter design using operational transconductance amplifiers: A tutorial," *IEEE Circuits and Devices Magazine*, vol. 1, pp. 20–32, 1985.
- [16] B. Razavi, *Design of analog CMOS integrated circuits*. McGraw-Hill Education, 2017.
- [17] S. Cerida, E. Raygada, C. Silva, and M. Monge, "A low-noise fully differential recycling folded cascode neural amplifier," *2015 IEEE 6th Latin American Symposium on Circuits Systems (LASCAS)*, 2015.
- [18] T. N. Lin, B. Wang, and A. Bermak, "Analysis of output ripple shape and amplitude in chopper instrumentation amplifier," *IEEE Transactions on Circuits and Systems II: Express Briefs*, pp. 1–1, 2021.
- [19] A. Hajimiri, "Generalized time- and transfer-constant circuit analysis," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 6, pp. 1105–1121, 2010.

- [20] F. Fary, M. De Matteis, T. Vergine, and A. Baschiroto, "A 28nm-cmos 100mhz 1mw 12dbm-iiip3 4th-order flipped-source-follower analog filter," *ESSCIRC 2018 - IEEE 44th European Solid State Circuits Conference (ESSCIRC)*, 2018.
- [21] M. De Matteis and A. Baschiroto, "A biquadratic cell based on the flipped-source-follower circuit," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 64, no. 8, pp. 867–871, 2017.
- [22] S.-Y. Lee and C.-J. Cheng, "Systematic design and modeling of a ota-c filter for portable ecg detection," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 3, no. 1, pp. 53–64, 2009.
- [23] B. Gosselin, M. Sawan, and E. Kerherve, "Linear-phase delay filters for ultra-low-power signal processing in neural recording implants," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 4, no. 3, pp. 171–180, 2010.
- [24] T.-T. Zhang, P.-I. Mak, M.-I. Vai, P.-U. Mak, M.-K. Law, S.-H. Pun, F. Wan, and R. P. Martins, "15-nw biopotential lpf in 0.35- μm cmos using subthreshold-source-follower biquads with and without gain compensation," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 7, no. 5, pp. 690–702, 2013.
- [25] C. Sawigun and S. Thanapitak, "A nanopower biopotential lowpass filter using subthreshold current-reuse biquads with bulk effect self-neutralization," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 66, no. 5, pp. 1746–1757, 2019.
- [26] C.-Y. Sun and S.-Y. Lee, "A fifth-order butterworth ota-c lpf with multiple-output differential-input ota for ecg applications," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, no. 4, pp. 421–425, 2018.