



PONTIFICIA **UNIVERSIDAD CATÓLICA** DEL PERÚ

Esta obra ha sido publicada bajo la licencia Creative Commons  
Reconocimiento-No comercial-Compartir bajo la misma licencia 2.5 Perú.

Para ver una copia de dicha licencia, visite  
<http://creativecommons.org/licenses/by-nc-sa/2.5/pe/>



**PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ**  
**FACULTAD DE CIENCIAS E INGENIERÍA**



**DISEÑO DE UN AMPLIFICADOR OPERACIONAL DE  
TRANSCONDUCTANCIA PARA LA ADQUISICIÓN DE SEÑALES DEL  
ELECTROENCEFALOGRAMA**

**Tesis para optar el Título de Ingeniero Electrónico**

**Presentado por:**

**HÉCTOR LUIS VILLACORTA MINAYA**

**Lima - Perú**

**2007**

## RESUMEN

En el presente trabajo de tesis, se desarrolla el diseño de un amplificador operacional de transconductancia (OTA), bloque constitutivo de todos los sistemas integrados e implantables de adquisición de señales biomédicas, en este caso las señales del EEG, que se encuentran en el rango de 0 – 100Hz.

El OTA fue diseñado tomando en cuenta las exigencias de los dispositivos médicos implantables, es decir, de muy bajo consumo, de muy bajo ruido y ocupar un área mínima; en conclusión que cumpla con las exigencias de seguridad y confiabilidad de todo circuito integrado implantable.

Para el diseño del circuito, se empleó la metodología de diseño  $g_m/I_D$  que nos permite explorar todas las regiones de inversión del transistor MOS, y además se elaboró herramientas CAD basadas en el modelo matemático BSIM, las cuales fueron útiles para optimizar el proceso de diseño, graficando las curvas necesarias para explorar todo del espacio de diseño del bloque analógico a diseñar.

El OTA fue diseñado en una tecnología AMS 0.35 $\mu$ . presentado los siguientes resultados: un consumo de 0.63  $\mu W$ , el ruido referido a la entrada es de 1.59 $\mu V_{RMS}$  y el área ocupada es de 0.0716 $mm^2$ . Se puede apreciar que cumple con los requerimientos establecidos.

Para verificar el diseño del OTA, se procedió a diseñar un amplificador para la adquisición de señales del electroencefalograma, cuya principal función, además de amplificar la señal, es obtener un frecuencia de corte inferior muy baja por medio una pseudoresistencia, que consiste en un transistor PMOS conectado como diodo. Los resultados obtenidos son: ganancia de 40dB, frecuencia de corte inferior igual a 0.043 Hz, consumo de 0.63  $\mu W$ , ruido referido a la entrada de 1.76 $\mu V_{RMS}$ , el área ocupada es de 0.1244 $mm^2$ .

Finalmente se procedió a elaborar el layout del OTA y del amplificador de señales de EEG, para su posterior fabricación.

## ÍNDICE

<b><u>INTRODUCCIÓN</u></b>		I
<b><u>CAPÍTULO 1: DISEÑO ANALÓGICO DE CIRCUITOS INTEGRADOS: DISPOSITIVOS MÉDICOS IMPLANTABLES</u></b>		
1.1	DISPOSITIVOS MÉDICOS IMPLANTABLES	1
1.2	FACTORES EXTERNOS QUE AFECTAN AL DISEÑO DE DISPOSITIVOS MEDICOS IMPLANTABLES	2
1.3	DISEÑO TRADICIONAL DE CIRCUITOS INTEGRADOS	4
1.4	DECLARACIÓN DEL MARCO PROBLEMÁTICO	9
<b><u>CAPÍTULO 2: DISPOSITIVOS MÉDICOS IMPLANTABLES: SISTEMAS DE ADQUISICIÓN DE SEÑALES BIOLÓGICAS HUMANAS</u></b>		
2.1	ORIGEN DE BIOPOTENCIALES	10
2.1.1	Antecedentes	10
2.1.2	Corriente Iónica	10
2.1.3	Biopotenciales	11
2.1.4	Señales biomédicas	11
2.2	ESTADO DEL ARTE DE LOS SISTEMAS DE ADQUISICIÓN DE SEÑALES BIOLÓGICAS	13
2.2.1	Presentación del asunto en estudio	13
2.2.2	Arquitecturas monolíticas de sistemas de adquisición de señales biomédicas	14
2.2.3	Síntesis del asunto en estudio	20
2.3	MODELAMIENTO DEL TRANSISTOR MOSFET	22
2.3.3	Transistor MOSFET	22
2.3.4	Niveles de Inversión	25
2.3.5	Modelos del transistor MOS para diseño analógico	28
2.3.6	Bloques Básicos del OTA	30
2.4	METODOLOGÍA DE DISEÑO	32
2.4.1	Metodología de diseño gm/ID	32
2.4.2	Herramientas CAD	34
2.5	MODELO TEÓRICO	35

2.5.1	Indicadores cualitativos	36
2.5.2	Indicadores cuantitativos	37
<b><u>CAPÍTULO 3: DISEÑO DEL AMPLIFICADOR OPERACIONAL DE TRANSCONDUCTANCIA</u></b>		
3.1	HIPÓTESIS	38
3.1.1	Hipótesis Principal	38
3.1.2	Hipótesis Secundaria	38
3.2	OBJETIVOS	39
3.2.1	Objetivo General	39
3.2.2	Objetivos Específicos.	39
3.3	Diseño del Amplificador operacional de transconductancia	40
3.3.1	Herramienta CAD para el diseño de transistores MOSFET	42
3.3.2	Diseño OTA	46
3.3.3	Elaboración del Layout	55
3.3.3.1	Proceso de Fabricación	55
3.3.3.2	Tecnología CMOS	56
3.3.3.3	Reglas de diseño	58
<b><u>CAPÍTULO 4: EVALUACIÓN DE RESULTADOS</u></b>		
4.1	RESULTADOS DEL DISEÑO DEL OTA SIMÉTRICO	62
4.2	DISEÑO DE UN AMPLIFICADOR DE SEÑALES EEG	66
<b><u>CONCLUSIONES</u></b>		71
<b><u>RECOMENDACIONES</u></b>		73
<b><u>FUENTES</u></b>		74
<b><u>ANEXOS</u></b>		76

## INTRODUCCIÓN

En la actualidad, existe la necesidad entre los científicos y médicos, de utilizar circuitos integrados implantables de muy bajo ruido y de muy bajo consumo para la adquisición de las señales biológicas del ser humano, entre ellas tenemos al electrocardiograma (ECG) y electroencefalograma (EEG).

Para esto, el primer avance en esta línea de investigación, fue el desarrollo de multielectrodos (arreglos de electrodos) implantables, con el objetivo de observar, en el caso del EEG, la actividad y comportamiento de un gran número de neuronas en el cerebro o , en el caso del EEG, una mejor percepción del movimiento muscular del corazón. La tendencia actual de esta área trabajo es poder tener un arreglo de electrodos capaz de “observar” 1000 neuronas simultáneamente, para lo cual se ha incursionado en el mundo de la tecnología MEMS (Micro – Electro – Mechanical – Systems) .

La tarea siguiente para el diseño del dispositivo médico implantable, es el diseño de un bloque amplificador, capaz de amplificar señales de amplitudes entre 10 a 100 $\mu$ V, pero sobre todo que cumpla con las condiciones de bajo consumo de potencia y bajo ruido, además con un alto coeficiente de rechazo en modo común (CMRR).

En el presente trabajo de tesis, se plantea el diseño de un amplificador operacional de transconductancia (OTA) bajo una tecnología AMS 0.35 $\mu$ , parte constitutiva de un bloque amplificador de un dispositivo médico implantable para la adquisición de señales biológicas humanas. Se presenta el procedimiento de diseño del OTA y la elaboración del layout, para su implementación.

## CAPÍTULO 1

### DISEÑO ANALÓGICO DE CIRCUITOS INTEGRADOS: DISPOSITIVOS MÉDICOS IMPLANTABLES

#### 1.1 DISPOSITIVOS MÉDICOS IMPLANTABLES

Los dispositivos médicos implantables activos son aquellos destinados a ser colocados quirúrgicamente dentro del cuerpo y permanecer allí por un largo plazo. La característica de dispositivos activos refiere a aquellos que tienen una fuente de energía y que además son capaces de entregar energía al cuerpo, en contraste con implantes pasivos como, por ejemplo, una prótesis metálica para un hueso.

Estos dispositivos aprovechan la posibilidad de actuar sobre los sistemas biológicos a través de la estimulación eléctrica junto a la capacidad de adquirir y procesar información de los modernos sistemas electrónicos.

Un ejemplo de dispositivo implantable, y el más conocido, es el marcapaso cardíaco.

Una característica importante de los dispositivos médicos implantables, es que tienen que cumplir aspectos de seguridad y confiabilidad, lo que implica una baja tasa de fallas, así el diseño tiene que asegurar que fallas simples no puedan provocar eventos graves.

Un dispositivo médico implantable está conformado por bloques analógicos como amplificadores y filtros.

El presente trabajo de tesis está enfocado al diseño de un amplificador operacional de transconductancia (OTA) implantable, que es una parte constitutiva de los amplificadores y filtros utilizados en los dispositivos médicos implantables.

## 1.2 FACTORES EXTERNOS QUE AFECTAN AL DISEÑO DE DISPOSITIVOS MEDICOS IMPLANTABLES

Los factores externos que se ubican alrededor del desarrollo del amplificador operacional de transconductancia, o a dispositivos médicos implantables en general, se encuentran divididos en 3 medios:

### ❖ Medio organizacional

En este medio, entorno inmediato que afecta al desarrollo del proyecto, encontramos dentro del grupo de Microelectrónica de la PUCP, a personal especializado y con experiencia en diseño analógico de circuitos integrados.

También, se cuenta con la tecnología necesaria para el diseño de circuitos integrados, por el ejemplo, el software Spectre de Cadence, que es una herramienta sofisticada para el diseño y simulación de los bloques analógicos básicos de circuitos integrados, así como el software Virtuoso de Cadence, herramienta que facilita la elaboración del layout del circuito que se quiere diseñar.

Además, se cuenta con el software de Matlab, que nos permite realizar algoritmos y herramientas CAD con el objetivo de optimizar el diseño analógico.

### ❖ Medio Específico

Aquí encontramos que existen muy pocas instituciones a nivel nacional que apuesten por el diseño de dispositivos médicos implantables, es más, que apuesten por la microelectrónica, por lo que la única entidad que desarrolla esta línea de investigación es el grupo de Microelectrónica de la PUCP, en contraste con lo que ocurre en otros países de Latinoamérica, como son México, Brasil, Uruguay, Colombia, países que están incursionando en el mercado de la fabricación de dispositivos médicos implantables y en Microelectrónica, pues buscan reemplazar sus necesidades que son importadas por productos nacionales.



En lo que respecta a la investigación sobre dispositivos implantables, se tiene la necesidad de ampliarlos y de buscar fuentes modernas con respecto a estos temas. Un hecho importante es que, no existen recursos económicos, para pensar en fabricar un circuito integrado de altas prestaciones, por lo que el principal limitante en el diseño de un dispositivo implantable, es realizar un diseño a bajo costo de sus bloques constitutivos para una futura fabricación.

#### ❖ Medio General

Es importante ubicar el proyecto, en el contexto mundial; en este medio, se observa que el diseño de dispositivos implantables es muy desarrollado, existen universidades e instituciones especializadas en estas líneas de investigación y trabajo.

Además, la tendencia mundial en el diseño de estos dispositivos es trabajar en nanoelectrónica, hacer diseños basados en tecnologías de 30 nanómetros.

Asimismo, existe otra tendencia en el diseño de dispositivos implantables, es la de trabajar con dispositivos llamados MEMS (Micro-Electro-Mechanical Systems), que combinan microelectrónica y mecánica en un solo chip.

Otro factor importante en este medio, son los recursos económicos, la fabricación de circuitos integrados de altas prestaciones tienen costos muy elevados, estos incluyen los costos de diseño, fabricación de prototipos y fabricación en serie.

También hay que considerar, que los dispositivos médicos implantables tienen que cumplir con una serie de normas internacionales que aseguran la eficiencia, seguridad y confiabilidad del circuito integrado.

### 1.3.- DISEÑO TRADICIONAL DE CIRCUITOS INTEGRADOS

#### 1.3.1.- Proceso de diseño del OTA

Para tener una idea más general de lo que se desea diseñar, en la figura 1, se muestra el proceso de estudio de las señales biomédicas, en el cual se puede observar el uso de un circuito integrado implantable.

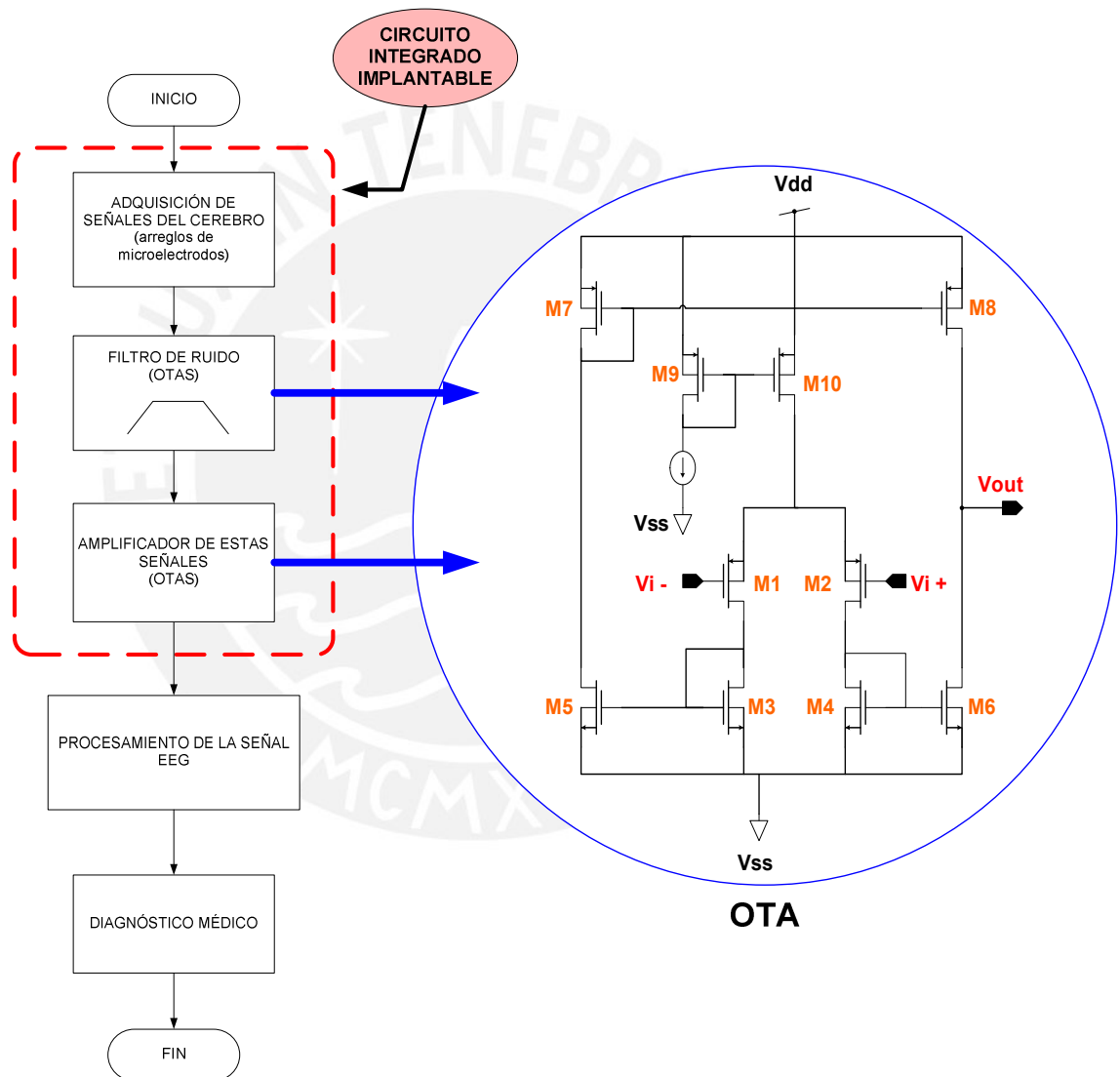


Figura 1.- Flujo de la adquisición de señales biomédicas

Ahora, el proceso de diseño para el amplificador operacional de transconductancia, es el mismo diseño tradicional para cualquier circuito analógico a nivel microelectrónico, el cual se presenta como sigue:

- ❖ El primer paso a realizar es el modelamiento del transistor MOSFET, para el cual es necesario utilizar un simulador sofisticado, como el Cadence, por lo que se requiere el uso de licencias. Esto es necesario, porque las ecuaciones que maneja el simulador son demasiadas complejas, con un nivel matemático 49.
  - ❖ Luego se procede a realizar una extracción de parámetros de los resultados obtenidos en el modelamiento del transistor en el simulador: archivos de salida (corriente, voltajes)
  - ❖ Seguidamente, se continua el modelamiento del transistor utilizando modelos matemáticos con ecuaciones manejables por el ser humano, entre estos, los más importante son los modelos ACM y EKV. Sin embargo, a pesar de que las ecuaciones son manejables en comparación con las ecuaciones que utiliza el simulador, éstas siguen siendo muy difíciles de resolver, por lo que se demanda demasiado tiempo de diseño. Además, como ya se puede realizar el diseño de manera manual y ante la dificultad de las ecuaciones, se procede a realizar aproximaciones, a tabular valores, asumir valores, por lo que se obtienen resultados con poca precisión.
- En conclusión: se requiere demasiado tiempo de diseño y se obtienen resultados con poca precisión.

- ❖ Luego se procede a realizar el diseño del circuito analógico de bajo consumo según la metodología de diseño a utilizar, en este caso se va a trabajar de acuerdo a la metodología de diseño gm/ID (donde gm es la transconductancia del transistor e Id es la corriente de drenador que circula por el transistor) y utilizando herramientas CAD, las cuales tiene que ser capaces de generar las gráficas necesarias para explorar todo el espacio de diseño factible, entre estas tenemos:  $gm/Id$  vs  $Id/(w/L)$ ,  $VA$  vs  $gm/Id$ ,  $Av$  vs  $gm/Id$ .

Asimismo, estas relaciones deben de facilitar el cálculo de las dimensiones del transistor: longitud de canal del transistor (L) y ancho de canal (W), ya que el factor de forma (W/L) del transistor determina las principales características de su funcionamiento.

- ❖ Una vez que se tienen las herramientas, se procede a diseñar los bloques analógicos del OTA; así tenemos:

Par diferencial: problema de desapareamiento, nivel de offset de la entrada diferencial, asegurar que el par trabaje en la región de saturación.

Espejo de corriente: Asegurar que los transistores trabajen en la región de saturación para poder copiar la corriente. Se tiene que determinar el factor de forma adecuado.

Carga activa: se tiene que asegurar que los transistores trabajen en saturación, se debe de encontrar el factor de forma adecuado para tener una buena excursión a la salida del bloque.

- ❖ Luego se procede a realizar la simulación del OTA a nivel esquemático para comprobar su correcto funcionamiento, si cumple con las especificaciones se procede a elaborar el layout, si no, se tiene que regresar al modelamiento del bloque analógico que se desea diseñar.

- ❖ Es importante señalar que para el diseño, se debe de encontrar el mejor compromiso entre las distintas variables de diseño, como son: ruido, linealidad del dispositivo, impedancia de entrada y salida, voltaje de alimentación, disipación de potencia, bajo consumo de corriente, ganancia, velocidad de respuesta, máxima excursión, etc.



Figura 2.- Compromisos de las variables de diseño

- ❖ Se procede a la elaboración del layout, para lo cual es necesario conocer todas las técnicas de diseño en VLSI: la elaboración del layout es un proceso tedioso y propenso a sufrir errores. En esta etapa se debe de considerar que el tamaño de los dispositivos así como el espaciamiento entre ellos y la posición tendrán efectos significativos sobre el desempeño final del circuito. Además de las reglas de diseño dadas por el fabricante, se debe de conocer las técnicas que permitan elaborar los patrones geométricos asegurando un adecuado emparejamiento de los dispositivos.



#### 1.4.- Declaración del marco problemático

La principal razón por la que la **fabricación** de circuitos integrados en el país es imposible, se debe al costo extremadamente alto para el mantenimiento de una sala blanca, por lo que se constituye en algo fuera de nuestra realidad. Asimismo, la falta de apoyo a la investigación en general y la poca difusión de la microelectrónica en el país, ha imposibilitado el **diseño** de circuitos integrados destinados a alguna aplicación específica (ASIC), como en las aplicaciones médicas, en la electrónica, entre otras; y que ayudarían a la solución de diversos problemas en el país y al desarrollo de tecnología y conocimiento.

Sin embargo, el poco porcentaje de recurso humano dedicado a la investigación en esta área, se enfrenta a grandes desafíos dentro del diseño analógico de circuitos integrados, como es el de seguir a la tendencia mundial de diseñar circuitos cada vez más pequeños, en donde las condiciones de bajo ruido y bajo consumo de potencia son los grandes retos a superar.

Asimismo, teniendo en cuenta lo complejo que es el diseño analógico tradicional, y teniendo en cuenta el alto costo de las licencias de más software de diseño, otro problema es el tiempo demandado en la búsqueda de nuevas alternativa de diseño, el desarrollo de herramientas CAD que nos permitan optimizar el diseño, sin embargo, este sería un coste necesario.

## CAPÍTULO 2

### DISPOSITIVOS MÉDICOS IMPLANTABLES: SISTEMAS DE ADQUISICIÓN DE SEÑALES BIOLÓGICAS HUMANAS

#### 2.1.- ORIGEN DE LOS BIOPOTENCIALES

##### 2.1.1.- Antecedentes

Entre los principales antecedentes en el estudio de los biopotenciales tenemos a los siguientes personajes:

- ❖ Luigui Galvani: realiza experimentos con animales disecados y concluye que los nervios podrían ser estimulados con electricidad [8].
- ❖ Hermann von Holmhotz planteó que la velocidad de la conducción nerviosa dependía de la temperatura, lo cual sugería que la propagación podía ser de naturaleza electroquímica[8].

Después de estos antecedentes, se determina que la corriente que fluye por los tejidos biológicos es corriente iónica [8][9].

##### 2.1.2.- Corriente Iónica

Está formada por partículas o iones, que no son más que átomos o grupos de átomos cargados eléctricamente debido a la pérdida o ganancia de electrones[9].



### **2.1.3.- Biopotenciales**

- La propagación del impulso nervioso es el resultado del movimiento de iones a través de la membrana que cubre el axón de la célula nerviosa. La membrana tiene un espesor de 8 nm. Regula el paso de sustancias y es selectiva [8].
- La diferencia de potencial en la membrana se debe a su permeabilidad con iones, i.e. en estado de reposo, los iones de potasio pueden atravesarla, mas no los iones de sodio y cloro[10].
- La propagación se produce por inversión transitoria[8][10].
- Cuando la neurona no transmite se encuentra en reposo, la superficie es positiva con respecto a la parte interna. El potencial de reposo es de -70mv. Luego se produce un cambio de polaridad en la superficie (-), y ahora el potencial de acción es de +50mv[9].

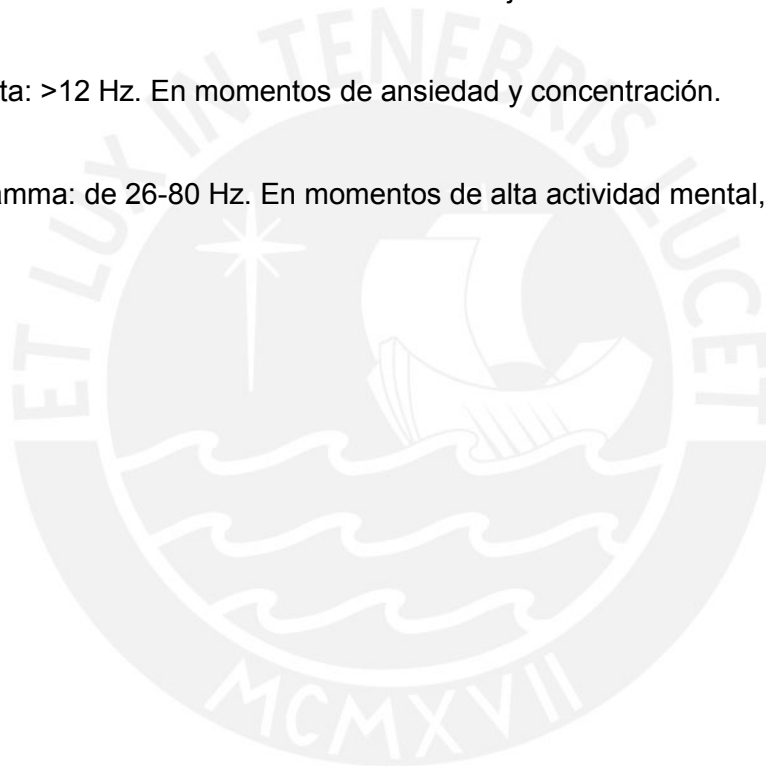
### **2.1.4.- Señales Biomédicas: EEG**

- Un electroencefalograma (EEG) es un estudio mediante el cual se mide la actividad eléctrica en el cerebro, lo que se denomina ondas cerebrales. Un EEG mide estas ondas a través de pequeños electrodos [11].
- Estas señales se utiliza para determinar daños cerebrales, epilepsia, para valorar las condiciones y padecimientos que afectan al cerebro como: coma, encefalitis; se utiliza en neurología para entender el comportamiento humano ante distintas actividades físicas que desarrolla, además las teorías para explicar el sueño confían a menudo en los patrones de EEG registrados durante sesiones del sueño [11].
- La adquisición de las señales cerebrales se realizan por medio de electrodos ubicados en el cuero cabelludo o en la corteza del cráneo. En la actualidad se utilizan electrodos implantables.

- Su amplitud es de pocos  $\mu\text{V}$ , por lo que cada electrodo está conectado a un amplificador de señal.

Tipos de EEG:

- Delta: Rango de frecuencias de 0 a 4Hz. Etapas de sueños.
- Theta: rango de frecuencias: 4 a 8Hz. En hipnosis, sueño ligero.
- Alpha: de 8 a 12Hz. En momentos de relajación.
- Beta: >12 Hz. En momentos de ansiedad y concentración.
- Gamma: de 26-80 Hz. En momentos de alta actividad mental, miedo, persuasión.



## **2.2.- ESTADO DEL ARTE DE LOS SISTEMAS DE ADQUISICIÓN DE SEÑALES BIOLÓGICAS**

### **2.2.1.- Presentación del Asunto de Estudio**

El electroencefalograma o EEG, es un test de gran importancia médica, utilizada en el diagnóstico de diversas enfermedades nerviosas, como la epilepsia o diversos ataques cerebrales. Gracias al EEG, los doctores pueden determinar el tratamiento a seguir ante estas enfermedades nerviosas.

El test del EEG, consiste en observar y analizar la actividad eléctrica del cerebro. Las células nerviosas del cerebro están creando constantemente pequeñas señales eléctricas, con diferentes características según el paciente esté dormido o realizando alguna actividad física. Pero, al ser estas señales de muy poca amplitud, en el orden de los  $\mu\text{V}$ , es necesario utilizar circuitos amplificadores para hacer posible que estas ondas cerebrales puedan ser observadas y analizadas.

Por eso, en los últimos años y con el desarrollo de la tecnología, se han diseñado circuitos integrados implantables para el procesamiento del EEG, siendo uno de los bloques analógicos o subcircuitos de estos circuitos integrados un amplificador. La razón de que los circuitos integrados sean implantables, es para obtener señales cerebrales mucho más limpias, es decir, adquirir señales cerebrales mucho más exactas y con una menor perturbación y ruido.

En el presente documento, se describen diversas arquitecturas de amplificadores de EEG, de las cuales se indicará cada una de sus características, se mostrará los dispositivos que se usan y se señalará las consideraciones de diseño que se tomaron en cuenta.

### 2.2.2.- Arquitecturas monolíticas de sistemas de adquisición de señales biomédicas

Para amplificar este tipo de señales, se han diseñado amplificadores con distinta arquitectura en tecnología CMOS. Uno de los subcircuitos presentes en todos ellos es el amplificador operacional de transconductancia: OTA (Operational Transconductance Amplifier).

En una reciente publicación [1], se reporta el diseño de un amplificador con los siguientes requerimientos: bajo ruido, bajo consumo, ser capaz de amplificar desde los mhz hasta los Khz, tener un alto valor de relación de rechazo en modo común (CMRR) para eliminar el voltaje de offset generado en la interfaz entre electrodo y tejido.

En la topología del amplificador se puede observar:

- MOS-bipolar: utilizados como pseudos resistores para reducir distorsiones ante señales de salida grandes, haciendo más rápido su tiempo de establecimiento.
- **Amplificador Operacional de transconductancia (OTA).**

Para el diseño del OTA, un factor determinante para poder alcanzar bajos niveles de ruido a bajas corrientes, son las dimensiones de los transistores que forman el OTA. El circuito de polarización del OTA, es un circuito estándar [2].

También se toma en cuenta el nivel de inversión del transistor, que puede ser fuerte, moderada o débil, que depende de la relación de sus dimensiones (ancho de canal (W) / largo de canal (L)) y que determina muchas de las características del circuito [3].

Asimismo, se hace un análisis de la potencia del ruido térmico referido a la entrada, en donde se intenta reducir su efecto modificando las dimensiones de los transistores, pero con la condición de asegurar la estabilidad del circuito.

Se toma en cuenta el gran efecto del ruido flicker ( $1/f$ ) a bajas frecuencias ( la señal del EEG se encuentra entre 0.3 Hz – 150 Hz), para lo cual se busca minimizarlo diseñando cada transistor lo más largo posible, pero considerando que esto puede incrementar las capacidades parásitas del OTA, por lo que se hace necesario realizar un estudio completo de diseño para encontrar la dimensión óptima para cada transistor.

De manera general, para considerar minimizar el efecto de ruido en el OTA, se debe analizar el compromiso entre potencia y ruido. Para esto, se tiene como indicador de este compromiso al factor de eficiencia de ruido (NEF) [4].

Este circuito fue diseñado con una tecnología AMI ABN 1.5 $\mu$ m y para una ganancia de 100, con C1 igual a 20pF y C2 igual a 200fF. Los resultados fueron buenos, se obtuvo un ganancia de 40 dB y un CMRR mayor a 42dB.

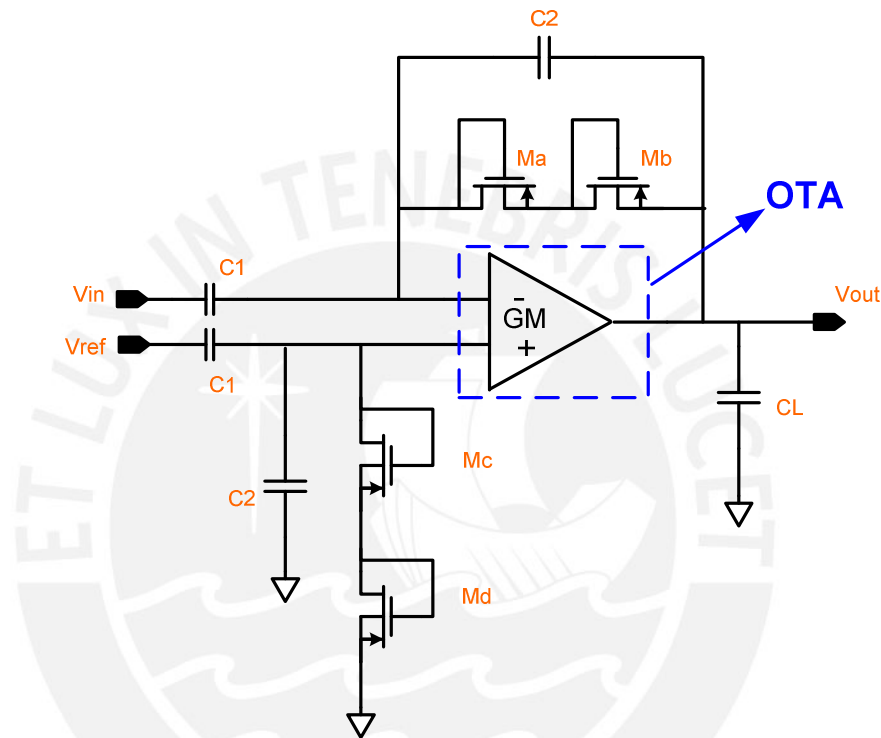


Figura 3.- Esquemático amplificador neuronal

En [5] se tiene otra arquitectura CMOS que se diseñó teniendo en cuenta los mismos requerimientos que la arquitectura anterior, pero para este caso hay una exigencia mayor de CMRR ( $> 90$  dB).

Este circuito se puede dividir en tres grandes bloques:

- Pre-amplificador de entrada y salida diferencial: en esta etapa se considera que el ruido es el parámetro más restrictivo.
- La segunda etapa consiste de un amplificador diferencial. Tiene dos entradas diferenciales, uno usado para la señal de entrada y el para dos lazos de realimentación ( uno para definir la ganancia y el otro para eliminar el offset

de la primera etapa). Además, este amplificador tiene un circuito de tensión de referencia similar al usada en el OTA.

- La tercera es una etapa RC seguido de un amplificador de ganancia fija.

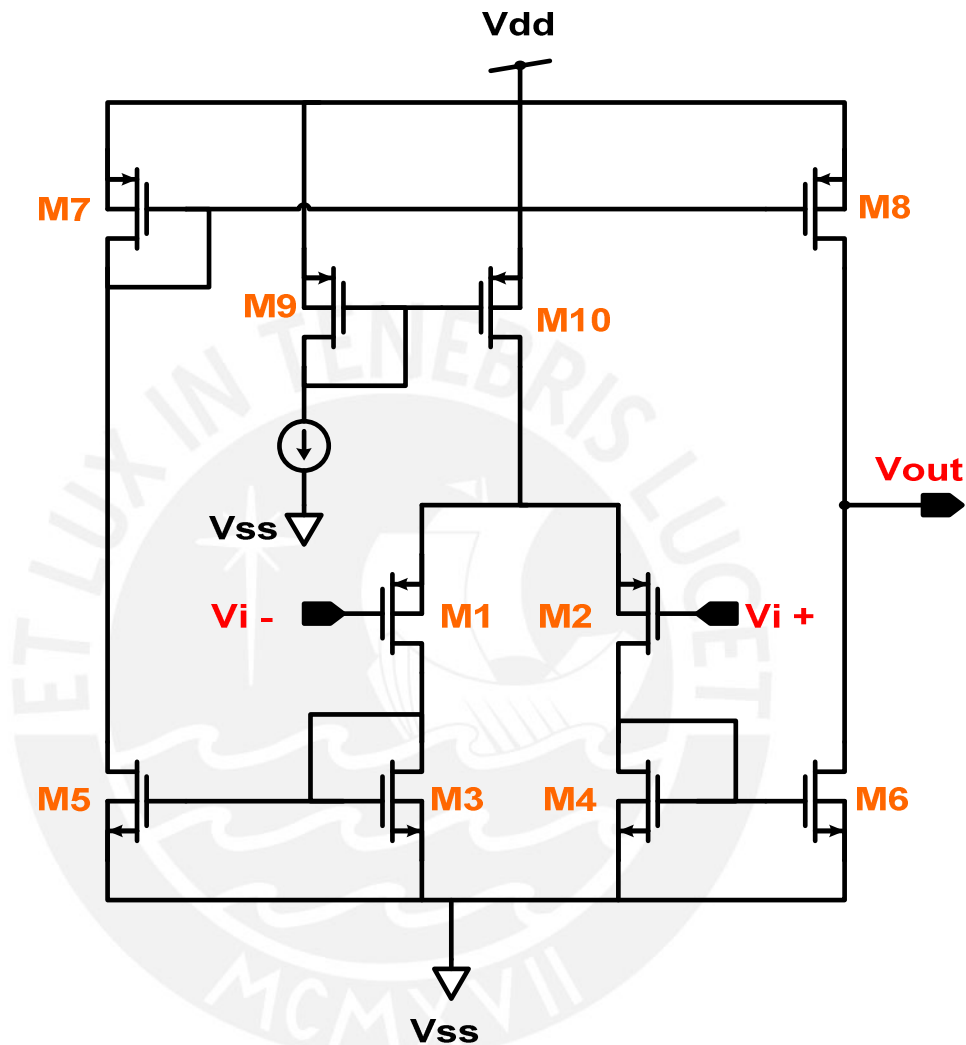


Figura 4.- Esquemático de un OTA simétrico

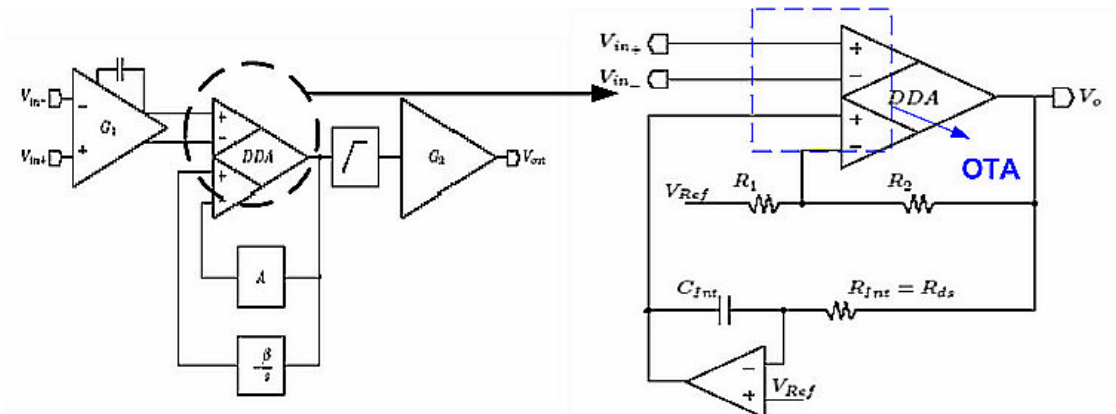


Figura 5.- Esquemático de un amplificador neuronal [5]

En la arquitectura planteada en [6], se propone un amplificador de instrumentación CMOS adecuada para la adquisición de señales biomédicas, por ejemplo electroencefalograma.

Además del bajo consumo de potencia, los puntos clave de diseño son un alto rechazo en modo común (CMRR) y muy bajo ruido; puesto que las señales del EEG exhibe bajas frecuencias (0.3-150Hz)[4], el ruido flicker se convierte en un gran problema.

Esta topología utiliza dos transistores PMOS de entrada, ya que tienen un mejor comportamiento frente al ruido flicker para la misma área respecto a los transistores NMOS. Además, este circuito incorpora una circuitería para realizar la función de filtro pasa banda (0.3-150Hz). Para la función pasa bajos utiliza un capacitor conectado en paralelo con una resistencia ( $R_s$ ), obteniendo la frecuencia de corte según:

$$f_h = \frac{1}{2\pi R_s C_s} \quad (1)$$

Para el filtro pasa altos, no es recomendable el uso de un filtro RC para tal pequeña frecuencia de corte, por tal el autor propone una implementación usando otro lazo de realimentación alrededor del circuito de salida. Como se muestra en la figura 3, se utiliza un OTA para realizar el filtro, comportándose como un resistor pero ofreciendo dos ventajas sobre un resistor real: primero, como es posible hacer una transconductancia baja, se puede obtener un valor equivalente resistivo alto; y segundo es que no existe efecto de carga a la salida (carga resistiva a la salida).

Para incrementar el CMRR y reducir el consumo de potencia, los transistores de entrada se diseñan para operar casi en la zona de inversión moderada. Esta arquitectura fue implementada en una tecnología MIETEC 2.4  $\mu\text{m}$ .

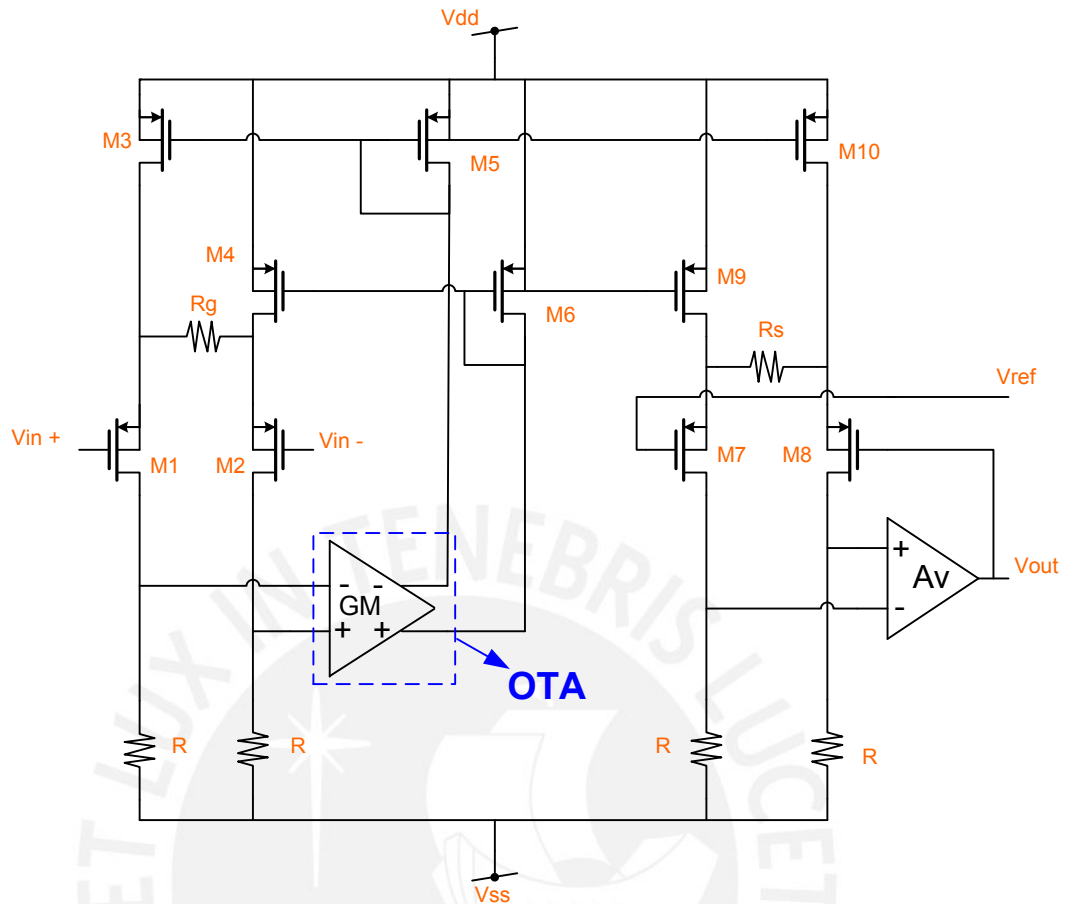


Figura 6.- Esquemático simplificado: Amplificador de Instrumentación [6].

En [4] se describe otro amplificador de instrumentación CMOS, también dirigido a propósitos médicos. Este circuito tiene la siguiente configuración: (ver figura 5)

- El circuito tiene dos lazos de realimentación, uno encargado de fijar la ganancia del amplificador y el otro encargado de fijar la frecuencia inferior de corte. El primer lazo de realimentación está basado en la técnica de realimentación de corriente (en lugar de voltaje), en donde se utiliza un **OTA de una sola etapa**. El segundo lazo de realimentación está compuesto por una estructura integradora, en el cual se utiliza un **OTA** y un capacitor externo, y un resistor equivalente hecho por un **OTA** ( $R \approx 1/g_m$ ).
- Para el cálculo de la ganancia del amplificador, se analiza el lazo de realimentación formado por M3, M4 y Rg, así cualquier voltaje AC generado en este lazo, genera una corriente AC a través de Rs. Además, el voltaje AC de salida (Vout) genera un voltaje a través de Rs (VRs), siendo la relación entre ellos como sigue:



$$F = \frac{V_{Rs}}{V_{out}} = \frac{R_s}{R_g \left(1 + \frac{2}{gm_3 R_g}\right)} \quad (2)$$

Luego, usando la teoría de la realimentación, el factor de ganancia del amplificador es:

$$A_c = \frac{A}{1 + FA} \quad (3)$$

Donde A es la ganancia en lazo abierto desde la entrada a la salida. Se consideró que  $FA \gg 1$ , por lo tanto el factor de ganancia queda como sigue:

$$A_c = \frac{1}{F} = \frac{R_g}{R_s} \left(1 + \frac{2}{gm_3 R_g}\right) \quad (4)$$

Podemos concluir, que es posible modificar el factor de ganancia del amplificador con solo variar el cociente de las dos resistencias.

- Para el cálculo de la frecuencia de corte superior, se coloca un capacitor en paralelo a  $R_g$ . Por lo que se obtiene:

$$f_H = \frac{1}{2\pi R_g C_g} \quad (5)$$

- Con el objetivo de reducir el ruido flicker ( $1/f$ ), la influencia del voltaje de offset y los efectos de polarización de los electrodos, se fija una frecuencia de corte inferior alta; esto es posible como se mencionó líneas anteriores por medio de dos **OTAS**, uno que junto con un capacitor externo forma un integrador y el otro para formar un equivalente resistivo. De este modo, la frecuencia de corte queda definida como:

$$f_L = \frac{gm}{2\pi C_{ext}} \quad (6)$$

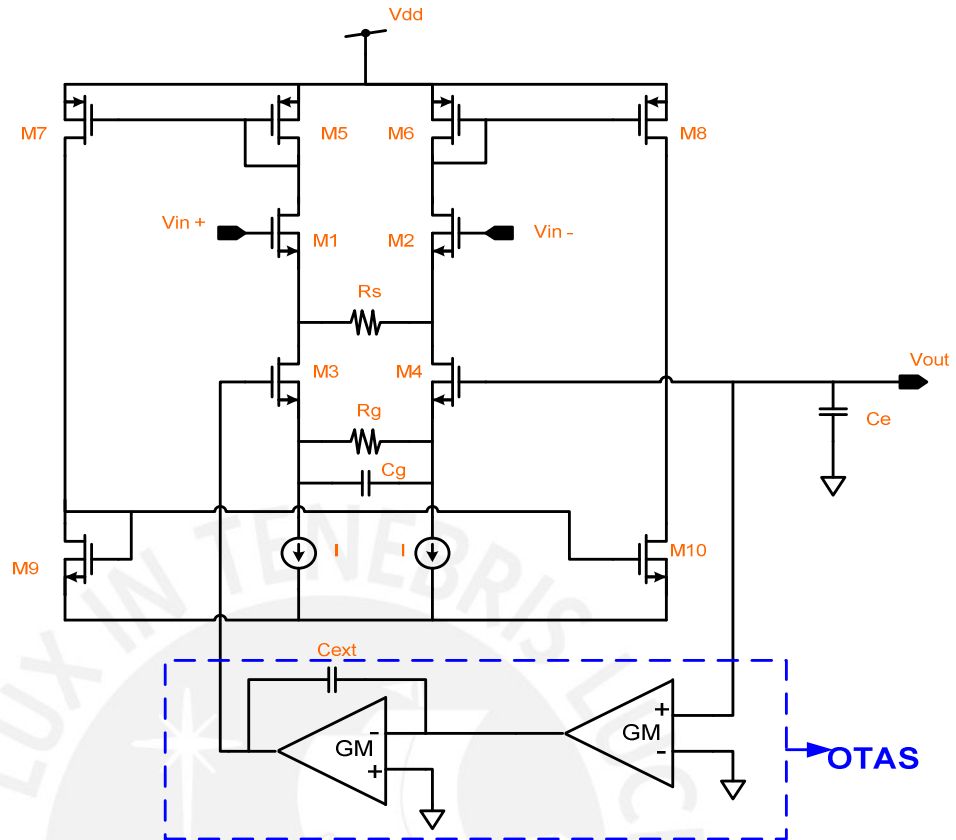


Figura 7.- Esquemático del amplificador de [7]

### 2.2.3.- Síntesis del asunto en estudio

La gran importancia de las señales del electroencefalograma, o EEG, dentro de la medicina, hace necesario el estudio de un sistema dedicado a la adquisición de estas señales para su posterior procesamiento.

Teniendo en cuenta que las ondas cerebrales y señales nerviosas en general, tienen como característica principal una muy pequeña amplitud, en el orden de los  $\mu\text{V}$ , dentro del sistema de adquisición, se hace necesaria una etapa de amplificación de señal.

Según esto, en los últimos años se ha desarrollado diversos estudios y diseños de amplificadores para señales neuronales, entre ellas el EEG, siendo su principal característica, que sean implantables.

El uso de dispositivos implantables, hace posible que se explore todas las posibilidades que brindan las tecnologías electrónicas para poder adquirir señales con alta precisión, para luego combinar esta función de sensado con la de actuación (estimulación) dentro del cuerpo humano, que junto a la función de comunicación (i.e. telemetría) y la de procesamiento de información, generar nuevos mecanismos terapéuticos [7]. Además, otro beneficio de los circuitos implantables, es que

permiten mayor libertad de movimiento en los pacientes, sobre todo cuando se realizan exámenes de larga duración [6].

Ahora, con lo que respecta al diseño de un amplificador implantable para señales del EEG, este debe cumplir con los siguientes requerimientos: ser diseñado bajo tecnología CMOS, tener muy bajo ruido, un bajo consumo, un alto CMRR para señales de offset proveniente de los multielectrodos implantables y ser capaz de amplificar señales de bajas frecuencias (mHz o pocos kHz).

Asimismo, los aspectos de seguridad y confiabilidad son fundamentales en dispositivos implantables, asegurando la combinación de ambos, una baja tasa de fallas y que fallas graves sean virtualmente imposibles. Esto implica decisiones de diseño que aseguren que fallas simples no puedan provocar eventos graves [7].

A modo de referencia, la evolución de la tasa de fallas en circuitos integrados se puede aproximar por la curva de la bañera, que nos muestra una tasa alta, inicial, de mortalidad infantil, que se debe erradicar antes que el dispositivo sea liberado para su uso, y luego una tasa aproximadamente estable de fallas durante la vida útil del dispositivo [7].

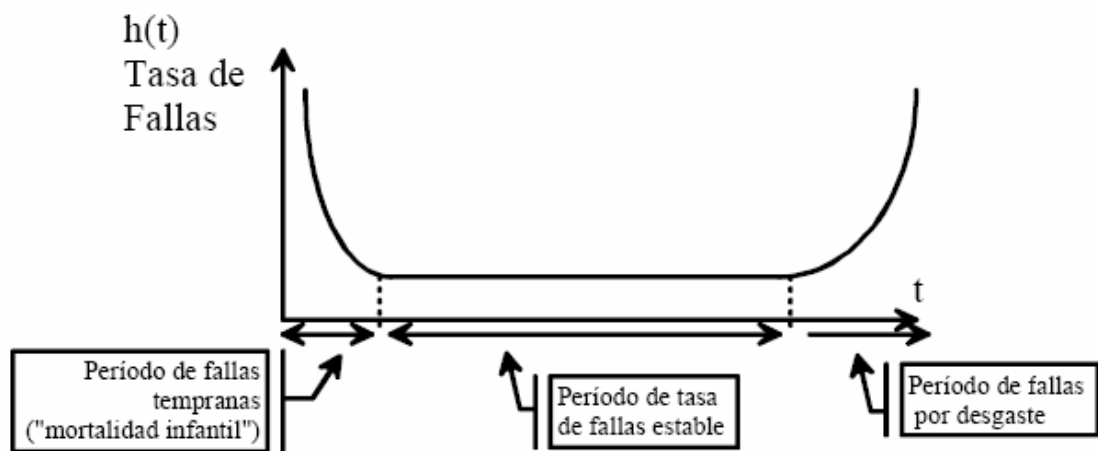


Figura 8.- Curva de la "bañera"

Finalmente, de las arquitecturas de amplificadores CMOS presentadas, podemos apreciar un común denominador, el uso de un amplificador operacional de transconductancia (OTA), ya sea un OTA Millar o un OTA simétrico.

De esto se puede concluir que el OTA cumple un papel determinante dentro del módulo de amplificación de señales de EEG, fijando la ganancia del amplificador, fijando la frecuencia de corte inferior (para minimizar el efecto del ruido flicker a bajas frecuencias) o constituyendo equivalentes resistivos altos sin provocar efecto de carga.

## 2.3.- MODELAMIENTO DEL TRANSISTOR MOSFET

### 2.3.1.- El transistor MOSFET

El entendimiento de los principios de funcionamiento de los transistores MOSFET es esencial para el diseño de circuitos integrados, en especial cuando se trata de circuitos analógicos [1].

El transistor MOSFET, es un dispositivo de 4 terminales: puerta o gate (G), drenador (D), surtidor (S) y bulk (B). Puede ser tipo N o tipo P [12]. Un transistor MOS canal N (P) está formado por un sustrato tipo-p (n) sobre el que se efectuado selectivamente una difusión de impurezas tipo  $n+(p+)$ . En la superficie, en el sector entre las dos difundidas, se crece una fina capa de óxido de silicio (óxido de puerta), y sobre ésta se deposita una capa adicional de polisilicio. Las dos zona  $n+(p+)$  forman dos conductores aislados, separados por un canal semiconductor de tipo-p(n).

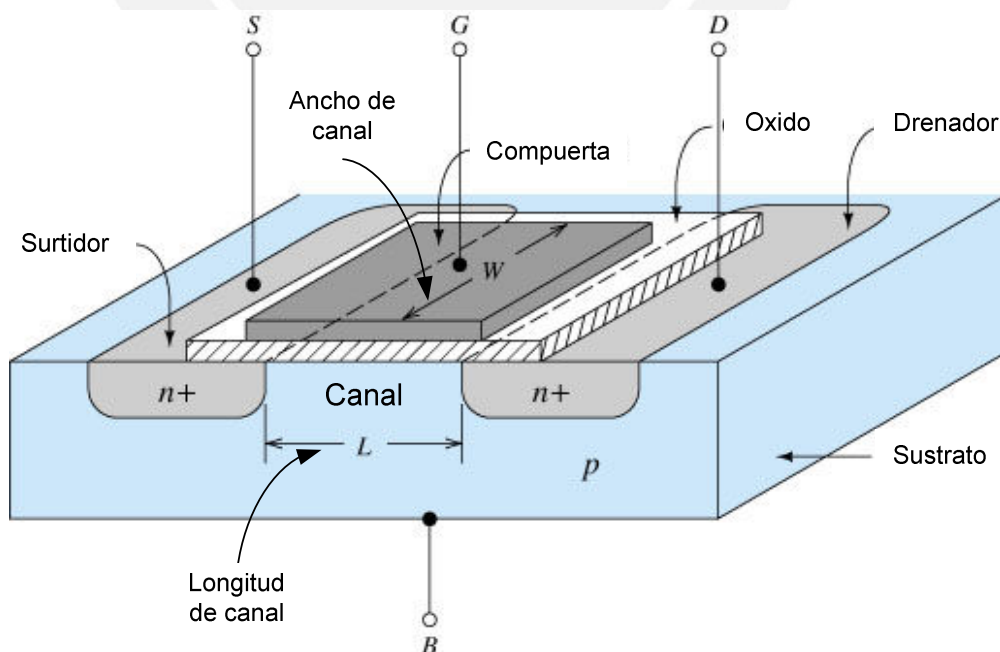


Figura 9.- Transistor MOSFET

Las características eléctricas del transistor MOS dependen directamente de dimensiones físicas: se define la *longitud del canal* ( $L$ ) como la distancia que separa ambas islas  $n+(p+)$ , y el *ancho de canal* ( $W$ ) como la dimensión perpendicular a ésta del óxido fino.

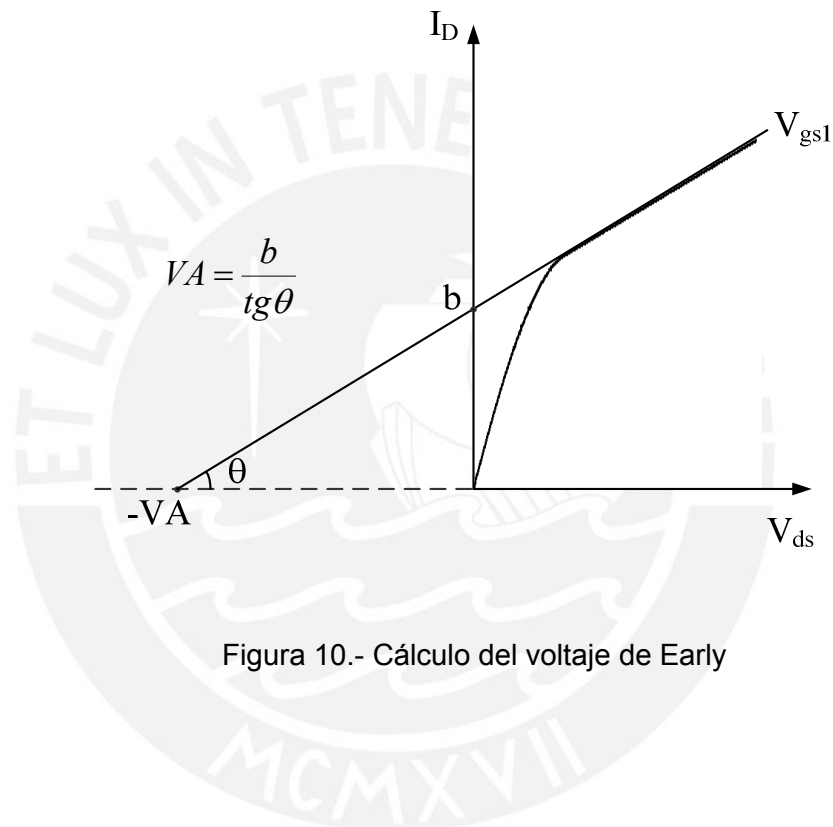
Al aplicar una tensión (positiva en el caso del transistor MOS tipo N, o negativa en el caso del transistor MOS tipo P) entre puerta y sustrato por encima de cierto valor umbral, fluye entre drenador y fuente una corriente dependiendo de la tensión  $V_D - V_S$  (zona lineal de la curva de funcionamiento del transistor). Si la tensión puerta-sustrato se hace muy grande y supera cierto valor de saturación, la corriente que fluye entre drenador y fuente toma un valor aproximadamente constante, independiente de la tensión  $V_D - V_S$  aplicada.[7][14]

Las principales ecuaciones que modelan la operación de un transistor MOSFET se presentan a continuación:

$$I_{DS} = \begin{cases} \rightarrow \text{Saturación} \\ \frac{\beta}{2} \cdot (V_{GS} - V_{T0})^2, V_{GS} > V_{T0}, V_{DS} > V_{DSAT} = V_{GS} - V_{T0} \\ \rightarrow \text{Zona Lineal o Triodo} \\ \beta \cdot \left( (V_{GS} - V_{T0}) V_{DS} - \frac{V_{DS}^2}{2} \right), V_{GS} > V_{T0}, V_{DS} < V_{DSAT} = V_{GS} - V_{T0} \\ \rightarrow \text{Zona de Corte} \\ 0, V_{GS} \leq V_{T0} \end{cases} \quad (7)$$

Donde  $V_{T0}$  es la tensión umbral, que depende de la tecnología de fabricación y  $\beta$  es el factor de ganancia, que es igual al producto de la movilidad ( $\mu$ ) por la capacidad del óxido de puerta por unidad de área ( $C_{OX}$ ) por el cociente entre el ancho y el largo del transistor ( $W/L$ ). Aquí se ven las tres regiones básicas de operación del transistor MOS y que generan las dos formas de funcionamiento fundamentales: como fuente de corriente controlada y como interruptor. Sin embargo, estas no modelan varios aspectos importante para el diseño de circuitos integrados analógicos, como considerar corriente cero cuando el voltaje  $V_{gs}$  desciende hasta el umbral, el **efecto cuerpo** y el **efecto Early**. El efecto cuerpo consiste en considerar todas las tensiones con respecto al terminal de sustrato, que intervienen en el cálculo de la

tensión umbral; mientras que el efecto Early o de modulación de largo de canal, que proviene de la variación del ancho de la zona de “pinch off” con la variación de la tensión de drenador. La consecuencia de este efecto, es que la corriente es mayor cuanto menor sea el largo del canal del transistor. Esto proviene a partir del cálculo del voltaje de Early (ver figura 3), y se considera que el voltaje de Early ( $V_A$ ) es proporcional al largo del canal [3][7][20].



### 2.3.2.- Niveles de Inversión

#### 2.3.2.1.- Corriente Sub-umbral

El modelo y ecuaciones planteadas hasta ahora consideran que al acercarse el voltaje de puerta  $V_{GB}$  a la tensión umbral, e incluso a tener un valor por debajo de ella, la corriente de drenador es cero. Sin embargo, si analizamos la curva característica  $I_D$  vs  $V_{GS}$  en escala logarítmica, permite hacer un “zoom” sobre la zona de pequeña corriente, donde se observa que por debajo de la tensión umbral, la corriente no es nula y tiene una dependencia exponencial con la tensión de compuerta. A la corriente de drenador en esta zona se le conoce como **corriente subumbral** [3] [7]. Según esto, nos encontramos con una zona de operación muy favorable para el diseño de circuitos analógicos de muy bajo consumo, como los necesarios en dispositivos médicos implantables.

#### 2.3.2.2.- Niveles de inversión

De acuerdo al voltaje compuerta-surtidor el transistor funcionará en tres niveles: inversión débil, inversión fuerte e inversión moderada. El nivel de inversión está determinado por la cantidad de electrones que hay en la capa de inversión que conforma el canal [13].

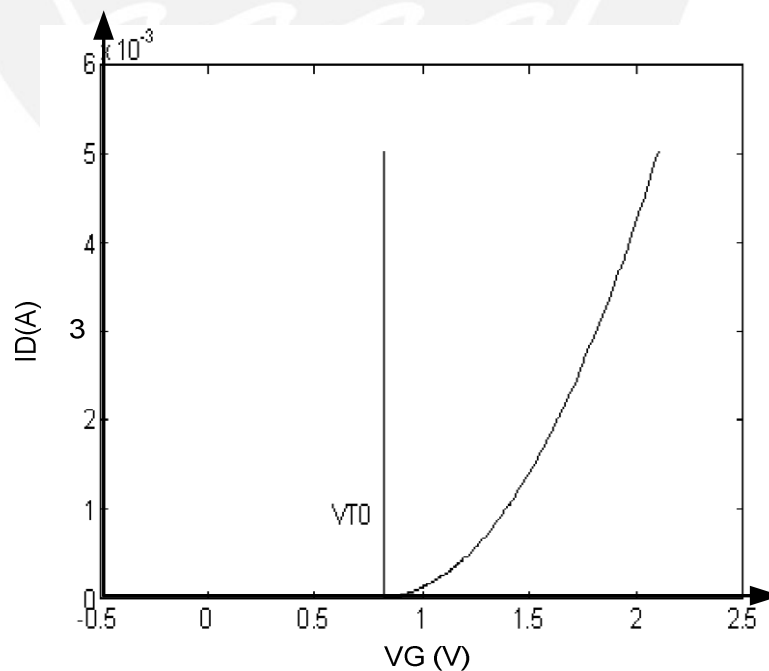


Figura 11.- Curva  $I_D$  vs  $V_{GS}$  a escala lineal

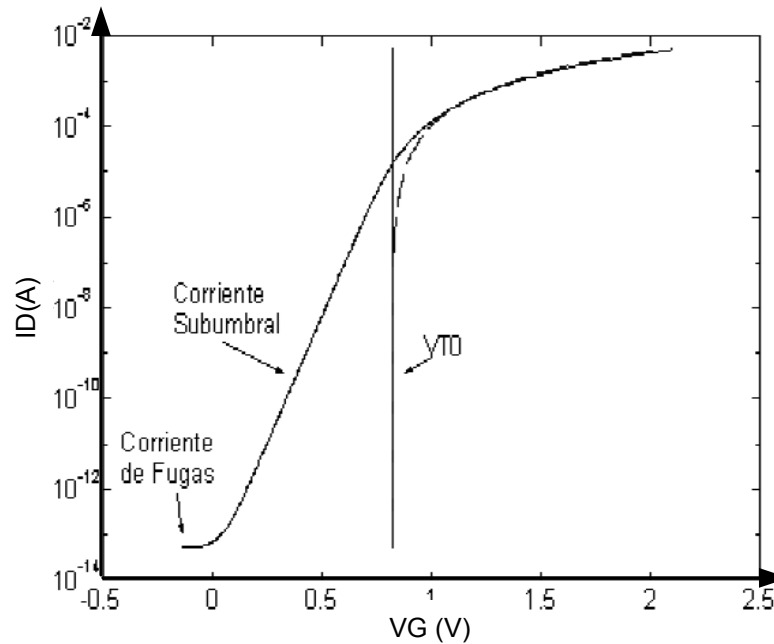


Figura 12.- Curva  $I_D$  vs  $V_{GS}$  a escala logarítmica

Cuando trabaja en inversión débil, la capa de inversión es muy delgada y la corriente dominante es la corriente de difusión. Así, la corriente de saturación sigue una ley exponencial respecto al voltaje compuerta-surtidor.

En inversión fuerte, la capa de inversión es mas gruesa y la corriente dominante es la de arrastre. La corriente de saturación sigue una ley cuadrática respecto al voltaje compuerta surtidor.

Finalmente en la región de inversión moderada, los dos mecanismos de conducción de corriente, de difusión y de arrastre, están en equilibrio. En este nivel de inversión, no existen ecuaciones de fácil manejo para modelar al transistor, sin embargo, como veremos más adelante, es una zona con muchas ventajas para la metodología de diseño a utilizar, la metodología gm/Id [7][14][20].



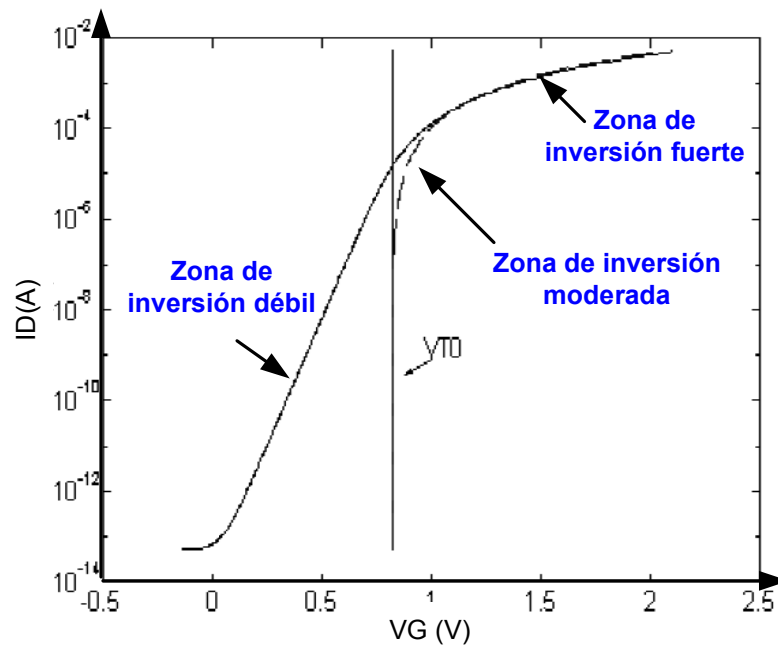


Figura 13.- Curva  $I_D$  vs  $V_{GS}$  : Niveles de inversión del transistor

Por lo tanto, la principal característica que necesita un modelo de transistor MOS para diseño analógico de muy bajo consumo, es que modele todos los regímenes de inversión señalados (inversión fuerte, débil y moderada) y las zonas de operación (zona lineal y de saturación) en forma continua y con derivadas continuas de la corriente (que serán los parámetros de pequeña señal y baja frecuencia) y las cargas en el transistor (pues las derivadas de las cargas representan los efectos capacitivos internos al transistor).

Así, existen aparecen los modelos matemáticos BSIM, ACM y EKV; de los cuales, para el diseño del amplificador operacional de transconductancia que se plantea, se trabajará según el modelo BSIM, por sus grandes ventajas en cuanto a precisión en los resultados [7].

### **2.3.3.- Modelos del transistor MOS para diseño analógico**

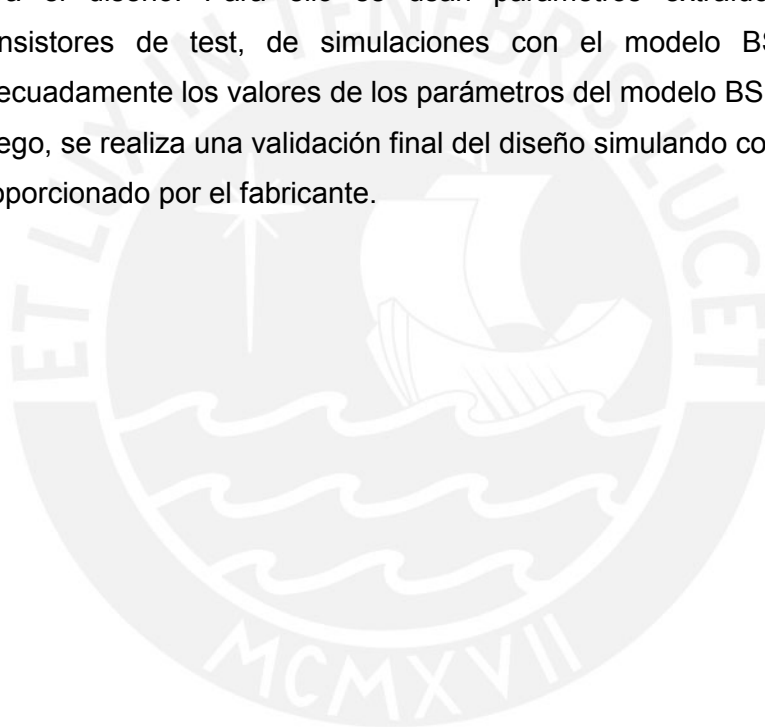
De acuerdo a lo visto en la sección anterior, las características que se necesitan de un modelo de transistor MOS para diseño analógico, particularmente, para el diseño a baja corriente y tensión son:

En primer lugar que modele todos los regímenes de inversión [7] antes señalados (inversión débil, moderada y fuerte) y zonas de operación (lineal y saturación) en forma continua y con derivadas continuas de la corriente. En segundo lugar que respete la simetría del transistor respecto a surtidor y drenador que es aplicada en circuitos analógicos. En tercer lugar, y lo más importante, que provea expresiones analíticas sencillas, utilizando la menor cantidad de parámetros, lo que facilitará la tarea del diseñador al aplicar el modelo a una cierta tecnología.

Los modelos matemáticos que modelan al transistor son [7] [1]:

- ❖ Modelo EKV (Enz, Krummenacher, Vittoz), propuesto por investigadores de la Ecole Polytechnique Federale de Laussane, Suiza. Este modelo obtiene, en sus orígenes, una expresión continua para todas las regiones de inversión partiendo, de expresiones para la zona de inversión débil y de inversión fuerte y proponiendo para la zona de inversión moderada una expresión matemática de interpolación, que se aproxima muy bien al funcionamiento real.
- ❖ El segundo modelo, es el modelo ACM (Advanced Compact Model), fue propuesto por investigadores de la Universidad Federal de Santa Catarina, Brasil. Este modelo tiene como ventaja respecto a EKV que su expresión, válida en todas las regiones de inversión, surge de una expresión física unificada para la carga de inversión en el canal del transistor y que por tanto no depende de una interpolación matemática para la zona de inversión moderada. Esto tiene como consecuencia una mayor coherencia a nivel físico del modelo entre sus diferentes variables (corriente, parámetros de pequeña señal, cargas, capacidades) en todas las zonas.
- ❖ Los modelos EKV y ACM, nos brindan ecuaciones manejables para el cálculo y análisis a mano (o utilizando programas de cálculo como Matlab) de los circuitos. Por otra parte se han ido incorporando a simuladores tipo SPICE, particularmente EKV. Sin embargo subsiste una limitación, los fabricantes de circuitos integrados

no proveen parámetros de estos modelos para sus tecnologías, sino que en general proveen parámetros para el modelo BSIM. BSIM modela muchos detalles finos del funcionamiento del dispositivo, pero a expensas de manejar, literalmente, decenas de parámetros, muchos de ellos de ajuste y sin base física, lo que lo hace absolutamente inadecuado e inmanejable para diseño, además de que, por otra parte incluso así, en algunos aspectos logra un modelado menos adecuado que los modelos ACM y EKV. La ausencia de parámetros del fabricante para los modelos ACM y EKV, no hace que el modelo sea inutilizable, pues al basarse en pocos parámetros físicos, estos son más fácilmente extraíbles. Por tanto el camino que aconsejamos aplicar es utilizar estos modelos para el diseño. Para ello se usan parámetros extraídos de medidas de transistores de test, de simulaciones con el modelo BSIM o traduciendo adecuadamente los valores de los parámetros del modelo BSIM. Luego, se realiza una validación final del diseño simulando con el modelo BSIM proporcionado por el fabricante.



### 2.3.4.- Bloques básicos del OTA

El amplificador operacional de transconductancia, según su arquitectura, tiene los siguientes bloques analógicos básicos:

- ❖ Circuito de polarización: En este bloque, se utilizan los espejos de corriente. Su funcionamiento de basa en la elevada resistencia de salida de los transistores en la región de saturación, de tal forma que para dos transistores iguales cuyos voltajes compuerta-surtidor son iguales se tendrá que sus corrientes también son iguales. Una propiedad de los espejos de corriente es su baja resistencia de entrada. Para asegurar un correcto funcionamiento del espejo de corriente, es decir un correcto copiado de corriente, se debe considerar que la resistencia de salida debe ser mucho mayor que la resistencia de carga, así como asegurar que los transistores operen en la zona de saturación. Según estudios, los espejos de corriente tienen un mejor rendimiento cuando los transistores de su topología trabajan en un **nivel de inversión fuerte**.

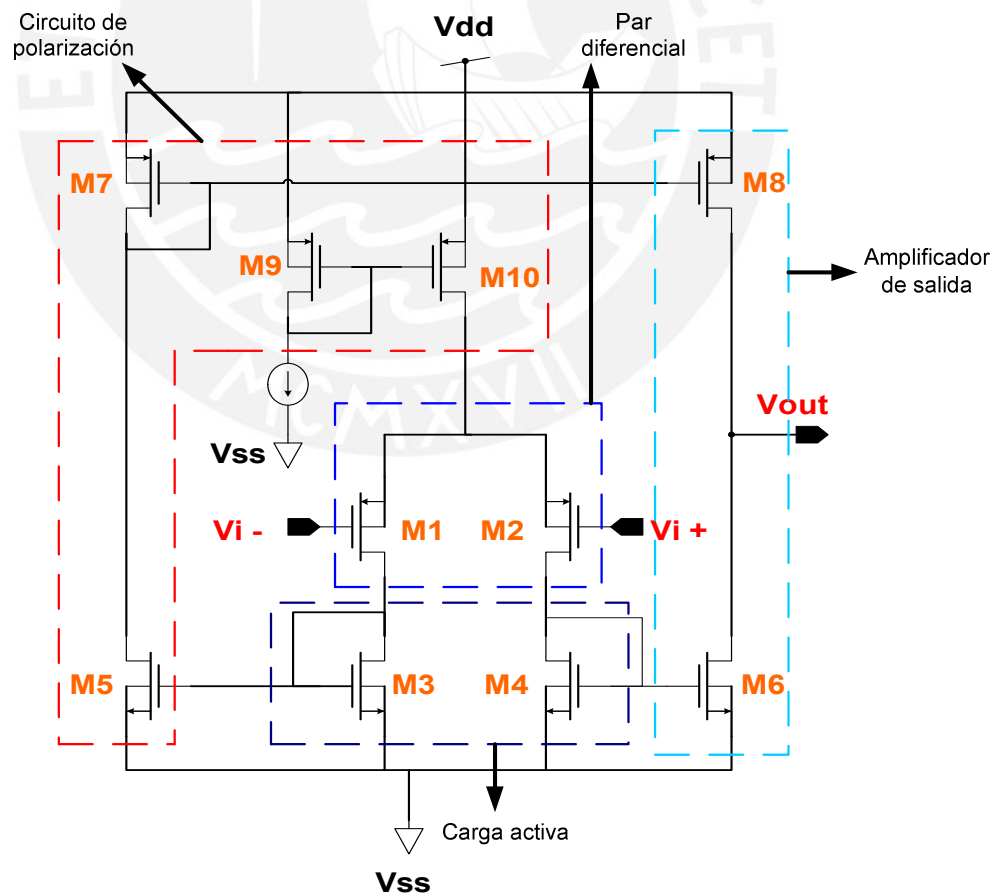
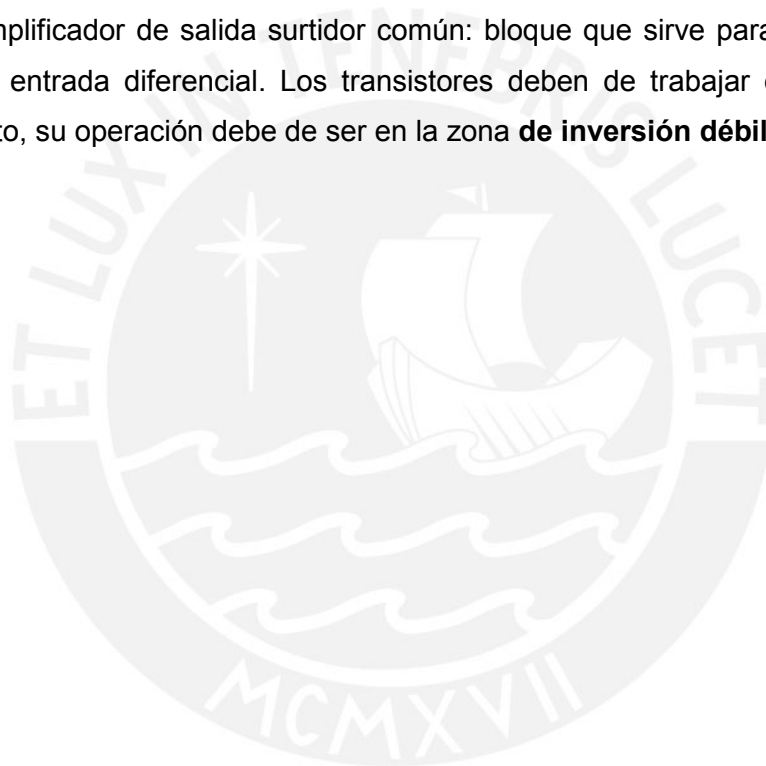


Figura 14.- Bloques analógicos del OTA

- ❖ Par diferencial: bloque analógico básico al cual se le aplica una señal de entrada (“entrada diferencial”). Para su diseño se debe de tener en cuenta que los dos transistores del par diferencial deben de trabajar en saturación. Para un correcto funcionamiento, los transistores del par diferencial, deben de trabajar en **el nivel de inversión débil-moderado**, lo más alejado de la zona de inversión fuerte.
- ❖ Carga activa: Bloque analógico encargado de asegurar la saturación del par diferencial y determinar la máxima excursión posible a la salida del bloque analógico.
- ❖ Amplificador de salida surtidor común: bloque que sirve para amplificar la señal de entrada diferencial. Los transistores deben de trabajar en saturación, para esto, su operación debe de ser en la zona **de inversión débil-moderada**.



## 2.4.- METODOLOGÍA DE DISEÑO

### 2.4.1.- Metodología de diseño gm/ID

La metodología de diseño gm/ID, es una metodología de diseño moderna que utiliza como elemento guía un único parámetro, que es el cociente gm/ID. La razón de elegir esta variable como parámetro para recorrer el espacio de diseño, se basa en que ella nos da información sobre tres aspectos:

- ❖ El desempeño de los circuitos: si analizamos el amplificador básico (surtidor común) la ganancia es proporcional al cociente gm/ID y el producto ganancia ancho de banda es también proporcional a gm, por lo que el parámetro gm/ID es un indicador del compromiso velocidad-consumo. Varios otros aspectos del desempeño de los circuitos analógicos CMOS están también ligados a este parámetro: el efecto de desapareo entre transistores y por tanto el offset, el área del circuito a través del parámetro W/L, la relación entre el slew rate y producto ganancia por ancho de banda en un par diferencial, etc [7][3][14].
- ❖ El nivel de inversión del transistor: el valor de gm/ID es un indicador de la región de operación del transistor: en inversión fuerte gm/ID tiene un valor aproximado de 8 o 10, en inversión débil gm/ID tiene un valor de 25 a 26 y en inversión moderada gm/ID tiene un valor de 13 a 15 aproximadamente [7].
- ❖ El dimensionamiento (elección del tamaño, particularmente el cociente W/L) de los transistores: este tercer aspecto surge de que gm/ID está unívocamente fijado por ID/(W/L), que es la corriente normalizada, que es una relación válida para todos los transistores. Así, en la curva gm/ID vs ID/(W/L) , tenemos un nivel de inversión determinado, a una corriente de drenador especificada, podemos calcular el cociente W/L [7].

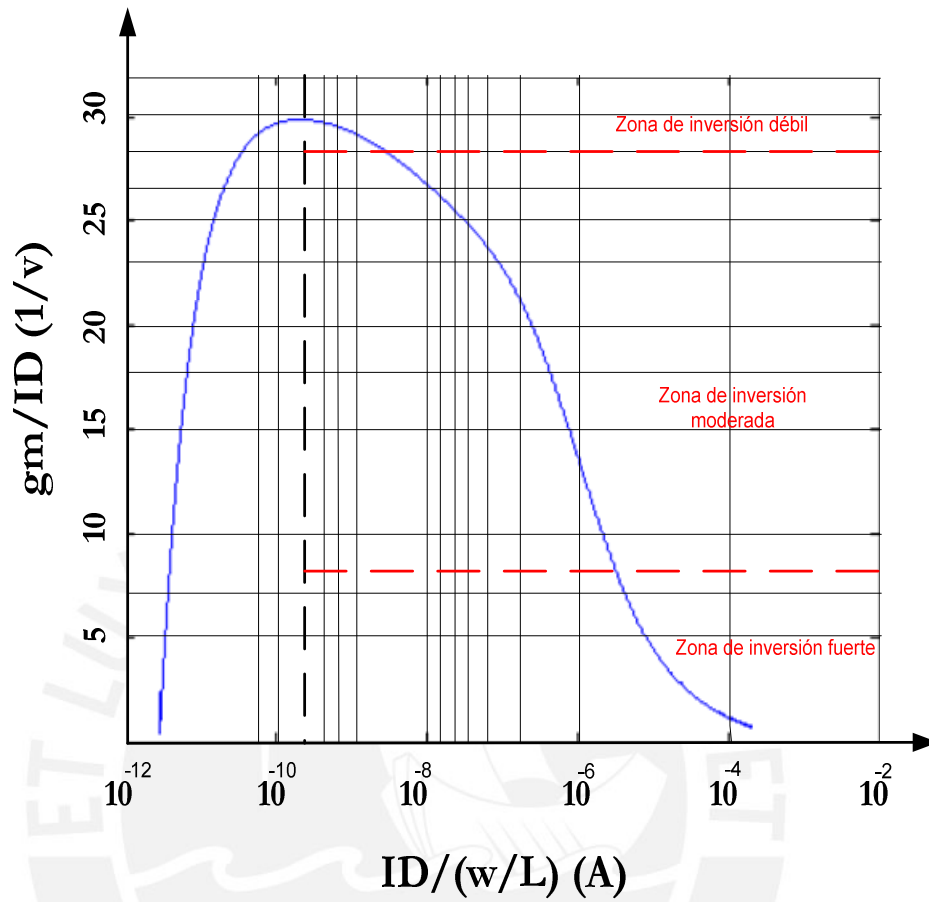


Figura 15.- Curva  $\frac{g_m}{I_D}$  vs  $\frac{I_D}{(W/L)}$

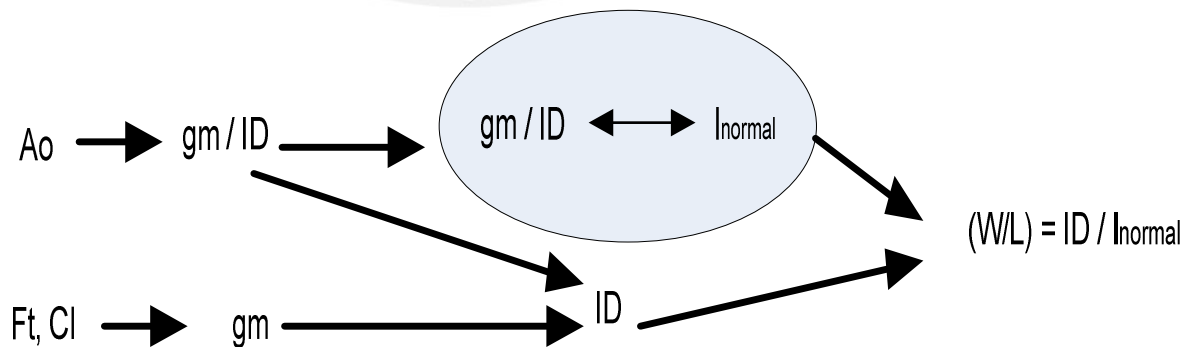


Figura 16.- Metodología de diseño  $g_m/I_D$

**2.4.2.- Herramientas CAD**

La necesidad de poder contar con una herramienta CAD nace ante la falta de un método automatizado en el diseño de un circuito integrado, siendo esta la gran problemática del diseño analógico, debido esencialmente a la gran cantidad de elementos que conforman su estructura y la complejidad de su funcionamiento. Con el uso de una herramienta CAD, podemos utilizar un software automatizado para reducir esfuerzo y tiempo en el diseño de un bloque analógico, logrando de esta manera optimizar el diseño [15] [16] [17].

Con la herramienta CAD, se busca es explorar el espacio de diseño del bloque analógico, para lo cual se tienen que trabajar sobre las curvas **Av vs. gm/ID**, **Av vs. L**, **ID vs. gm/ID**, **W vs.ID**, **C vs. gm/ID**, a partir de especificaciones de diseño ingresadas por el usuario, según: gm/Id, L, Av min, FT.

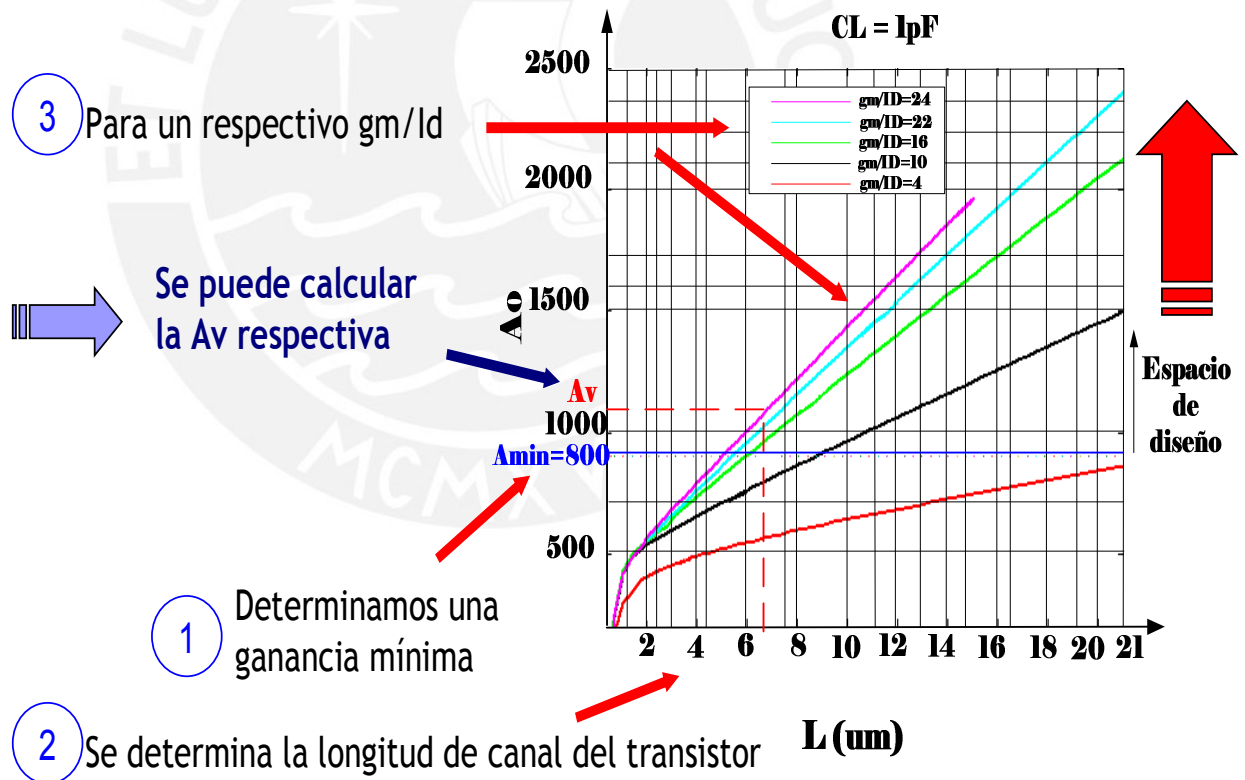


Figura 17.- Funcionamiento de la herramienta CAD



## 2.5.- MODELO TEÓRICO

El diseño de un circuito amplificador implantable, dedicado a la adquisición de señales del electroencefalograma, requiere en primer lugar un estudio de las características de las ondas cerebrales (brainwaves), siendo las principales el rango de frecuencia en que se encuentra (0-100Hz) y su amplitud de pocos  $\mu\text{V}$ .

Una vez que se conoce el tipo de señal a tratar, se procede a identificar los principales bloques analógicos que se utilizan en las distintas arquitecturas de circuitos amplificadores existentes. Se concluye que el amplificador operacional de transconductancia (OTA), cumple una función determinante dentro del circuito amplificador.

El diseño de estos bloques analógicos, deben de cumplir con los requerimientos exigidos por el tipo de señal en estudio y por la necesidad de que el circuito sea implantable según la tecnología de diseño a utilizar.

Para el diseño del circuito, se propone la metodología gm/Id, que es un método moderno y que necesita un solo parámetro ( gm/Id), para poder explorar el espacio de diseño del bloque analógico y poder obtener las dimensiones de los transistores que la conforman.

Asimismo, con el uso de herramientas CAD en el diseño del circuito, se garantizan resultados óptimos.

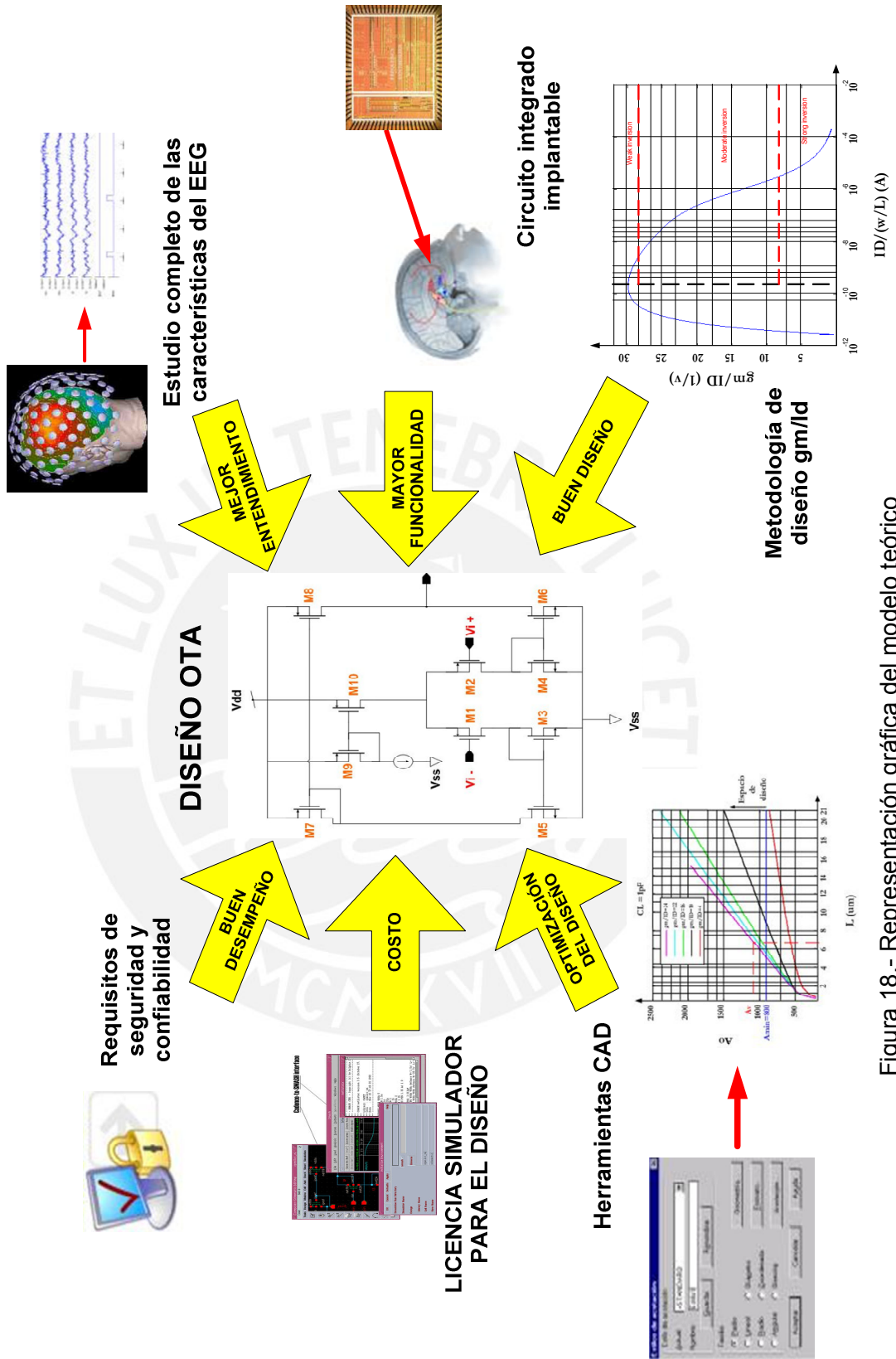


Figura 18.- Representación gráfica del modelo teórico

### **2.5.1.- Indicadores cualitativos**

Permiten conocer la calidad, los grados de mejora de ciertas características clave del diseño del OTA.

- **Tiempo de diseño y precisión:** como se mencionó anteriormente, las ecuaciones que modelan al transistor son muy complejas, por lo que se requiere generar herramientas que automaticen el proceso de diseño. De esta forma se reduce tiempo de diseño, además, las herramientas permiten realizar iteraciones en busca de un resultado óptimo, es decir un adecuado compromiso entre consumo de potencia, inmunidad al ruido y CMRR.
- **Requisitos de seguridad y confiabilidad:** se refiere a que el circuito integrado implantable tenga una baja tasa de fallas y que se asegure que fallas simples no generen eventos catastróficos.

### **2.5.2.- Indicadores cuantitativos**

Indican numéricamente los logros o degradaciones de ciertas características del diseño del OTA:

- **Ruido:** es el efecto no deseado por trabajar a frecuencias bajas, se busca atenuar la señal de ruido a niveles despreciables.
- **Consumo:** se refiere al consumo de corriente máximo que debe tener el circuito integrado implantable: Un elevado consumo significa un menor tiempo de vida de la batería.
- **Ganancia:** es la relación entre la señal de salida y la señal de entrada. Indica si se amplificó o se atenuó la señal de entrada.
- **Coefficiente de rechazo en modo común (CMRR):** Indica la relación entre la ganancia diferencial y la ganancia DC del amplificador. Debe de ser un valor alto, para eliminar el voltaje de offset producido en el electrodo.

### CAPITULO 3

#### DISEÑO DEL AMPLIFICADOR OPERACIONAL DE TRANSCONDUCTANCIA

##### 3.1.- Hipótesis

##### 3.1.1.- Hipótesis Principal

La gran importancia de las señales del electroencefalograma, o EEG, dentro de la medicina, hace necesario el estudio de un sistema dedicado a la adquisición de estas señales para su posterior procesamiento.

Sin embargo, las ondas cerebrales tienen como característica principal una muy pequeña amplitud, en el orden de los  $\mu\text{V}$ , haciendo necesario el diseño de un amplificador que cumpla con las condiciones requeridas en este tipo de señales. Por eso, se plantea el diseño de un amplificador operacional de transconductancia, “corazón” de toda arquitectura de amplificadores utilizada para la adquisición de señales EEG.

##### 3.1.2.- Hipótesis Secundaria

- 1) El modelamiento del transistor MOSFET es demasiado complejo, por eso, para el diseño de los bloques analógicos del OTA, se va a utilizar herramientas CAD que trabajen según el modelo BSIM.
- 2) Se tiene que elegir la mejor metodología de diseño, por lo tanto se elige la metodología  $g_m/I_D$ , que utiliza un solo parámetro de entrada (coeficiente de transconductancia) para recorrer todo el espacio de diseño.
- 3) Los bloques analógicos a diseñar, deben de cumplir las especificaciones correspondientes a las señales EEG, por lo que para encontrar el mejor compromiso entre las variables de diseño, se tiene que escoger la arquitectura correcta para cada bloque analógico.

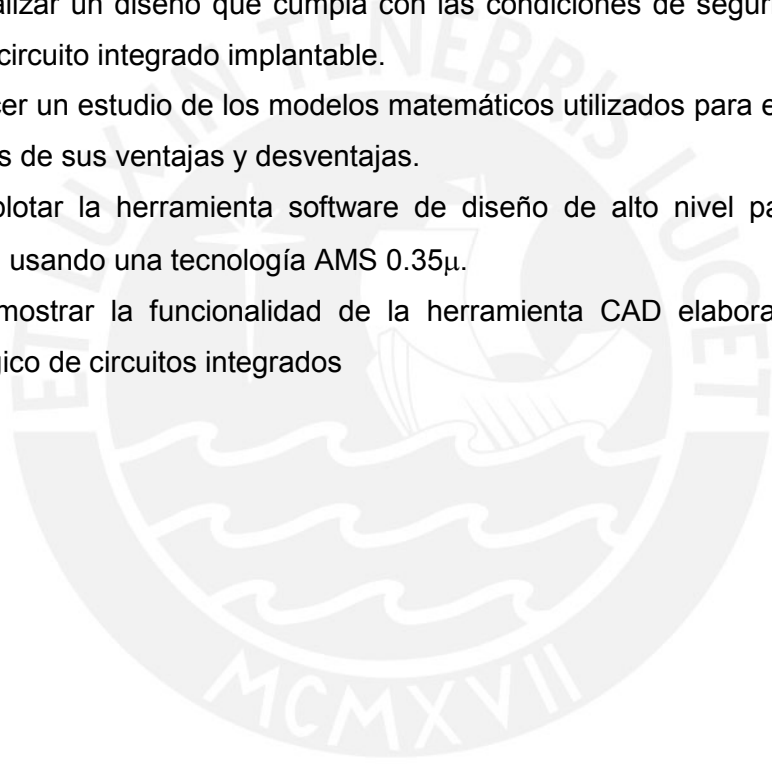
### **3.2.- Objetivos**

#### **3.2.1.- Objetivo General**

Diseñar un amplificador operacional de transconductancia implantable que cumpla con las especificaciones de bajo consumo y bajo ruido, para la adquisición de señales EEG.

#### **3.2.2.- Objetivos Específicos**

- 1) Realizar un diseño que cumpla con las condiciones de seguridad y confiabilidad de un circuito integrado implantable.
- 2) Hacer un estudio de los modelos matemáticos utilizados para el diseño y hacer un análisis de sus ventajas y desventajas.
- 3) Explotar la herramienta software de diseño de alto nivel para lograr un buen diseño usando una tecnología AMS 0.35 $\mu$ .
- 4) Demostrar la funcionalidad de la herramienta CAD elaborada para el diseño analógico de circuitos integrados



### 3.3.- Diseño del Amplificador Operacional de Transconductancia

En este apartado se describe el proceso de diseño del OTA, cuyo diagrama esquemático se muestra en la figura 19, y se explica la metodología empleada para el cálculo de las dimensiones de los transistores de la arquitectura del OTA. Asimismo, se realiza el diseño del diagrama esquemático y la metodología a seguir para la elaboración del **layout**.

El primer paso a seguir es realizar el análisis en pequeña señal del circuito a diseñar, en este caso del OTA simétrico. El circuito representado en pequeña señal se puede apreciar en la figura 20; de esto se determinan las ecuaciones de ganancia y de frecuencia de ganancia unitaria.

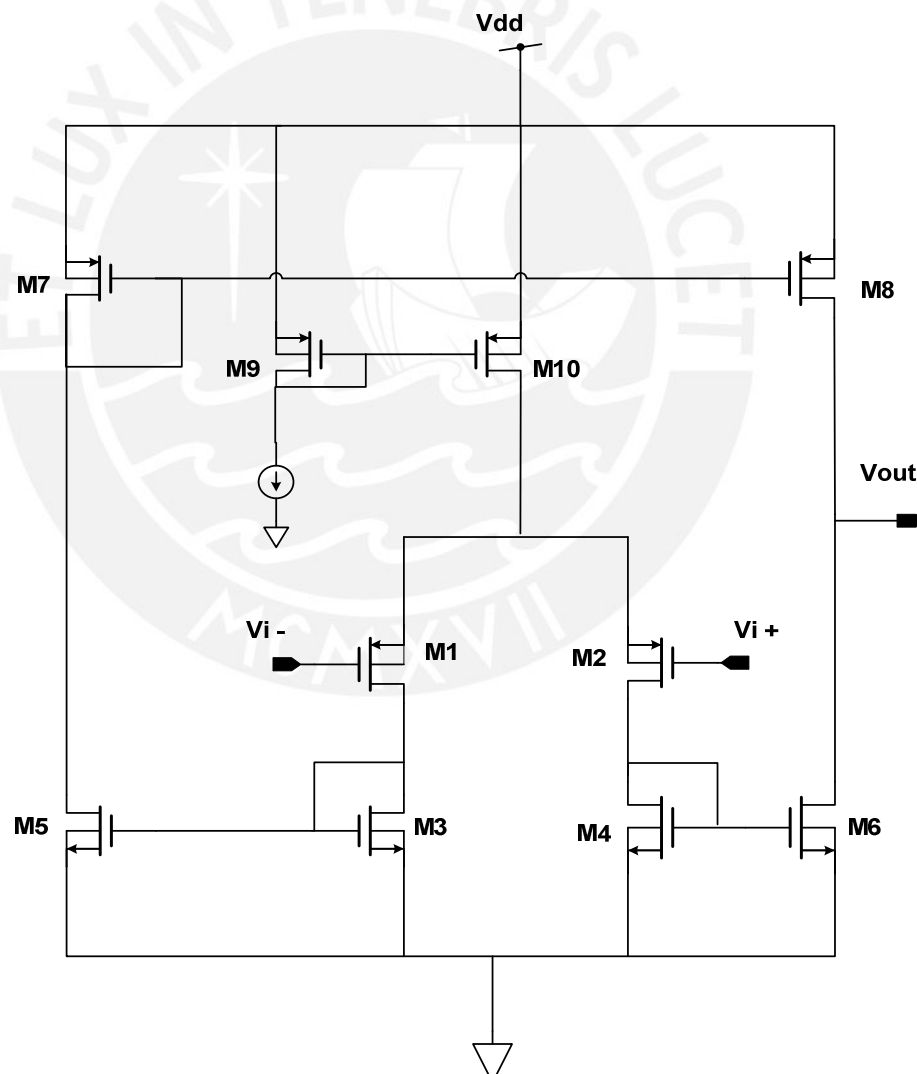


Figura 19.- Diagrama esquemático del OTA simétrico

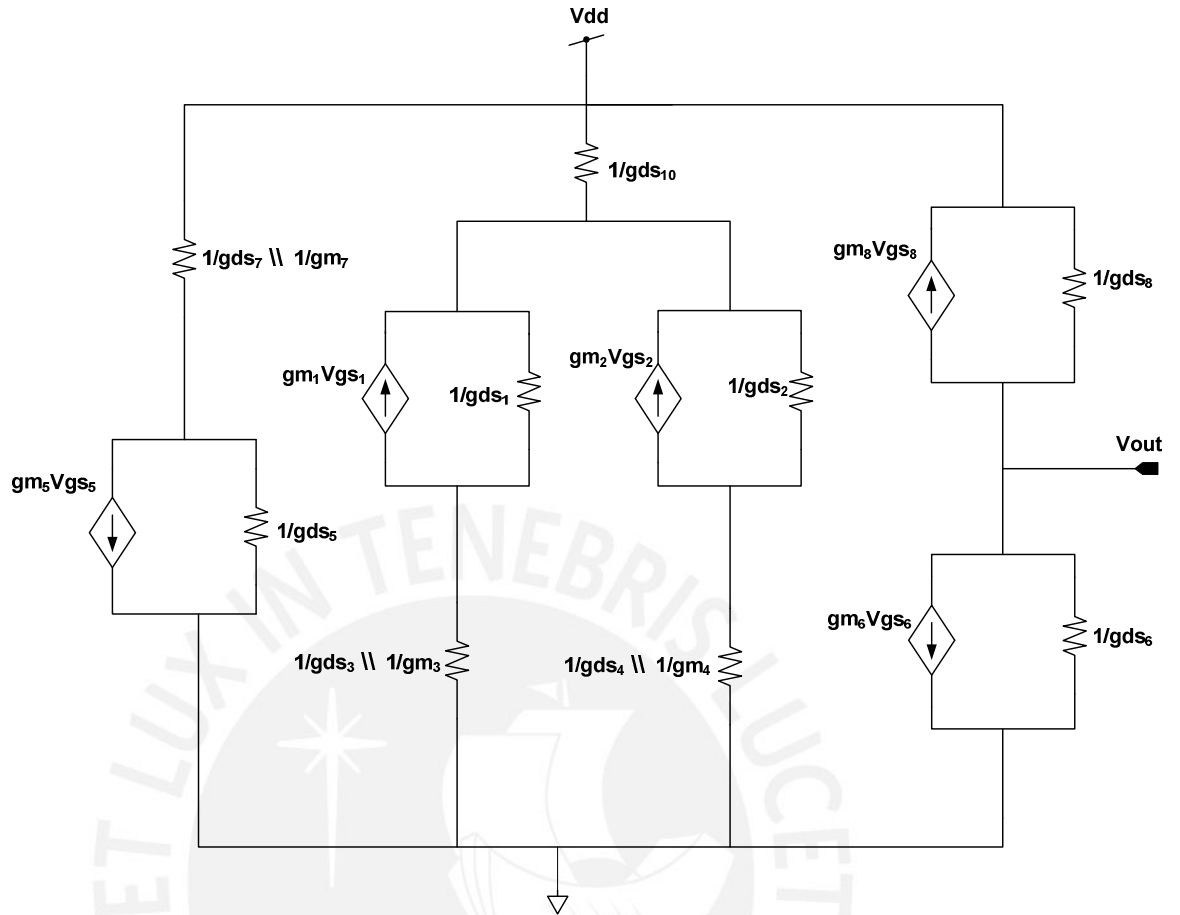


Figura 20.- Circuito en pequeña señal del OTA simétrico, donde  $V_{g1}$  y  $V_{g2}$  es la entrada diferencial ( $V_{in+}$  y  $V_{in-}$ )

Las ecuaciones obtenidas son:

$$A_v = G_m.R_0 = \left(\frac{g_m}{I_D}\right)_{1,2} \cdot \frac{V_{A_6}.V_{A_8}}{V_{A_6} + V_{A_8}} \quad (8)$$

Donde  $\left(\frac{g_m}{I_D}\right)_{1,2}$  es el coeficiente de transconductancia de cualquier transistor del par diferencial (M1, M2), y  $V_{A_6}.V_{A_8}$  es el producto de los voltajes de Early de los transistores que conforman la etapa de salida del OTA.

$$F_t = \frac{1}{2\pi} \cdot \frac{B.g_{m_{1,2}}}{C_L} \quad (9)$$

Donde  $F_t$  es la frecuencia de ganancia unitaria,  $B$  es el factor de proporción entre el factor de forma ( $W / L$ ) de las cargas activas de la etapa diferencial y de la etapa de salida del OTA,  $g_{m_{1,2}}$  es la transconductancia de cualquier transistor del par diferencial y  $C_L$  es el capacitor de carga del OTA.

Luego, se determina una corriente de polarización para el OTA, y según el requerimiento de bajo consumo, fijamos una corriente de 64 nA, esto quiere decir que para la corriente que circula por el par diferencial y cargas activas es de 32 nA y por la etapa de salida es de 64 nA. Según esto, y de acuerdo a la funcionalidad del transistor dentro de la arquitectura del OTA, este puede trabajar en inversión débil, inversión fuerte o en inversión moderada, y en función del nivel de inversión y bajo la metodología  $g_m / I_D$ , descrita en el capítulo 2, se procede a calcular las dimensiones de los transistores.

### 3.3.1.- Herramienta CAD para el diseño de transistores MOSFET

Para el cálculo de las dimensiones del transistor, los modelos matemáticos que modelan el transistor MOSFET, como EKV y ACM, emplean ecuaciones muy complejas para este cálculo, por lo que el tiempo de diseño es largo y los resultados obtenidos son imprecisos. Por eso, se elaboró una **herramienta CAD**, en la cual se implementó en **Matlab** algoritmos que realizan todos los cálculos necesarios para

encontrar valores adecuados de factor de forma ( $\frac{W}{L}$ ) para el transistor MOSFET,

según el nivel de inversión en que se encuentra y la corriente de polarización deseada, así como generar las siguientes curvas necesarias para explorar todo el

espacio de diseño del transistor:  $g_m / I_D$  vs  $I_D / \left(\frac{W}{L}\right)$ ,  $g_m / I_D$  vs  $V_A$ ,  $A_v$  vs  $g_m / I_D$ ,

$A_v$  vs  $L$ ; donde  $g_m / I_D$  es la eficiencia de transconductancia,  $I_D / \left(\frac{W}{L}\right)$  es la

corriente normaliza,  $V_A$  es el voltaje de Early,  $A_v$  es la ganancia y  $L$  es la longitud del canal del transistor.

La lógica de la herramienta consiste en trabajar en base a **tablas o arreglos matriciales [16]** que contienen valores de corriente para distintos puntos de operación del transistor y para distintos valores de  $L$  y  $W$  (longitud y ancho de canal del transistor respectivamente). Asimismo, se utiliza otra herramienta que se



complementa con la anterior, la cual genera las curvas necesarias para explorar el espacio de diseño del bloque analógico a diseñar, en base a la **interacción Matlab-Spice** [15]. Ver figura 21.

La herramienta fue desarrollada de la siguiente manera:

- ❖ **Modelamiento del transistor:** Primero se realizaron simulaciones necesarias para modelar de manera general al transistor MOSFET (tipo P y tipo N). Los resultados se almacenaron en los archivos de salida del simulador. Se utilizó el SPECTRE de CADENCE. Ver anexo 1.
- ❖ **Extracción de datos de los archivos de salida del simulador:** Se implementó un algoritmo capaz de extraer todos los valores de corriente y voltaje que definían el punto de operación del transistor, así como los valores de L y W para los puntos de operación respectivos. Estos datos eran ordenados y almacenados en matrices y arreglos multidimensionales, para luego realizar los cálculos matemáticos necesarios para poder generar las gráficas que definan el espacio de diseño para el transistor.
- ❖ **Gráfica  $g_m/I_D$  vs  $I_D/(W/L)$**  : Esta es la gráfica más importante para el diseño de

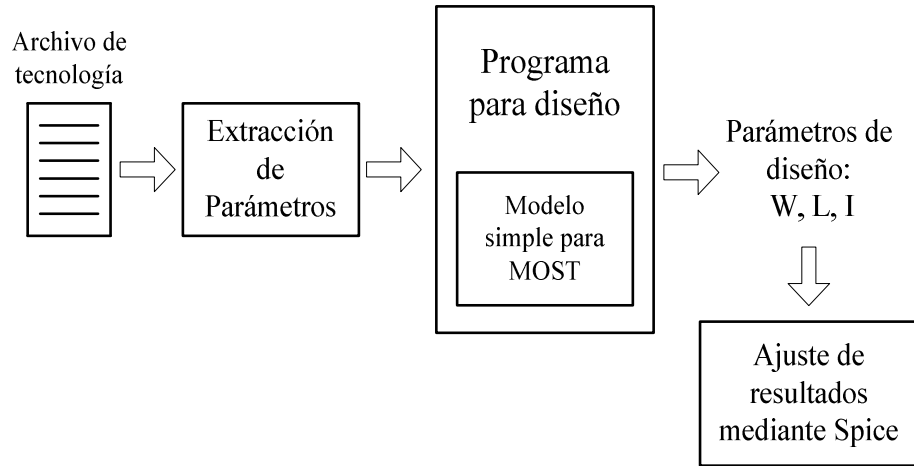
transistores, pues de esta podemos obtener las dimensiones del transistor a diseñar. Para esta gráfica, trabajamos con la matriz que contiene los valores de corriente drenador – surtidor del transistor. Se efectúa lo siguiente [3][7]:

$$(a) \text{LOG}(I_{DS})$$

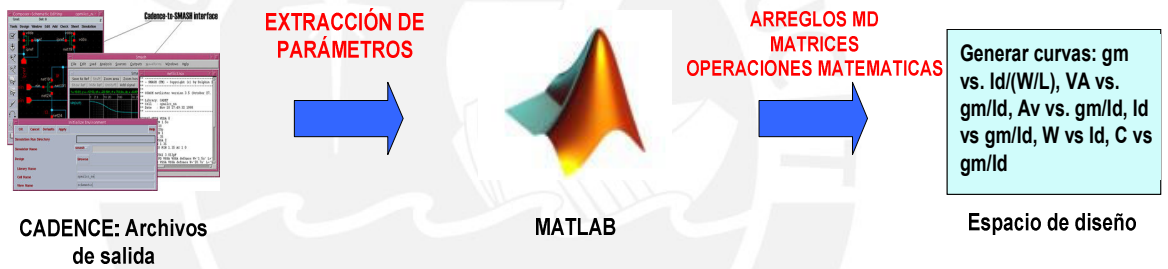
$$(b) \frac{\partial(\text{LOG}(I_{DS}))}{\partial(V_{GS})}$$

A partir de estas operaciones, podemos calcular la matriz que contiene los valores de  $g_m/I_D$ . Ahora, para el cálculo de la corriente normalizada, se dividió la matriz de

los valores de corriente drenador-surtidor entre un valor estándar de  $\frac{W}{L}$ . La curva obtenida se muestra en la figura 15. Luego, se implementó un algoritmo que tiene como



(a)



(b)

Figura 22.- (a) Metodología de diseño tradicional. (b) Metodologías de diseño basada en herramientas CAD: por tablas [16] e interacción directa entre usuario, programa de diseño y simulador [15].

parámetro de entrada el valor de  $gm/I_D$  y a partir de la gráfica, obtener su correspondiente valor de  $I_D / (W/L)$  y viceversa. Ver figura 23.

❖ **Cálculo de Voltaje de Early (VA):** Para el cálculo del voltaje de Early se aplica regresión lineal a la gráfica  $I_D vs V_{gs}$  mostrada en la figura 22 [3] [14].

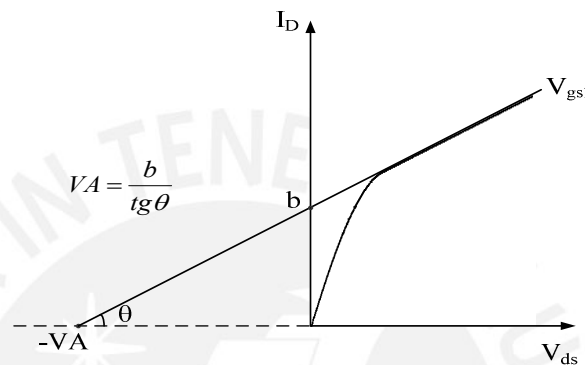


Figura 22.- Cálculo de Voltaje de Early (VA).

Como se observa, para hallar el voltaje de Early, debemos de calcular la  $tg(\theta)$  por lo que es conveniente calcular el valor de la pendiente de la recta (m) y el desplazamiento (b). Luego, aplicamos la siguiente ecuación (ejemplo):

$$\begin{matrix}
 \begin{bmatrix} I_{DS1} \\ I_{DS2} \\ I_{DS3} \\ I_{DS4} \end{bmatrix} \\
 A
 \end{matrix}
 =
 \begin{matrix}
 \begin{bmatrix} V_{DS1} & 1 \\ V_{DS2} & 1 \\ V_{DS3} & 1 \\ V_{DS4} & 1 \end{bmatrix} \\
 B
 \end{matrix}
 \times
 \begin{matrix}
 \begin{bmatrix} m \\ b \end{bmatrix} \\
 C
 \end{matrix}
 \quad (10)$$

Lo que se desea es calcular el valor de C, por lo que operamos (10),  $C = inv(B) \times A$ , en donde obtenemos los valores de m y de b. Luego, podemos calcular el voltaje de Early según:

$$VA = \frac{b}{m} \quad (11)$$

Finalmente se implementó algoritmos que permitan calcular VA a partir de  $gm/I_D$  para un L específico, o calcular un L adecuado para valores de VA y  $gm/I_D$  dados. Ver figura 24.

- ❖ **Cálculo de la ganancia del transistor:** Para la ganancia del transistor aplicamos la siguiente ecuación:

$$A_v = \frac{g_m}{I_d} \times V_A \quad (12)$$

Luego se desarrolló algoritmos que permitan calcular valores de  $\frac{g_m}{I_d}$  para una ganancia deseada. Para verificar el resto de gráficas que son utilizadas para explorar el espacio de diseño a utilizar. Ver anexo 1.

### 3.3.2.- Diseño OTA

Se establece las siguientes especificaciones de diseño:

Tabla 1.- Especificaciones de diseño del OTA.

<b>Corriente de Polarización</b>	64 nA
<b>Ganancia OTA (dB)</b>	> 70 dB
<b>CL</b>	= 10 – 20 pF
<b>Frecuencia de corte (Fc)</b>	100 Hz
<b>Margen de Fase</b>	> 50°
<b>Señal de ruido referida a la entrada</b>	< 0.5 de la señal de interés

Haciendo uso de las herramientas CAD elaboradas, procedemos a diseñar los bloques analógicos del OTA simétrico (Figura 15). Además, se consideran los criterios de minimización de offset, de ruido térmico y de el ruido Flicker.

En el par diferencial, transistores M1 y M2 tipo P por su mejor comportamiento ante ruido [6], se debe de asegurar un buen apareamiento entre ellos para minimizar su contribución al nivel de offset; es por esto que los transistores del par diferencial se

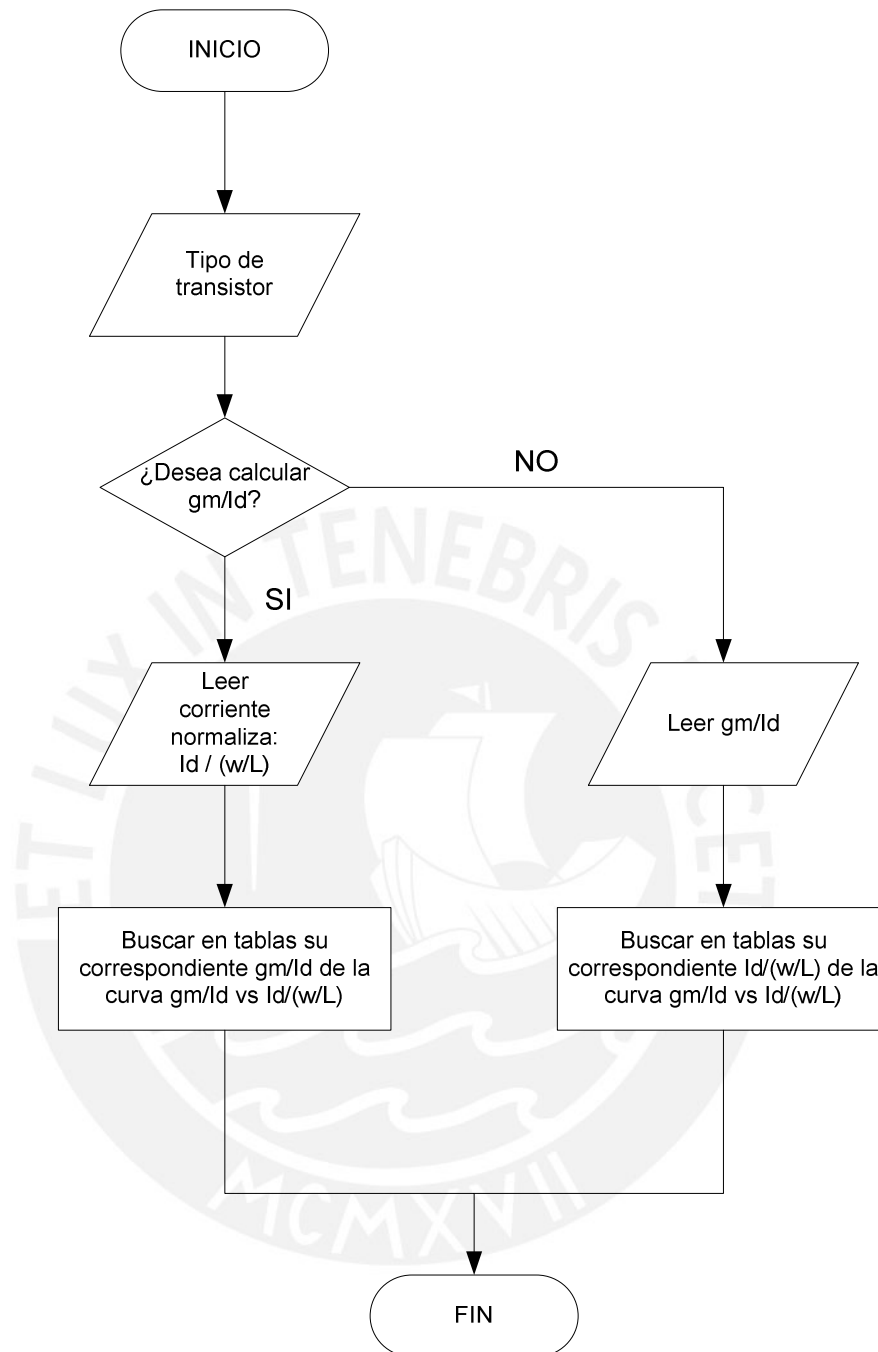


Figura 23.- Diagrama de flujo: Cálculo de  $\frac{g_m}{I_D}$  y de  $\frac{I_D}{\left(\frac{W}{L}\right)}$

polarizan en la zona de inversión débil [1][3][7], lo que implica tomar un valor de  $g_m/I_D$  alto. Para este diseño, se considera un valor de  $g_m/I_D = 29V^{-1}$ , y por medio de la herramienta CAD, se calcula su correspondiente valor de  $I_D / \left(\frac{W}{L}\right)$  y es igual a  $2.2716 \times 10^{-10} A$ . Luego, teniendo en cuenta que la corriente que circula por el cada transistor del par diferencial es de 32 nA, se puede calcular el factor de forma correspondiente a M1 y M2. Así tenemos:  $\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = 140.87$ , en donde tomamos un valor para  $L = 7 \mu m$  y calculamos el valor de  $W = 986.1 \mu m$ .

Para las cargas activas del par diferencial, M3 y M4 tipo N, estos deben de trabajar en la zona de inversión fuerte, para asegurar que los transistores del par diferencial estén en saturación. Entonces se elije un valor de  $g_m/I_D = 5V^{-1}$ , luego el valor de  $I_D / \left(\frac{W}{L}\right) = 8.253 \times 10^{-6} A$ , entonces como  $I_{D3} = I_{D4} = 32 nA$  el factor de forma de M3 y M4 es igual a:  $\left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4 = 3.8772 \times 10^{-3}$ . Asimismo, de la arquitectura del OTA, se tiene que el transistor M5 tiene las mismas dimensiones que M3 y M4; para el transistor M6 se aplica un factor de copia B=2 con respecto a M4, por lo que  $\left(\frac{W}{L}\right)_6 = 2 \times \left(\frac{W}{L}\right)_4$ . De igual manera, el transistor M7 tiene un factor de copia B=2 para M8, entonces  $\left(\frac{W}{L}\right)_8 = 2 \times \left(\frac{W}{L}\right)_7$ . Además, se cumple que  $g_{m6} = 2 \times g_{m4}$  y  $g_{m8} = 2 \times g_{m7}$ . Los transistores M5-M8 deben de trabajar en la zona de inversión débil. Los transistores M6 y M8 constituyen la etapa de salida del OTA. Los transistores M9 y M10 tienen la tarea de polarizar el OTA, son transistores que copian la corriente de polarización, son tipo P y trabajan en la zona de inversión fuerte.

Al realizar un análisis de ruido al circuito, tenemos que el ruido térmico referido a la entrada esta dado por [1][20]:

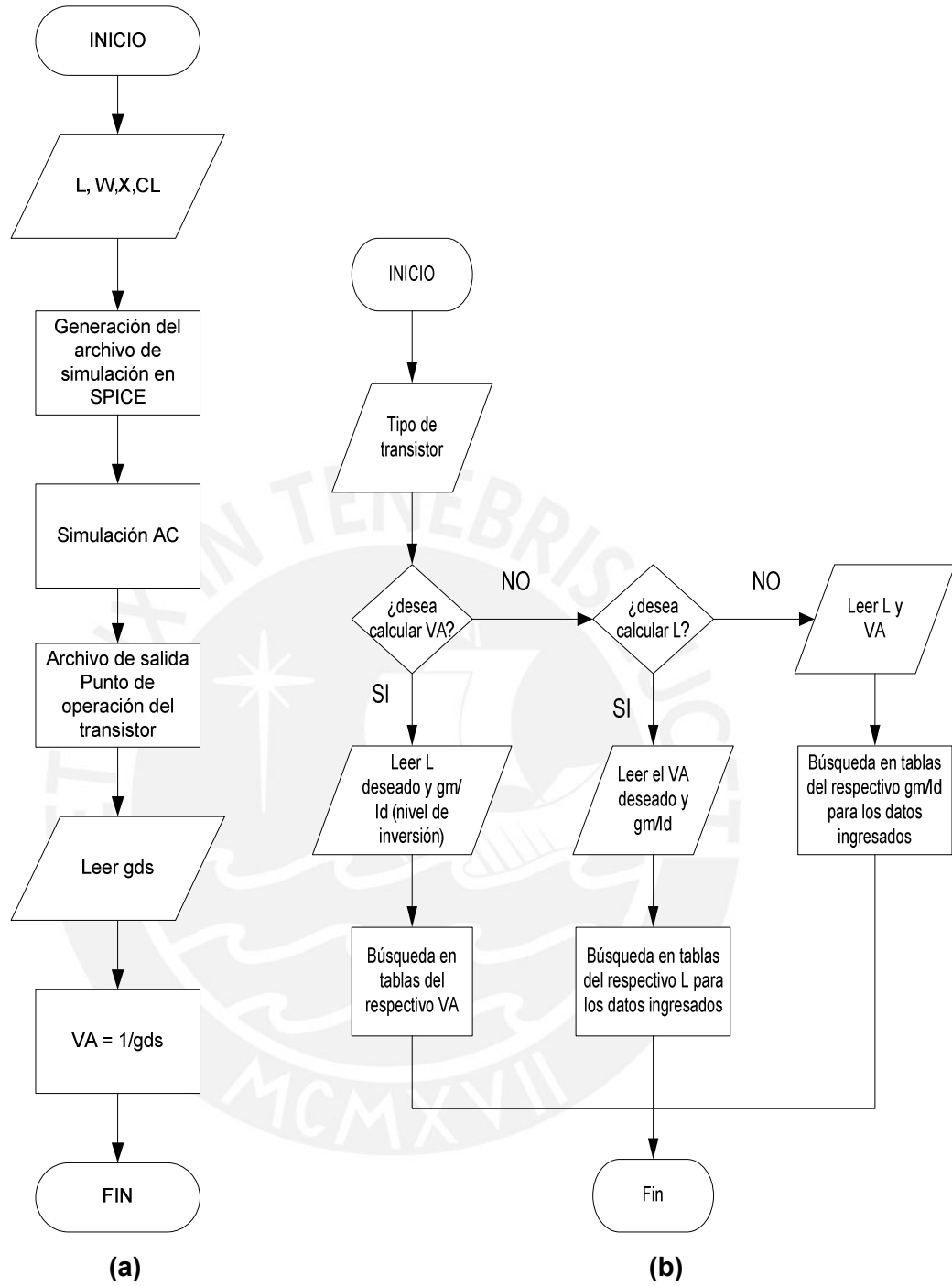


Figura 24.- Herramienta CAD: manera de calcular el voltaje de Early (VA), de trabajar directamente con el simulador (a) y por medio de tablas (b).

$$\overline{V_{ni,thermal}^2} = \left[ \frac{16kT}{3gm_1} \left( 1 + 2 \frac{gm_3}{gm_1} + \frac{gm_7}{gm_1} \right) \right] \Delta f. \quad (13)$$

Para minimizar la contribución de ruido térmico de los transistores M3-M8, la transconductancia de M3 y de M7 deben de ser mucho menor a la transconductancia del par diferencial [1] ( $gm_3, gm_7 \ll gm_1$ ); por lo menos 3 veces mayor [6].

Esto implica que:  $\left(\frac{W}{L}\right)_7, \left(\frac{W}{L}\right)_3 \ll \left(\frac{W}{L}\right)_1$ , y por eso los transistores M3-M8 trabajan en la zona de inversión fuerte.

Sin embargo, no se puede decrementar arbitrariamente los valores de  $gm_3, gm_7$ , esto es por que se corre el peligro de llevar el OTA a ser inestable. Si la capacitancia total vista desde la puerta del transistor M3 (M4) se denota como  $C_3$ , se tiene el polo  $w_p = \frac{gm_3}{C_3}$ ; de manera similar existe otro polo en  $\frac{gm_7}{C_7}$  debido al espejo de corriente tipo P. Entonces para asegurar estabilidad, estos polos deben de ser mucho mayor que el polo dominante del OTA,  $\frac{gm_{1,2}}{C_L}$ . Este criterio permite tener libertad sobre el valor de  $C_L$  y más bien tener restricciones con el área de los transistores.

En el diseño del OTA, se procura tener un margen de fase de  $50^\circ$  a  $60^\circ$ , con una relación de  $\frac{gm_{1,2}}{gm_{3,4,7}} = 5.8$  (ver tabla 2) y tomar un  $W$  pequeño para los transistores M3-M8.

Ahora, considerando que nuestras señales de interés se encuentran a bajas frecuencias, se de minimizar el ruido Flicker  $\left(\frac{1}{f}\right)$ . Para cumplir con la especificación de bajo ruido, se toma en cuenta el concepto de factor de exceso de ruido [6],  $Y_F$ , que normaliza la densidad de ruido equivalente total de entrada a la densidad de ruido de solo uno de los transistores de entrada. Este factor se define:

$$Y_F = \frac{v_{nt}^2}{v_{nM1}^2} = 2 \left[ 1 + \frac{K_{fN}}{K_{fP}} \cdot \left(\frac{gm_3}{gm_1}\right)^2 \cdot \left(\frac{W_1 L_1}{W_3 L_3}\right) \right] \quad (14)$$

Donde  $K_f$  es el coeficiente de ruido flicker para transistores tipo N y tipo P, cuyo valor se encuentra en el archivo de tecnología del transistor.

Para tener un bajo valor de  $Y_F$ , se considera:



$$\frac{gm_1}{gm_3} > 3x \sqrt{\frac{K_{fN}}{K_{fP}} \cdot \frac{W_1 L_1}{W_3 L_3}} \quad (15)$$

Un valor óptimo para  $Y_F$  es 4 [6]. Para encontrar las dimensiones adecuadas para los transistores del par diferencial y las cargas activas considerando este criterio, en el grupo de Microelectrónica, se elaboró un algoritmo que se encarga de realizar este cálculo [22]. Ver figura 25.

La arquitectura del OTA simétrico, tal está en la figura 19, tiene una ganancia menor o igual 50 dB. La ganancia puede ser un parámetro relativo, puesto que el OTA va a ser utilizado en circuitos más grandes, en donde la ganancia de este circuito más grande depende del lazo realimentado que utilice. Sin embargo, para que el OTA pueda ser utilizado como amplificador y sea adaptable a cualquier circuito, se requiere diseñarlo con máxima ganancia en lazo abierto. Pero, para esto, se debe de utilizar una configuración cascode en la etapa de salida del OTA, como se muestra en la figura 26.

De esta manera, se incrementa la impedancia de salida del OTA simétrico, y por ende se incrementa la ganancia considerablemente. Sin embargo, se debe de tener extremo cuidado al diseñar esta etapa de salida, se debe de encontrar las dimensiones adecuadas para los transistores M6, M8, M11 y M12, para que trabajen en la zona de saturación y no entren a trabajar en la región ohmica. Así, la ecuación de ganancia del OTA simétrico queda de la siguiente manera:

$$A_v = G_{mx} R_0 = \left(\frac{gm}{I_D}\right)_1 \cdot \left(\frac{gm}{I_D}\right)_2 \cdot \frac{V_{A6} \cdot V_{A11} \cdot V_{A8} \cdot V_{A12}}{V_{A6} V_{A11} + V_{A8} V_{A12}} \quad (16)$$

Por la baja corriente de polarización que circula por la etapa de salida, 64 nA, los transistores cascode deben de trabajar en la zona de inversión débil.

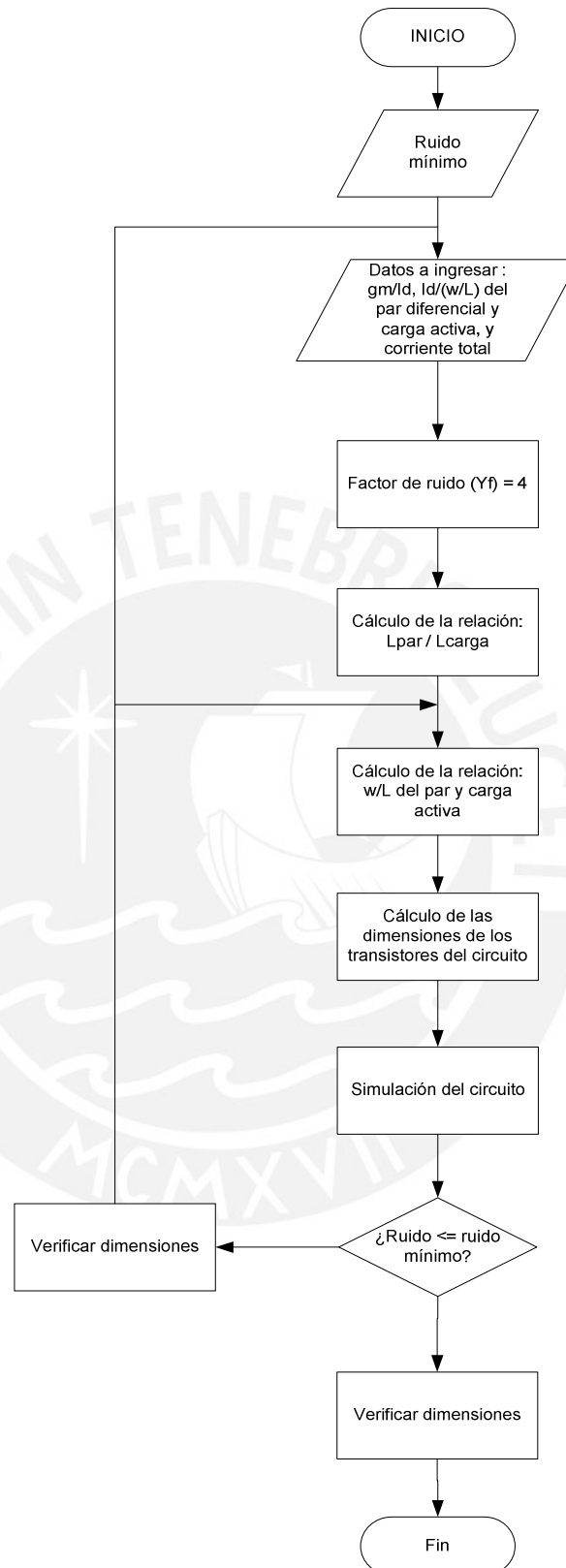


Figura 25.- Algoritmos de cálculo del ruido mínimo referido a la entrada.

Los transistores M11 y M12 deben de operar en saturación, por eso, se le debe de aplicar un voltaje adecuado, que es fijado por un transistor conectado en forma de diodo, a sus compuertas. Para esto, se utiliza un transistor conectado en forma de diodo, y procede a barrer el voltaje de compuerta en función del ancho de canal del transistor conectado en diodo. Para M11 el  $V_g$  debe de ser 1v y para M12  $V_g=1.65v$ . Ver figura 27.

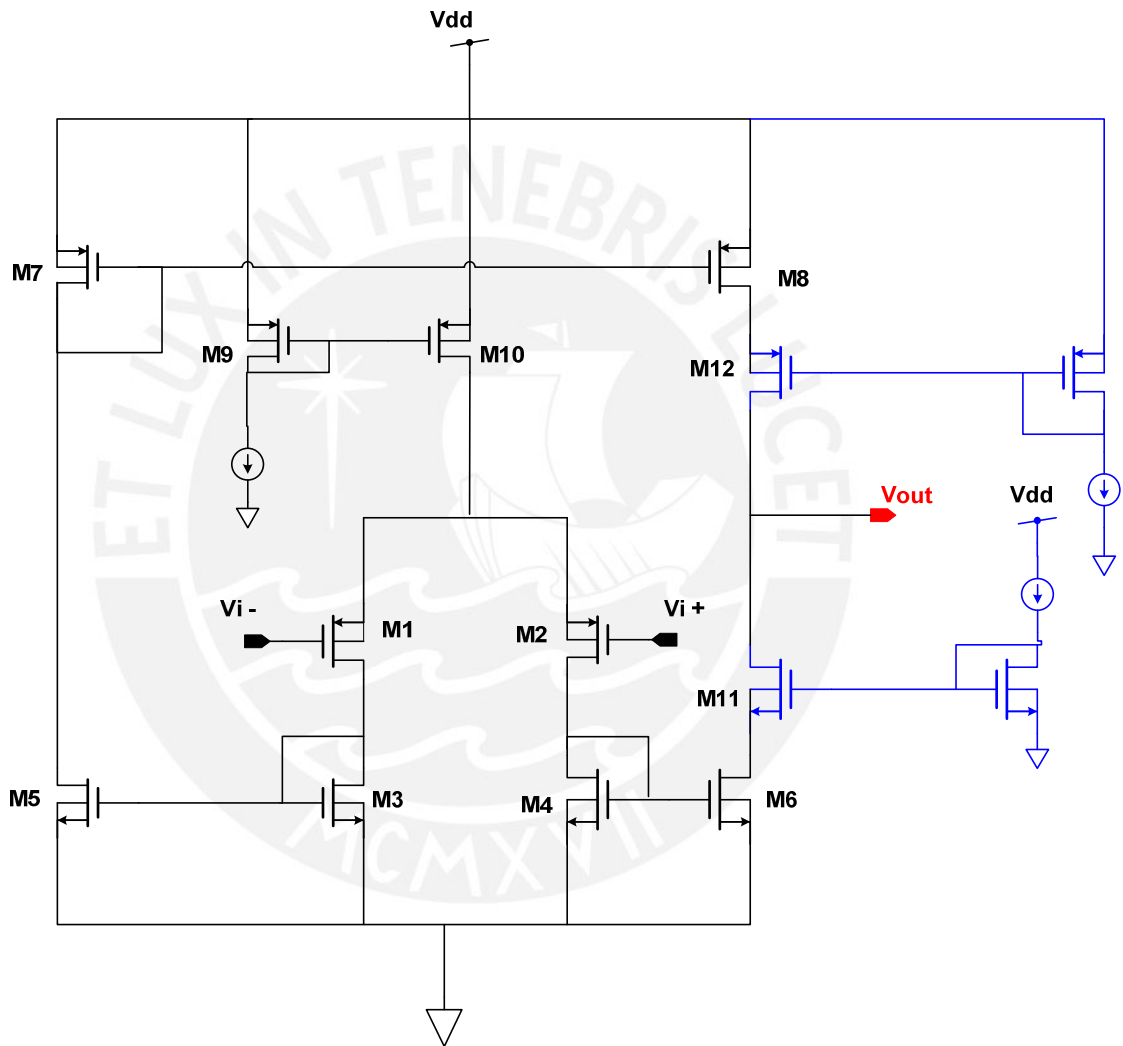


Figura 26.- Diagrama esquemático del OTA simétrico Cascodo.

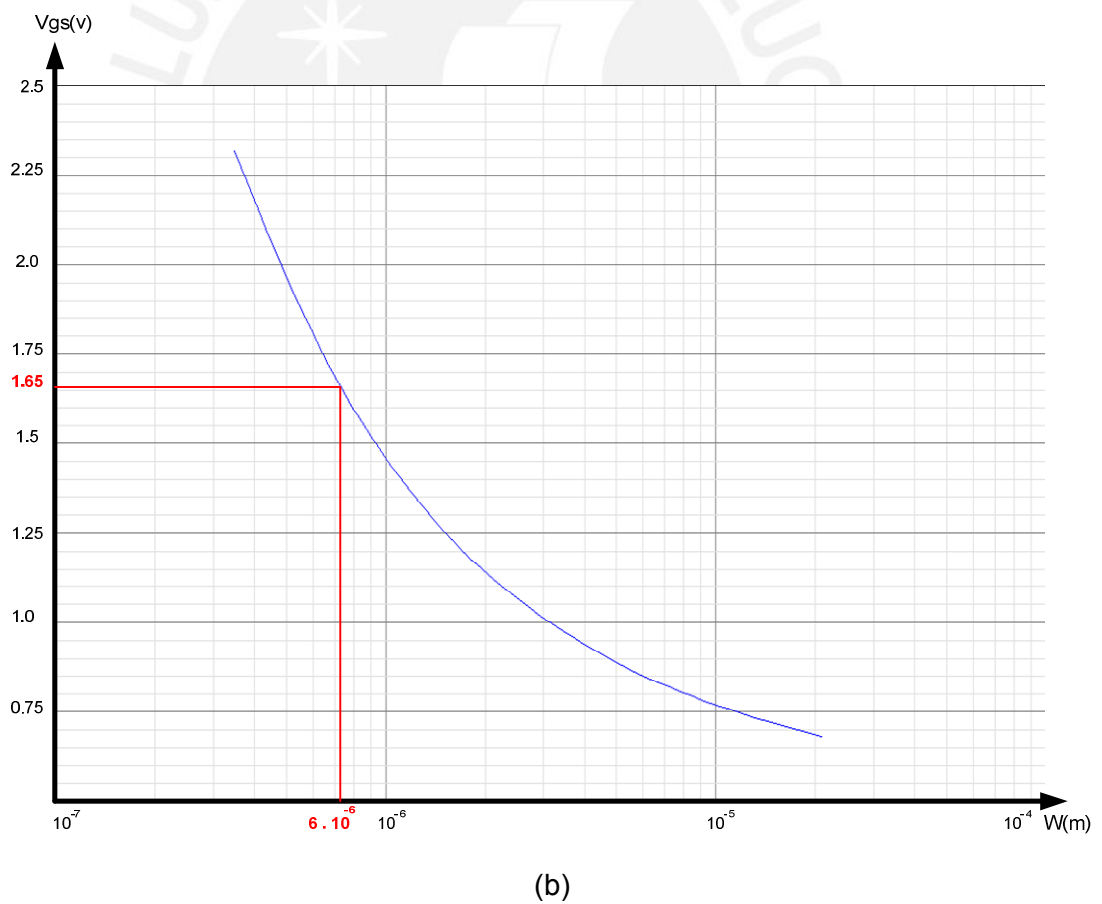
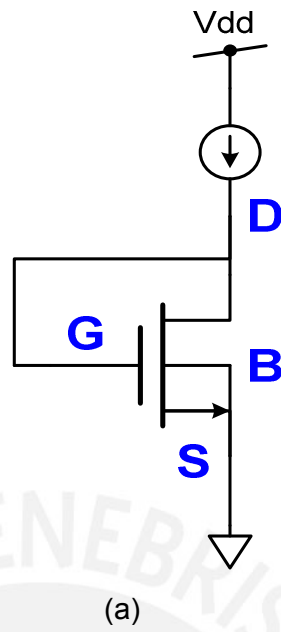


Figura 27.- (a) Transistor conectado en forma de diodo. (b) Curva  $V_{gs}$  vs  $W$ .

En la tabla 2, se muestran las dimensiones de los transistores del OTA simétrico, el valor de eficiencia de transconductancia,  $\frac{g_m}{I_D}$ , de corriente normalizada,  $\frac{I_D}{\left(\frac{W}{L}\right)}$ , transconductancia,  $g_m$  y corriente.

Tabla 2.- Dimensiones, nivel de inversión, corriente normalizada, transconductancia de los transistores para circuito OTA simétrico con cascode.

	Tipo	gm/Id	Id(uA)	Id/(w/L)	gm	W/L	L(um)	W(um)
<b>M1</b>	PMOS	28	0.032	2.2716E-10	8.96E-07	140.87	7,00	986.1
<b>M2</b>	PMOS	28	0.032	8.2533E-6	8.96E-07	140.857	7,00	986.1
<b>M3</b>	NMOS	5	0.032	8.2533E-6	1.6E-07	3.8772E-03	178,2	0.7
<b>M4</b>	NMOS	5	0.032	8.2533E-6	1.6E-07	3.8772E-03	178.2	0.7
<b>M5</b>	NMOS	5	0.032	8.2533E-6	1.6E-07	3.8772E-03	178.2	0.7
<b>M6</b>	NMOS	5	0.064	8.2533E-6	3.2E-07	7.7545E-03	136.65	1.05
<b>M7</b>	PMOS	8	0.032	3,3896E-06	2.56E-07	9.4406E-03	178.2	1.7
<b>M8</b>	PMOS	8	0.064	3,3896E-06	5.12E-07	1.8881E-02	89.1	1.7
<b>M9</b>	PMOS	8	0.064	3,3896E-06	6.40E-07	1.8881E-02	60	1.15
<b>M10</b>	PMOS	8	0.064	3,3896E-06	6.40E-07	1.8881E-02	60	1.15
<b>M11</b>	NMOS	13	0.064	3.2796E-08	1.60E-06	1.8881E-02	10,50	20.5
<b>M12</b>	PMOS	13	0.064	7.9977E-08	1.28E-06	1.8881E-02	1.5	1.2

### 3.3.3.- Elaboración del Layout

La última etapa del proceso de diseño de un circuito integrado es la elaboración del layout, que es el conjunto de patrones geométricos que representan la arquitectura del circuito integrado a nivel de capas: de polisilicio, metal 1, metal 2, metal 3, metal4, difusión N+, difusión P+, pozo N; para su posterior fabricación.

En este apartado se describe de manera breve los procesos que intervienen en la fabricación de un circuito integrado, luego se comenta sobre la tecnología CMOS para terminar con las reglas diseño en la elaboración de Layout y las técnicas que se utiliza en este trabajo.

#### 3.3.3.1.- Proceso de Fabricación

Los circuitos integrados se fabrican sobre delgados discos (obleas) de silicio ligeramente dopados con aceptores (substratos tipo n) o donadores (substratos tipo P), de unos 18 cm de diámetro y 0.5 mm de espesor aproximadamente. Sobre estas obleas se van definiendo sucesivamente las zonas sobre las cuales se depositarán las distintas pistas de polisilicio y/o metal que constituirán las puertas y conexiones, o en las cuales se difundirán / implantarán impurezas para formar islas p/n, y las islas de drenadotes o fuentes.

Los procesos tecnológicos básicos utilizados durante la fabricación de un circuito integrado son los siguientes [12] :

- ❖ **Oxidación:** el aislamiento entre las distintas pistas que conforman el circuito integrado, se consigue haciendo crecer una capa de óxido de silicio ( $SiO_2$ ) entre ellas. El espesor de estas capas determina en gran medida las características eléctricas de los dispositivos que conforman el circuito integrado.
- ❖ **Deposición o metalización:** Consiste en colocar sobre la oblea una fina capa de una determinada capa de una determinada sustancia (polisilicio/aluminio) que recortada por técnicas fotolitográficas dará lugar a las pistas conductoras o aislantes.
- ❖ **Difusión:** Este proceso permite el movimiento de átomos dentro de un sólido utilizando altas temperaturas y se utilizan para dopar determinadas zonas de la oblea.
- ❖ **Implantación iónica:** Este proceso tiene el mismo fin que el proceso de difusión, que es crear zonas dopadas dentro de la oblea, cuando es necesario controlar muy finamente el espesor y la concentración de la zona a dopar. El proceso de implantación iónica consiste en introducir los dopantes en Si por bombardeo iónico a alta energía.

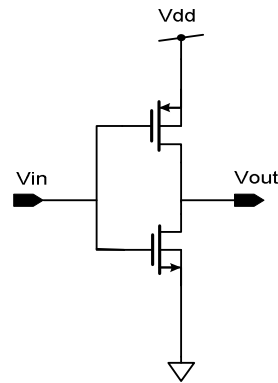
### 3.3.3.2.- Tecnología CMOS

En un circuito integrado CMOS coexisten transistores de tipo n (con sustrato P) y transistores tipo P (con sustrato N). Puesto que la oblea se ha dopado inicialmente de una manera u otra, es necesario crear artificialmente el segundo sustrato (P si la oblea es N o viceversa); esto se logra, por ejemplo en obleas P, creando islas o pozos N.

En el proceso CMOS, se generan las siguientes capas (Ver anexo 2):

- Área Activa: área que van a ocupar los transistores.
- Pozo N, P.
- Polisilicio.
- Difusión N+, P+.
- Contactos.
- Metales (1, 2, 3).

Como ejemplo, en la figura 28 se muestra el proceso de elaboración de un inversor [12].



(1)

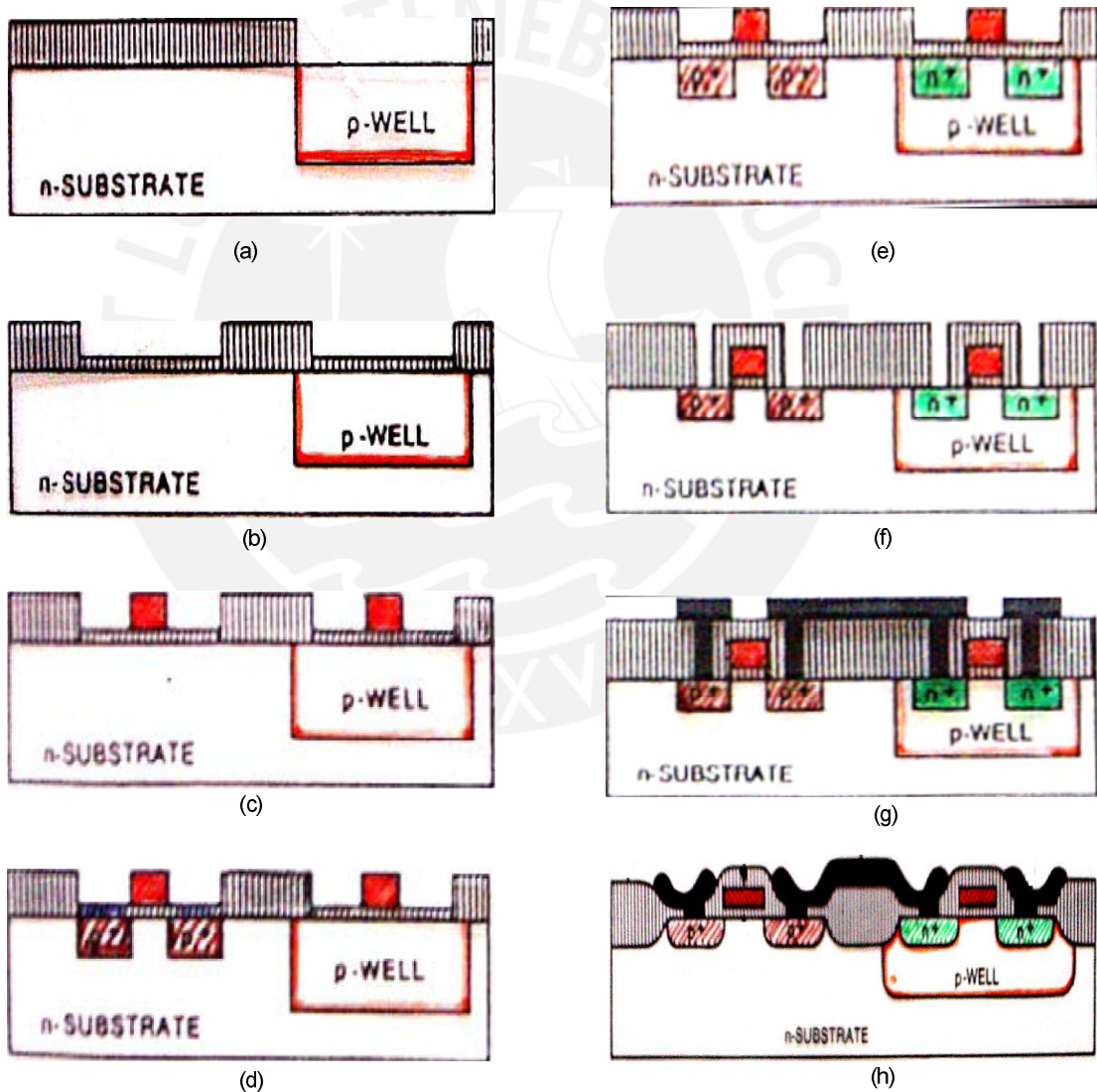


Figura 28.- Elaboración de un inversor con substrato tipo N [12]: (1) Esquemático inversor. (a) Creación del pozo P. (b) Apertura de áreas activas. (c) Se define las capas de polisilicio: compuerta de los transistores. (d) Difusión P+: área de transistor P. (e) Difusión N+. (f) Elaboración de contactos. (g) Proceso de metalización. (h) Resultado final.

### 3.3.3.3.- Reglas de diseño

Para la elaboración del layout, es muy importante seguir algunas reglas básicas (las reglas están definidas en base al parámetro  $\lambda$  cuyo valor depende de la tecnología a usar, para este trabajo se utiliza la tecnología AMS 0.35  $\mu$ ) :

- ❖ Tamaños mínimos de las pistas. (ejemplo: nacho mínimo de polisilicio es de  $2\lambda$ ).
- ❖ Distancia mínima entre pistas.
- ❖ Desbordamiento mínimo de una pista respecto a otra.
- ❖ Distancia mínima entre polisilicio y contactos.
- ❖ Solapamientos mínimos, entre otras.

Las reglas mas comunes en la elaboración de layout se muestran en la figura 29 [12] [23].

Estas reglas deben de cumplirse para evitar problemas en el proceso de fabricación del circuito integrado, por ejemplo, al colocar el contacto de drenador de un transistor tipo N a una distancia, menor de la mínima, del polisilicio (compuerta), existe el peligro de que la juntura N-P-N, pase de estar polarizado de manera inversa a estar polarizado de manera directa, produciendo que el diodo de la juntura entre en conducción, provocando el efecto conocido como Latch-up, que consiste en hacer un cortocircuito entre compuerta y drenador.

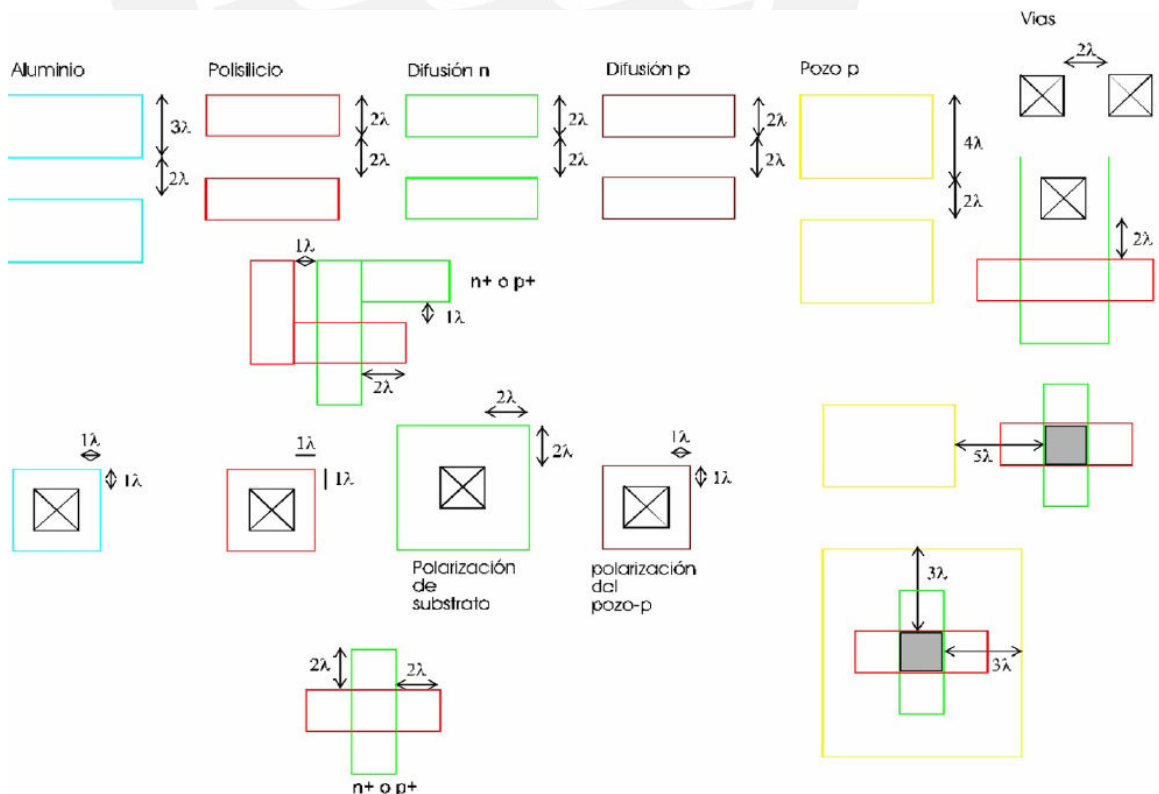


Figura 29.- Reglas comunes de diseño de Layout.



Para la elaboración del layout correspondiente al OTA simétrico, se tiene que tener en cuenta algunas técnicas y consideraciones de diseño:

- ❖ **Interdigitación:** Esta técnica consiste en disminuir el área de separación entre la unión drenador-surtidor. Por ejemplo, si tenemos un transistor con un ancho de canal ( $W$ ) muy grande, como es el caso del ancho del par diferencial utilizado de  $W = 986.1\mu m$ , es necesario dividir el transistor en transistores más pequeños, para este caso, cada transistor del par diferencial ha sido dividido en 40 transistores; de esta manera cada transistor pequeño comparte con cada transistor vecino una de las regiones de difusión, optimizando área. Ver figura 30.

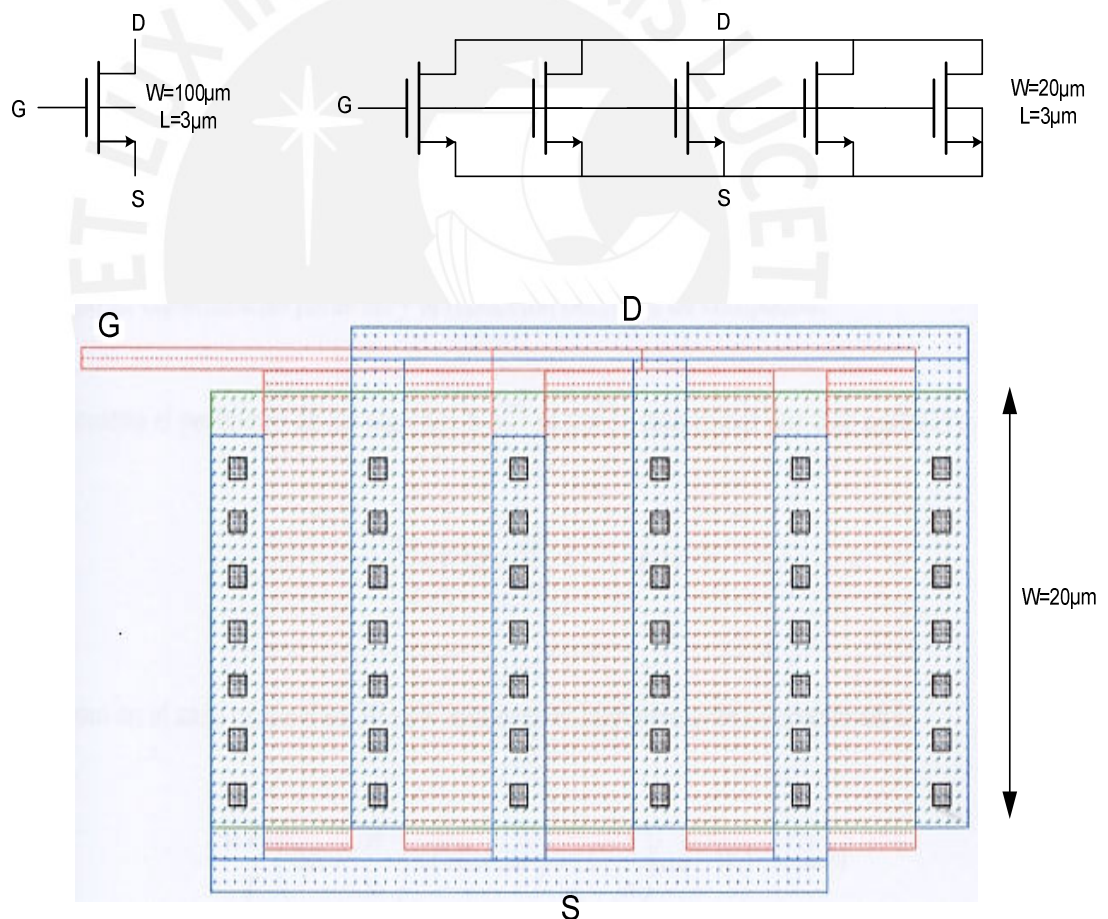


Figura 30.- Ejemplo de Interdigitación.

- ❖ **Simetría:** Esta consideración es muy importante al realizar el layout del par diferencial. Una falta de simetría podría ocasionar la aparición de offsets referidos a la entrada. De igual manera tener simetría del par diferencial contribuye a reducir el ruido en modo común y las no linealidades de orden par. Una alternativa para mantener la simetría en el par diferencial, es utilizar “transistores inútiles”, que no cumplen ninguna función eléctrica, pero su presencia es importante pues ayudan a que el entorno que rodea a cada transistor del par diferencial sea el mismo.
- ❖ **Gradientes:** En el proceso de fabricación, cuando se produce la difusión e implantación iónica, esto llega a la oblea con un determinado ángulo, por eso a todos los transistores no tiene difusión en igual proporción. Por ejemplo, en el par diferencial, un buen criterio para contrarrestar el problema de gradiente cuando se ha interdigitado, es colocar los transistores de manera intercalada. Ver figura 31.

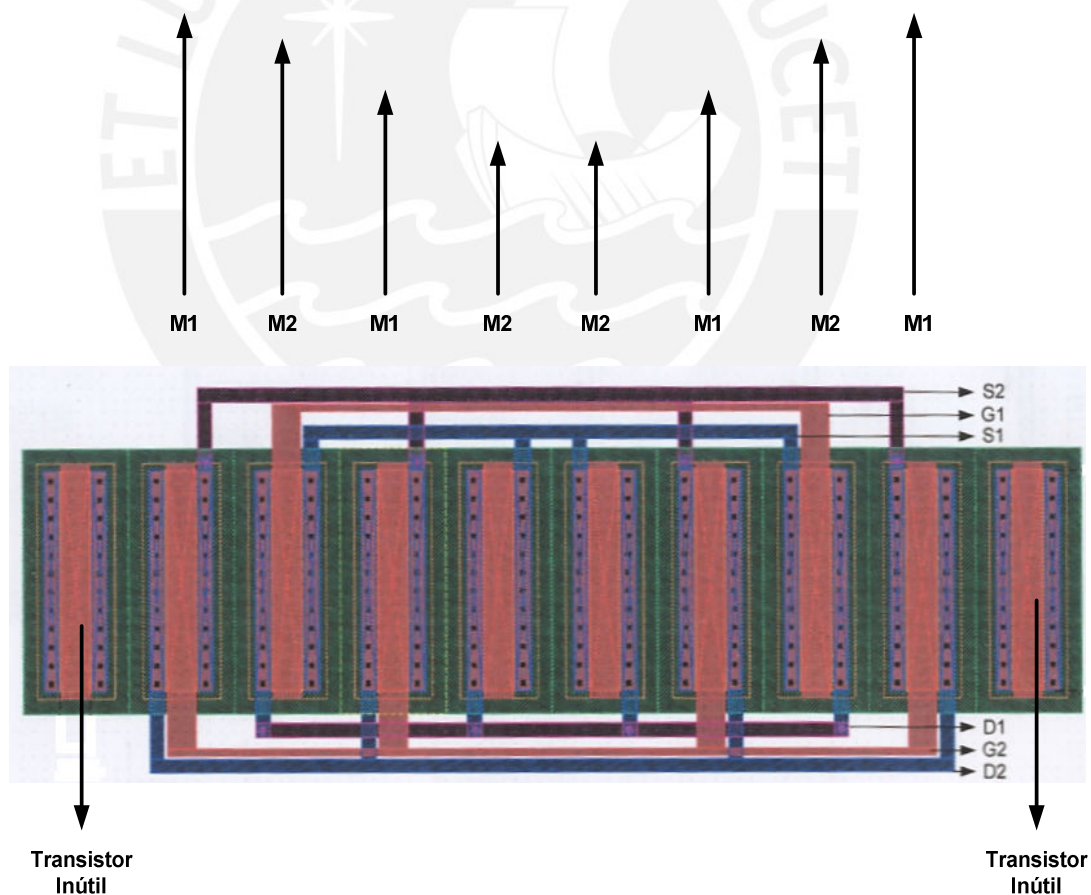


Figura 31.- Par diferencial intercalado. Se aplica el criterio de simetría y de gradiente.

- ❖ En interdigitación se analizó el caso en que el ancho de canal es demasiado grande, ahora se analiza el caso en que la longitud de canal ( $L$ ) es demasiado grande con respecto al ancho de canal ( $W$ ). En este caso, se debe de colocar la difusión por tramos, en forma de “culebra”, como se muestra en la figura 32.

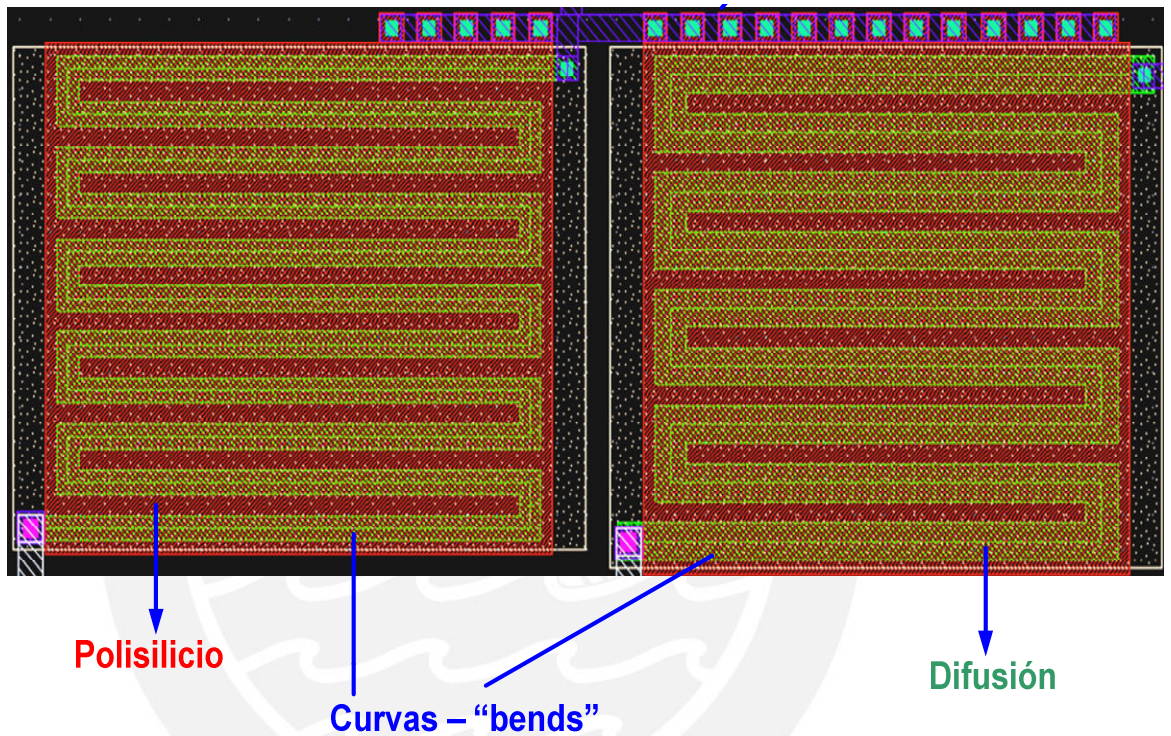


Figura 32.- Layout de un transistor cuando  $L$  es demasiado grande: Diseño “Snake”.

## CAPITULO 4

### EVALUACION DE RESULTADOS

#### 4.1.- Resultados del diseño del OTA simétrico

El amplificador operacional de transconductancia fue diseñado en la herramienta de diseño CADENCE, con una tecnología  $AMS0.35\mu m$ .

El capacitor de carga para el OTA fue fijado a un valor de  $20pF$  con el objetivo de conseguir una frecuencia de corte en aproximadamente 100Hz y una frecuencia de ganancia unitaria en aproximadamente 14 KHz.

En la figura 33 se muestra la respuesta en frecuencia del OTA desde 0.01Hz hasta 10 KHz. La ganancia de banda es de 73dB, que es un valor mayor al requerido. Para esto se realizó una simulación AC del circuito. Ver anexo 3.

Ahora, se realiza en el simulador SPECTRE de CADENCE un análisis .NOISE (ver figura 34), y en donde el ruido integrado en todo el ancho de banda simulado, es decir desde 0.01 Hz hasta 10 KHz es de  $1.59\mu V_{RMS}$ .

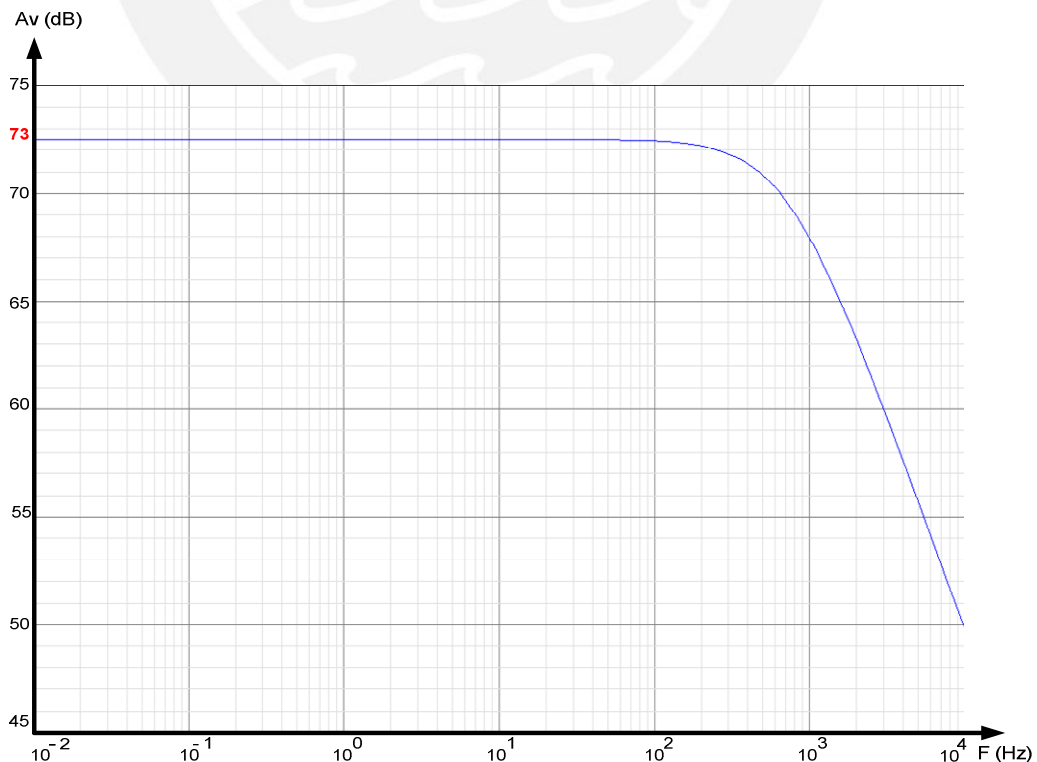


Figura 33.- Respuesta en frecuencia del OTA

Asimismo, se calculó la relación de rechazo en modo común (CMRR) y la relación de rechazo de voltaje de alimentación (PSRR), en ambos se obtuvo un valor mayor a los 90 dB. Ver anexo 3.

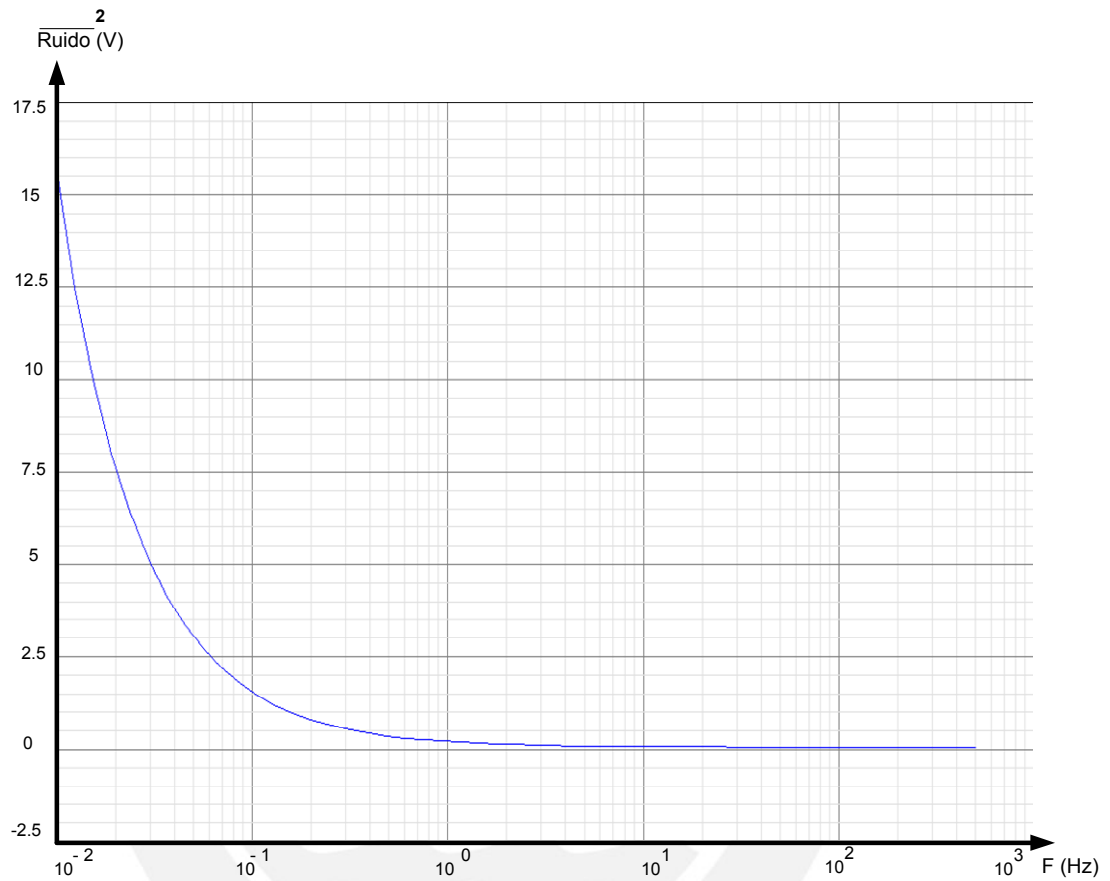


Figura 34.- Gráfica del cuadrado del ruido referido a la entrada: Aquí se integra la banda de interés para calcular el ruido RMS referido a la entrada.

En la figura 35 se muestra el layout del OTA simétrico, se observa que el diseño del par diferencial se utilizó la técnica de interdigitación considerando los criterios de simetría y de gradiente. El área total ocupada por el OTA es de  $408.1\mu\text{m} \times 175.5\mu\text{m}$ , que es igual a  $0.0716\text{mm}^2$ .

En la tabla 3 se muestra un resumen de los resultados obtenidos.

Tabla 3.- Resumen de resultados obtenidos.

Parámetro	Simulación
Voltaje de alimentación	3.3 V
Corriente de polarización	64 nA
Consumo	$0.63 \mu\text{W}$
Ganancia	73 dB
Ruido referido a la entrada del OTA	$1.59 \mu\text{V}_{RMS}$
Frecuencia de corte (Fc)	100 Hz
Frecuencia de ganancia unitaria(Ft)	14 KHz
CMRR	>90dB
PSRR	> 90dB
Área	$0.0716\text{mm}^2$

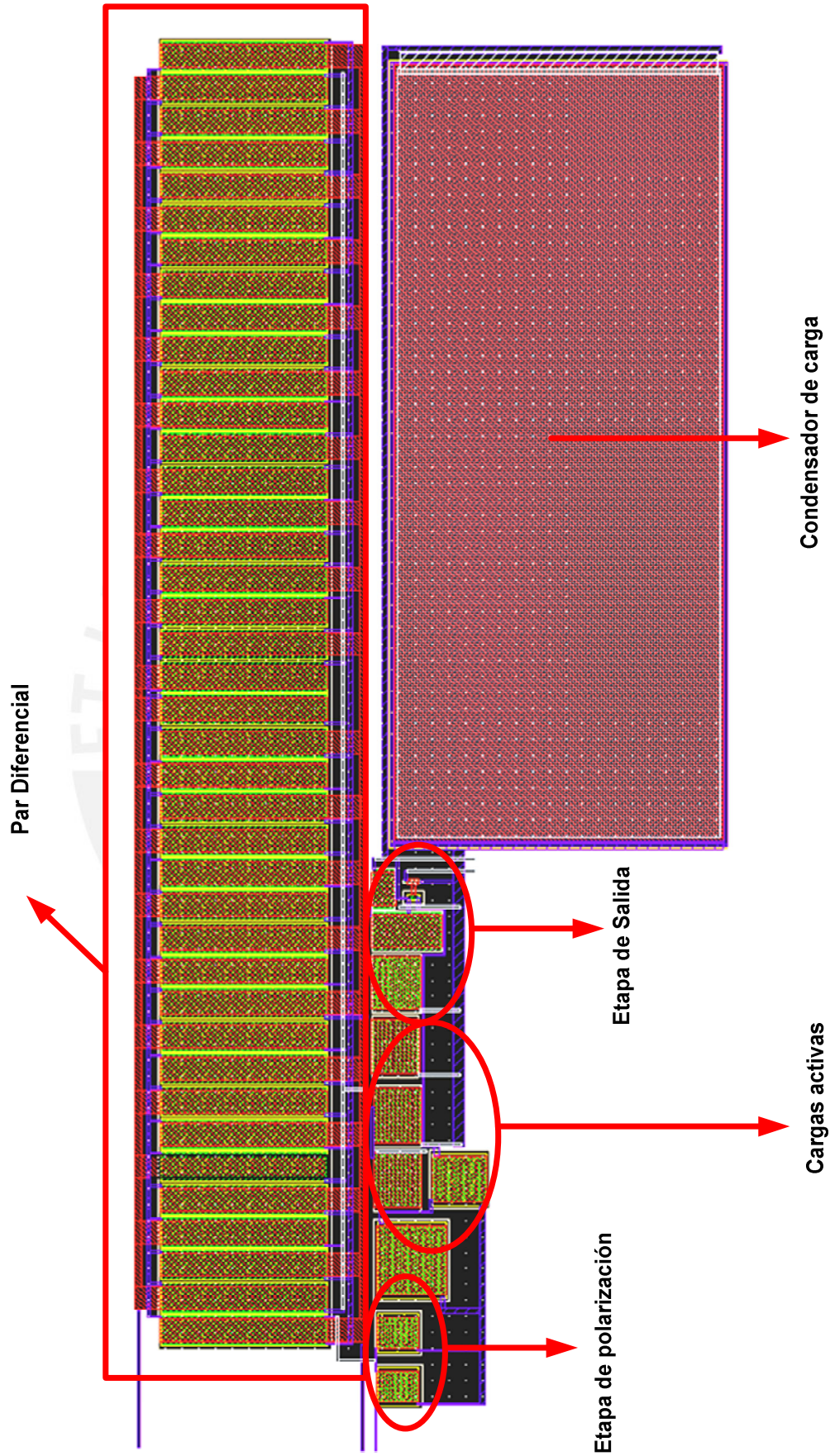


Figura 35.- Layout OTA simétrico.

#### 4.2.- Diseño de un amplificador de señales EEG

Para demostrar que la metodología de diseño utilizada es válida, se diseñó un amplificador de bajo consumo y bajo ruido aplicado a señales del electroencefalograma (EEG), empleando el OTA simétrico diseñado.

La arquitectura a utilizar esta descrita en [1] y tiene por objetivo amplificar señales de muy baja frecuencia (orden de milihertz) rechazando altos niveles de offset; para lo cual utiliza pseudoresistencias MOS-bipolar en el lazo retroalimentado y como amplificador utiliza un OTA simétrico. El diagrama esquemático se muestra en la figura 3.

En la figura 3, se aprecia que los transistores Ma-Md son los MOS-bipolar que actúan como pseudoresistencias. Este comportamiento, es similar al de un transistor PMOS conectado en forma de diodo [1] [21]. Ver figura 36.

Así, cuando a través de estos transistores existe un voltaje mayor a su voltaje umbral, en este caso es de 0.6 V, estos tienen una resistencia extremadamente alta ( $r_{inc}$ ), de esta manera la frecuencia de corte inferior viene dada por  $\frac{1}{2r_{inc}C_2}$  [1].

Luego, se concluye que la ganancia del amplificador, viene dado por la relación de los condensadores C1 y C2.

De manera similar que en el caso del OTA simétrico, el amplificador fue diseñado en CADENCE con una tecnología AMS0.35 $\mu m$ .

Para una ganancia de 40 dB, se elije  $C_1 = 20 pF$  y  $C_2 = 200 fF$ . El capacitor de carga ( $C_L$ ) se mantiene en  $20 pF$  y se emplea el OTA simétrico diseñado.

En la figura 37 se muestra la respuesta en frecuencia del amplificador para un ancho de banda desde 0.001 Hz hasta 100Hz.

La ganancia obtenida después de la simulación es de 41dB, valor cercano al deseado.

La frecuencia de corte superior esta en 30 Hz y la **frecuencia de corte inferior** está en **0.043 Hz**.

Luego de realizar el análisis de ruido, se obtiene un ruido integrado desde 0.001 Hz hasta 30 Hz de  $1.76 \mu V_{RMS}$

Así como en el diseño del OTA simétrico, se elaboró el layout del amplificador, ocupando un área (sin pads, solo el circuito del amplificador) de  $0.1244 mm^2$ . Ver figura 38. Luego, en la figura 39 se muestra el layout del amplificador con pads, listo para mandar a fabricar.



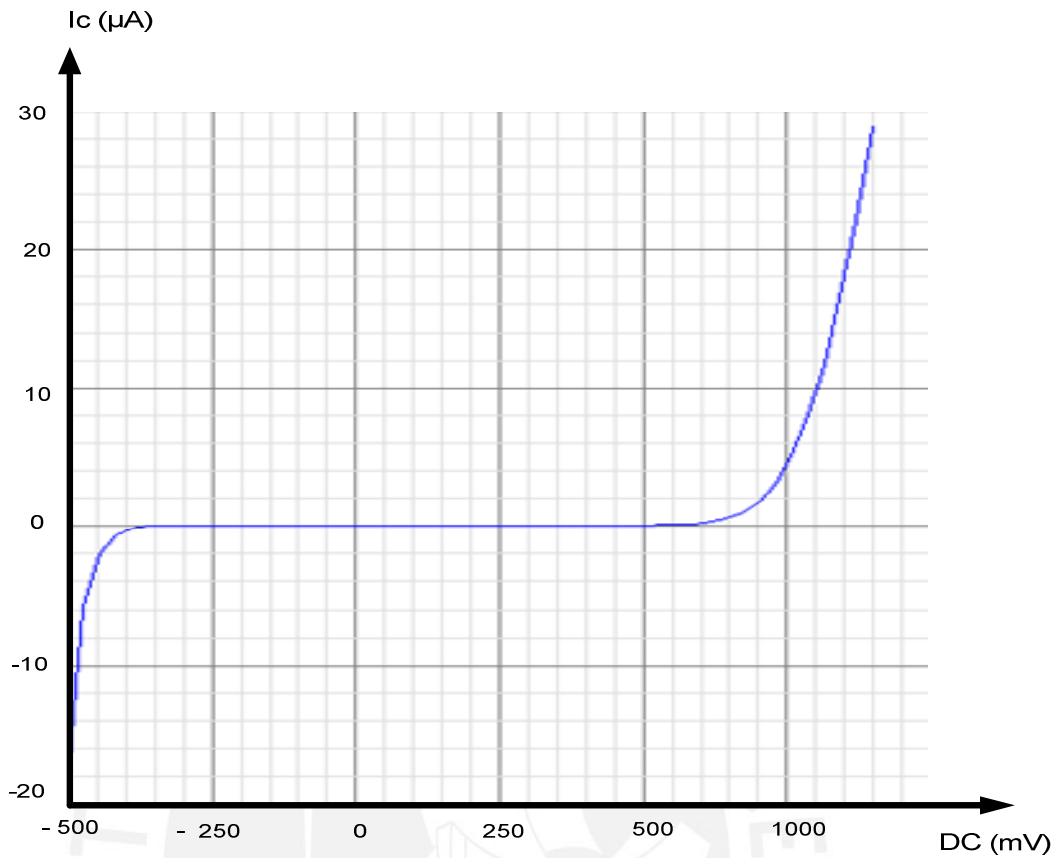


Figura 36.- Comportamiento de MOS Bipolar.

En la tabla 4 se muestra el resumen con los resultados obtenidos en el diseño del amplificador de señales de EEG.

Tabla 4.- Resumen de resultados obtenidos el diseño del amplificador de señales de EEG

Parámetro	Simulación
Voltaje de alimentación	3.3 V
Corriente de polarización	64 nA
Consumo	0.63 $\mu W$
Ganancia	41 dB
Ruido referido a la entrada del amplificador	1.76 $\mu V_{RMS}$
Frecuencia de corte superior ( $F_H$ )	30 Hz
Frecuencia corte inferior ( $F_L$ )	0.043Hz
CMRR	>90dB
PSRR	> 90dB
Área	0.1244 $mm^2$

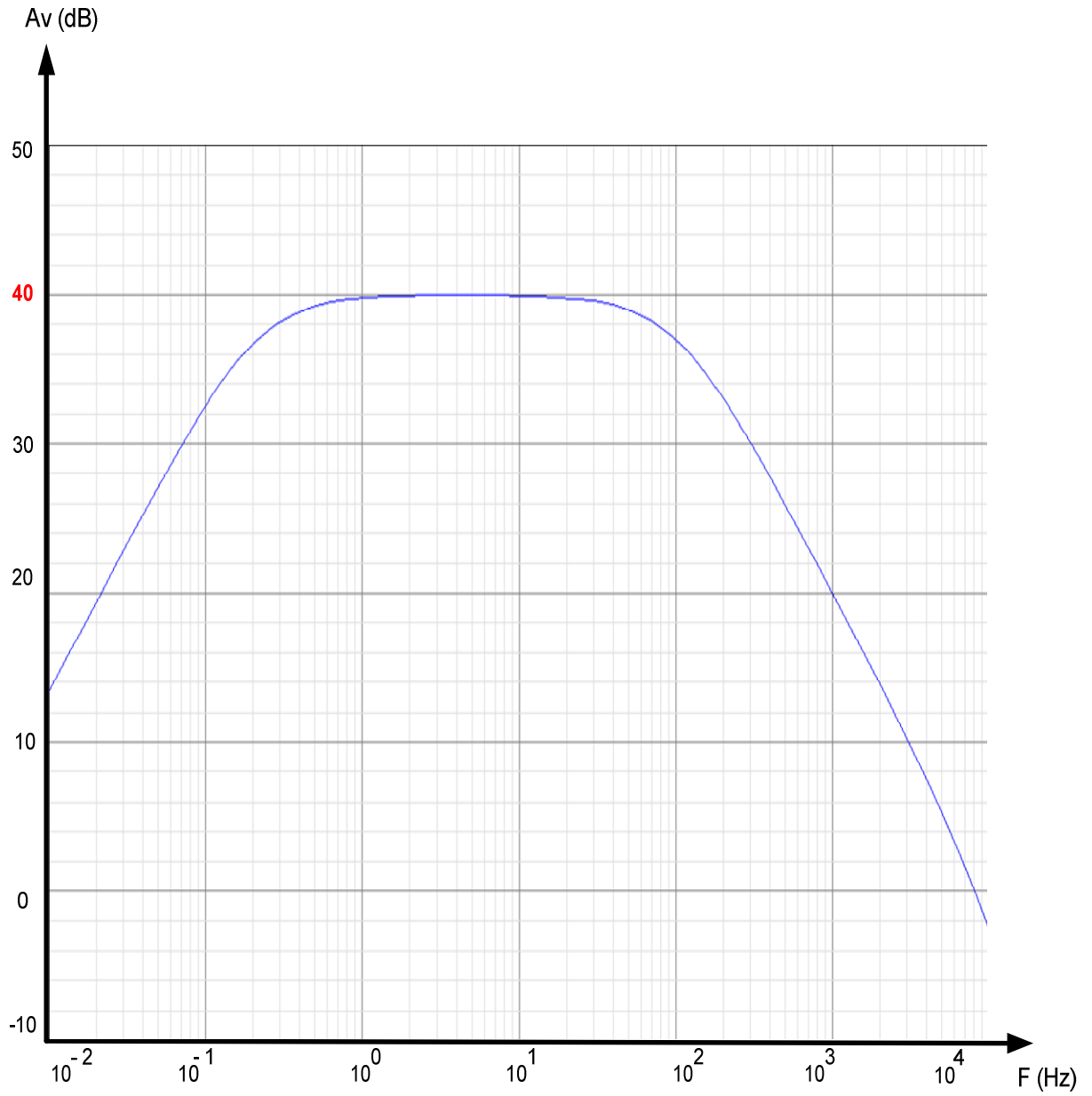


Figura 37.- Respuesta en frecuencia del amplificador de señales EEG.

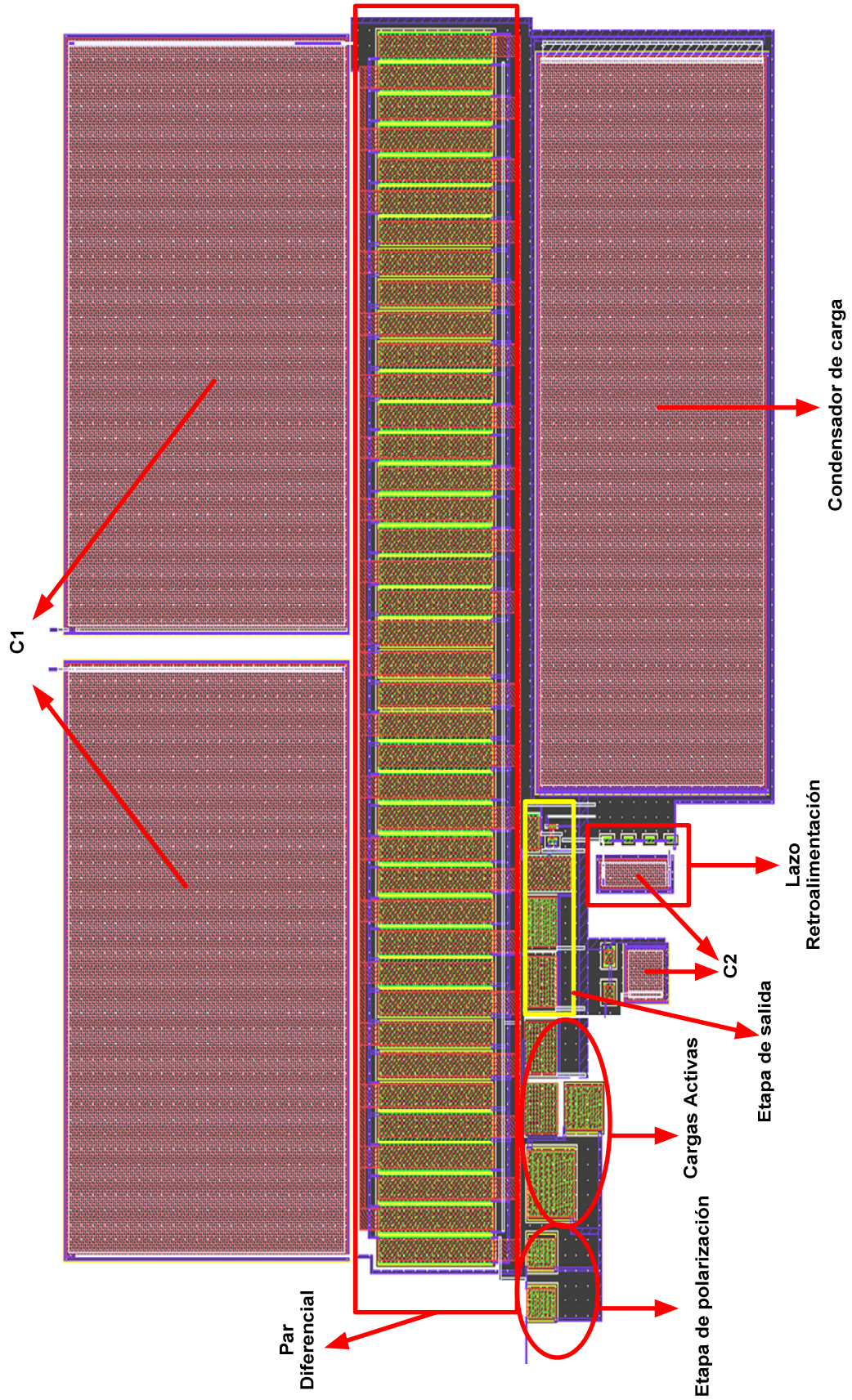


Figura 38.- Layout del amplificador de señales EEG.

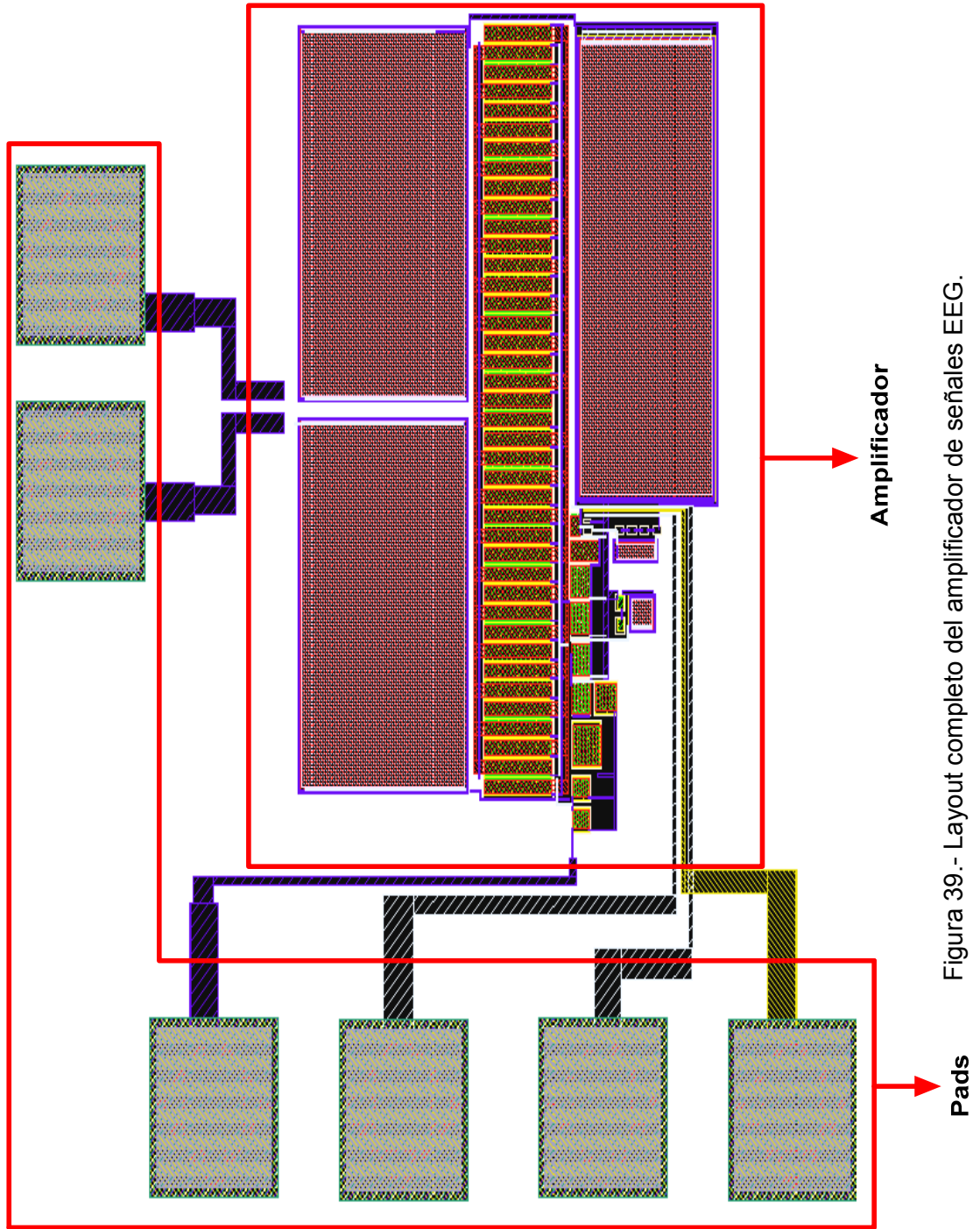


Figura 39.- Layout completo del amplificador de señales EEG.

## CONCLUSIONES

- ❖ El consumo de potencia del amplificador operacional de transconductancia, OTA, diseñado es de  $0.63 \mu W$ , el ruido referido a la entrada del OTA es de  $1.59 \mu V_{RMS}$  y el área que ocupa es de  $0.0716 mm^2$ . Con estos resultados se cumple los requerimientos de bajo consumo, bajo ruido y área ocupada que se exigen a un dispositivo para que pueda ser implantable, sobre todo en confiabilidad y seguridad. Estas características del OTA, lo hacen apropiado para que pueda ser incluido en sistemas implantables dedicados a la adquisición y acondicionamiento de señales biomédicas.
- ❖ La versatilidad y funcionalidad de la metodología de diseño  $g_m/I_D$  quedó demostrada, pues es una metodología de síntesis que considera todas las regiones de operación del transistor MOSFET.
- ❖ Se demuestra que las herramientas CAD elaboradas son útiles para automatizar el diseño de bloques analógicos básicos de circuitos integrados, optimizando el tiempo de diseño y ganando precisión y exactitud en los resultados de los cálculos realizados.
- ❖ Para verificar el diseño del OTA, se diseñó un amplificador completo encargado de amplificar señales EEG y de obtener una frecuencia de corte inferior muy baja. Los resultados obtenidos cumplen con las condiciones que exige un dispositivo médico implantable: bajo consumo, bajo ruido, mínima área posible.

- ❖ Para la elaboración de layout, no basta realizar un buen circuito esquemático, sino, exige conocer el proceso de fabricación de circuitos integrados, y de acuerdo a eso y a la aplicación del bloque analógico a diseñar, emplear la técnica de layout adecuada, como por ejemplo interdigitación.



## RECOMENDACIONES

- ❖ Si el amplificador operacional de transconductancia (OTA), se utiliza dentro de un circuito integrado mixto, que tiene una parte digital y parte analógica, la parte analógica debe de estar protegida o separada de la parte digital, para evitar el ruido de conmutación por los transistores de la etapa digital. Asimismo, la alimentación y tierras tienen que estar separadas.
- ❖ Para su implementación dentro un circuito integrado final, es recomendable utilizar los pads con diodos de protección.
- ❖ A pesar de que se demostró que el OTA es estable ante variaciones de la fuente de alimentación, por el PSRR, para el circuito integrado final, es recomendable utilizar fuentes de alimentación reguladas.

## FUENTES

- [1] R. R. Harrison and C. Charles, "A low-power low-noise CMOS amplifier for neural recording applications," *IEEE J. Solid-State Circuits*, vol. 38, pp. 958-965, 2003.
- [2] David Johns, Ken Martin, "Analog Integrated Circuit Design", New York, Wiley 1997.
- [3] F. Silveira, D. Flandre, P. G. A. Jespers, "A gm/ID Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Síntesis of a Silicon-on-Insulator Micropower OTA", *IEEE Journal of Solid State Circuits*, Vol. 31, No. 9, September 1996.
- [4] M. S. J. Steyaert, W. M. C. Sansen, and C. Zhongyuan, "A micropower low-noise monolithic instrumentation amplifier for medical purposes," *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 1163–1168, Dec. 1987.
- [5] Jordi Sacristán, Ma Teresa Osés "Low noise amplifier for recording ENG signals in implantable systems" *ISCAS 2004 (International Symposium on Circuits and Systems)*, p. IV- 33, 2004.
- [6] R. Martins, S. Selberherr, and F. A. Vaz, "A CMOS IC for portable EEG acquisition systems," *IEEE Trans. Instrum. Meas.*, vol. 47, pp. 1191–1196, 1998.
- [7] Fernando Silveira, Alfredo Arnaud, Conrado Rossi, "Diseño de Circuitos Integrados para dispositivos médicos implantables", CVIT, 2004. <http://oaid.uab.es/cvit>
- [8] Webster, John , "Medical Instrumentation: application and design", Wiley 1995.
- [9] Alvaro Tucci Reali, " El origen de los biopotenciales", Facultad de Medicina, Universidad de Los Andes, Mérida, Venezuela.
- [10] Sayas Sebastian, "Procesamientos posteriores a la etapa de adquisición de señales nerviosas en dispositivos implantables neuronales" , XIV Seminario de Ingeniería Biomédica, Montevideo Uruguay.
- [11] [en.wikipedia.org/wiki/Electroencephalography](http://en.wikipedia.org/wiki/Electroencephalography)



- [12] Raúl Aragonés, Elena Valderrama, “Diseño de Circuitos Integrados”, CVIT, 2006. <http://oaid.uab.es/cvit>
- [13] Yannis Tsvividis, Mixed Analog-Digital VLSI Devices and Technology. McGraw Hill, 1995.
- [14] F. Paixão Cortes, S. Bampi, “Miller OTA Design Using a Design Methodology Based on the Gm/ID and Early-Voltage”, IBERCHIP 2006, San José de Costa Rica 2006.
- [15] J. C. Saldaña Pumarica, C. Silva Cárdenas, “Rutinas para la Optimización del Diseño de Bloques Analógicos de Bajo Consumo de Potencia”, IBERCHIP 2006, San José de Costa Rica 2006.
- [16] H. G. Alarcón Cubas, H. L. Villacorta Minaya, “A Design-Space Generation Tool for Analog Blocks of Ultra Low-Power IC's Based upon the BSIM3V3 Model”, IBERCHIP 2006, San José de Costa Rica 2006.
- [17] Y. Tsvividis, “Operation and Modeling of the MOS Transistor”, 2<sup>o</sup> edition, McGraw-Hill, 1998.
- [18] T. Delbruck and C.A. Mead. “Analog VLSI adaptive”, in Proc. Intl. Symposium on Circuits and Systems, 1994.
- [19] D. Chen, J.G. Harris and J.C. Principe, “A bio-amplifier with pulse output”, in Intl. Conf. IEEE Engineering in Medicine and Biology Society, San Francisco, California, 2004.
- [20] Behzad Razavi, “Design of Analog CMOS Integrated Circuits”, McGraw-Hill, New York 2001.
- [21] T. Delbrück and C.A. Mead, “Analog VLSI adaptive, logarithmic wide-dynamic-Range photoreceptor”, in Proc. IEEE Int. Symp. Circuits and Systems, vol.4, 1994, pp339-342.
- [22] Grupo de Microelectrónica, J.C Saldaña Pumarica, Documentación interna 2006.
- [23] Carlos Silva Cárdenas, “Circuitos Integrados de aplicación específica”, MIGLIORI GRAF, 1995.

## Anexo 1 Herramienta CAD

### A1.1.- Modelamiento del Transistor MOSFET

Para modelar al transistor MOSFET se simuló como circuito modelo, un amplificador surtidor común de ganancia intrínseca. Tanto para el transistor tipo N como tipo P.

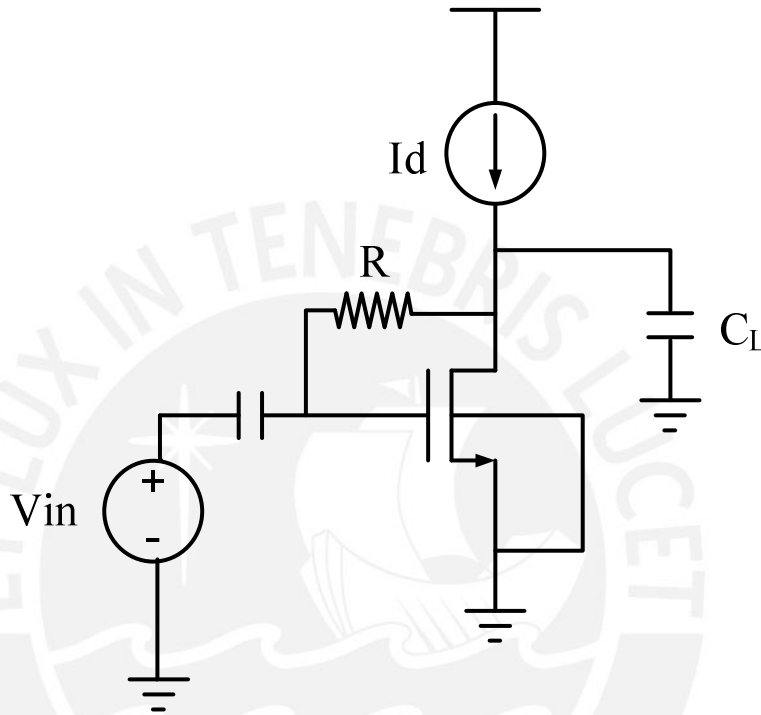


Figura A1.1 .- Circuito para modelar al transistor tipo N.

### A1.2.- Algoritmos utilizados

Se muestran algunos de los algoritmos utilizados en la herramienta CAD.

**Algoritmo para leer el archivo de salida del simulador:**

```

filename='T-SPIC~1.out'; Archivo de salida del simulador
fid=fopen(filename);
y=1997;
C=[]; ; algoritmo de búsqueda de datos.
for i=1:60
    B=[];
    for j=1:29
        A=[];
        for k=1:281
            offset=y+(j-1)*281*27+(k-1)*27;
            status=fseek(fid,offset,'bof');
            dato=fscanf(fid,'%c',11);
            dato1=str2double(dato);
            A=[A;dato1];
        end
        B=[B A];
    end
    status=fseek(fid,offset,'bof');
    caracter=fscanf(fid,'%c',11);

    b='0.0000e+000';
    c='aaaaaaaaaaa';
    f=0;
    while(f==0)
        offset=offset+1;
        status=fseek(fid,offset,'bof');
        c=fscanf(fid,'%c',11);
        f=1;
        cont2=0;
        while (f==1)&&(cont2<11)&&(i<60)
            cont2=cont2+1;
            if (c(cont2)==b(cont2))
                f=1;
            else f=0;
            end
        end
    end
    offset=offset+13;
    y=offset;
    C=cat(3,C,B);
    cont=i
end
Vds=[0:0.01:2.8];
save array3 C Vds ; Los valores extraídos se almacenan en arreglos multidimensionales.

```

**Algoritmo de búsqueda en las curvas**  $gm/I_D$  vs  $I_D / \left(\frac{W}{L}\right)$  y  $V_A$  vs  $gm/I_D$  :

%Curva  $gm/I_D$  vs  $I_D / \left(\frac{W}{L}\right)$

% Algoritmo para el transistor tipo N. Dado un  $gm/I_D$  , se busca su correspondiente

$I_D / \left(\frac{W}{L}\right)$

```
load 'gmid.mat';
prompt=('Ingrese la corriente normalizada:');
dlg_title=('Calculo del valor de la transconductancia');
num_lines=1;
answer=inputdlg(prompt,dlg_title,num_lines);
valor=answer;
valor1=str2double(valor);
%ngmid1=interp1(nL4,ngm_id,valor1,'spline');
valor2=find(nL2>valor1);
valor3=min(valor2);
ngmid1=ngm_id(valor3);
letra=['gm/Id='];
trans=num2str(ngmid1);
respuesta=[letra,trans];
title=['Transconductancia'];
plot(valor1,ngmid1,'--rs','LineWidth',2,...
      'MarkerEdgeColor','k',...
      'MarkerFaceColor','g',...
      'MarkerSize',10);
```

%Curva  $V_A$  vs  $gm/I_D$

```
load 'ganancias.mat'
load 'EARLYVOLTAGE.mat'
load 'gmid1.mat'

prompt=('Ingrese VA:');
dlg_title='Early';
num_lines=1;
answer=inputdlg(prompt,dlg_title,num_lines);

prompt=('gm/id:');
dlg_title='Transconductancia';
num_lines=1;
answer1=inputdlg(prompt,dlg_title,num_lines);

valor=answer;
valora=answer1;
%*****
%analizando limite superior
VA1=str2double(valor);
```

```

[R,C]=find(VA>VA1);
VAsuperior=[R,C];

% A1=A(1,:);
VA4superior=[];
r=1;
c=1;
R1=0;
C1=0;
for ar=1:length(R)
    R1=R(r);
    C1=C(c);
    VA3superior=VA(R1,C1);
    VA4superior=[VA4superior;VA3superior];
    c=c+1
    r=r+1;
end
VA3superior=min(VA4superior)
% *****
%Analizando limite inferior
[R,C]=find(VA<VA1);
VAinferior=[R,C];
VA4inferior=[];
r=1;
c=1;
R1=0;
C1=0;
for ar=1:length(R)
    R1=R(r);
    C1=C(c);
    VA3inferior=VA(R1,C1);
    VA4inferior=[VA4inferior;VA3inferior];
    c=c+1
    r=r+1;
end
VA3inferior=max(VA4inferior)
% *****
%analizando cual es mas cercano:limite inferior o superior
difs=VA3superior-VA1;
difi=VA1-VA3inferior;
if difs>difi
    nVA=VA3inferior;
else
    nVA=VA3superior;
end

% *****
    gm_id1=str2double(valora);
    ganancia1=nVA*gm_id1;
% *****
%analizando el limite superior
[M,N]=find(ganancia>ganancia1);
valor2=[M,N];
r=1;
c=1;

```

```

AVOsuperior=[];
for ar=1:length(M)
    M1=M(r);
    N1=N(c);
    AVsuperior=ganancia(M1,N1);
    AVOsuperior=[AVOsuperior;AVsuperior];
    c=c+1
    r=r+1;
end
AVsuperior=min(AVOsuperior);
%*****
%analizando el limite inferior
[M,N]=find(ganancia<ganancia1);
valor2=[M,N];
r=1;
c=1;
AVOinferior=[];
for ar=1:length(M)
    M1=M(r);
    N1=N(c);
    AVinferior=ganancia(M1,N1);
    AVOinferior=[AVOinferior;AVinferior];
    c=c+1
    r=r+1;
end
AVinferior=max(AVOinferior);
%*****
%Analizando la diferencia
difs=AVsuperior-ganancia1;
difi=ganancia1-AVinferior;
if difs>difi
    AVnuevo=AVinferior;
else
    AVnuevo=AVsuperior;
end
%*****

[M,N]=find(ganancia==AVnuevo);

L=N*0.35;
letra=['El valor de L es:'];
L1=num2str(L);
respuesta=[letra,L1];
title(['Valor de L']);
plot(b(6:21,N),a(6:21,N));
set(findobj(gca,'Type','line','Color',[0 0 1]),...
'Color','red',...
'LineWidth',2)
xlabel('GM/ID')
ylabel('VA')

```

**A1.3.- Otras gráficas generadas por la herramienta CAD para explorar el espacio de diseño de bloques analógicos**

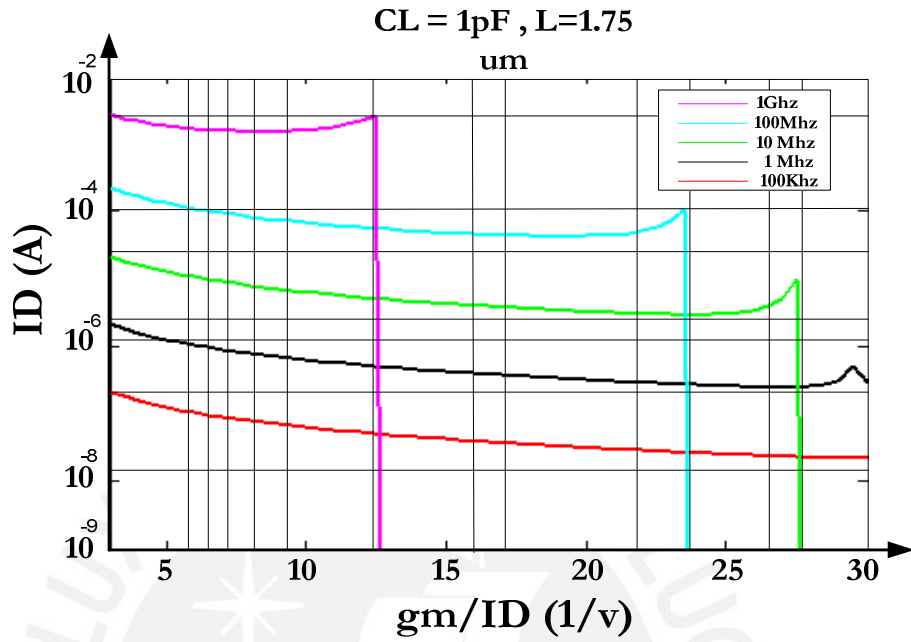


Figura A1.2.- Curva  $I_D$  vs  $\frac{gm}{I_D}$

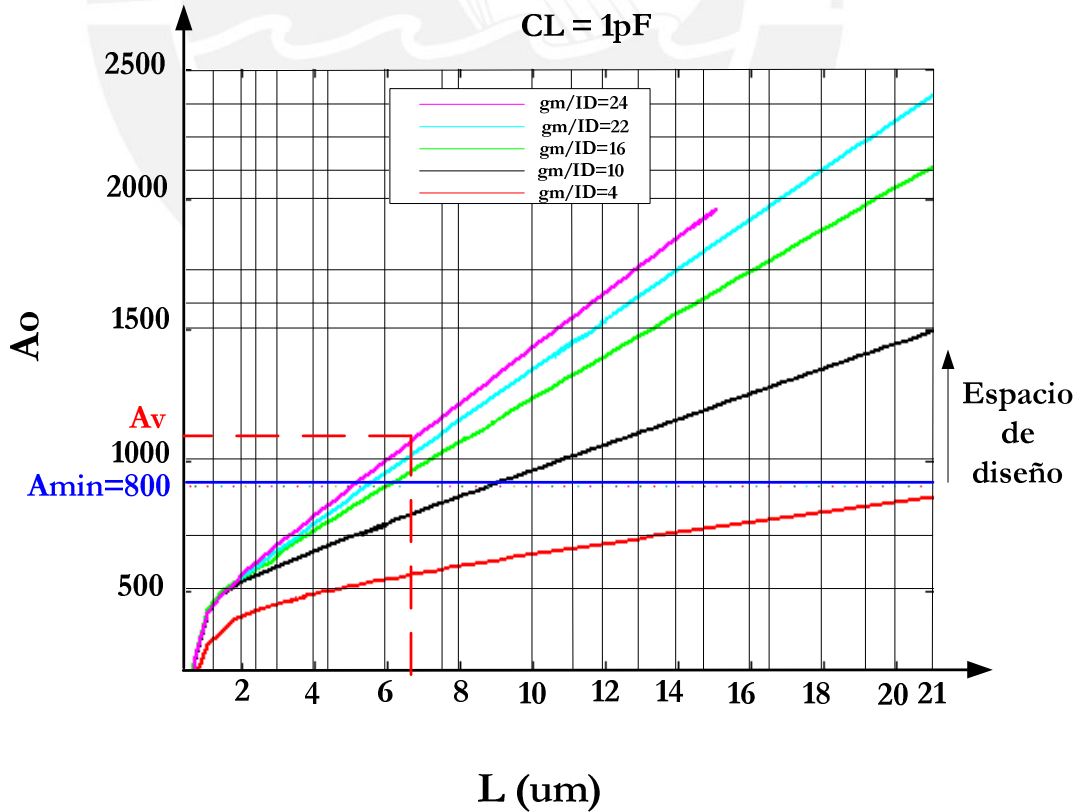


Figura A1.3.- Curva  $A_o$  vs L. Nos permite escoger la longitud de canal adecuada para una determinada ganancia a un determinado valor de  $\frac{gm}{I_D}$

**ANEXO 2**  
**ELABORACIÓN DE LAYOUT**



Figura A2.1.- Patrones de colores de la diferentes capas de los transistores.



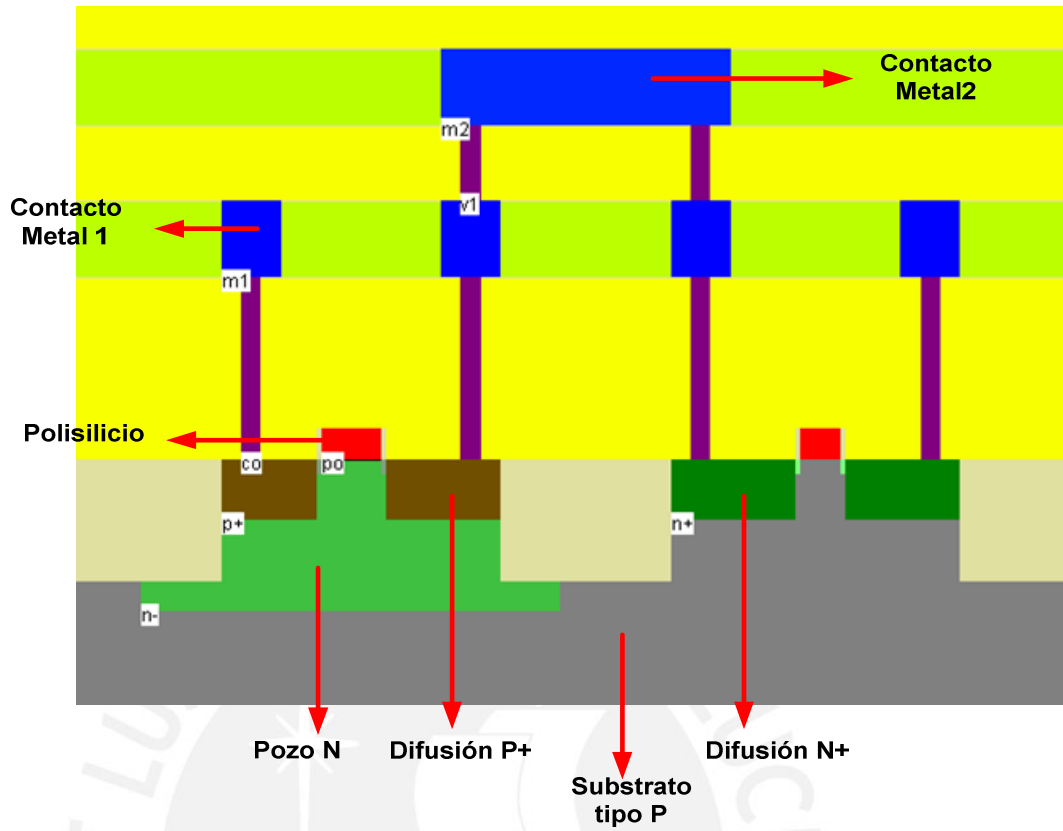


Figura A2.2.- Inversor: se aprecia las capas que se utilizan, así como los contactos para las respectivas conexiones. El sustrato es tipo P.

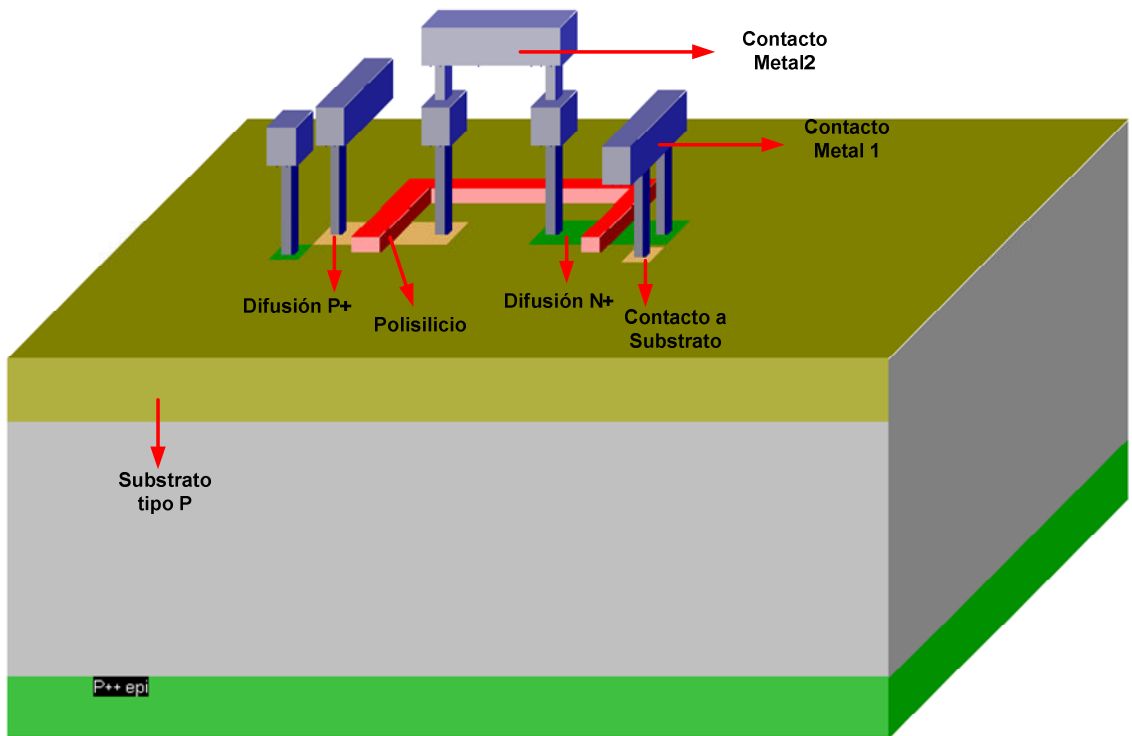


Figura A2.3.- Vista 3D de las capas del inversor.

### ANEXO 3

### CIRCUITOS DE SIMULACIÓN

Se muestran los circuitos de simulación utilizados para comprobar el correcto diseño del OTA y del amplificador.

**Análisis AC:**

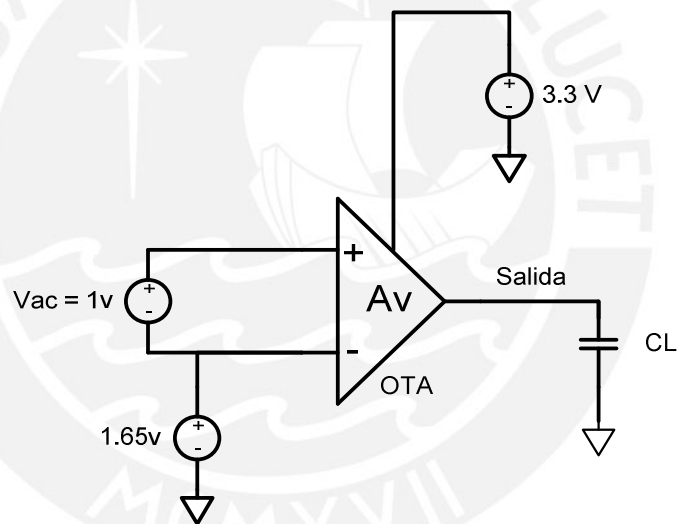


Figura A3.1.- Circuito de simulación de análisis AC.

**Análisis CMRR:**

Para el obtener la ganancia en modo común se empleó el siguiente circuito.

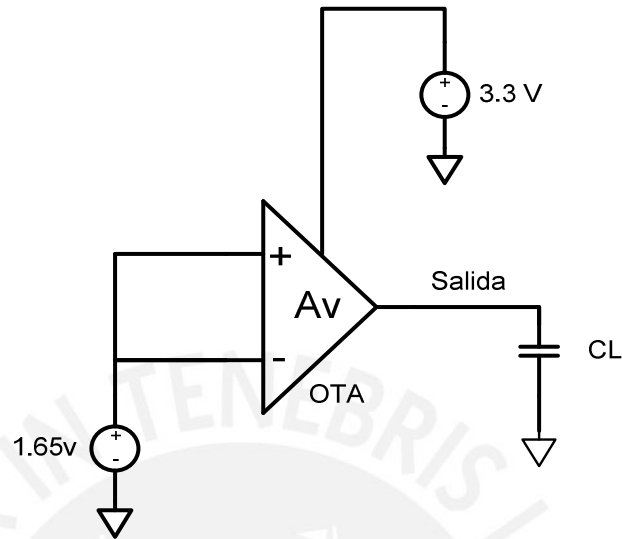


Figura A3.2.- Circuito de ganancia en modo común.

**Análisis PSRR:**

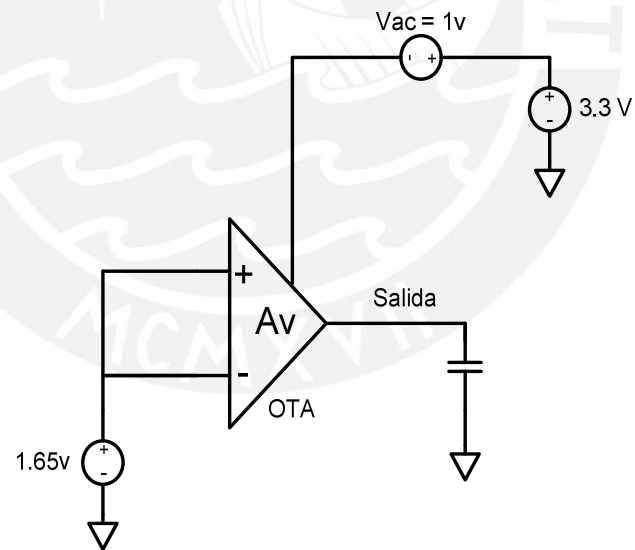


Figura A3.3.- Circuito para analizar PSRR