

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ

FACULTAD DE CIENCIAS E INGENIERÍA



**DISEÑO DE UN LAZO DE REALIMENTACIÓN DSL PARA LA ELIMINACIÓN
DEL OFFSET DEL ELECTRODO EN UN AMPLIFICADOR CAPACITIVO DE
INSTRUMENTACIÓN CHOPPER QUE OPERA CON VOLTAJE DE
ALIMENTACIÓN DE 1V PARA ELECTROCARDIOGRAMAS.**

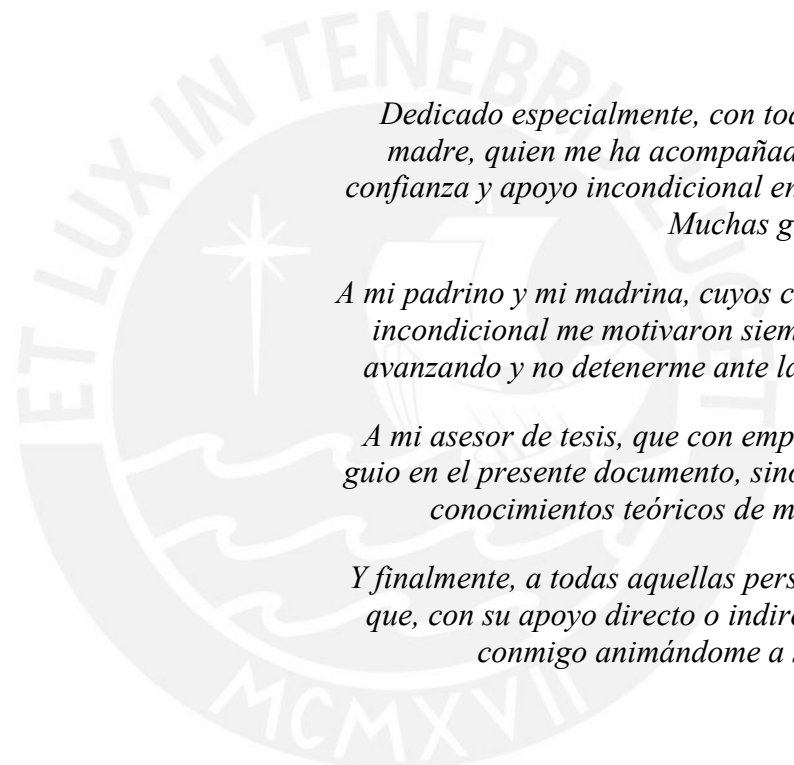
Tesis para obtener el Título de Ingeniero Electrónico, que presenta el bachiller:

CHRISTOPHER ABEL DONAYRE MONTOYA

ASESOR:

JULIO CÉSAR SALDAÑA PUMARICA

Lima, Julio de 2022



Dedicado especialmente, con todo el amor, a mi madre, quien me ha acompañado y brindado su confianza y apoyo incondicional en todo momento. Muchas gracias por todo.

A mi padrino y mi madrina, cuyos consejos y apoyo incondicional me motivaron siempre a continuar avanzando y no detenerme ante las adversidades.

A mi asesor de tesis, que con empatía, no solo me guio en el presente documento, sino también en los conocimientos teóricos de microelectrónica.

Y finalmente, a todas aquellas personas especiales que, con su apoyo directo o indirecto, han estado conmigo animándome a seguir adelante.

RESUMEN

El presente trabajo de investigación desarrolla el diseño de un lazo de realimentación Servo DC (DSL), el cual buscará ser acoplado a un amplificador capacitivo de instrumentación Chopper para su uso en dispositivos *wearables*; por ello se limita el voltaje de alimentación a un valor de 1V. La señal principal a analizar será la de electrocardiografía (ECG), obtenida por medio de electrodos presentes en el dispositivo; sin embargo, debido a estos receptores se introduce una señal no deseada denominada como: el *offset* DC del electrodo (EDO).

El DSL fue desarrollado como un circuito integrado, el cual funciona como integrador, filtrando la señal que se desea atenuar, de tal forma que esta realimentación interactúe con la señal de ECG, reduciendo el EDO que presenta antes de entrar a la etapa de amplificación. Por ello, se realiza el diseño del bloque integrador en una topología “*fully differential*” compuesto por 3 componentes principales: el transistor (GM), el Amplificador Operacional (GM_DSL) y los capacitores del integrador (C_{INT}). Este será desarrollado en la tecnología TSMC 180 nm; con el uso del software “*Virtuoso Schematic Suite*” y “*Analog Design Environment XL*” de Cadence. Las simulaciones utilizadas para este trabajo fueron: la transitoria, DC, AC y *corner* PVT. Dentro de los resultados obtenidos se obtuvo un GM de 390.21 pS, un GM_DSL con ganancia DC 88.8 dB y se seleccionaron capacitores C_{INT} de 125 pF; estableciendo de esta forma una primera frecuencia de corte del circuito general alrededor de 0.5 Hz. Dicho valor es el adecuado, puesto que a magnitudes mayores que esta, comienza la señal de biopotencial ECG.

CONTENIDO

Introducción	x
Capítulo 1	1
1.1 Contexto Actual	1
1.2 Estado del Arte.....	2
1.2.1 Amplificador Capacitivo de Instrumentación Chopper	5
1.3 Declaración de la Problemática	7
1.4 Objetivo	8
1.4.1 Objetivo General	8
1.4.1 Objetivo Especifico	8
1.6 Justificación	9
1.5 Alcance	10
Capítulo 2	11
2.1 Aspectos teóricos para el diseño de amplificadores con tecnología CMOS.....	11
2.1.1 El espejo de corriente	13
2.1.2 El amplificador diferencial	15
2.1.3 La transconductancia de dispositivos MOS.....	16
2.1.4 El amplificador Chopper.....	17
2.2 El <i>Offset</i> DC del electrodo (EDO)	19
2.3 Topología del integrador.....	20
2.3.1 Integrador con salida <i>single-ended</i>	20
2.3.2 Integrador con salida <i>fully differential</i>	24
2.4 Modelo de solución.....	25
2.4.1 Alternativas de solución.....	25
2.4.2 Selección del modelo	27

Capítulo 3	30
3.1 Simulación del problema generado por el EDO	31
3.2 El integrador.....	35
3.1.1 El Amplificador de Transconductancia Variable (OTA).....	37
3.1.2 El Amplificador Operacional GM-DSL.....	44
3.3 El Modulador	44
3.4 Análisis de la tecnología para los amplificadores	46
3.5 Common Mode Feedback (CMFB)	48
Capítulo 4	50
4.1 Amplificador Operacional GM_DSL	50
4.1.1 Simulación en DC 51	51
4.1.2 Simulación AC	54
4.1.3 Simulaciones de corner	55
4.2 Transconductor GM	57
4.2.1 Simulación en DC	59
4.2.2 Simulación de Corner	62
4.3 Bloque Integrador	63
4.3.1 Simulación DC	63
4.3.2 Simulación AC	65
4.3.3 Simulación de Corner.....	65
4.4 Resultados	69
Conclusiones	70
Recomendaciones	71
Referencias	72

ÍNDICE DE FIGURAS

	Pág.
Figura 1	Arquitectura del sistema de monitoreo2
Figura 2	Arquitectura del registro de biopotenciales propuesto.....4
Figura 3	Diseño del CCIA con DSL5
Figura 4	Diagrama de bloques de un CCIA básico6
Figura 5	Resultado de la ID en respuesta a la modulación de canal13
Figura 6	Representación de un espejo de corriente MOS14
Figura 7	Diagrama esquemático de un amplificador diferencial con carga activa de espejo de corriente P-MOS.....15
Figura 8	Representación gráfica de las variaciones de la transconductancia.....17
Figura 9	Representación de la modulación Chopper en lazo abierto.18
Figura 10	Modelo esquemático del electrodo húmedo y seco.19
Figura 11	Representación gráfica de la amplitud de señales ECG, EEG, EMC, EDO y el ruido 1/f.....20
Figura 12	Topología RC de un integrador single-ended21
Figura 13	Diagrama de Bode del integrador ideal23
Figura 14	Topología del integrador fully differential.24
Figura 15	Amplificador con condensadores de desacoplo en la entrada.25
Figura 16	Amplificador con lazo de realimentación RC neuronal.....26
Figura 17	Lazo servo DC (DSL) complementario27
Figura 18	Modelo esquemático de CCIA con DSL con su diagrama de Bode.29
Figura 19	Diseño propuesto de un amplificador operacional single-ended.25
Figura 20	OpAmp en configuración como inversor, con un EDO de 300mV.....32
Figura 21	Diseño propuesto de un amplificador operacional single-ended.32
Figura 22	Respuesta del Amplificador escalada sin DSL con EDO de 300mV ...33
Figura 23	Diseño Esquemático de un amplificador inversor con valor de EDO de 300 mV y lazo DSL.....34

Figura 24	Resultado de la simulación del amplificador inversor con valor de EDO de 300 mV y lazo DSL.	34
Figura 25	Resultado de la simulación del amplificador inversor con valor de EDO de 300 mV y lazo DSL, y señal ECG.	35
Figura 26	Topología del integrador fully differential con transconductancia.....	36
Figura 27	Bloque del transconductor <i>single-ended</i> y <i>fully differential</i>	38
Figura 28	Modelo interno de un transconductor con salida diferencial.	39
Figura 29	Diseño esquemático de un par diferencial del tipo PMOS	40
Figura 30	Respuesta de la corriente de salida y su derivada (GM) respectivamente, del par diferencial.	41
Figura 31	Resultados complementarios en la respuesta del par diferencial.....	42
Figura 32	Variación entre la relación de gm e Id, en función del Voltaje de overdrive.	42
Figura 33	Diagrama esquemático del bloque complementario de división de corriente.	43
Figura 34	Diagrama esquemático interno del bloque gm-DSL.....	44
Figura 35	Representación del modelo del modular con el ruido reflejado a la entrada de resistencia-on y resistencia-off.....	45
Figura 36	Arquitectura propuesta del modulador, con el uso de un reloj sin traslape y un Clock Booster. y estructura interna del Clock Booster ...	46
Figura 37	Modelamiento del dispositivo MOS en pequeña señal.....	47
Figura 38	Representación esquemática de un tipo de bloque CMFB	49
Figura 39	Símbolo del Amplificador Operacional propio del lazo DSL	50
Figura 40	Diagrama esquemático de simulación del GM_DSL como inversor....	51
Figura 41	Diagrama esquemático de resultados internos DC del GM_DSL	52
Figura 42	Diagrama esquemático de resultados DC del CMFB	52
Figura 43	Respuesta del GM_DSL ante la señal de entrada, en configuración como inversor.	53
Figura 44	Respuesta frecuencial en decibelios del GM_DSL en lazo cerrado	54
Figura 45	Diagrama esquemático para la simulación AC en lazo abierto.	55
Figura 46	Respuesta frecuencial en decibelios del GM_DSL en lazo abierto.	55

Figura 47	Respuestas frecuenciales de la magnitud en ganancia de voltaje del OpAmp, ante las variaciones PVT.....	56
Figura 48	Respuestas de la ganancia DC sobre la temperatura, ante las variaciones PV	56
Figura 49	Respuestas de la frecuencia de ganancia unitaria sobre la temperatura, ante las variaciones PV	57
Figura 50	Diseño esquemático de transconductor GM, con técnica de división de corriente con N equivalente a 10.....	58
Figura 51	Diseño esquemático del CMFB propio del bloque GM.....	58
Figura 52	Símbolo del transconductor GM.....	59
Figura 53	Diseño de testbench para el bloque GM	60
Figura 54	Respuesta de las corrientes de salida a través de pin n y p del GM.....	60
Figura 55	Curva derivada de la corriente de salida del GM.....	60
Figura 56	a) Magnitudes resultantes en el par diferencial, y los transistores del arreglo paralelo. b) Magnitudes de polarización de los transistores laterales en serie.....	61
Figura 57	Magnitudes resultantes de la polarización del CMFB	61
Figura 58	Señal de corriente de salida ante variaciones PVT	62
Figura 59	Curva derivada de la corriente en función de su voltaje de entrada, ante variaciones PVT	62
Figura 60	Magnitud de la transconductancia en función de la temperatura, ante variaciones PV	63
Figura 61	Valores de magnitudes DC del arreglo integrador.....	64
Figura 62	Respuesta del integrador a una señal de 1mV a 40Hz.....	64
Figura 63	Respuesta AC de la configuración de integrador.....	65
Figura 64	Respuesta en AC ante variaciones PVT.....	66
Figura 65	Respuesta de la frecuencia de ganancia unitaria a variaciones PVT ...	66
Figura 66	Respuesta de la frecuencia de corte sobre la temperatura, ante variaciones PVT.....	66
Figura 67	Diseño de testbench para el bloque integrador de forma acoplada.....	67
Figura 68	Respuesta AC vista desde la salida del OpAmp con integrador.....	68

Figura 69 Respuesta transitoria de una señal senoide de entrada de 1 mV.....68

Figura 70 Respuesta transitoria de ECG ampliada en una ganancia de 10.....68



ÍNDICE DE TABLAS

Tabla 1	Valores característicos de un integrador ideal y real.	23
Tabla 2	Valores de diseño en los transistores internos del DSL_GM	53
Tabla 3	Valores de la ganancia DC y frecuencia de ganancia unitaria antes variaciones PVT.....	57
Tabla 4	Valores de transconductancia ante los extremos de las variaciones PVT.	63
Tabla 5	Cálculo de la potencia disipada en los bloques diseñados.....	69



INTRODUCCIÓN

En la actualidad existen diversos equipos electrónicos que se han adaptado de forma estética para formar parte de la rutina de las personas, estos son denominados aparatos *wearables*. Muchos de estos cumplen diversas funciones, desde las más simples como dar la hora hasta algunas más complejas como medir parámetros fisiológicos. Este trabajo está relacionado con una de las etapas más importantes de la detección de señales biológicas que es la amplificación. Esta etapa busca incrementar la magnitud de la señal eléctrica detectada del usuario, la cual se caracteriza por ser muy pequeña (en el orden de los μV , o máximo algunos mV). Además de esto, el proceso de diseño de estos componentes de silicio se complica puesto que estos dispositivos no cuentan con una fuente de energía de gran capacidad, teniendo que considerar de manera crítica el control sobre la potencia que consumirá el sistema y evitar así, la máxima distorsión posible.

Dentro del área de la microelectrónica, existe una técnica muy útil para la amplificación de señales que requieren un bajo consumo de potencia, esta es la topología de amplificación capacitiva de instrumentación Chopper (CCIA), y se encarga de aumentar la magnitud de la señal principal eliminando las no deseadas, como por ejemplo el *offset* DC añadido por el electrodo (EDO), este es eliminado por el lazo de realimentación DSL de esta topología. La señal analógica resultante de esta etapa, luego de ser amplificada debe pasar por un filtro pasa bajos, y por último se transforma a formato digital. Para su aplicación en dispositivos *wearable*, el potencial de la fuente de alimentación suele depender de una batería de litio recargable o una cosecha de energía renovable, lo que vuelve recomendable operar estos dispositivos a bajo voltaje; de tal forma que el objetivo principal de este documento es realizar la investigación y el diseño electrónico del lazo de realimentación DSL para una topología de amplificación Chopper, en tecnología TSMC 180nm y un voltaje menor a 1V.

CAPÍTULO 1: LOS SISTEMAS PORTÁTILES PARA MEDICIÓN DE BIOPOTENCIALES

1.1 Contexto actual

En la actualidad la tecnología se ha convertido en la clave necesaria para el desarrollo de mecanismos que permitan solucionar múltiples problemas, los cuales pueden ser rutinarios o complejos, como por ejemplo un desarrollo asistencial médico. Esto ha generado una dependencia tecnológica a gran escala, y su evolución electrónica se ha incrementado de forma exponencial durante los últimos años, obligando a los dispositivos tecnológicos a adaptarse constantemente a las necesidades del ser humano para un uso más sencillo y cómodo, sin dejar de lado la eficiencia del equipo.

Varios dispositivos electrónicos se han visto forzados a cambiar su forma y dimensiones a una más estética y ergonómica. Esto se realiza con la finalidad de simplificar actividades cotidianas de las personas, como, por ejemplo: los dispositivos móviles celulares, cuyas dimensiones originales eran de gran tamaño y peso, dificultando su portabilidad en comparación con los más actuales cuyas dimensiones lograron ser más eficientes en portabilidad y de un peso correcto para un uso ergonómico.

Existen dispositivos portátiles que buscan tomar una apariencia estética, lo cual obliga al sistema electrónico a reducir el tamaño de sus circuitos integrados; y de esta forma poder controlar una gran variedad de sistemas sensoriales que son utilizados de forma lógica por un microcontrolador. Estos aparatos son objetos de estudio por muchas empresas de innovación tecnológica por su practicidad en uso y comodidad, estos son denominados como: dispositivos *wearables* o vestibles. Bajo este novedoso desarrollo, se ha buscado optimizar diferentes

equipos tecnológicos, para cumplir diversas funciones que permitan manejar mejor la información que rodea a las personas, siendo uno de estos rubros, el área de la salud.

Un ejemplo de la aplicación de los dispositivos vestibles es el diseño elaborado por estudiantes de la universidad de California, Los Ángeles [1]; quienes buscaron innovar y desarrollaron un equipo electrónico el cual simula un collar, para así poder detectar los movimientos que realiza la garganta, de tal forma que estos puedan ser controlados y monitoreados por un dispositivo móvil por medio de comunicación inalámbrica. Este dispositivo cuenta con sensores piezoeléctricos los cuales son capaces de producir diferentes valores de voltajes en respuesta a señales de estrés mecánico, utilizando este método para detectar los diferentes parámetros que realiza el movimiento de la garganta al ingerir un alimento, y enviar esta información a un dispositivo móvil el cual se encargará de su procesamiento y visualización a través de diversos algoritmos, como se aprecia en la figura 1.

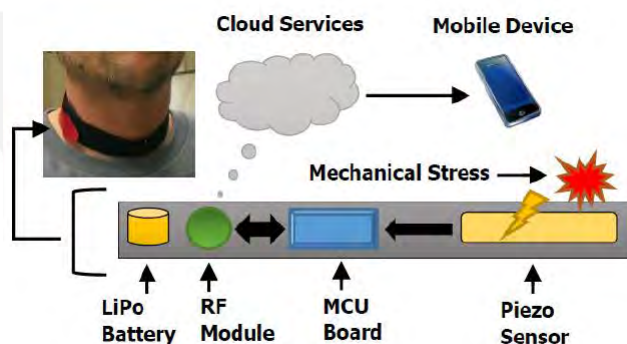


Fig. 1. Arquitectura del sistema de monitoreo [1]

De esta forma le permite al usuario aumentar la conciencia sobre su consumo de alimentos, empoderarlo para que establezca una mayor regularidad y equilibrio en su dieta, alentarlo a mantener niveles adecuados de hidratación, y rastrear sus patrones históricos de alimentación para identificar cambios en su dieta.

1.2 Estado del arte

Diseñar dispositivos electrónicos que funcionen con una baja fuente de voltaje y que interprete señales con magnitudes muy pequeñas, como los dispositivos vestibles, trae algunos retos consigo como, por ejemplo: el acoplamiento de ruido *flicker* en la señal principal o el *offset* DC que se presenta al trabajar con electrodos. Para aplicaciones médicas se requiere de este último elemento mencionado, el electrodo; y permite el registro de valores fisiológicos del usuario, el cual añade al sistema la recepción de los valores no deseados, pero presentes en cada lectura como las diferencias entre las mediciones individuales de cada electrodo, que idealmente deberían ser nulas. La presencia de esta diferencia es lo que se denomina el *offset* que poseen los electrodos en nivel DC (EDO); el cual genera un gran problema puesto que, aumenta en valores innecesarios a la señal que se busca procesar. Existen también otros problemas bastante concurrentes en este tipo de aplicación como: el ruido de modo común (propio de los transistores) o los valores bajos que toma la impedancia de entrada.

Por ejemplo, en el año 2020 investigadores de la universidad Tsinghua [2], liderados por el profesor Zhihua Wang buscaron la forma de diseñar una topología que permita superponer algunos modelos de tal forma que sean eficientes ante los problemas ya mencionados. Este sistema debe ser diseñado para trabajar con los bajos potenciales del cuerpo, los cuales se encuentran en el orden desde décimas de microvoltios hasta unos pocos milivoltios, con una frecuencia que puede alcanzar los sub-HZ, hasta un máximo de 10 KHz.

Se diseñó un registro con bajo ruido de biopotenciales con una alta tolerancia a la interferencia de la fuente de voltaje menor a 0.8V, implementado en tecnología TSMC 180nm (Tecnología de 180 nanómetros), aplicado para sistemas de interfaz entre una máquina y el cerebro (BMI). Para este modelo presentado, se propusieron 4 etapas: un modulador Chopper de bajo ruido, un lazo de realimentación basado en un lazo para la cancelación del modo común, un lazo de

cancelación del offset y un amplificador operacional de transconductancia (OTA) usando un *DC Servo Loop* (DSL), tal y como se aprecia en la figura 2.

El lazo de realimentación para eliminar el voltaje de modo común es propuesto como un sistema de corrección de errores, mientras que junto con el lazo de cancelación de offset (OCL) permiten reducir las ondulaciones no deseadas y generadas por el offset a la entrada del amplificador operacional de transconductancia.

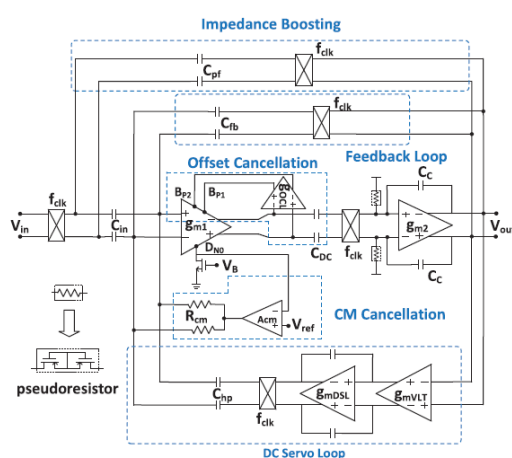


Fig. 2. Arquitectura del registro de biopotenciales propuesto [2]

Esta topología obtuvo los siguientes resultados: un consumo de potencia de 2.27 uW, mientras que mantenía una alta tolerancia a la interferencia de la fuente mayor a 600 mVpp y un CMRR mayor a 100 dB a 50Hz. El ruido referido a la entrada disminuye mientras que la frecuencia del modulador Chopper aumenta, hasta que esta llega a 30 KHz, a partir de ese punto su decrecimiento es muy lento. Además de eso, muestra una distorsión armónica total de -65.5 dB.

Otro ejemplo, es el caso de los investigadores Quan Li, Xiaosong Wang y Yu Liu [3], quienes han realizado una investigación en la amplificación de señales de bio-medicación utilizando la amplificación capacitiva de instrumentación Chopper (CCIA), sin embargo, tienen como objetivo desarrollar una topología complementaria que permita cancelar el ruido no lineal por

medio de una tecnología de realimentación. Para realizar esto deben tener en cuenta los valores fisiológicos del usuario, por ejemplo, la señal neuronal registrada a través de la interfaz electrodo-tejido posee un potencial el cual se encuentra dentro de los 5 μ V a 5mV, a una frecuencia entre 0.5 Hz a 500 Hz, junto con el valor DC del offset del electrodo (EDO) el cual posee valores desde ± 50 mV hasta ± 300 mV; por lo que, un gran EDO puede muy fácilmente saturar la alta ganancia analógica de los amplificadores. Para evitarlo, el grupo ha decidido utilizar un *DC servo Loop* (DSL), como se puede apreciar en la figura 3, el cual utiliza un bloque integrador con una gran constante de tiempo, y así poder alcanzar un mejor CMRR y una mayor reducción del ruido flicker.

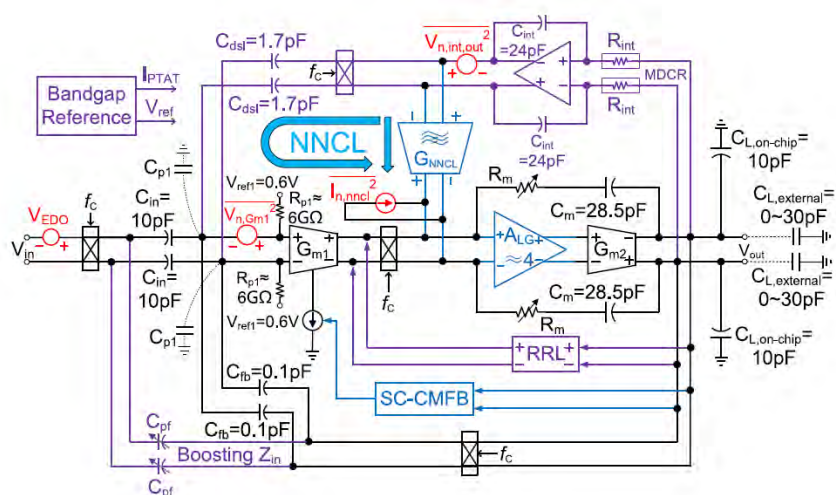


Fig. 3. Diseño del CCIA con DSL [3]

Usualmente, para diseños electrónicos de precisión se utiliza una topología conocida como el Amplificador Operacional de Instrumentación, el cual junto con las resistencias utiliza 3 Amplificadores Operacionales para cumplir el objetivo de amplificación, sin embargo no es eficiente para el sistema deseado ya que el nivel de potencia que ocupan los 3 OpAmp generan un problema mayor al sistema, puesto que pueden exceder las limitaciones de la fuente; por otro lado tampoco soluciona el problema generado por el ruido causado por la baja frecuencia.

1.2.1 Amplificador Capacitivo de Instrumentación Chopper (CCIA)

En los últimos ejemplos revisados dentro del estado del arte, se puede apreciar la presencia, como topología principal, del Amplificador Capacitivo de Instrumentación Chopper (CCIA), el cual presenta una similitud al tipo de amplificación resistiva, con diferencia que este reemplaza las resistencias por capacitores, ya que de esta forma se aprovechan los beneficios de los condensadores como su capacidad de eliminar señales de ruido generado por frecuencias bajas, presenta un bajo offset y un alto rendimiento de CMRR [4]. Además de ello, los capacitores sufren menos de un fenómeno perjudicial para el cálculo de valores adecuados, denominado como el efecto “*mismatch*”, que se encuentra mucho más presente en las resistencias.

Otra característica presente en este tipo de amplificación, tal y como se observa en la figura 4, es la modulación de la señal, en la etapa de entrada al amplificador, y la respectiva demodulación a su salida. Este proceso se lleva a cabo a una frecuencia específica en todo el sistema, denominada como “frecuencia *flicker* (f_c)”. El propósito principal de esto es poder utilizar las características frecuenciales de cada tipo de señal que ingresa al sistema y poder maximizar la diferencia que existe entre la magnitud de la señal principal y la que no es deseada, como el EDO. Esta última, no es eliminada por el CCIA, sino solo es reducida a una ligera ondulación a la salida.

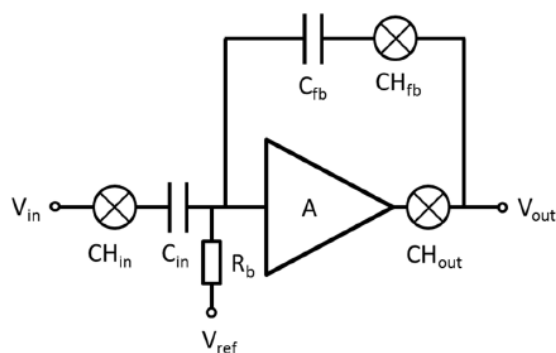


Fig. 4. Diagrama de bloques de un CCIA básico [4]

Usualmente se suele observar el CCIA, unido a etapas secundarias que le ayudan a solucionar sus problemas principales, entre ellos: un elevador de impedancia de entrada, una etapa de cancelación del offset del electrodo, un bucle de realimentación, una cancelación de modo común o un DC SERVO LOOP. Este último es utilizado para formar una esquina de frecuencia en un paso-alto para poder filtrar el EDO.

1.3 Declaración de la Problemática

A pesar de haberse desarrollado varios modelos de dispositivos *wearables* a lo largo del tiempo, la medición de biopotenciales dentro de un contexto de limitación de energía y espacio presenta ciertos problemas que vienen siendo abordados en los últimos años [5]. Entre los que se encuentran señales de distorsión como el offset del electrodo al que es relacionado el sistema, el ruido de modo común o los valores que toma la impedancia de entrada; los cuales de forma proporcional aumentan su complejidad para ser eliminados cuando la fuente de voltaje de alimentación es menor.

Un tipo de amplificador de instrumentación que se ha mostrado adecuado es el conocido como “amplificador capacitivo de instrumentación chopper”, el cual sigue la topología e idea original que el amplificador de instrumentación resistivo[4]; no obstante, el reemplazo de las resistencias por capacitores ha demostrado solucionar los problemas más importantes que presenta este modelo original, como el ruido que presenta a la entrada, la reducción en la impedancia de entrada del amplificador, además de su limitación de la CMRR (Rechazo al modo común) la cual estaría alrededor de 90-60 dB. Otra ventaja de la topología capacitiva es que sufren menos del fenómeno conocido como “*mismatch*”, el cual es la diferencia de valores reales en los componentes por sus diferentes propiedades físicas, y se encuentra muy presente en componentes como las resistencias, mientras que son mínimas en los capacitores.

A pesar de lidiar bien con uno de los principales problemas que es el ruido *flicker*, requiere estructuras adicionales para compensar algunos problemas propios de la topología [2]. Entre ellos se destaca el *ripple* que se observa en la salida del CCIA y que resulta de la modulación del EDO a la entrada de la amplificación; esto genera un gran problema ya que luego de la modulación y demodulación se presenta como una señal *ripple* de onda cuadrada, el cual puede saturar a componentes como los OpAmp. Como una de las posibles soluciones podemos mencionar el uso de condensadores de desacoplo y la eliminación del offset de la primera etapa [6]. Sin embargo, esta técnica no es favorable a nivel microelectrónico, ya que, al ser de baja frecuencia, el capacitor que se utilizaría es de dimensiones muy grandes para el diseño a implementar. Los ejemplos anteriores proponen un lazo de realimentación servo DC (DSL), el cual consiste en un integrador que actúa como un filtro pasa altos, compuesto por dos transconductancias, una que actúa como una resistencia y otra con capacitores que permiten completar el filtro. La salida de esta etapa debe entrar directamente al CCIA, por lo que debe ser modulada nuevamente. Estos son ejemplos de la complejidad en la búsqueda de una solución particular para la eliminación de señales EDO, para el aumento de la magnitud de la señal principal para cada dispositivo.

1.4 Objetivo

1.4.1 Objetivo General

El objetivo general de este trabajo es diseñar en tecnología CMOS un circuito de reducción de offset de los electrodos dentro de la primera etapa de amplificación en un amplificador de instrumentación chopper acoplado capacitivamente. Las características deben ser las adecuadas para procesar bioseñales, con una fuente de alimentación menor a 1V en tecnología TSMC de 180nm.

1.4.2 Objetivos Específicos

Entre los objetivos específicos están:

- Establecer el diagrama esquemático general de las diferentes etapas a utilizar.
- Dimensionar apropiadamente los transistores para diseñar un amplificador con las características deseadas.
- Realizar las simulaciones de comprobación de las etapas tanto individuales como en conjunto.
- Deducir ecuaciones entre distintos parámetros a partir de las ecuaciones definidas anteriormente para localizar puntos de optimización para las especificaciones.
- Extraer los parámetros y simularlos; para verificar su funcionamiento y su robustez frente a variaciones en el proceso.
- Presentación y discusión de resultados.

1.5 Justificación

Como se mencionó al inicio, existen diversos motivos por el cual se busque implementar una fuente de bajo voltaje; entre ellos se encuentra el problema actual que brinda utilizar energías limpias como, por ejemplo, la solar. Considerada como una energía que puede ser muy aprovechada, sin embargo, presenta el inconveniente de generar muy poco voltaje, el cual se reduce conforme se disminuye las dimensiones del panel en donde se recibe la energía. Por lo que considerando que la intención de este diseño electrónico es contribuir con el desarrollo de dispositivos vestibles, que son de dimensiones reducidas, es definitivo que esta tecnología continuara trabajando a un voltaje muy pequeño hasta que se encuentre una forma de aumentar la potencia obtenida de este tipo de cosecha de energía, siendo lo mismo para el método actual más utilizado en estos dispositivos, las baterías recargables.

Además de ello, la historia nos ha demostrado como es muy importante el desarrollo de artefactos que permitan identificar anomalías en los diversos parámetros de la salud; por ejemplo, es muy común observar que los dispositivos móviles cuenten con un sensor infrarrojo para observar el ritmo cardiaco del usuario. La capacidad de detectar parámetros fisiológicos como este, añadidos en un dispositivo vestible que se utilizaría en gran parte del día, permitirá al usuario ser capaz de controlar y reconocer su estado actual de salud en ciertas áreas predeterminadas por el equipo. Son por estos motivos que es importante realizar un estudio profundo de las diversas tecnologías electrónicas que se encuentran involucradas para el propósito mencionado.

1.6 Alcance

El alcance principal es el desarrollo del modelo general de la etapa de realimentación del DSL, el cual será añadido de forma complementaria a una topología CCIA. Además de ello, se llegará a su simulación virtual, por medio del Software “Cadence Design Systems”. Sin embargo, no se pretende llegar a una etapa de fabricación física de este, puesto que no se cuenta con los recursos para cubrir los costos asociados, además del tiempo de demora que este proceso puede implicar, en el contexto actual social.

CAPÍTULO 2: ANÁLISIS TEÓRICO DEL AMPLIFICADOR DE BIOPOTENCIALES Y TÉCNICAS DE REDUCCIÓN DEL OFFSET DEL ELECTRODO

El semiconductor complementario de óxido metálico (CMOS), ha demostrado ser un elemento bastante versátil y capaz de cubrir múltiples espacios tanto analógicos como digitales. Este tipo de tecnología complementaria busca utilizar los componentes MOS de tipo p y tipo n, para la creación de compuertas lógicas o topologías que aprovechen las propiedades eléctricas de estos dispositivos. La tecnología actual permite su creación en dimensiones pequeñas, en el orden de los nanómetros. Por lo que su uso en el área de microelectrónica es indispensable para asegurar la reducción de las dimensiones físicas en cada dispositivo electrónico, como en el caso de los dispositivos vestibles, cuyo espacio es reducido. Actualmente su presencia se ve involucrada en tecnologías de control, procesadores digitales y, el propósito de esta investigación, la amplificación de biopotenciales. En el capítulo actual, se procede a definir aspectos teóricos de suma importancia para el diseño del circuito propuesto, así como analizar sus posibles modelos de solución.

2.1. Aspectos teóricos para el diseño de amplificadores con tecnología CMOS

Los componentes CMOS cuentan con 4 compuertas de control que fijan el comportamiento de este dispositivo, estos son: La puerta (G), el drenador(D), el surtidor(S) y el cuerpo(B). Los cuales van a definir la zona de trabajo del dispositivo, que puede ser tanto la región de corte, la región de triodo y la de saturación.

Para la mayor parte de este trabajo, se va a desear que el dispositivo MOS funcione en la región de saturación, puesto que posee dentro de este nivel posee un mejor control y brinda resultados más estables. Un valor que permite asegurar la zona de trabajo de este dispositivo es el voltaje diferencial entre la puerta y el surtidor (V_{GS}), junto con el voltaje umbral o V_{TH} (el mínimo voltaje requerido para activar el canal de inversión), la diferencia de estos permiten obtener el

voltaje de *overdrive* (también conocido como voltaje efectivo) [7], tal y como se observa en la ecuación 2.1.

$$V_{ov} = V_{GS} - V_{TH} \dots (2.1)$$

Cuando la magnitud del voltaje entre el drenador y surtidor supera al voltaje efectivo, se puede asegurar que este se encuentra en la región de saturación. Por lo que la corriente que atraviesa el drenador tomará un valor cuasi constante, representado por la ecuación 2.2. En donde se muestra una relación directamente proporcional entre la corriente que atraviesa el drenador con el voltaje efectivo y algunos parámetros físicos del dispositivo, entre ellos, la relación de aspecto. Este último término hace referencia a la razón geométrica que existe entre el ancho del elemento MOS (W) y el largo de la puerta de este (L). Los términos restantes de la ecuación hacen referencia a la relación entre la constante de movilidad de electrones junto con la capacitancia generada por el óxido a la entrada, conocida como la constante de tecnología (μC_{ox}).

Sin embargo, cuando el MOS se encuentra en esta zona de saturación, surge un efecto conocido como la modulación de canal. Ella define que la corriente del drenador es también directamente proporcional a los diferentes valores de potenciales que puede tomar el voltaje entre el drenador y surtidor, V_{DS} ; tal y como se muestra en la ecuación 2.3. En donde λ va a representar la relación entre la longitud del canal a la puerta del transistor en donde ocurre que la densidad de la carga móvil (Q_D) tome el valor de cero, sobre el valor de L [8].

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \dots (2.2)$$

$$I_D \approx \frac{1}{2} * \mu * C_{ox} * \frac{W}{L} * (V_{GS} - V_{TH})^2 * (1 + \lambda * V_{DS}) \dots (2.3)$$

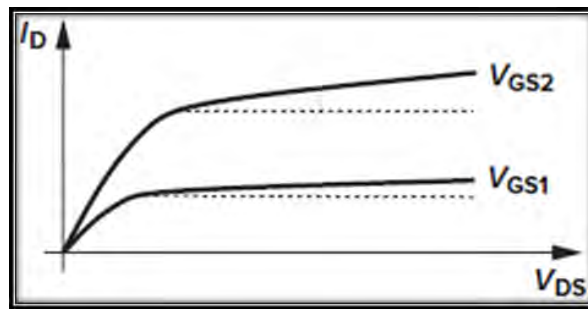


Fig. 5. Resultado de la I_D en respuesta a la modulación de canal [8]

2.1.1. Espejo de corriente CMOS

El modelo que brinda el CMOS en saturación, permite muchas veces relacionarlo a una fuente de corriente. Esto permite desarrollar la topología de “espejo de corriente”, como se observa en la figura 2, la cual tiene como finalidad recrear una corriente inicial de referencia a la entrada de este por un dispositivo MOS, hacia otro de igual tipo, de forma que pueda ser utilizada por un circuito analógico en relación con la magnitud de la corriente de salida deseada.

La corriente de referencia y de salida, se ven modeladas por la ecuación 2.2, con distintos valores en la relación de aspecto. Si considera un mínimo de modulación de canal ($\lambda=0$), y además, una práctica correcta de diseño en esta topología, como lo es igualar los valores en las longitudes del canal ($L_1 = L_2$); de esta manera se logra minimizar todos los errores producidos por el efecto causado por la difusión lateral de la fuente y el drenador [9].

Por lo que tomando en cuenta los criterios anteriores y recreando una proporción entre las magnitudes de la corriente de referencia y la de salida, planteada en la ecuación 4, se puede observar no solo una copia directa de la corriente sino también un factor de ganancia de ella, dependiente únicamente de la relación entre los anchos de los elementos MOS.

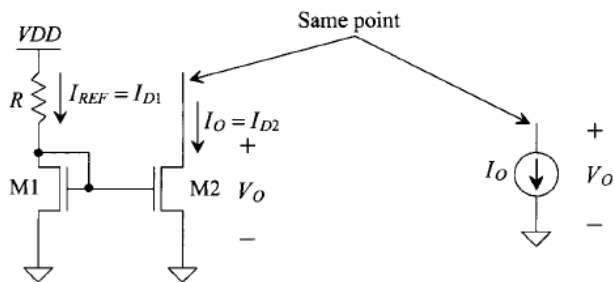


Fig. 6. Representación de un espejo de corriente MOS, como fuente de corriente.

$$\frac{I_O}{I_{REF}} = \frac{W_2/L_2}{W_1/L_1} * \frac{1+\lambda(V_O-V_{DS1,SAT})}{1+\lambda(V_{DS1}-V_{DS1,SAT})} \dots (2.4)$$

$$\frac{I_O}{I_{REF}} = \frac{W_2}{W_1} \dots (2.5)$$

Para la demostración anterior se asumió un valor de $\lambda=0$, de tal forma que se pueda demostrar la relación entre las corrientes sin considerar el factor de modulación de canal. Sin embargo, al tomarlo en cuenta, se va a observar la influencia que tiene el voltaje entre el drenador y surtidor (V_{DS}), obteniendo como resultado un valor crítico en el margen de error al momento de reflejar la señal de referencia. Para una mejor comprensión de lo mencionado, en función a la ecuación 2.4, a continuación, se va a plantear los siguientes valores: $V_{DS1} = 0.35V$, $V_O=V_{DS2}=0.75V$ y $\lambda_1 = \lambda_2= 0.6 V^{-1}$. Para ello se plantean distintos valores de V_{DS} en cada uno de los MOS, siempre asegurando que se encuentren en saturación.

$$\frac{I_O}{I_{REF}} = \frac{1+\lambda_2*V_O}{1+\lambda_1*V_{DS1}} = \frac{1+0.6*0.75}{1+0.6*0.35} = 1.20 \dots (2.6)$$

Tal y como se puede apreciar, la diferencia entre los valores desiguales de V_{DS} en cada dispositivo genera un error en la replicación del 20%. Se puede asegurar entonces que el único instante en donde los valores de la proporción entre la corriente de entrada y salida cumplan la ecuación 1.5, es para valores de $V_{DS1}=V_{DS2}$. De no ser este el caso, se debe considerar el error generado por la diferencia de estos.

2.1.2. Amplificador Diferencial CMOS

El amplificador diferencial es una topología esencial para la creación de amplificadores operacionales, puesto que permite brindar una respuesta en función a la diferencia en las entradas. Existen diferentes modelos para su composición, uno de ellos es el modelo con carga activa de espejo de corriente, tal y como se muestra en la figura 7. Para asegurar el correcto desarrollo de esta topología, es obligatorio que todos los transistores se encuentren en la región de saturación. Este tipo de amplificador puede recibir dos señales de entrada con un valor de referencia fijo (*Single ended*), los cuales van a definir un valor en la puerta(G) de cada transistor tanto M1 como M2. El espejo de corriente compuesto por elementos P-MOS busca igualar las corrientes de los drenadores del par diferencial, el comportamiento de estas responderá a la ecuación 2.3, por lo que se define valores iguales de W y L entre M3 y M4, y M1 y M2. Considerando estas características, y que el valor de la suma de corrientes resultante del par diferencial es fijado por la fuente de corriente, I_{SS} , entonces la corriente que circula por los drenadores de estos transistores debe ser equivalente a $I_{SS}/2$.

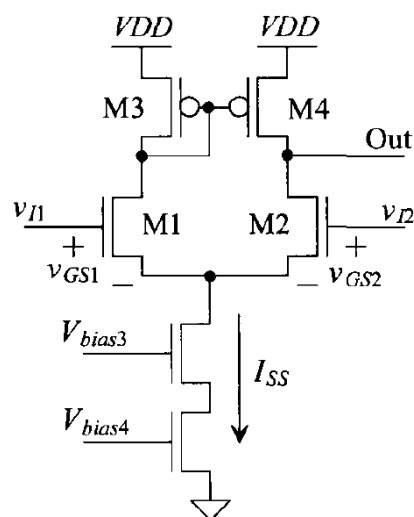


Fig. 7. Diagrama esquemático de un amplificador diferencial con carga activa de espejo de corriente P-MOS. [9]

2.1.3. La transconductancia en dispositivos MOS

Este efecto surge como consecuencia de la operación del MOSFET en la región de saturación, ya que genera una corriente en respuesta al voltaje efectivo entre la puerta y el surtidor, lo cual genera una proporcionalidad entre la conversión de estos dos parámetros. La respuesta de la transconductancia (g_m) se define entonces, como los cambios generados en la corriente del drenador, en base a la diferencia generada al variar el valor de V_{GS} , representado por la ecuación 2.7. Por lo que al derivar la ecuación 2, en función a los cambios en V_{GS} , se obtiene como resultado la ecuación 8. Como consecuencia de esto se obtienen las expresiones referidas de g_m por las ecuaciones 9 y 10.

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS} \text{ const}} \dots (2.7)$$

$$g_m = \mu C_{OX} \frac{W}{L} (V_{GS} - V_{TH}) \dots (2.8)$$

$$g_m = \sqrt{2\mu C_{OX} \frac{W}{L} I_D} \dots (2.9)$$

$$g_m = \frac{2 I_D}{V_{GS} - V_{TH}} \dots (2.10)$$

Estas 3 ecuaciones derivadas, representan el valor que puede tomar la transconductancia en función de diferentes magnitudes como los son: La relación de aspecto (W/L), la corriente del drenador (I_D) y el voltaje de overdrive (V_{ov}). De forma gráfica se puede apreciar estas relaciones en la figura 8, las cuales son consideradas a la hora de diseño en base a la información de los requisitos de diseño.

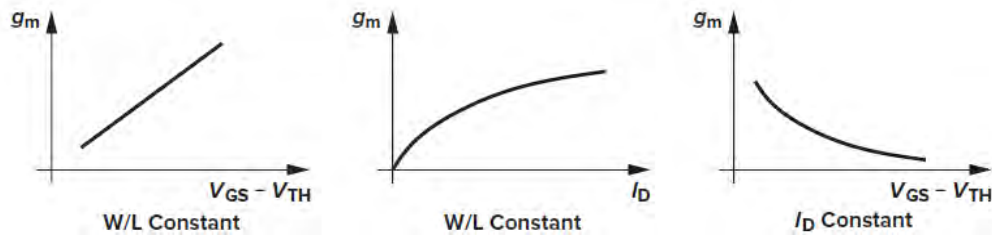


Fig. 8. Representación gráfica de las variaciones de la transconductancia en base a los cambios realizados del voltaje de referencia, corriente del drenador y relación de aspecto. [8]

Finalmente, se va a observar una relación existente entre el valor de la transconductancia y la corriente del drenaje, no obstante, este crecimiento no es infinito, pues alcanzado un nivel se puede considerar esta relación como constante, el cual será a un valor cercano a 30. Por lo que la ecuación 2.11, representa un criterio de mucha importancia en el diseño de los transistores, determinando así el margen máximo que puede tomar esta relación.

$$\left. \frac{g_m}{I_D} \right|_{MAX} < 30 \text{ V}^{-1} \dots (2.11)$$

2.1.4. El amplificador Chopper

La topología de amplificación capacitiva de instrumentación Chopper (CCIA), analizada en la figura 4, se ha convertido en una técnica bastante practicada en el registro de biopotenciales, en especial para dispositivos vestibles. Esto surge a partir de las ventajas únicas que presenta esta topología frente a otras, entre las que se encuentra: primero, el aislamiento completo de la tierra virtual del amplificador operacional de cualquier voltaje en modo común DC. También se tiene la gran eficiencia de esta topología frente al ruido, puesto que esta es generada en su mayor parte por el amplificador. Y finalmente, puede alcanzar una muy alta precisión en la ganancia, ya que esta no es determinada por resistencias sino por las capacidades de C_{in}/C_{fb} , la cual en la práctica alcanza un rango de 0.2% [4].

En la figura 9 se muestra la técnica de aplicación chopper con lazo abierto, en donde se muestra la consideración de una señal no deseada, denominada como el valor de offset de la amplificación (V_{OS}). Este esquema propone la modulación de la señal de entrada, por medio de un multiplicador de onda cuadrada con valores de ganancia de '+1' y '-1', y se dará a un valor específico de frecuencia, denominada como frecuencia de *chopping* (f_{CH}), la cual será idéntica tanto en las modulaciones generadas a la entrada como en salida. Es importante que este proceso se lleve a cabo a un ciclo de trabajo exacto del 50%, puesto que variaciones de este porcentaje, provocan un gran aumento de la señal V_{OS} , complicando su eliminación en etapas posteriores.

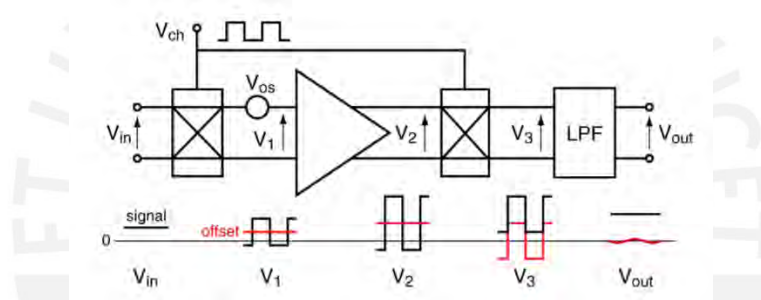


Fig. 9. Representación de la modulación Chopper en lazo abierto. [4]

Al realizar el diseño de esta topología, se debe considerar con suma importancia el valor que se elija para la f_{CH} , ya que esta determinará aspectos importantes en diferentes etapas, como la impedancia de entrada del amplificador, la cual de por sí es baja, y posee una relación inversamente proporcional a esta frecuencia [4]. Entonces para la elección de f_{CH} , se debe tener en cuenta los requisitos máximos y mínimos para funcionar de manera óptima. Uno de ellos es que la f_{CH} debe ser mayor que el máximo valor que toma la frecuencia *flicker*, pero al mismo tiempo, no puede exceder por mucho el valor de esta, porque a su vez es directamente proporcional con los valores de corriente residuales del V_{OS} , considerando a esta como una señal que se desea reducir. Por lo tanto, se considera como buen criterio de elección, utilizar la menor frecuencia f_{CH} posible, sin disminuir del máximo valor de la frecuencia *flicker*.

2.2. El Offset del electrodo (EDO)

El electrodo es un dispositivo físico que sirve como la interfaz entre un dispositivo de medición electrónico y el tejido biológico, de tal forma que se pueda medir las señales de biopotenciales, algunos de ellos precisan del uso de un gel con electrolitos que permitan determinar con mayor precisión los valores reales del cuerpo. El uso de estos se encuentra muy normalizado para aplicaciones de electrocardiogramas, electromiogramas y electroencefalograma. Los electrodos que requieren un gel para su uso son denominados electrodos húmedos, mientras que los otros son secos. Ambos tipos son representados, por el modelo electrónico que se muestra en la figura 10, el cual representa de forma esquematizada el comportamiento de los componentes de sus materiales antes señales de biopotenciales. A causa de este modelo surge un parámetro propio del electrodo, el cual es reconocido como el *offset DC* del electrodo (por sus siglas en inglés, EDO).

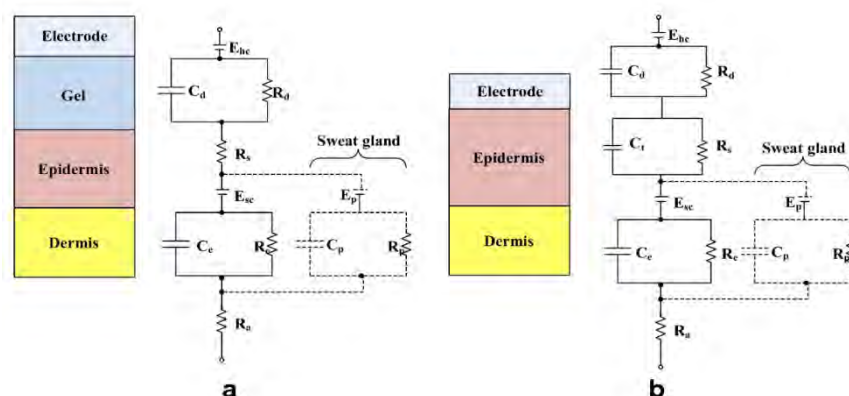


Fig. 10. a) Modelo esquemático del electrodo húmedo. b) Modelo esquemático del electrodo seco. [10]

Esta señal continua es considerada como no deseada para el registro de la señal de biopotencial puesto que se acopla a ella y causa una distorsión suficientemente problemática al momento de amplificarla. Por lo que, si no es suprimida, provoca respuestas inesperadas como la saturación de los amplificadores operacionales. En la figura 11, se puede observar el comportamiento que esta tiene junto con el ruido $1/f$, ante señales de ECG, EMG y EEG, dentro de un rango de

frecuencia menor a 1KHz. Donde se aprecia que, a una menor frecuencia, esta señal generada por electrodo presenta una magnitud mayor que las señales principales, resultando esto como algo muy inoportuno para el posterior diseño de amplificación.

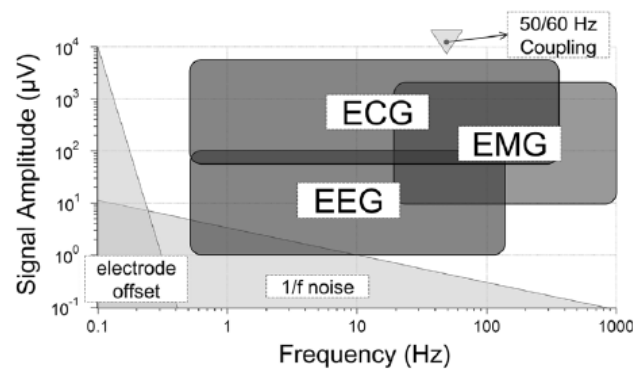


Fig. 11. Representación gráfica de la amplitud de señales ECG, EEG, EMC, EDO y el ruido $1/f$, en la banda de frecuencia. [11]

2.3. Topología del Integrador

La topología de un circuito integrador analógico clásico se basa en un amplificador operacional con un condensador en el lazo de retroalimentación, de tal forma que la señal de entrada en forma de corriente eléctrica pueda ser convertida a una señal de voltaje por una resistencia ubicada a la entrada negativa del OpAmp. Este circuito tiene como finalidad simular un filtro pasa bajos permitiendo así el pase de señales con frecuencia menores a la frecuencia de corte asignado al integrador. A continuación, se va a realizar el cálculo teórico de los principales factores para tener en cuenta en el diseño de este, así como dos variantes de la topología principal.

2.3.1. Integrador con salida single-ended

Una señal de salida simple es caracterizada principalmente porque su media se encuentra en función de un potencial fijo, usualmente “tierra” [8], para el caso particular de un OpAmp alimentado asimétricamente, se utiliza un voltaje de referencia. En este tipo de topología pueden entrar dos señales tanto positivas como negativas a la etapa de amplificación del OpAmp, devolviendo este a la salida la respuesta de la diferencia de estas en función al

potencial fijo. En la figura 12 se puede observar la representación single-ended del integrador con voltaje de referencia.

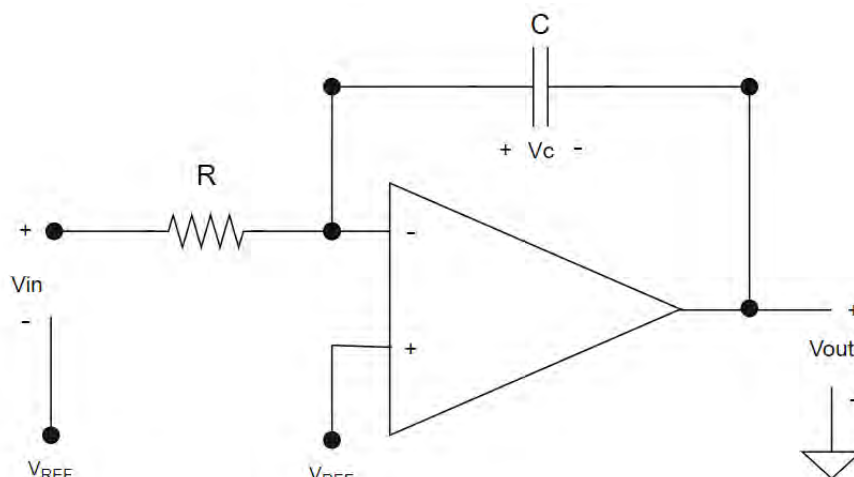


Fig. 12. Topología RC de un integrador single-ended

Este tipo de topología va a presentar una respuesta en frecuencia caracterizada principalmente por 3 parámetros muy importantes: La ganancia en DC, la frecuencia del polo y la frecuencia de ganancia unitaria.

La ganancia en DC va a señalar la máxima constante de ganancia que se puede aplicar a la señal de respuesta del amplificador operacional, en un caso ideal el OpAmp obtendrá una capacidad de ganancia infinita. Analizando el lazo de realimentación RC, de la figura 12, como un modelo frecuencial de Laplace, se puede extraer la función de transferencia representada en la ecuación 2.12. Entonces el comportamiento de esta a niveles DC ($s = 0$), es igual a valores indefinidos muy altos, definiéndolo como infinito al valor de la ganancia en DC, como se observa en la ecuación 2.13.

$$\frac{V_{OUT}}{V_{IN}} = \frac{-1}{RC} * \frac{1}{s} \dots (2.12)$$

$$\left. \frac{V_{OUT}}{V_{IN}} \right|_{s=0} = \infty \dots (2.13)$$

El polo va a definir el punto de inflexión de la representación gráfica en frecuencia, se calcula a partir del análisis de la respuesta del denominador de la función de transferencia (ecuación 2.12) a un valor de cero, la cual cumpliría para un valor de s igual a una magnitud de cero, para el caso ideal del integrador; esto se representa en la ecuación 2.14.

$$f_c = 0 \text{ Hz} \dots (2.14)$$

La frecuencia de ganancia unitaria va a definir el instante frecuencial en donde el modelo de la función de transferencia obtendrá valores iguales a la unidad, de tal forma que obteniendo este valor en el módulo de la ecuación 2.12, se observa que la frecuencia de ganancia unitaria para el caso de amplificado integrador ideal es el mostrado en la ecuación 2.15.

$$f_u = \frac{1}{2\pi RC} \text{ Hz} \dots (2.15)$$

Estos valores son muy importantes para entender el comportamiento frecuencial de la topología, como se mencionó al inicio, el valor representativo de la ganancia del amplificador operacional fue infinito, sin embargo, para consideraciones de un caso real, se considera a este como un valor finito de magnitud A . Lo cual sugiere un replanteo de las ecuaciones anteriormente demostradas, en base a la función de transferencia del modelo del integrador con una ganancia de A , representado en la ecuación 2.16.

$$\frac{V_{OUT,R}}{V_{IN,R}} = -\frac{1}{\frac{1}{A} + \left(\frac{1+A}{A}\right) * RCs} \dots (2.16)$$

Teniendo en consideración el modelo real, se puede observar que para valores DC en donde s consigue una magnitud de cero, el valor de la función de transferencia toma un valor igual a A , lo que significa que la ganancia del amplificador operacional limita a la ganancia del modelo general del integrador, representando esto en la ecuación 2.17.

$$\left. \frac{V_{OUT,R}}{V_{IN,R}} \right|_{s=0} = A \dots (2.17)$$

Por otro lado, para observar el valor de la frecuencia en donde se encuentra el polo de la función de transferencia se analiza el denominador de la función de transferencia y en qué momento

frecuencial llega este a un valor de cero. De tal forma que, realizando los cálculos oportunos, se demuestra la ecuación 2.18.

$$f_{C,R} = \frac{1}{2\pi RC(1+A)} \text{ Hz} \dots (2.18)$$

De igual forma, la ecuación 2.19 muestra la frecuencia en donde se alcanza una ganancia unitaria, esto como resultado de igualar el módulo de la función de transferencia con la unidad, observando así una relación con el valor que tome A.

$$f_{u,R} = \frac{1}{2\pi RC} * \sqrt{\frac{A-1}{A+1}} \text{ Hz} \dots (2.19)$$

Estos parámetros analizados se ven representados en la tabla 1, con la finalidad de poder comparar los valores y observar como en el caso real existe una limitación considerable por parte de la ganancia del amplificador operacional representando esto en la figura 13, en donde se puede observar la respuesta del modelo ideal y real.

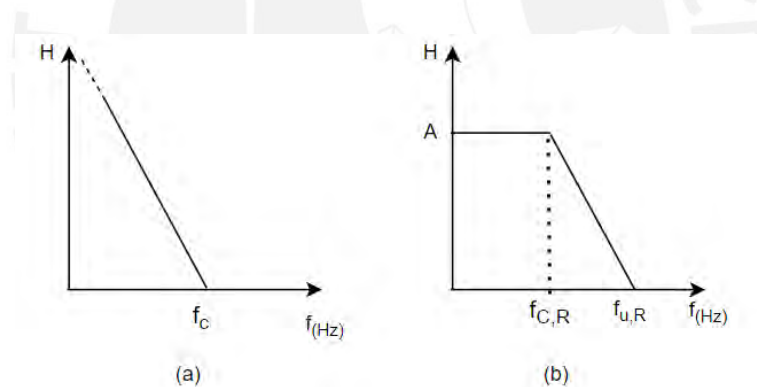


Fig. 13. a) Diagrama de Bode del integrador ideal. b) Diagrama de Bode del integrador real.

	IDEAL	REAL
GANANCIA EN DC	∞	A
FRECUENCIA DEL POLO	0	$\frac{1}{2\pi RC(1+A)}$
FRECUENCIA DE GANANCIA UNITARIA	$\frac{1}{2\pi RC}$	$\frac{1}{2\pi RC(1+A)} * \sqrt{\frac{A-1}{A+1}}$

Tabla 1. Valores característicos de un integrador ideal y real.

2.3.2. Integrador con estructura fully differential

Una señal diferencial es definida como aquella que es medida entre dos nodos que poseen una excursión de señal igual y opuesta alrededor de un potencial fijo. De tal forma que los dos nodos deben mostrar la misma impedancia en ese potencial. Un parámetro muy útil de este tipo de topología es el modo común, considerado como el punto central de la señal diferencial. Una ventaja significativa sobre la topología single ended es su inmunidad al ruido de modo común. Otra propiedad útil de la señalización diferencial es el aumento de las oscilaciones de voltaje máximas alcanzables, así como una linealidad más alta.

Para el caso del integrador *fully differential*, se plantea la topología mostrada en la figura 14; esta va a presentar una salida diferencial en función de una entrada V_{IN} del mismo tipo, definido por el lazo conformado por RC, denominado como *differential feedback*.

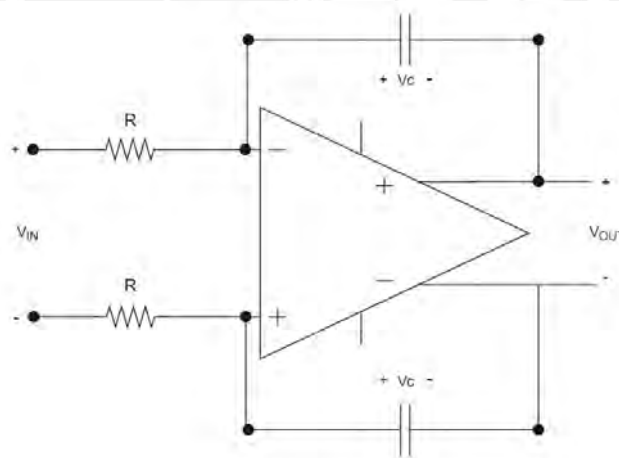


Fig. 14. Topología del integrador *fully differential*.

A diferencia del modelo single-ended, en esta topología si se inserta un voltaje referencial en la entrada del OpAmp, no se encontrará presente a la salida, ya que esta se elimina dentro del proceso diferencial de entrada; lo cual genera un problema para el tipo de señal con el que se está trabajando. Este inconveniente presenta su solución en un lazo complementario, denominado como Common Mode Feedback (CMFB)

2.4. Modelo de solución

Como se ha analizado, el problema que genera el EDO al acoplarse a la señal principal es las respuestas imprecisas que puede causar a los dispositivos encargados de la amplificación, como una saturación del amplificador operacional o sus transistores que lo componen. Entonces, es necesario determinar un modelo de solución que prevenga estas reacciones no deseadas antes de llegar a la etapa de amplificación. A continuación, se presentan las siguientes propuestas de solución para filtrar el *offset DC* del electrodo.

2.4.1. Alternativas de solución

Amplificador con condensadores de desacoplo. Este primer modelo propone aprovechar las características frecuenciales bajas que posee el EDO de tal forma que se mantiene distante al rango de frecuencias en donde se ubica la señal principal. Por ello, esta propuesta busca utilizar capacitores de desacoplo a la entrada del amplificador operacional, como se puede observar en la figura 15.

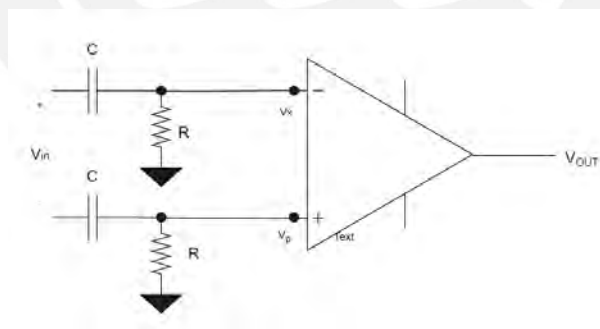


Fig. 15. Amplificador con condensadores de desacoplo en la entrada.

Esta opción busca separar la componente generada por el electrodo de la señal de biopotencial por medio del condensador, en cada pin, junto con la resistencia; de tal forma que estas actúen como un filtro pasa altos, a una frecuencia de corte representada por la ecuación 2.12. Esta

debería ser configurada a un valor lo suficientemente alto para que atenúe la señal del EDO, sin interferir con la frecuencia mínima de la señal principal.

$$f_c = \frac{1}{2\pi RC} \dots (2.12)$$

Amplificador con lazo de realimentación RC. Este segundo modelo, esquematizado en la figura 16, busca compensar la necesidad del diseño de un amplificador de bajo ruido y potencia, que sea capaz de eliminar el EDO. Una de sus características principales es que utiliza una pseudoresistencia compuesta por dos transistores bipolares MOS[12].

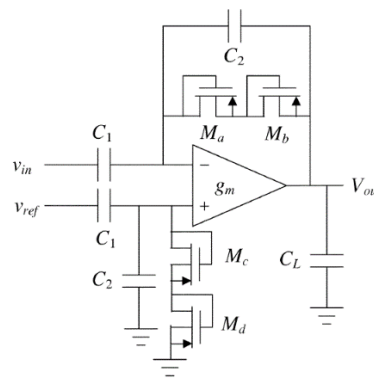


Fig. 16. Amplificador con lazo de realimentación RC neuronal. [12]

La propuesta de este modelo es simular un filtro pasa bandas, en donde se puede aprovechar su efecto pasa altos para la eliminación de la señal indeseada de bajo rango frecuencial, para lo que se diseña una frecuencia de corte, que cumpla con el criterio de la ecuación 2.13, este valor se analiza en base a la resistencia del conjunto de Ma y Mb (R_{Mab}), funcionando en paralelo con un capacitor (C2).

$$f_c = \frac{1}{2\pi R_{Mab} C_2} \dots (2.13)$$

Lazo servo DC (DSL). Este tercer modelo de solución es utilizado como una etapa complementaria al diseño de amplificación. La propuesta es modelar un integrador, que se

puede representar por la figura 17, cuyo objetivo es tomar la señal luego de la etapa de amplificación de tal forma que puede ser realimentada por intermedio de un filtro pasa bajos, el cual extrae los valores dentro de la banda de frecuencia del EDO, suprimiendo la señal principal, retornándola a una etapa preamplificador. En donde, por medio de capacitores, se realiza una sustracción de la señal de entrada al sistema con la realimentación.

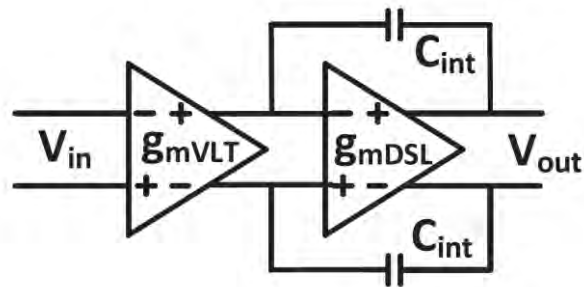


Fig. 17. Lazo servo DC (DSL) complementario. [13]

Este dimensionamiento propone tener una frecuencia de corte superior al valor máximo que puede alcanzar el EDO, con la finalidad de extraer la información contenida en esta banda frecuencial. Por lo que se define la ecuación 2.14, como la frecuencia de corte en función de la transconductancia g_{mVLT} y el valor capacitivo de C_{int} .

$$f_c = \frac{g_{mVLT}}{2\pi C_{int}} \dots (2.14)$$

2.4.2. Selección del modelo de solución

Existen dos criterios principales para la selección de componentes entre las diferentes opciones propuestas. La primera es el dimensionamiento físico que requiere cada topología, puesto que la solución escogida debe cumplir con uno lo más pequeño posible, ya que su implementación está orientada a dispositivos vestibles. En el caso del primer y segundo modelo, este criterio presenta una desventaja en la elección puesto que, a menor frecuencia seleccionada, se debe utilizar un valor de RC mayor, generando entonces una selección de componentes resistivos

y/o capacitivos de grandes dimensiones. El DSL presenta un mejor control de esto por el reemplazo de las resistencias en transconductores diseñados en tecnología CMOS, de tal forma que el dimensionamiento es más reducido.

Como segundo criterio de selección se tiene en cuenta el tipo de amplificador deseado, el amplificador capacitivo de instrumentación Chopper; por lo que se tiene que elegir un modelo de solución que permita ser incorporado a esta tecnología. Es por ello que, se presenta un inconveniente en el planteamiento del modelo de amplificador con condensadores de desacoplo y el de lazo de realimentación RC, ya que estos dependen de la componente DC del offset del electrodo, con la finalidad de por ser desacoplado de la señal AC por medio de los capacitores de entrada; sin embargo el CCIA modula la señal desde su ingreso, convirtiendo la componente continua del EDO en una alterna cuadrática, de tal forma que se inhabilita la función principal de los condensadores en estos modelos de solución. Por otro lado, el tercer modelo de solución (DSL) presenta una gran ventaja frente a los otros, por su facilidad para acoplarse a la etapa de amplificación Chopper, con el único requisito que su entrada y salida se encuentren en el mismo nivel de modulación con la señal a interactuar.

Por lo tanto, el modelo de solución escogido es el lazo servo DC (DSL) el cual será complementario al CCIA, como es mostrado en la figura 18.a, en donde se muestra su comportamiento como integrador. Es necesario la modulación de la señal a la salida de esta etapa, ya que va a interactuar con la señal principal a la salida de C_{in} , la cual se encuentra ya modulada. En la figura 18.b, se aprecia la función de transferencia del CCIA con el DSL, en donde se observa como el integrador actúa a la salida como un filtro pasa altos con una frecuencia de corte igual a la planteada en la ecuación 14, pero directamente afectada por la proporcionalidad entre C_{hp} y C_{fb} .

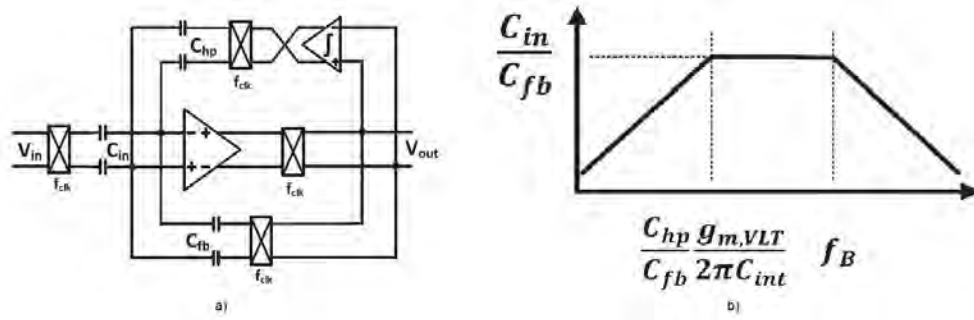


Fig. 18. a) Modelo esquemático de CCIA con DSL. b) Función de transferencia del CCIA utilizando el lazo integrador.



CAPÍTULO 3: DISEÑO DEL LAZO SERVO DC (DSL) CON FUENTE DE ALIMENTACIÓN DE 1V

Este capítulo, tiene como finalidad entender y hallar los parámetros óptimos y eficientes para el diseño de un Lazo de realimentación Servo DC (DSL), con la intención que pueda trabajar correctamente en el registro de señales menores al rango de frecuencias de un electrocardiograma.

Para ello se debe realizar los cálculos de diseño del circuito amplificador, los valores de las corrientes de polarización y las dimensiones en la relación de aspecto de los transistores, de tal forma que se pueda asegurar el mejor desempeño de este en la región de polarización a la cual pertenece.

Para realizar el diseño de cada elemento necesario se utilizará el software *Virtuoso Analog Environment* de CADENCE, en una tecnología de TSMC de 180nm, de tal forma que se puedan realizar, en este, el diseño, las simulaciones necesarias y dimensionamiento adecuado del *layout*, así como el análisis *post-layout*.

Luego de la revisión de las diferentes tecnologías de aplicación en el estado del arte, se define como la estructura seleccionada al integrador fully differential. Esta estructura se encontrará acoplada al tipo de amplificación capacitiva Chopper (CCIA), tal y como se mostró en la figura 15.a. De tal forma que se pueda separar esta estructura en 3 etapas para el diseño individual: El integrador, el modulador y los capacitores. Por lo tanto, en el presente capítulo se va a analizar:

- Simulación del problema generado por el EDO
- El diseño del bloque integrador y sus partes
- El diseño del modulador Chopper
- Análisis para el diseño de la tecnología de los amplificadores.
- Diseño del Common Mode Feedback

3.1. Simulación del problema generado por el EDO

Con el uso del *software CADENCE* se ha realizado el diseño de un amplificador operacional single-ended, con la finalidad de describir la demostración del problema que causa el EDO en el OpAmp. Esta fue creada por medio de topologías como las del par diferencial y espejo de corrientes, para ello se calculan valores de relación entre los espejos de corrientes tanto PMOS como NMOS. Y definiendo al par diferencial conformado por M3 y M5, como entradas del OpAmp, esto se observa en la figura 19.

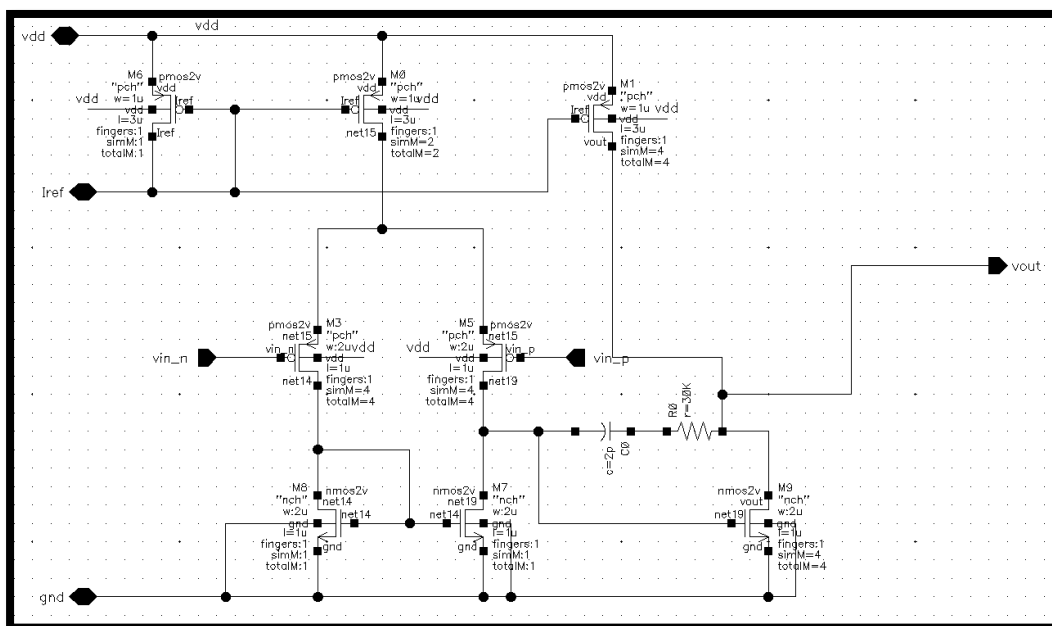


Fig. 19. Diseño propuesto de un amplificador operacional single-ended.

Se definen como señales de entrada a Vdd, I_{REF}, gnd, vin_n y vin_p; mientras que a la salida únicamente un pin V_{OUT}, de tal forma que se pueda crear un correcto símbolo para este, y su posterior uso. A continuación, en la figura 20 se plantea, el diagrama esquemático para poder amplificar una señal por medio de un OpAmp en configuración de inversor.

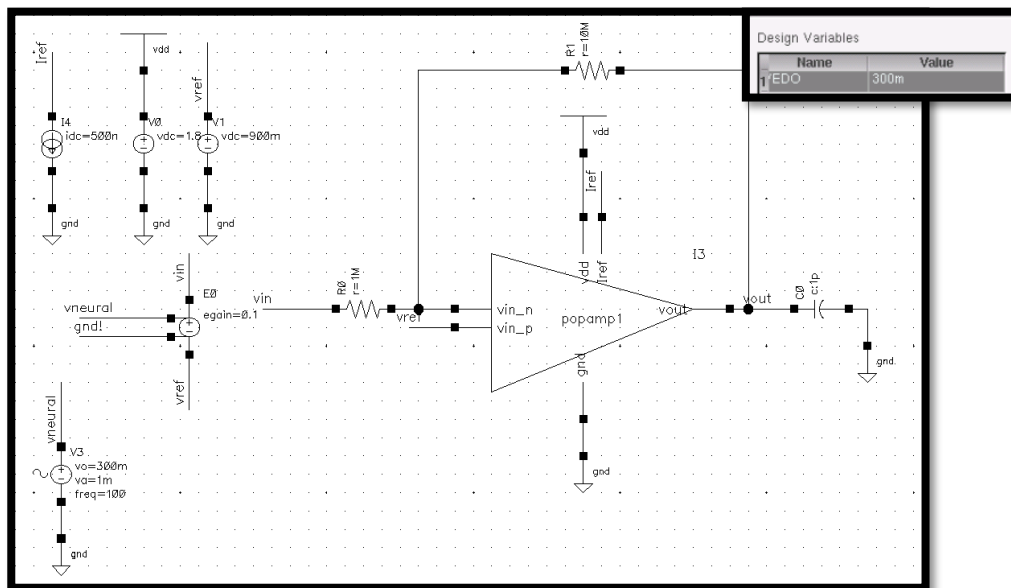


Fig. 20. OpAmp en configuración como inversor, con un EDO de 300mV.

Realizando la simulación de la figura mostrada, se puede observar el comportamiento de una señal senoidal de 1mV de amplitud y una frecuencia de 100 Hz, con un voltaje de referencia de 900mV.; además, las resistencias plantean una ganancia de -10 a la etapa amplificadora. Sin embargo, se está considerando también un valor de offset del electrodo de 300mV. A continuación, en la figura 21, se presenta la respuesta del amplificador ante estas señales de entrada.

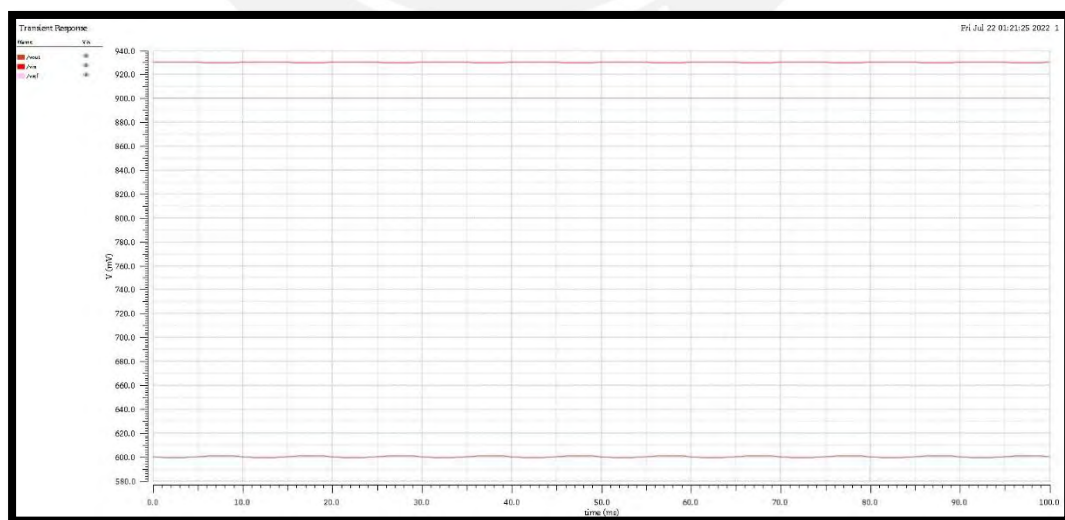


Fig. 21. Respuesta del Amplificador sin DSL con EDO de 300mV.

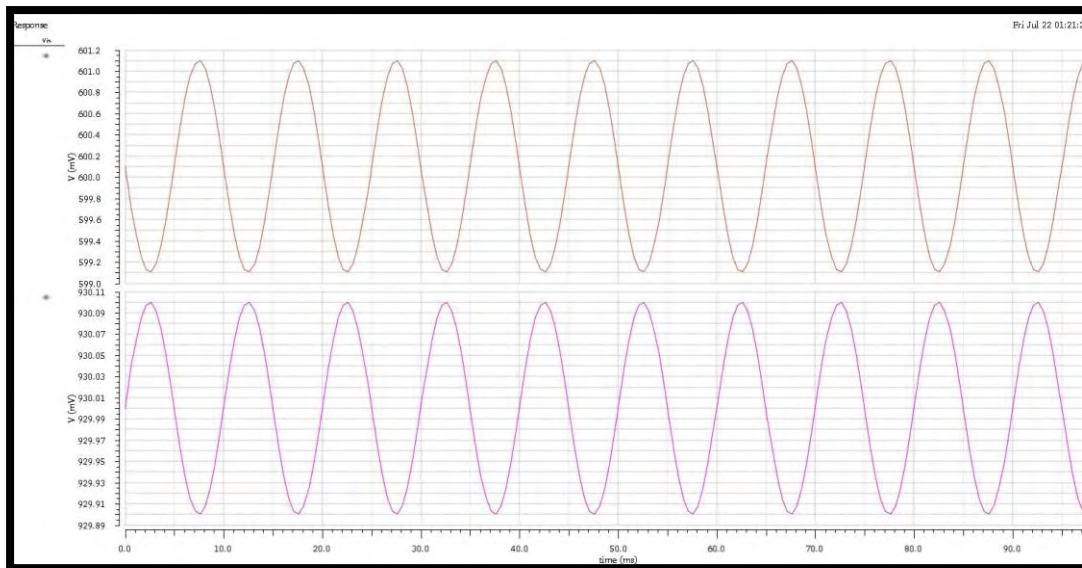


Fig. 22. Respuesta del Amplificador escalada sin DSL con EDO de 300mV.

En la figura 21 se observa cómo, la respuesta del amplificador operacional se encuentra en valores muy cercanos a ceros, brindando un estado de saturación significativo. Esto se debe a que el amplificador busca responder dentro del rango de potencial negativo, sin embargo por este ser de alimentación asimétrica, la respuesta es una señal saturada a la salida, lo cual se puede observar de mejor manera, en la figura 22, donde se analiza en v_{in} la entrada de la señal principal como una senoidal en el orden de los Voltios, mientras que la respuesta en v_{out} , se encuentra dentro del rango de los μV , lo cual significa que no se ha llevado a cabo el correcto proceso de amplificación.

Entonces, se plantea el utilizar un bloque integrador conformado por una resistencia, un capacitor y un OpAmp. La finalidad es crear un lazo DSL, que actúe como un filtro para las señales DC, en este caso se utiliza el mismo bloque de OpAmp que en la primera etapa, un valor de resistencia de 100Ω y una capacitancia de 100pF ; lo cual generaría una frecuencia de corte de 15.9MHz . Esto es implementado en la figura 23, de tal forma que es acoplado como retroalimentación entre la salida y entrada de la etapa amplificadora.

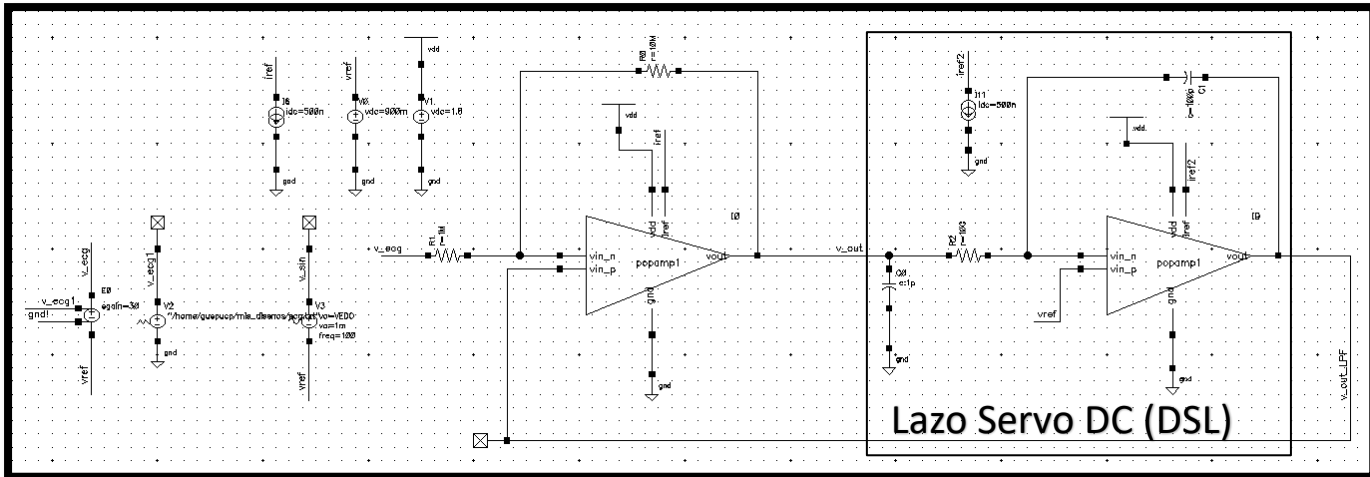


Fig. 23. Diseño Esquemático de un amplificador inversor con valor de EDO de 300 mV y lazo DSL.

Se realiza entonces la simulación para evaluar la señal de respuesta, con la misma entrada propuesta en el caso anterior; una señal senoidal de 1mV de amplitud y una frecuencia de 100 Hz, con un voltaje de referencia de 900mV, y ganancia de -10. Entonces, se puede observar en la figura 24, como es que en esta ocasión la simulación es exitosa, y el OpAmp muestra una amplificación correcta en ganancia, y en posicionamiento del nivel de referencia propuesto en la entrada de este.

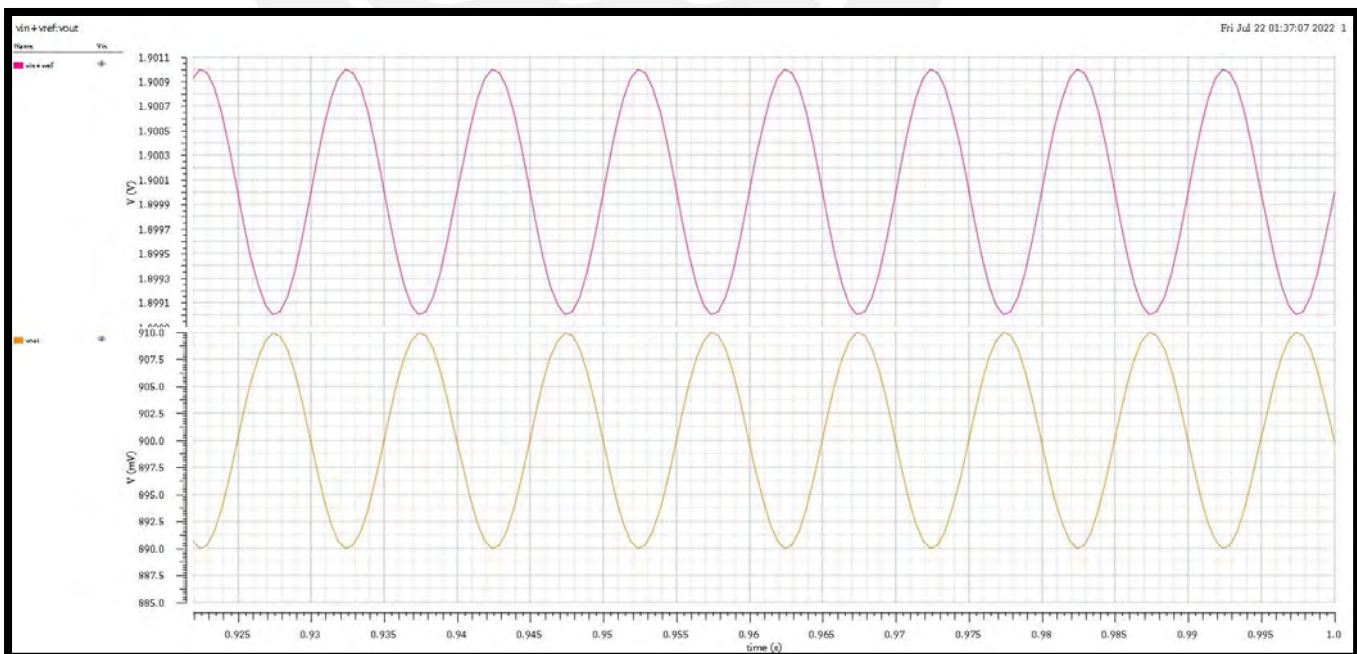


Fig. 24. Resultado de la simulación del amplificador inversor con valor de EDO de 300 mV y lazo DSL.

Al observar entonces un resultado satisfactorio de amplificación, se procede a utilizar un registro de biopotenciales de ECG [14], para realizar la simulación con una señal de este tipo. Y comprobar el efecto que presenta el OpAmp y DSL sobre esta señal, por lo que se reemplaza la señal senoidal por un documento externo de registros. Esta contiene la información sobre los valores de potencial recepcionados en un estudio de aplicación ECG.

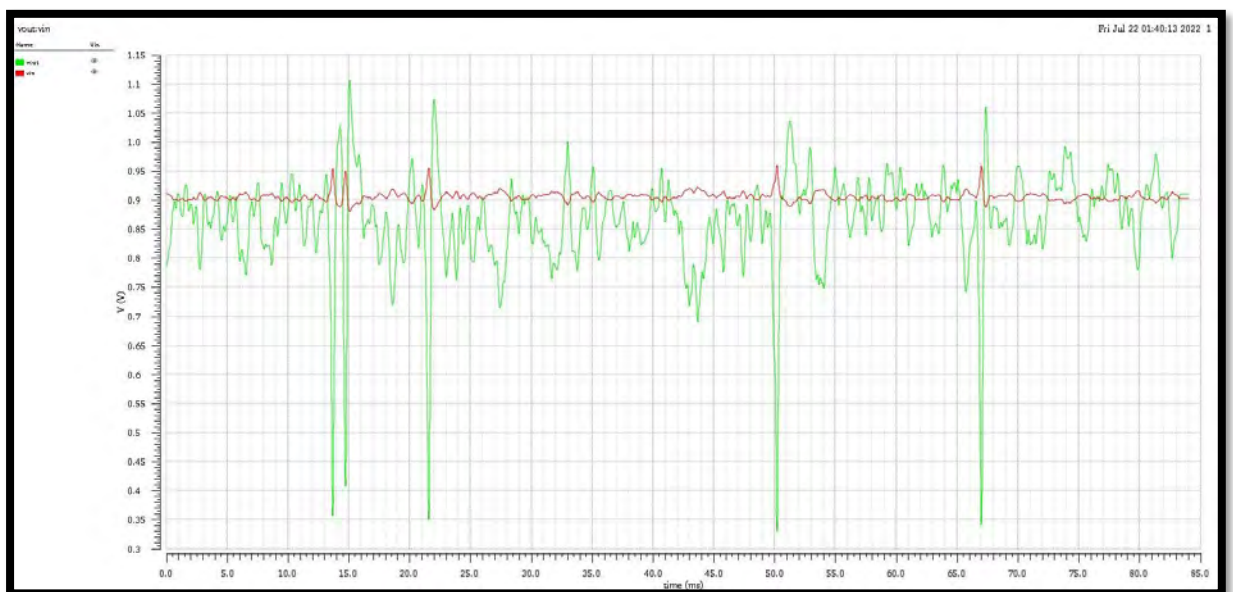


Fig. 25. Resultado de la simulación del amplificador inversor con valor de EDO de 300 mV y lazo DSL, y señal ECG.

Así, se puede ver en la figura 25, como es que la señal es igualmente amplificada con una ganancia de -10, en el orden de los mV, en un voltaje de referencia fijado en 900mV, en un tiempo de 2 segundos. Finalmente, se puede observar cómo el proceso de amplificación ocurre de forma correcta a pesar de existir un voltaje de offset, mientras que esté presente el lazo DSL, que permita suprimir este tipo de señales no deseadas.

3.2.El integrador

Este bloque, como se observó en el estado del arte, actuará como un filtro pasa bajos con la finalidad de separar a las señales no deseadas de la señal de biopotencial principal, aprovechando de esta forma la diferencia frecuencial que existe entre ellas.

Entonces, para definir el comportamiento del bloque integrador se analiza la menor frecuencia a la que interactúa la señal de ECG, la cual como se observa en la figura 11, esta puede alcanzar un rango entre 0.5 Hz a 300 Hz, por lo tanto, se define que la frecuencia de corte del filtro puede ser como máximo 0.5 Hz.

$$f_{C,INT} < 0.5 \text{ Hz} \dots (3.1)$$

Por lo que al analizar los cálculos para hallar los valores de diseño necesarios, se calcula que los valores RC que conforman al integrador deben ser mayores que 0.3138 segundos, por lo tanto si se considerase una capacitancia de 10pF, se requeriría un valor de R, equivalente a 31.8GΩ, lo cual resulta complicado de diseñar puesto que un valor de resistencia de esta magnitud requiere un dimensionamiento bastante amplio, siendo esto una limitación significativa, en especial para el tipo de tecnología a la que se desea implementar, como los dispositivos vestibles.

Por ello, se propone una variación del bloque integrador *fully differential*, el cual reemplaza el componente resistivo por otro de magnitud inversamente proporcional, un transconductor. Este diseño se puede observar en la figura 26.

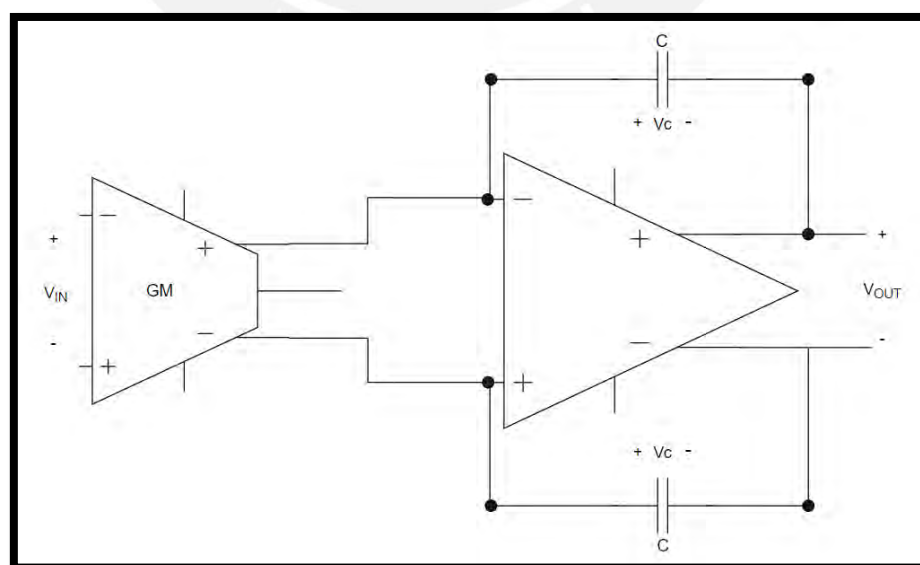


Fig. 26 Topología del integrador *fully differential* con transconductancia.

En comparación con la topología *single-ended*, esta presenta dos ventajas principales, las cuales son: una mayor facilidad de calibración por medio de corriente de polarización y un espacio geográfico que requiere una menor superficie para su implementación; sin embargo, estos beneficios se ven afectados por una desventaja significativa en la linealidad de la respuesta que este presenta [15].

Por lo tanto, se puede definir las ecuaciones tanto de función de transferencia como de frecuencia de ganancia unitaria, en función del valor de transconductancia, en lugar de la resistencia, tal y como se puede observar en las siguientes ecuaciones respectivamente:

$$f_U = \frac{GM}{2\pi C} \dots (3.2)$$

$$H(s) = \frac{V_{OUT}}{V_{IN}} = \frac{-GM}{C} * \frac{1}{s} \dots (3.3)$$

Para diseñar entonces este bloque, se debe realizar el análisis individual de cada elemento de diseño que componen al integrador, los cuales son: el transconductor, el amplificador operacional y el análisis de los valores propuestos para los capacitores.

3.1.1 El Amplificador de Transconductancia Variable (OTA)

Los amplificadores de transconductancia variable, también conocidos como OTA (por sus siglas en inglés, Operational Transconductance Amplifier), son dispositivos electrónicos de mucha utilidad como elementos activos en filtros, conversión de información, *drivers* de ADC o amplificadores seguidores. En la figura 27.a, se puede observar su representación como bloque esquemático del tipo *single-ended*, mientras

que en la figura 27.b la representación *fully differential*. El transconductor se activa al recibir una señal de voltaje a la entrada, de tal forma que este la convierte en una de corriente a la salida, esto con la finalidad de poder representar un funcionamiento similar al de una resistencia; sin embargo, a diferencia de esta, el transconductor pierde capacidad de mantener su linealidad en rangos muy grandes [16].

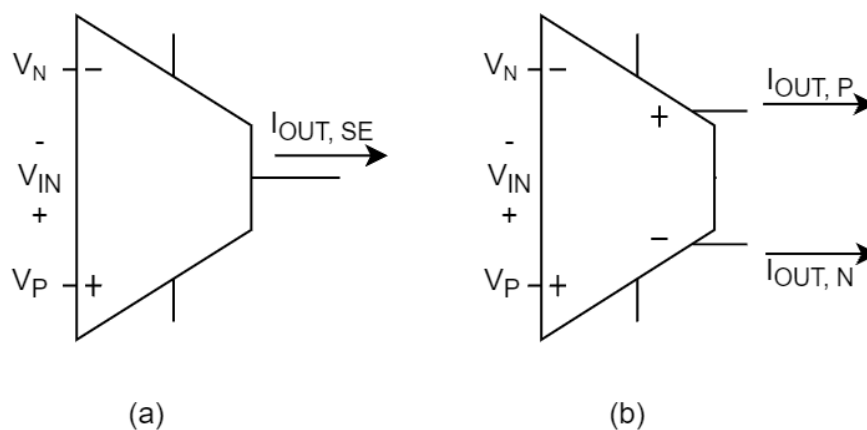


Fig. 27. (a) Bloque del transconductor single-ended. (b) Bloque del transconductor fully differential.

La magnitud de la transconductancia en un OTA se representa por G_m , y esta es caracterizada por ser inversamente proporcional con el valor de una resistencia; este parámetro se mide en Siemens (S). Para poder cumplir esta relación, manteniendo el factor de conversión voltaje – corriente, se fija la salida del OTA con la magnitud representada en la ecuación 20 para el caso de *single-ended*; y en su proporción la ecuación 21 para el caso de *fully differential*.

$$I_{OUT,SE} = V_{IN} * G_m \dots (3.4)$$

$$I_{OUT,P} = \frac{V_{IN} * G_m}{2} \ \& \ I_{OUT,N} = - \frac{V_{IN} * G_m}{2} \dots (3.5)$$

Por lo tanto, se presenta en la figura 28 al modelo interno de un transconductor con salida diferencial, de tal forma que presente en la entrada de este, la señal de doble entrada V_{IN} , compuesto por la sustracción entre V_P y V_N ; y a una señal de corriente de polarización I_B .

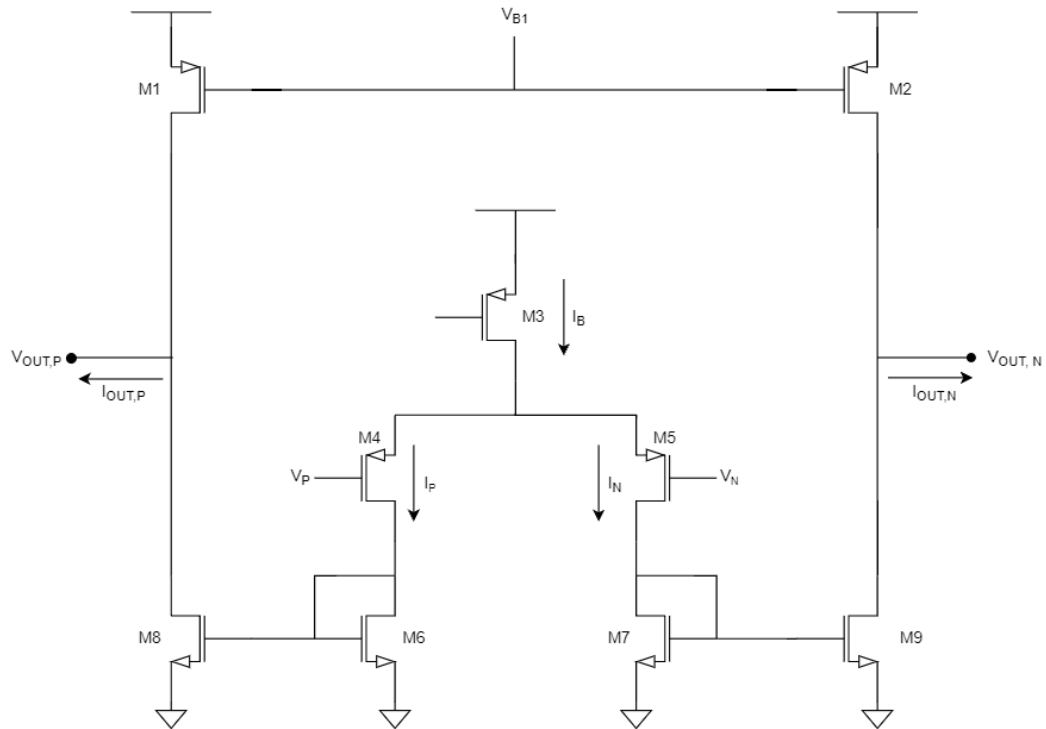


Fig. 28. Modelo interno de un transconductor con salida diferencial.

El funcionamiento de este se basa en la corriente de polarización que se establece, de tal forma que esta pueda ser separada en las señales de corriente I_P e I_N , estableciendo así, la relación entre las siguientes ecuaciones:

$$\begin{cases} I_P - I_N = GM * V_{IN} \dots (3.6) \\ I_P + I_N = I_B \dots (3.7) \end{cases}$$

Por lo tanto, resolviendo el sistema, se tienen las ecuaciones a continuación, que demuestran el comportamiento de la señal de corriente que existe en el drenador de M4 y M5, en función de los valores de V_{IN} , GM e I_B :

$$I_P = \frac{I_B}{2} + \frac{GM * V_{IN}}{2} \dots (3.8)$$

$$I_N = \frac{I_B}{2} - \frac{GM * V_{IN}}{2} \dots (3.9)$$

Estas señales, se verán reflejadas por el espejo de corriente que forma M6-M8 y M7-M9, de tal forma que estas señales de corriente sean sustraídas con las señales que se generan por el drenador de M1 y M2, la cual será de magnitud $I_B/2$; por lo tanto, la

diferencia de estas se encontrará en las señales $I_{OUT,P}$ e $I_{OUT,N}$, representadas por la ecuación 3.5, previamente mostradas.

Para este caso, como se demostró en la ecuación 3.1, la frecuencia de corte debe ser menor a 0.5Hz, de tal forma que se requería un valor de resistencia de $31.8G\Omega$, cuando se utiliza una capacitancia de 10pF; este valor puede ser representado por una magnitud transconductiva:

$$GM = \frac{1}{R} = \frac{1}{31.8G\Omega} = 31.4pS \dots (3.10)$$

Con fines demostrativos, se buscó desarrollar un par diferencial en el Software Cadence para analizar el comportamiento de su transconductancia en función de valores de polarización, voltajes de modo común, y criterios de diseño. Este es mostrado en la figura 29, y es polarizado con una corriente DC de magnitud de 10nA, la cual será reflejada por un espejo de corriente hacia el par diferencial, ambos del tipo PMOS.

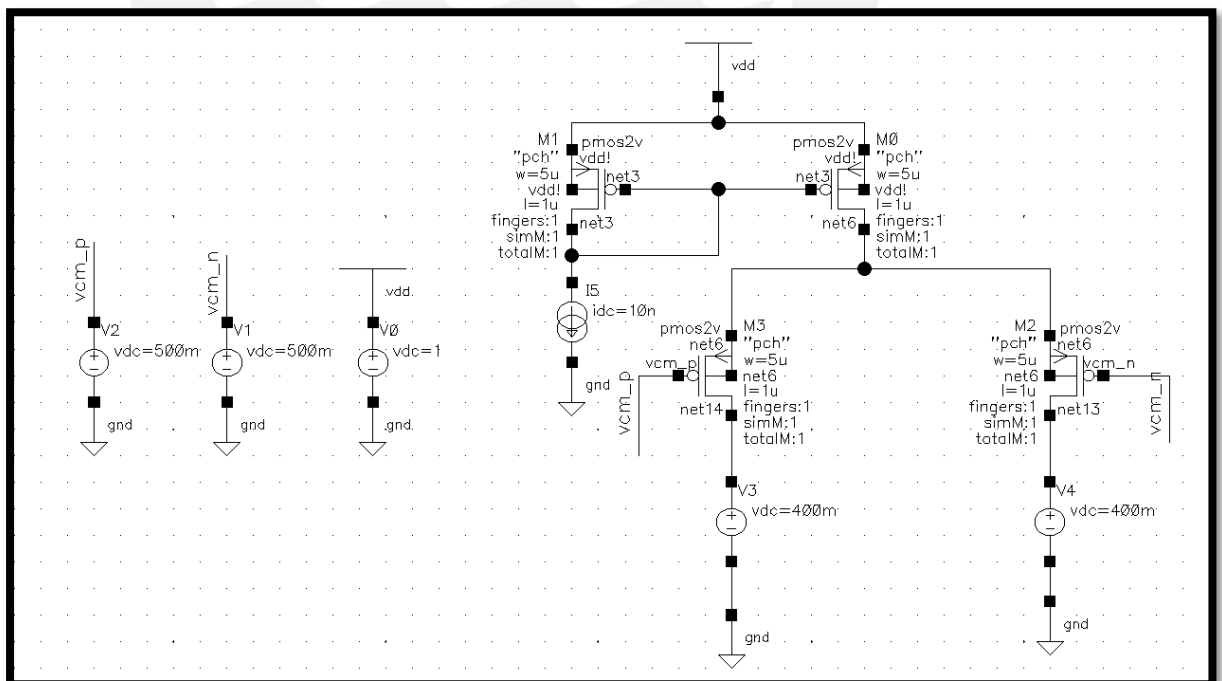


Fig. 29. Diseño esquemático de un par diferencial del tipo PMOS

A pesar de que muchas ecuaciones plantean que el crecimiento del factor transconductor de estos dispositivos no posee un límite, se demuestra lo contrario al

momento de realizar simulaciones, ya que se define que cada par diferencial posee valores máximos y mínimos de transconductancia. Para analizar esto, se utiliza la definición de este parámetro, planteado en la siguiente ecuación:

$$GM = \frac{dI_{OUT}}{dV_{IN}} \Big|_{V_{IN}=0} \quad \dots (3.11)$$

Entonces, se procede a realizar un análisis DC *Sweep*, en donde se fija el valor de uno de los pines de entrada a 500mV; y el otro realiza un barrido entre 200mV a 800mV. Cuya respuesta se puede observar en la figura 30, donde se puede observar a la señal de salida del par diferencial, y su correspondiente derivada en función a los cambios realizado en V_{IN} , por medio de la variación del pin al que se realiza el barrido.

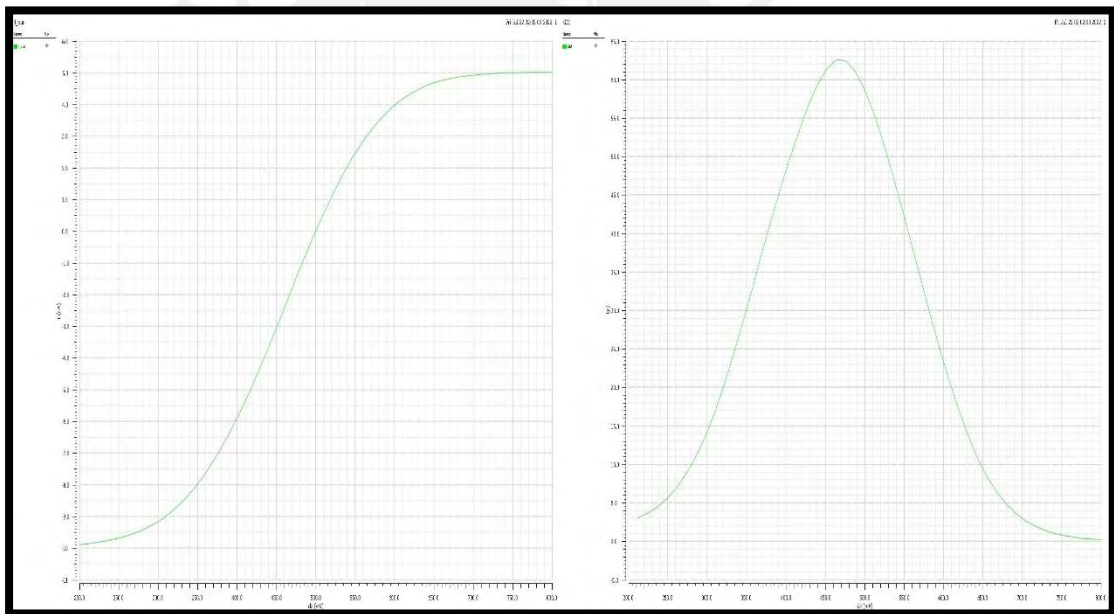


Fig. 30. Respuesta de la corriente de salida y su derivada (GM) respectivamente, del par diferencial.

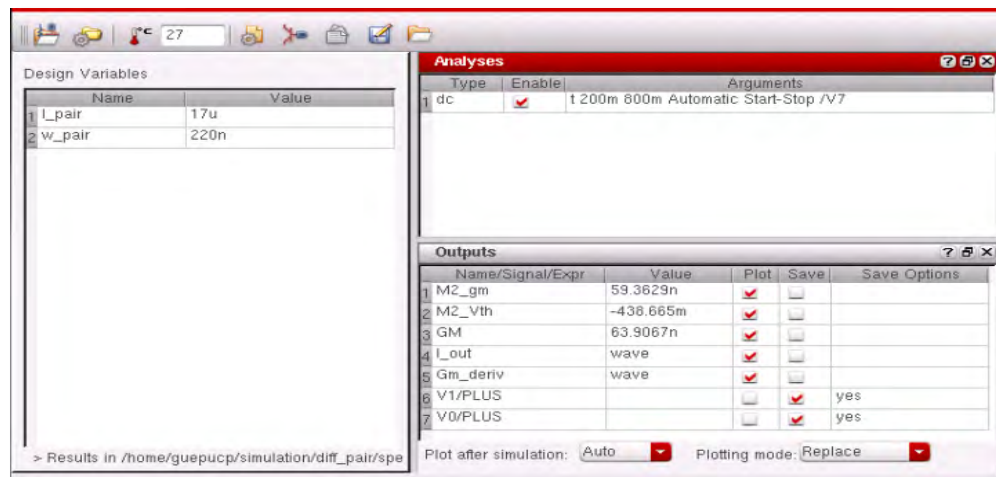


Fig. 31. Resultados complementarios en la respuesta del par diferencial.

En complemento con la figura 31, se puede observar que el valor de transconductancia va a alcanzar un valor mínimo, cuando se lleva sus criterios de diseño a sus máximos límites, tal como un ancho de canal de 220nm y un largo de canal de 17um; respondiendo entonces con una magnitud en la transconductancia equivalente a 63.90nS, este valor también se puede observar analizando el punto máximo al que alcanza la curva de la derivada, mostrado en la figura 30. De esta manera, se observa como existe un límite en los niveles alcanzados por este valor transconductorivo, el cual es una característica muy importante para tomar en cuenta en el momento de diseño. Se suele utilizar la variable gm/I_D , para analizar los valores máximos y mínimos alcanzables, como se observa en la figura 32.

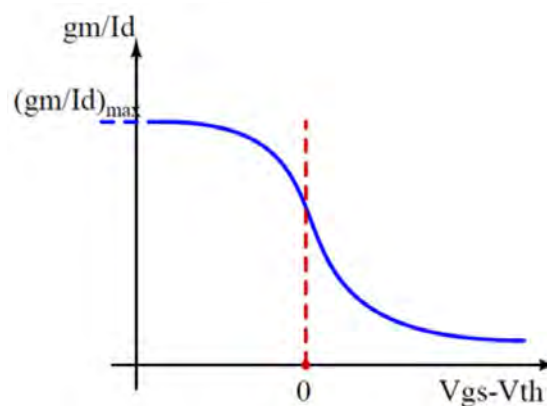


Fig. 32. Variación entre la relación de gm e I_D , en función del Voltaje de *overdrive*. [17]

Esta relación entre puntos máximos y mínimos que puede tomar la señal se encuentra definida por límites de saturación de estos parámetros, los cuales son caracterizados por la siguiente desigualdad:

$$5V^{-1} < \frac{gm}{I_D} < 30V^{-1} \dots (3.12)$$

De esta forma, si se desea llegar a un valor de transconductancia como la planteada previamente para el diseño del DSL, se observa que esta es mucho menor, que la del par diferencial mínimo. ($31.4pS < 63.9nS$). Por lo que, al analizar la señal de corriente necesaria para conseguir esta transconductancia del integrador, se plantea el siguiente resultado, en función de la ecuación 3.12:

$$1.046pA < I_D < 6.28pA|_{gm=31.4pS} \dots (3.13)$$

Por lo que se observa, el requerimiento de trabajar con corrientes de polarización muy pequeñas, las cuales por su naturaleza son muy propensas a verse afectadas por corrientes parasitas que se encuentran al mismo nivel de magnitud. Es por ello por lo que se propone una técnica complementaria divisora de corriente, la cual tendrá como finalidad utilizar una corriente de polarización aceptable y realizar una conversión de ella que afecte a la transconductancia del par diferencial por medio de un arreglo de espejos de corriente, como se puede observar en la figura 33, en donde se muestra el diagrama esquemático de este bloque complementario.

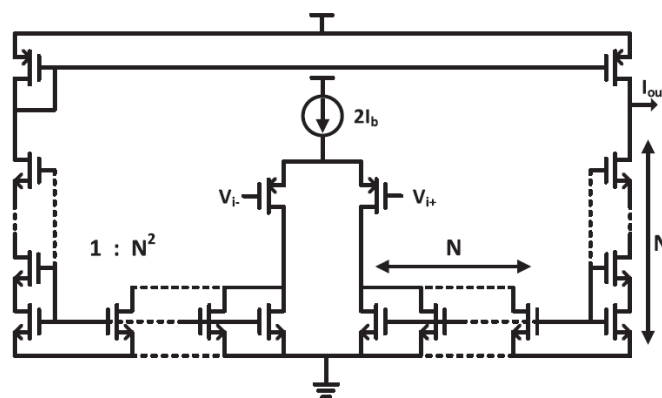


Fig. 33. Diagrama esquemático del bloque complementario de división de corriente. [18]

3.1.2 El amplificador operacional GM-DSL

El diseño propuesto para este componente, así como el de todos los bloques del mismo tipo, ha sido en base a la topología *fully differential*. Esta es representada por la figura 34, de tal forma que, con un arreglo de transistores, se pueda formar un conjunto de espejos de corrientes, los cuales actuarán de forma lógica, para poder distribuir la corriente derivada de I_B por medio de los transistores

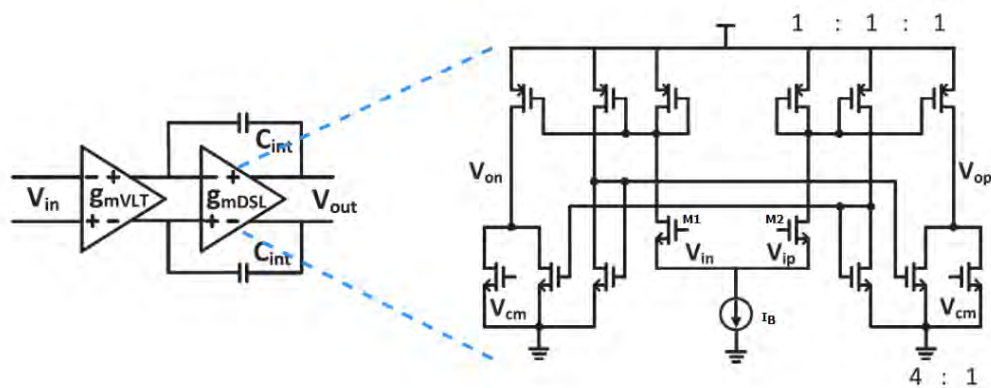


Fig. 34. Diagrama esquemático interno del bloque gm-DSL

Dentro del esquema interno, se puede observar cómo los pares que forman un espejo de corriente del conjunto superior se encuentran en relación de 1:1:1, lo cual representa a nivel de diseño una igualdad entre los anchos de los elementos MOS que conforman el arreglo de espejos. Sin embargo, en la parte inferior se observa que existe una relación de 4:1, lo que significaría un dimensionamiento aumentado en 4 veces el ancho asignado al transistor que recibe la señal de modo común.

3.3.El Modulador

Este elemento cumple la función de convertir la información de señal de entrada, en otra que responda en función a sus componentes frecuenciales; este proceso se lleva a cabo por medio de un conjunto de llaves que simularan una modulación de onda cuadrada. Se propone entonces un diseño del modulador que trabaje con bajo voltaje generado por la fuente de alimentación, para así poder reducir el consumo de potencia. Sin embargo, a este nivel de magnitudes de operación, la señal es muy propensa a verse

afectada por señales de ruido muy significantes, los cuales provienen de la entrada del modulador por parte de las resistencias en ella, como: la pequeña resistencia-off y la gran resistencia-on, bajo el modo de fuente de alimentación pequeña, cuyas representaciones esquemáticas se pueden apreciar en la figura 35.

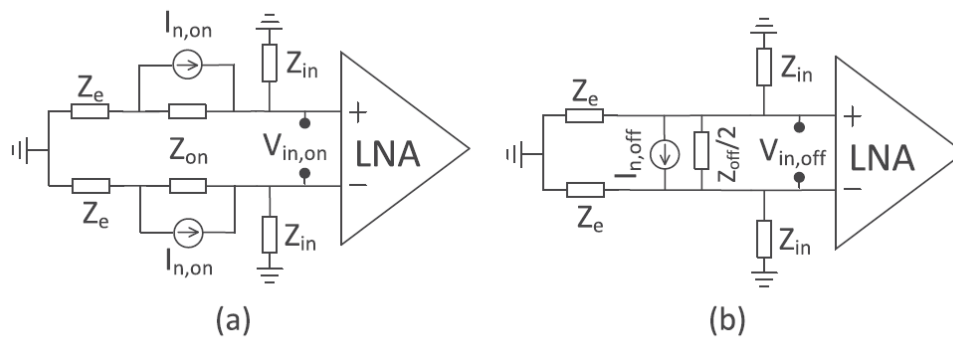


Fig. 35. Representación del modelo del modular con el ruido reflejado a la entrada de (a) resistencia-on (b) resistencia-off.

El ruido reflejado a la entrada del modulador Chopper puede ser expresado por las siguientes ecuaciones:

$$\overline{v^2_{in,ON}} = 2 * \overline{I^2_{n,ON}} * \left(\frac{Z_{in} * Z_{on}}{Z_{in} + Z_{on} + Z_e} \right)^2 \dots (3.14)$$

$$\overline{v^2_{in,OFF}} = 4 * \overline{I^2_{n,OFF}} * \left(\frac{Z_{in} * Z_e}{Z_{in} + Z_e} \right)^2 \dots (3.15)$$

De donde, Z_{in} es la impedancia de entrada del amplificador, mientras que Z_e es la impedancia que se genera entre el tejido y el electrodo; finalmente Z_{in} y Z_{off} , son los valores de la resistencia-on y resistencia-off; de tal forma que, para un mejor desarrollo, y sencillez de diseño se toma en cuenta que las siguiente consideración: Z_{in} va a ser mucho más grande Z_e y que Z_{on} ; por lo que se pueden replantear las ecuaciones 3.11 y 3.12, por sus versiones simplificadas.

$$\overline{v^2_{in,ON}} \approx 8kT * Z_{ON} \dots (3.16)$$

$$\overline{v^2_{in,OFF}} \approx \frac{32kT}{Z_{off}} * Z_e^2 \dots (3.17)$$

Usualmente, la señal de densidad de ruido en la entrada de un registro de biopotenciales, esta alrededor de $50 \text{ nV}/\sqrt{\text{Hz}}$ [2]; por lo tanto para reducir el efecto que tendrá el ruido en la entrada del modulador sobre el ruido del amplificador, tanto como se pueda, se considera que los valores de $\overline{v_{in,ON}}$ y $\overline{v_{in,OFF}}$ deben ser menores a $10 \text{ nV}/\sqrt{\text{Hz}}$. Por lo tanto, si se considera que Z_e toma valores alrededor de $1 \text{ M}\Omega$, entonces:

$$Z_{on} < 3K\Omega \dots (3.18)$$

$$Z_{off} < 1.3G\Omega \dots (3.19)$$

Para alcanzar estos requerimientos, no basta solo con implementar un reloj sin traslape; sino también añadirle una técnica conocida como elevador de reloj o *Clock Booster*. Esto se puede apreciar en la figura 36, donde se presenta en la sección (a) la arquitectura que se propone para el modulador chopper, y la presencia del reloj sin traslape junto con el *Clock Booster*; se muestra el diagrama esquemático de este último en la sección (b).

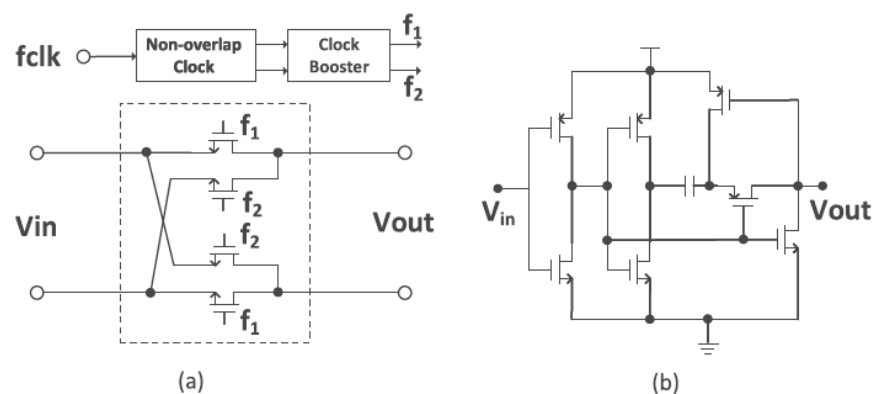


Fig. 36. Arquitectura propuesta del modulador, con el uso de un reloj sin traslape y un *Clock Booster*. (b)

Estructura interna del *Clock Booster*

3.4. Análisis de la tecnología para los amplificadores

Para realizar un correcto análisis sobre el funcionamiento que tendrá los amplificadores, se debe evaluar el comportamiento adquirido de los elementos internos al bloque; para ello se elige un modelamiento en función de la señal a tratar. En esta situación los

componentes a ser analizados serán los dispositivos MOS; mientras que el modelamiento será el de pequeña señal.

A diferencia de su contraparte, el modelo de gran señal, este interactúa en una región lineal del dispositivo, en donde se presentan pequeñas variaciones de las señales a tratar. Permitiendo esto simplificar los cálculos, y asumir relaciones que se cumplen únicamente en una determinada porción del modelo general del componente. En la figura 37, se observa la representación en pequeña señal de un componente NMOS.

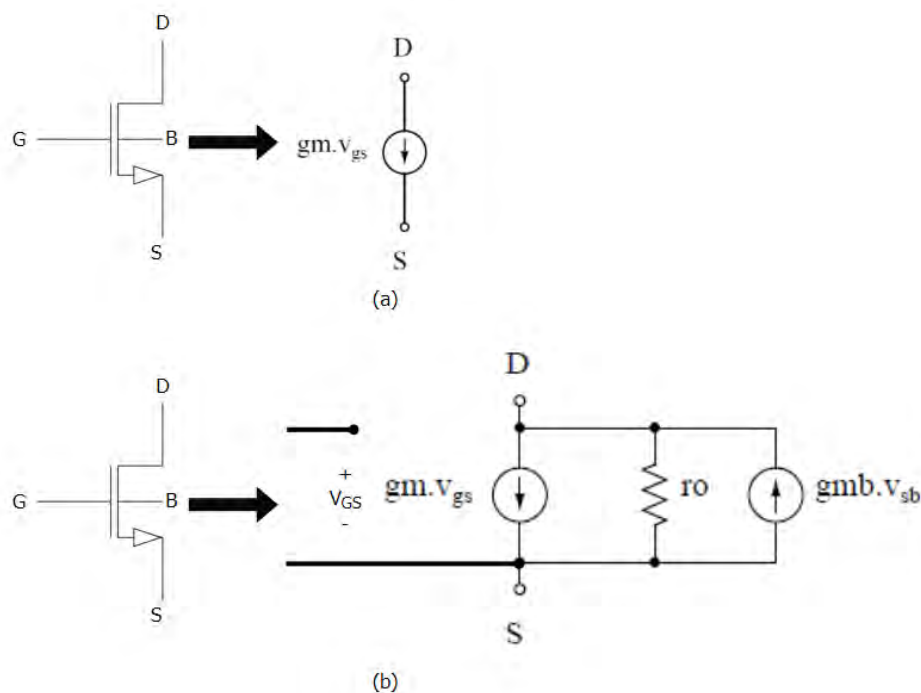


Fig. 37. Modelamiento del dispositivo MOS: (a) en una representación ideal que solo considera el factor de transconductancia (b) representación que considera los 3 efectos en el transistor: Efecto cuerpo, modulación de canal y transconductancia

Se puede observar entonces que el modelo en pequeña señal de un transistor MOS, puede tomar diferentes formas, en función de los criterios que se cumplan en este, siendo estos más o menos útiles en cada aplicación de forma individual. Existen tres efectos principales que pueden afectar el modelamiento y comportamiento de un transistor, estos son: El efecto de modulación de canal, el efecto cuerpo y la transconductancia. La diferencia entre el modelo de la figura 37.a y el de la figura 37.b, es que el primero no asume una importancia en los efectos ni de modulación de canal

ni el efecto cuerpo, por ello representa únicamente a la corriente que fluye por el drenador en función de V_{GS} ; mientras que el segundo modelo, representa los 3 efectos en él, los cuales son de suma importancia cuando se trabaja en un nivel de microelectrónica; ya que presentan una respuesta más considerable.

3.5. Common Mode Feedback (CMFB)

Un problema significativo en las topologías fully differential, es la eliminación de la señal de potencia referencial que define el nivel DC al que se encontrará la salida luego de la amplificación. Esto puede generar que la respuesta de amplificación oscile en zonas que no pueden ser cubiertas por la alimentación, de tal forma que se saturen las señales de salida.

Un circuito de retroalimentación de modo común o CMFB (por sus siglas, Common Mode Feedback), es una topología que se aplica en modelos de componentes amplificadores *fully differential*, que detecta el voltaje de modo común y compara a la señal de retroalimentación del modo común, con un potencial de referencia adecuado con el propósito de cancelar en la salida a la componente de corriente de modo común y así poder fijar la señal a un nivel DC deseado, con el fin de evitar una saturación en esta. El modelo de este se puede observar en la figura 38.

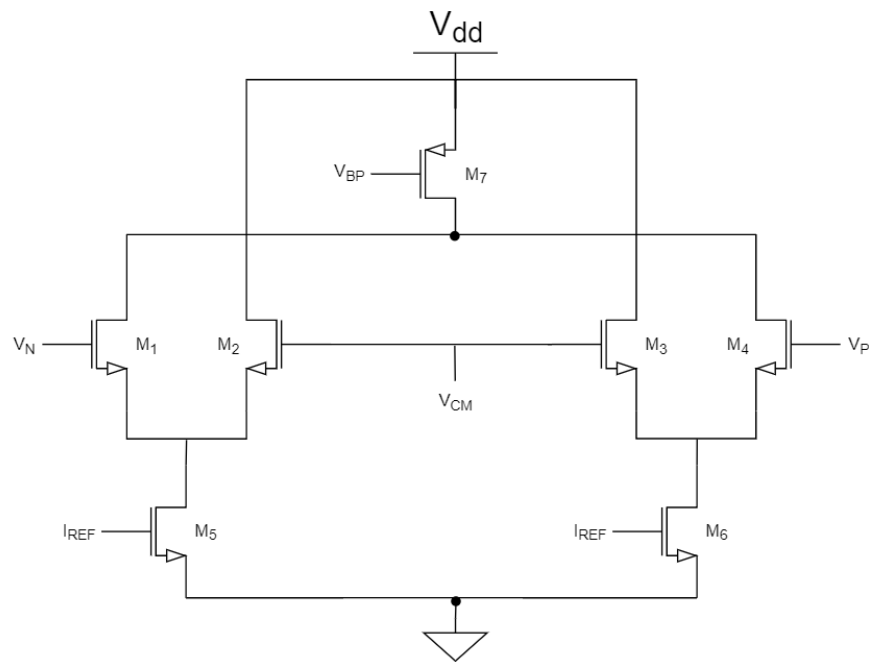


Fig. 38. Representación esquemática de un tipo de bloque MOS CMFB

En las compuertas de los transistores M1 y M2, se reciben a las señales V_N y V_P , los cuales serán las salidas de los bloques de salida diferencial, modificando así los valores en la corriente de drenado que fluye por cada uno de estos, respectivamente. Se puede observar que los transistores M5 y M6 tienen como finalidad actuar como fuentes de corriente, para fijar una magnitud de esta. De tal forma que al momento de variar los valores de V_N y V_P , se produzca una alteración en las corrientes de los drenadores de M2 y M3, para así poder mantener la relación de potencial que existen en estos transistores. En el caso que se aumente la corriente en el drenador M1 y M4, aumentará la corriente que fluye por M7, generando así que disminuya el V_{BP} . De forma similar interactúa, la disminución en la señales de flujo por el drenador de M1 y M4, causando un incremento en V_{BP} .

CAPÍTULO 4: SIMULACIONES Y RESULTADOS

En este capítulo se procederá a presentar las simulaciones y resultados obtenidos por medio del software de diseño de Virtuoso *Analog Design Environment* de CADENCE. El cual ha permitido crear el modelo esquemático de cada componente, así como su respectivo símbolo y posteriormente su *testbench*. El diseño principal ha sido del bloque integrador, el cual se ha separado en el diseño independiente del transconductor GM, el amplificador operacional GM_DSL y la selección de magnitud de los capacitores.

4.1. Amplificador operacional GM_DSL

Se modela el diseño esquemático principal que presentaría el amplificador operacional propio del lazo de realimentación DSL, es diseñado en una modalidad de operación como fully differential, de tal forma que requiere un bloque adicional para poder estabilizar así su punto de operación, ya que este varía bastante a la salida. Para ello se utiliza además un modelo de Common Mode Feedback (CMFB). Ambos se encuentran dentro de un mismo bloque esquemático representado por la figura 39. El cual cuenta con 7 pines de entrada, tanto para la señal diferencial de entrada (v_{in} y v_{ip}), la fuente de alimentación (v_{dd} y gnd), corriente de polarización del par diferencial y del CMFB (I_b y I_{b_CMFB}), además del voltaje de modo común (v_{cm}). El diagrama esquemático de este bloque se ve descrito por las figuras 41 y 42.

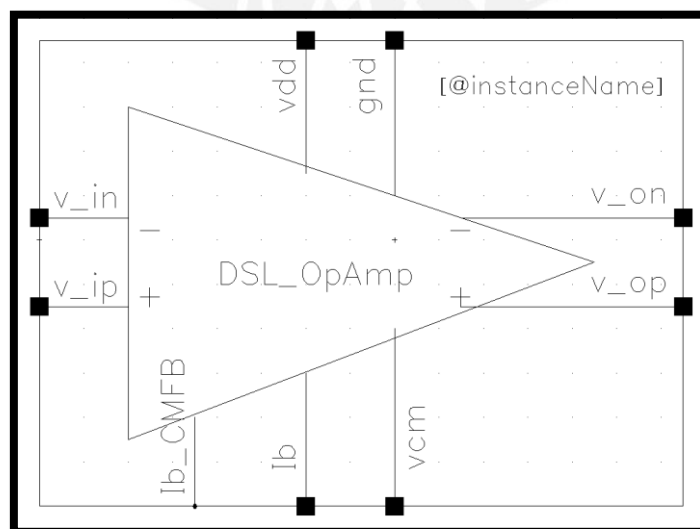


Fig. 39. Símbolo del Amplificador Operacional propio del lazo DSL

4.1.1 Simulación en DC

Se ha realizado la simulación del circuito de prueba mostrado en la figura 40, en donde se tiene una señal de entrada representada por una fuente senoide de 10mV a 100 Hz, la cual por medio de fuentes dependientes será representado como una del tipo diferencial, estas tendrán una ganancia de ± 0.5 el valor de la onda principal. Las corrientes de polarización tendrán una magnitud de 60 nA, mientras que el voltaje de modo común será de 500 mV. Finalmente, todos los bloques diseñados poseen una fuente de alimentación de 1 V. Se realiza el diseño con la finalidad que las resistencia tanto R2 con R3, y R5 con R6 generen una ganancia de lazo unitaria.

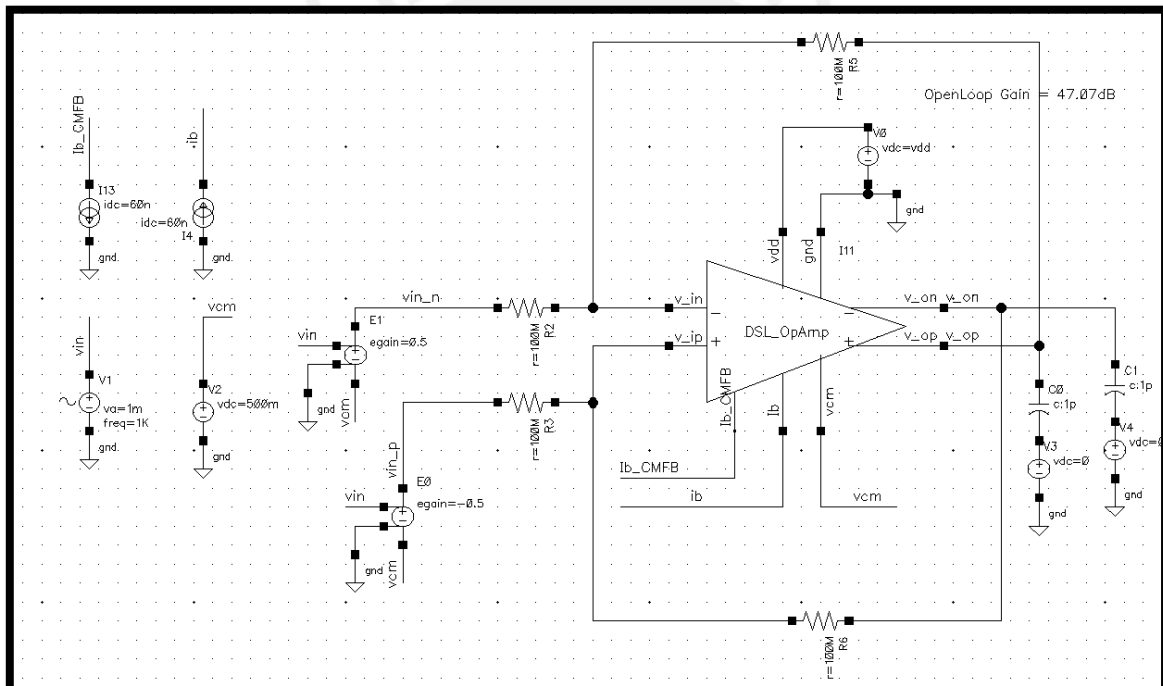


Fig.40. Diagrama esquemático de simulación del GM_DSL en lazo abierto.

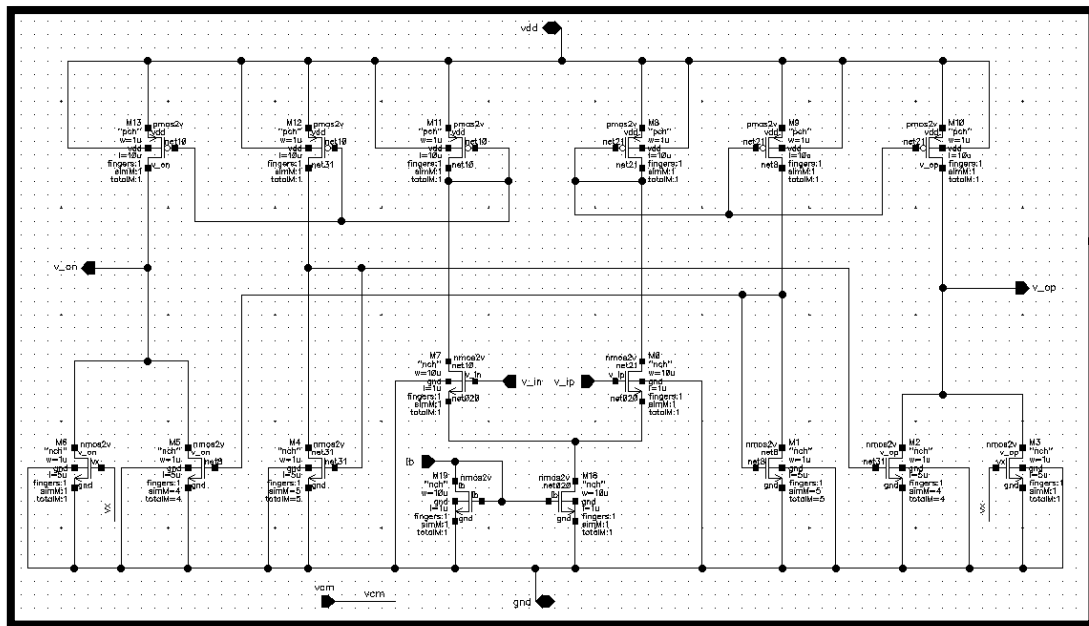


Fig. 41. Diagrama esquemático de resultados internos DC del GM_DSL

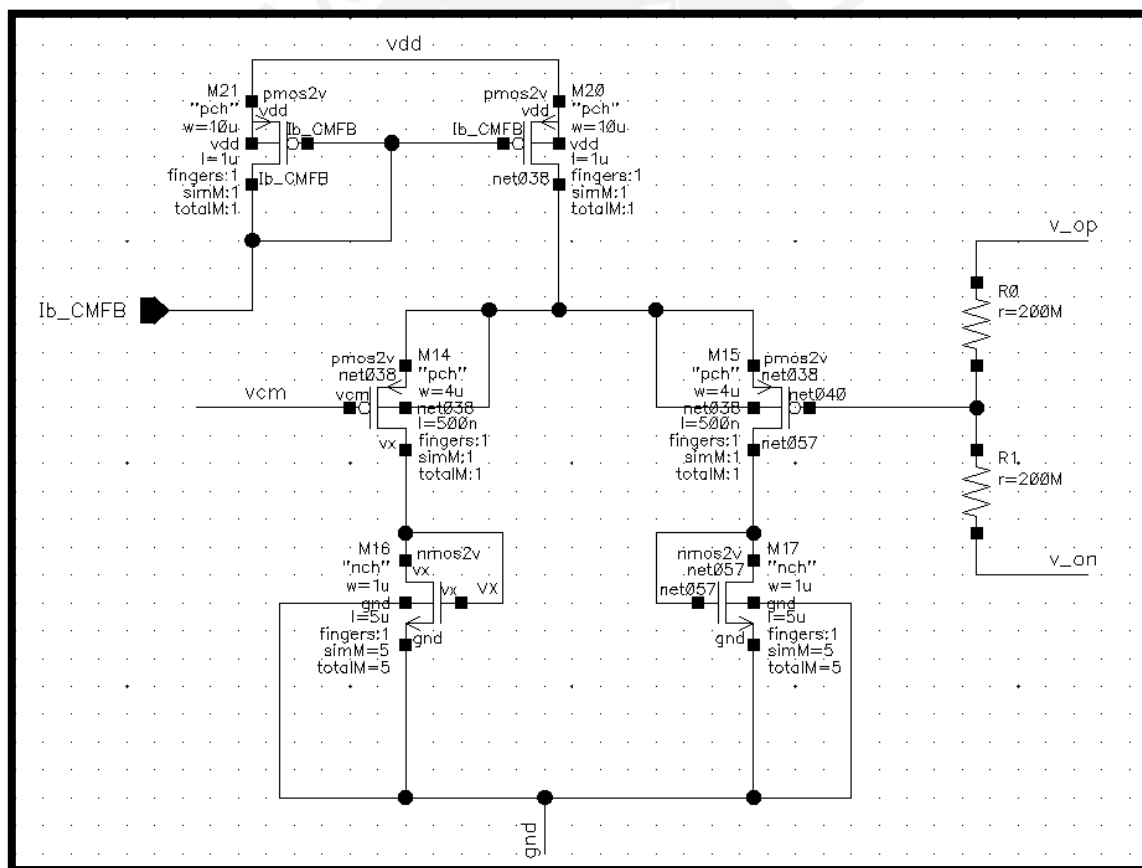


Fig. 42. Diagrama esquemático de resultados DC del CMFB

Transistor	W (m.)	L (m.)
M0	1u	10u
M1	1u	5u
M2	1u	5u
M3	1u	5u
M4	1u	5u
M5	1u	5u
M6	1u	5u
M7	1u	10u
M8	1u	10u
M9	1u	10u
M10	1u	10u
M11	1u	10u
M12	1u	10u
M13	1u	10u
M14	4u	500n
M15	4u	500n
M16	1u	5u
M17	1u	5u
M18	10u	1u
M19	10u	1u
M20	10u	1u
M21	10u	1u

Tabla 2. Valores de diseño aplicado en los transistores internos del DSL_GM

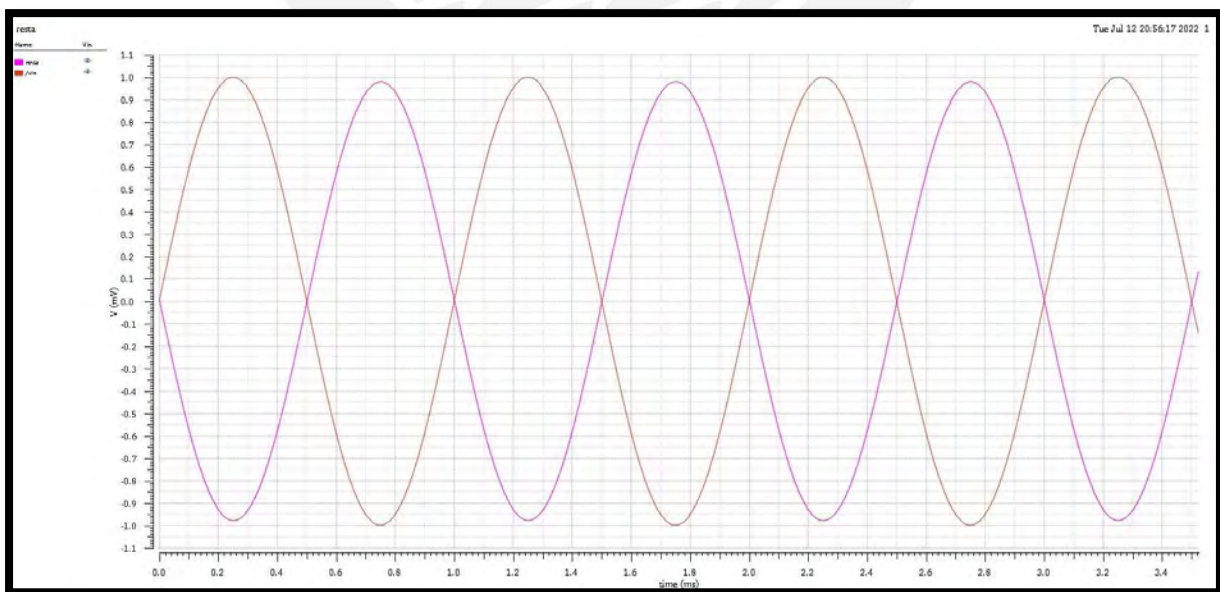


Fig. 43. Respuesta del GM_DSL ante la señal de entrada, en configuración como inversor.

4.1.2 Simulación AC

Se realiza el análisis del amplificador operacional en el diagrama esquemático mostrado en la figura 40, de tal forma que por medio del simulador ADE L, se escoge el tipo el tipo de respuesta AC, la cual irá desde 10 mHz hasta los 10MHz. El resultado de esto se puede observar en la figura 44, en donde el valor de la ganancia tiende a ser constante por parte del OpAmp hasta los 11KHz, luego de ello se presencia un comportamiento decreciente de esta a razón de 20dB/década. Además de esto se puede visualizar que su ganancia en DC presenta una ligera atenuación de -279.185 mdB.

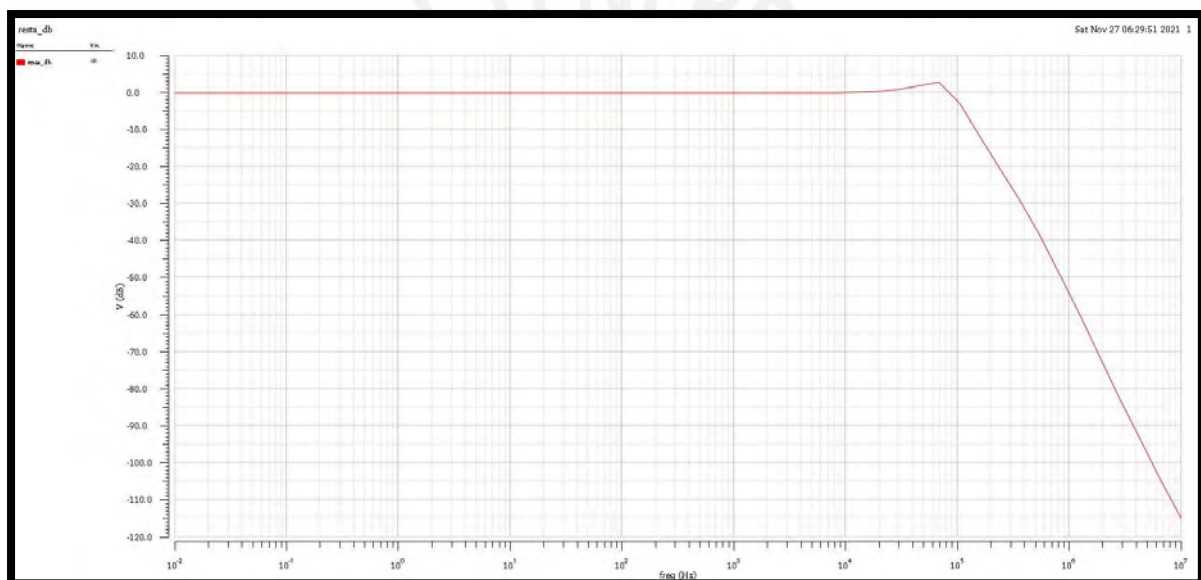


Fig. 44. Respuesta frecuencial en decibelios del GM_DSL en lazo cerrado.

Otra respuesta de mucha importancia es la que presenta el amplificador operacional en lazo abierto, para ello se plantea el diagrama esquemático mostrado en la figura 45, donde a diferencia del análisis anterior se han eliminado los lazos de realimentación conformado por las resistencias, de tal forma que analizando la respuesta que presenta en la figura 46, donde se observa que la ganancia DC del amplificador en lazo abierto es 47 dB.

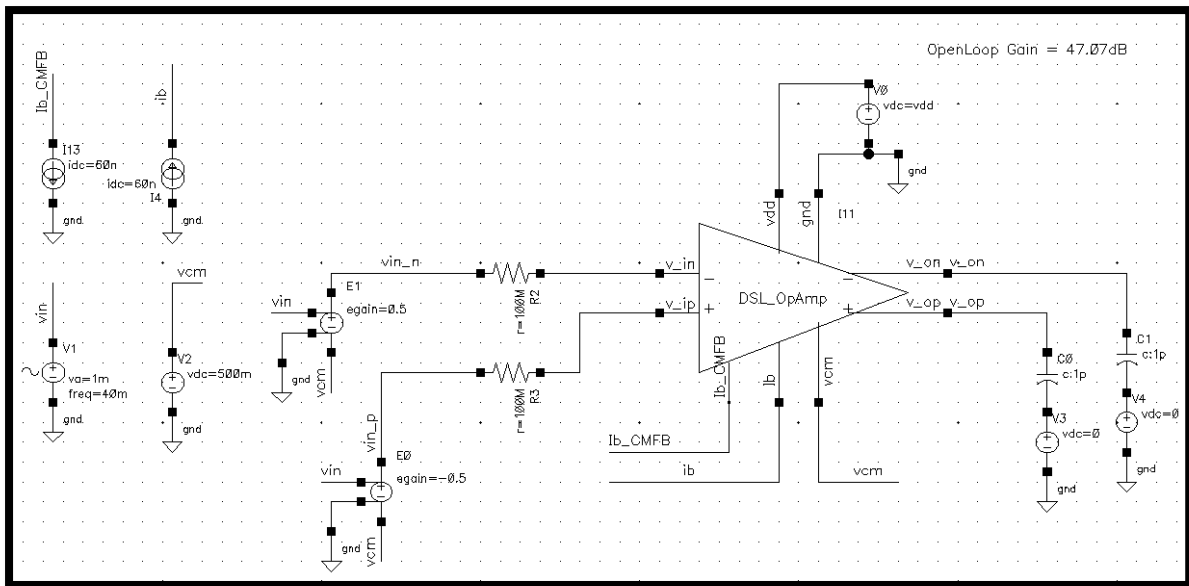


Fig. 45. Diagrama esquemático para la simulación AC en lazo abierto.

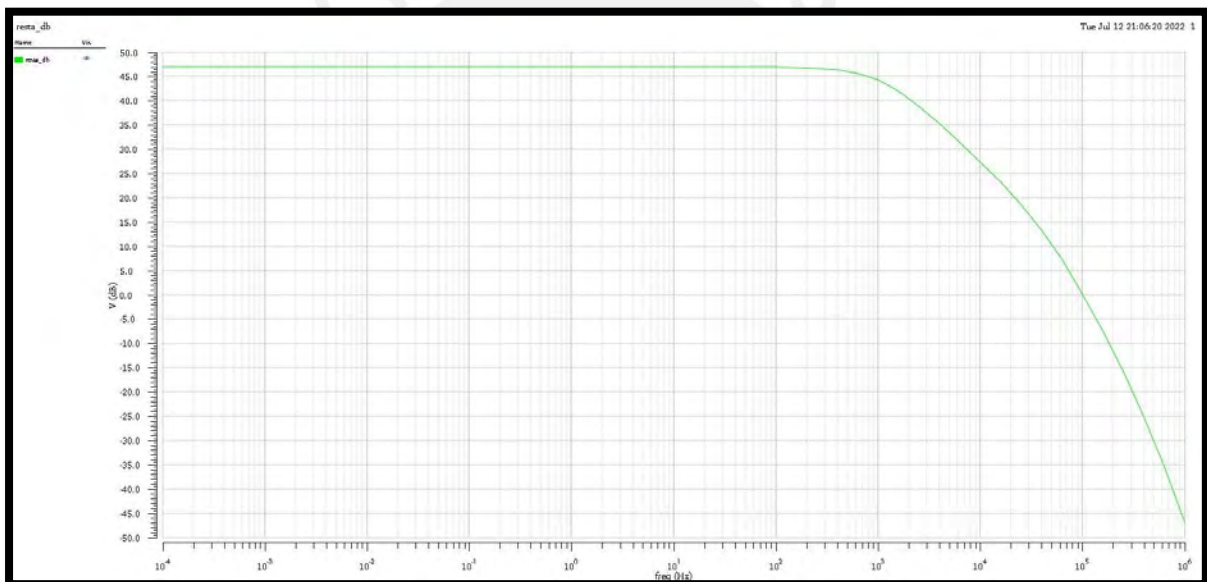


Fig. 46. Respuesta frecuencial en decibelios del GM_DSL en lazo abierto.

4.1.3 Simulaciones de *corner*

Además de los análisis ya realizados, también se han observado los resultados presentados por el OpAmp Gm_DSL ante variaciones de procesos, temperatura y fuente de alimentación (vdd). Para ello se ha utilizado la modalidad ADE XL, configurando entonces la respuesta de ganancia en lazo abierto, la frecuencia de ganancia unitaria y la ganancia DC; ante variaciones del proceso a los transistores definidos por el *software* utilizado, tanto lento (ss) como rápido (ff), también se procede a variar la temperatura en un rango de -40°C a 85°C , y el valor de vdd entre

0.9 V a 1.1 V. A este tipo de variación son denominadas como PVT (Procesos - Voltaje - Temperatura), de tal forma que se puede apreciar el proceso de recolección de datos por medio de las gráficas resultantes en la figura 47, figura 48 y figura 49.

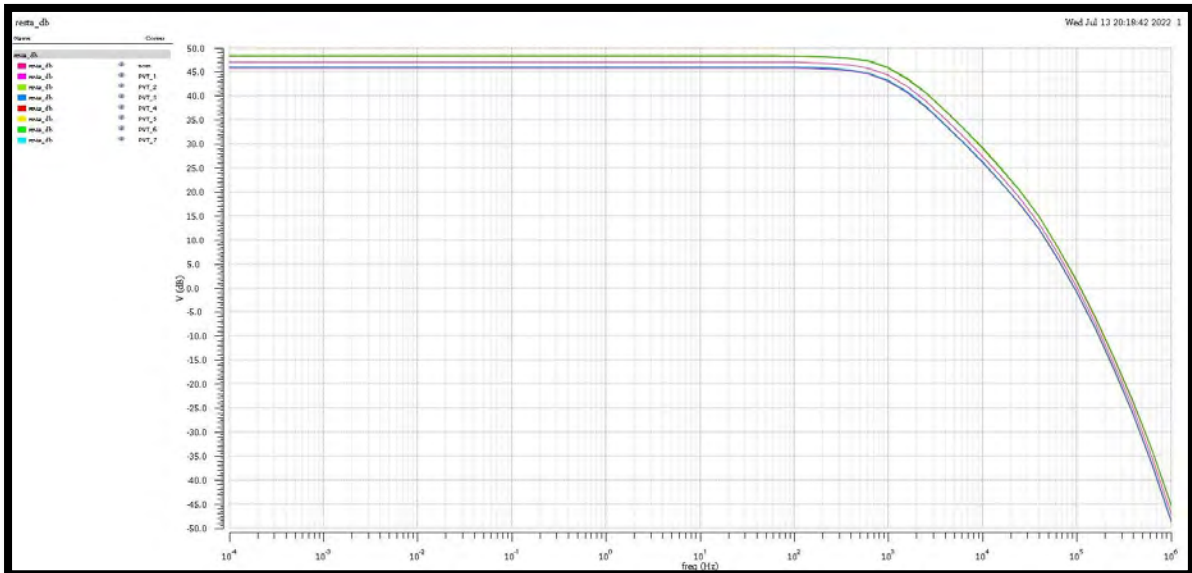


Fig. 47. Respuestas frecuenciales de la magnitud en ganancia de voltaje del OpAmp, ante las variaciones PVT.

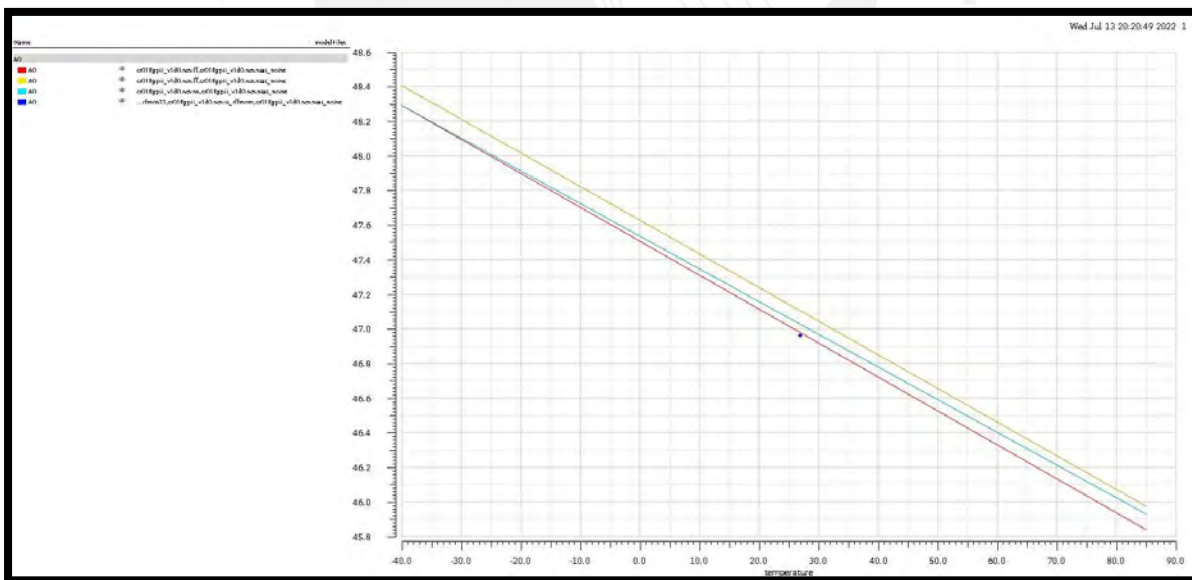


Fig. 48. Respuestas de la ganancia DC sobre la temperatura, ante las variaciones PV.

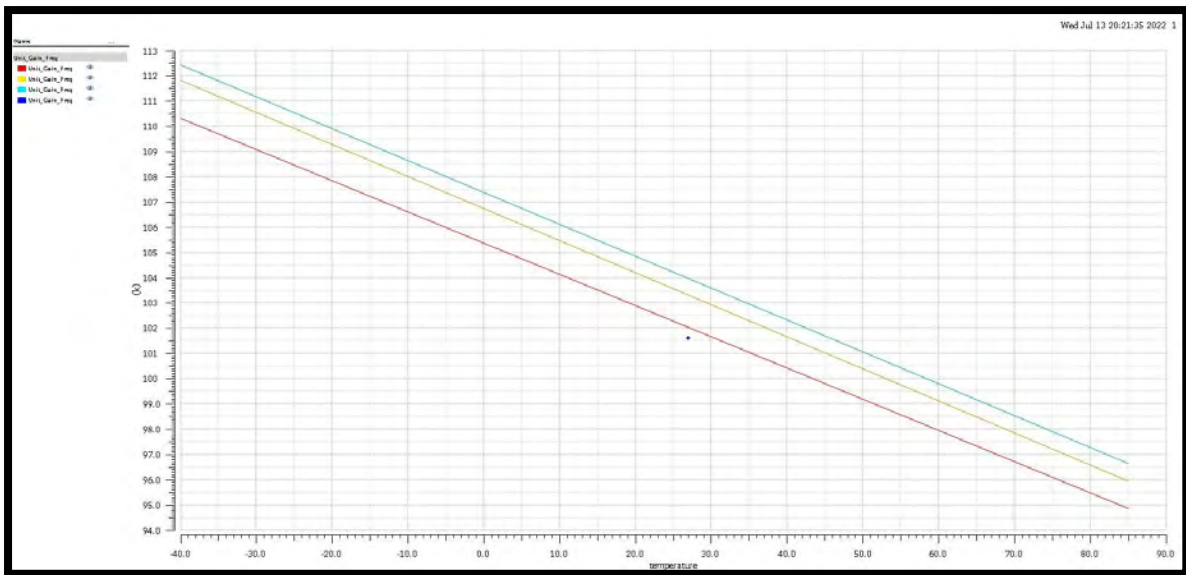


Fig. 49. Respuestas de la frecuencia de ganancia unitaria sobre la temperatura, ante las variaciones PV.

Estos valores se pueden ver con mayor detalle en la tabla 3, donde se representa las magnitudes puntuales de respuesta, antes los extremos ya definidos, además de los valores típicos que este puede presentar ante condiciones nominales.

Proceso	Temperatura (°C)	Vdd (V)	Ganancia DC (dB)	Frecuencia de ganancia unitaria (KHz)
ss	-40	0.9	19.12	98.7
		1.1	48.29	112.4
	85	0.9	45.79	95.67
		1.1	45.93	96.64
ff	-40	0.9	48.29	110.3
		1.1	48.41	111.8
	85	0.9	45.84	94.85
		1.1	45.97	95.92
Typ	27	1	46.96	101.6

Tabla 3. Valores de la ganancia DC y frecuencia de ganancia unitaria antes variaciones PVT.

4.2. Transconductor GM

El diseño seleccionado para el transconductor GM es el de la figura 50, el cual se basa en un par diferencial tipo P, polarizado con una corriente de 5nA. Este par diferencial, como ya se mencionó en el capítulo 3, no alcanza por sí solo una transconductancia tan pequeña como la requerida. Es por ello por lo que se utiliza la técnica de división de corriente serie-paralelo, la cual reduce de forma significativa el valor de transconductancia

por medio de un factor de N^2 , donde N es el valor de los transistores en cada arreglo. Por ello, como se observa en la imagen se escoge un valor de N equivalente a 10 transistores. Además, por ser un transconductor fully differential es obligatorio el diseño de un CMFB, el cual se puede observar en la figura 51; este es basado en una topología MOS, para evitar efectos de carga.

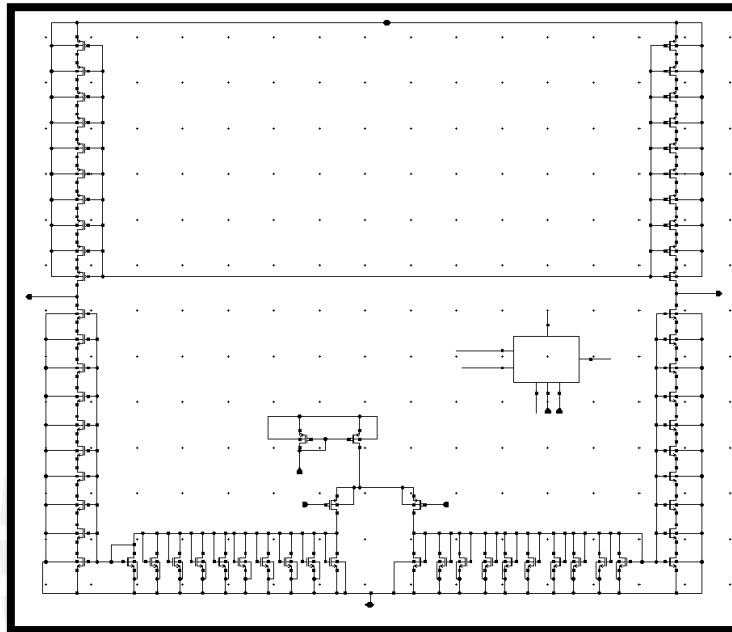


Fig. 50. Diseño esquemático de transconductor GM, con técnica de división de corriente con $N = 10$.

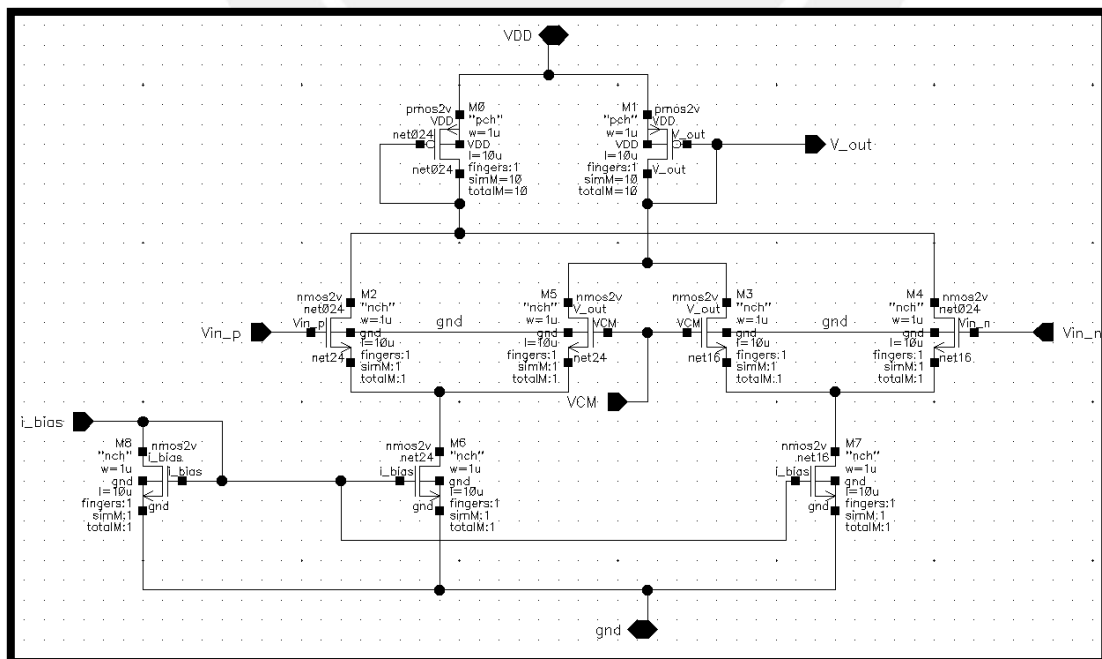


Fig. 51. Diseño esquemático del CMFB propio del bloque GM

4.2.1 Simulación en DC

La figura 52, muestra el símbolo creado para este componente GM, con la finalidad de poder crear un ambiente de simulación. Con el uso de este símbolo se desarrolló en la figura 53 las conexiones necesarias para probar los parámetros más importante de este componente, en este caso sería su valor de transconductancia que brinda como bloque general, a través de la función derivada de la corriente que este entrega en base a los cambios de los voltajes de entrada. Por ello, en la figura 54 se muestra la curva de corriente de ambos pines de salida del bloque GM, para luego en la figura 55 observar su curva derivada que representa su valor de transconductancia, el cual se observa en su punto máximo de valor absoluto de magnitud 389.98 pS.

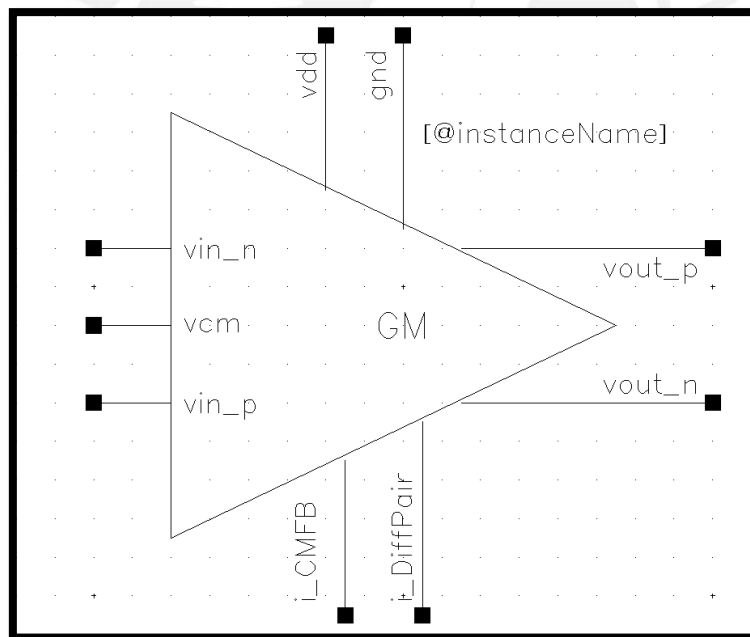


Fig. 52. Símbolo del transductor GM

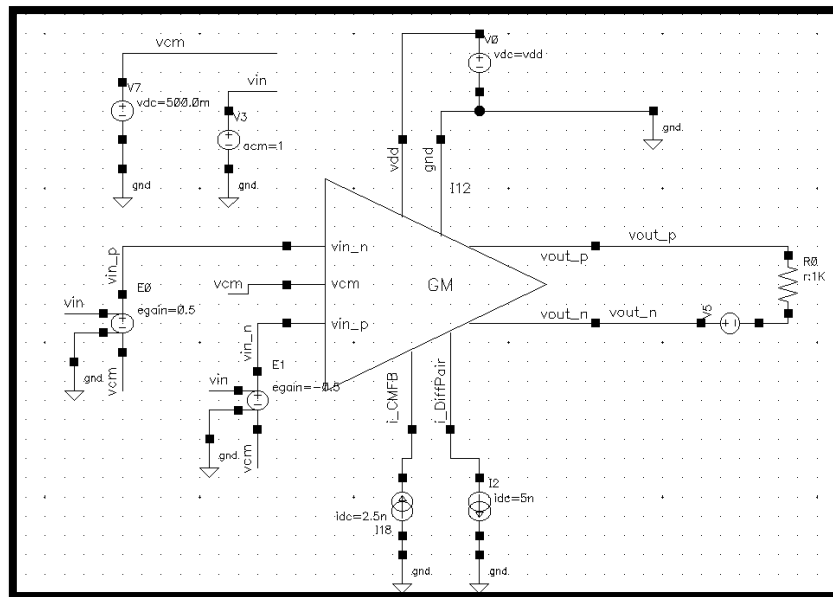


Fig. 53. Diseño de *testbench* para el bloque GM.

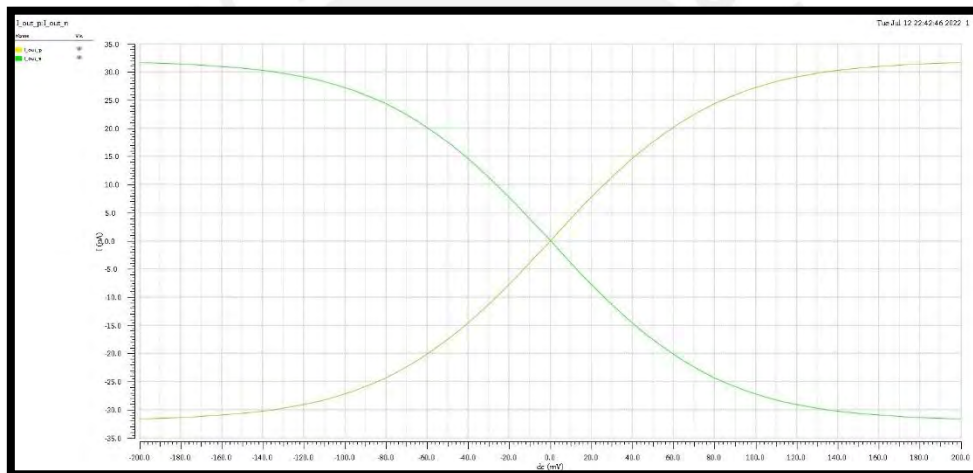


Fig. 54. Respuesta de las corrientes de salida a través de pin n y p del GM.

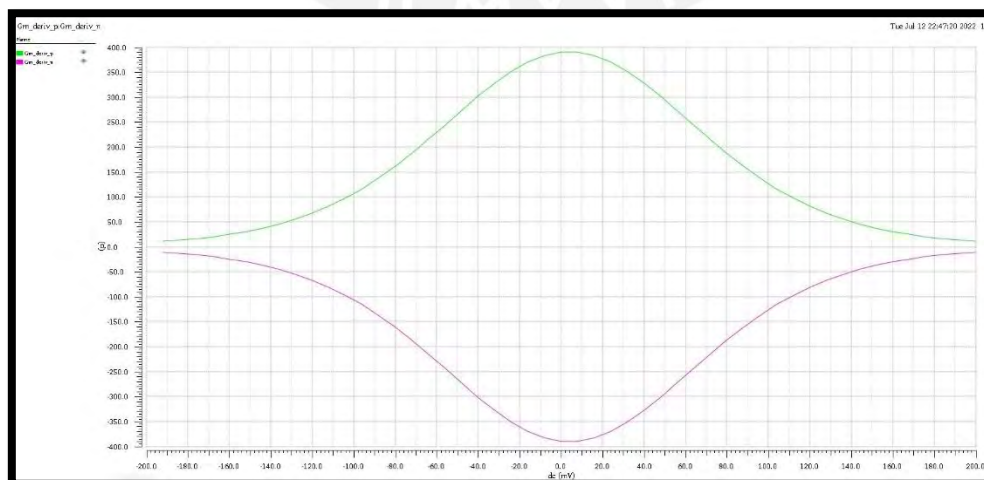


Fig. 55. Curva derivada de la corriente de salida del GM.

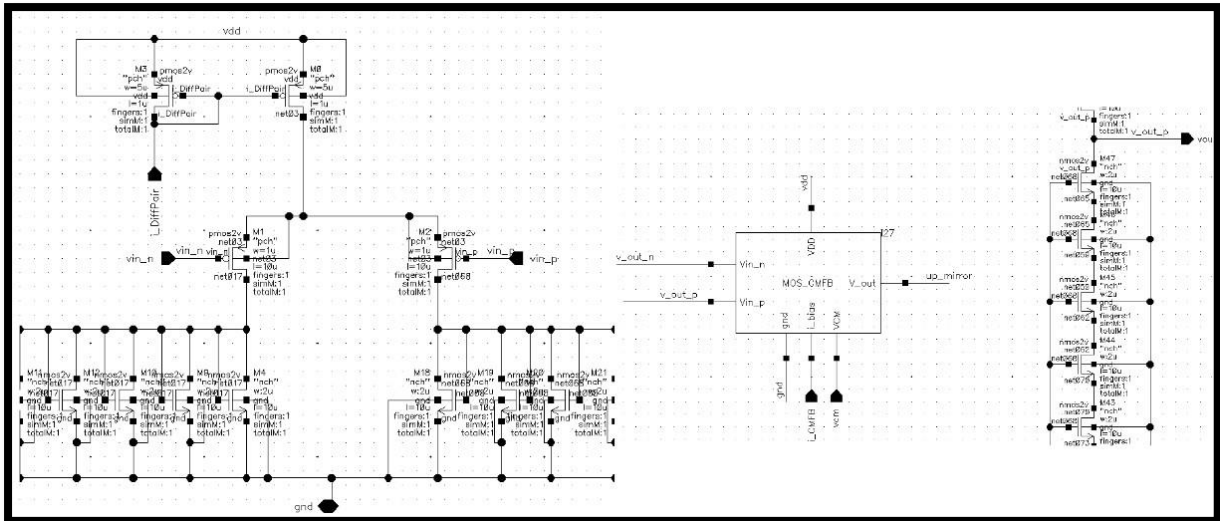


Fig. 56. a) Magnitudes resultantes en el par diferencial, y los transistores del arreglo paralelo. b) Magnitudes de polarización de los transistores laterales en serie.

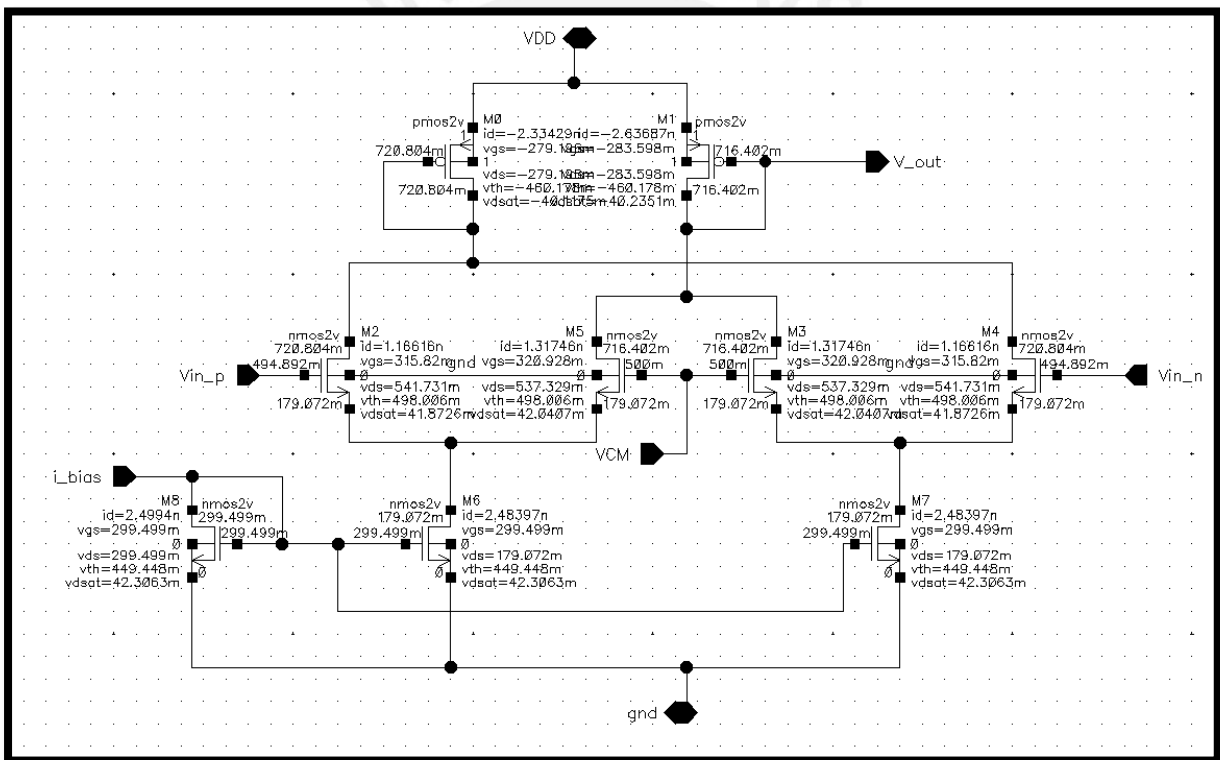


Fig. 57. Magnitudes resultantes de la polarización del CMFB

Por lo tanto, de las gráficas de la figura 56 y figura 57, se puede observar que todos los transistores han sido adecuadamente polarizados, tanto en el par diferencial, el CMFB y el arreglo de reducción de corriente serie – paralelo.

4.2.2 Simulación de Corner

Para analizar los valores obtenidos por las simulaciones de corner, se define primero los parámetros y variables a analizar, en este caso se utiliza un análisis PVT. Para ello, se analiza el proceso ss y ff, se varia la temperatura de $-40\text{ }^{\circ}\text{C}$ a $85\text{ }^{\circ}\text{C}$ y el vdd a 0.9 V y 1.1 V. La principal señal para analizar es la respuesta de su corriente ante estas variaciones, tal y como se observa en la figura 58, de tal forma que en la figura 59 se pueda observar la respuesta de su derivada, influyendo así en los valores de transconductancia, que se pueden observar en la figura 60 y con mayor detalle en la tabla 4. Únicamente se está evaluando la señal asignada al pin de salida P, del bloque GM, ya que la respuesta del otro pin será exactamente inversa a esta.

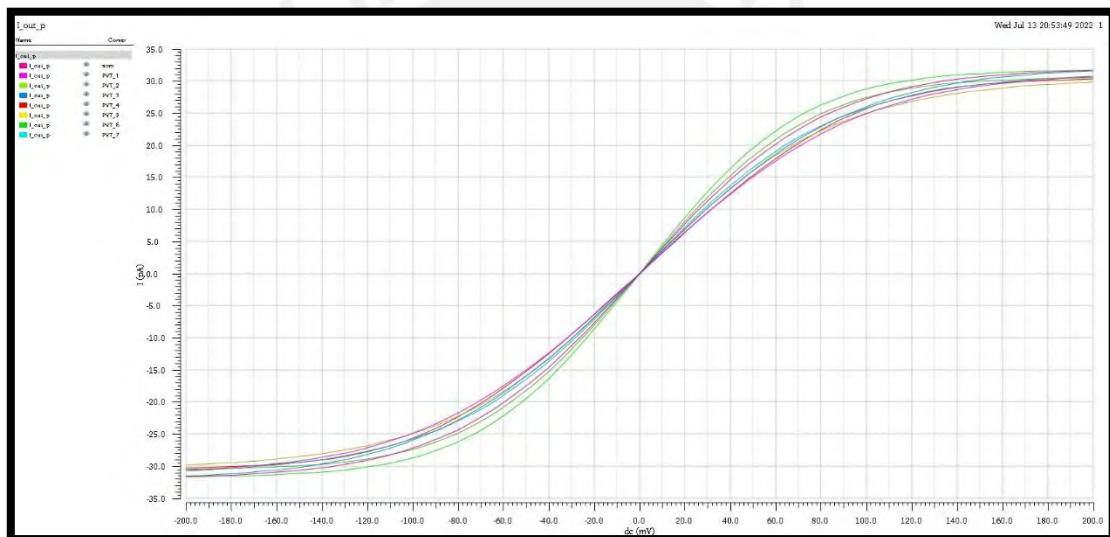


Fig. 58. Señal de corriente de salida ante variaciones PVT.

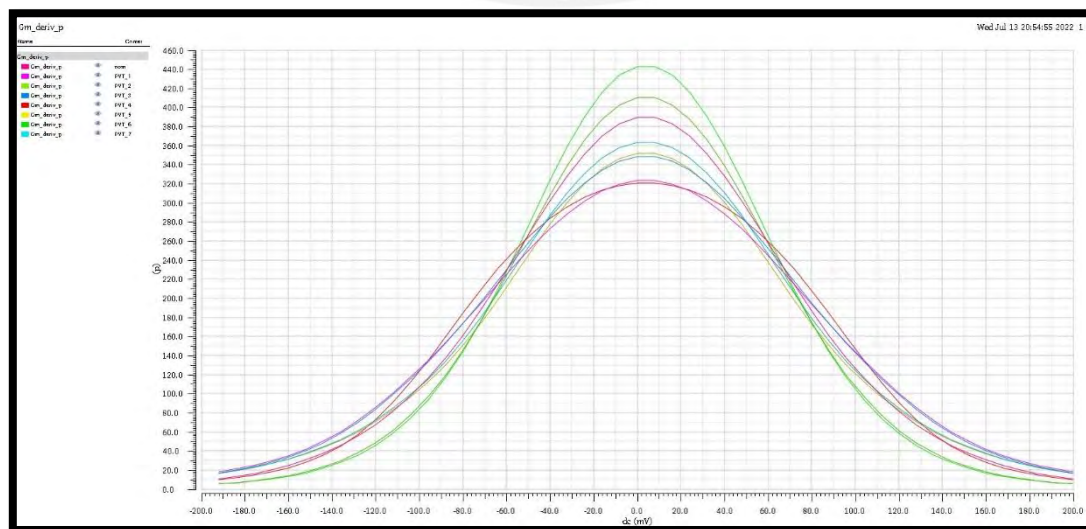


Fig. 59. Curva derivada de la corriente en función de su voltaje de entrada, ante variaciones PVT.

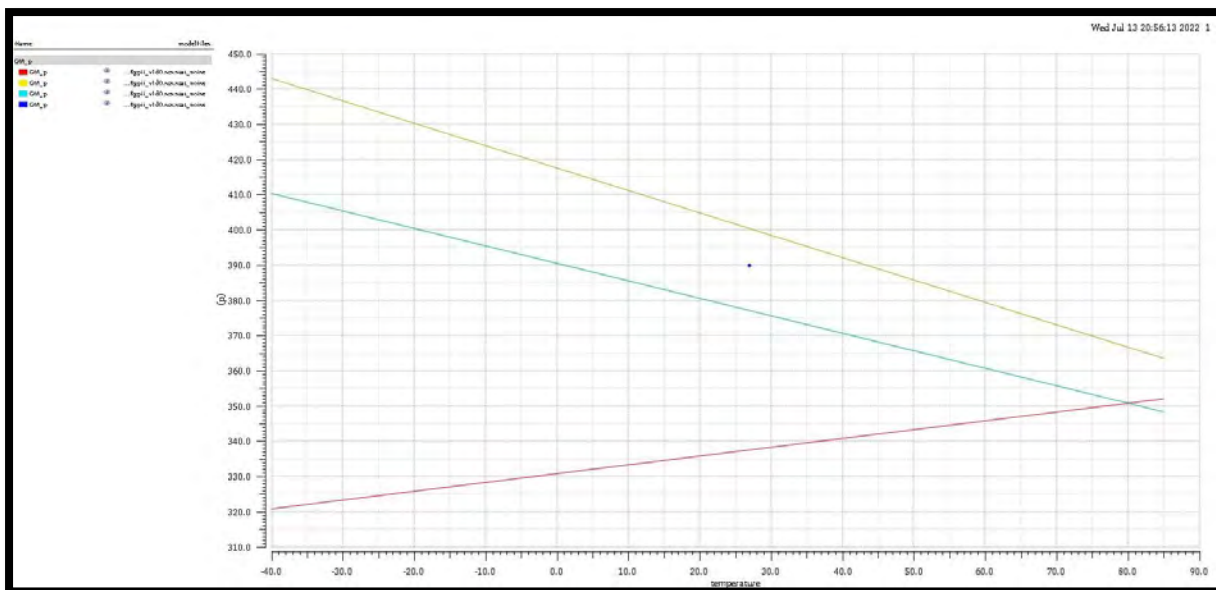


Fig. 60. Magnitud de la transconductancia en función de la temperatura, ante variaciones PV.

Proceso	Temperatura (°C)	Vdd (V)	Transconductancia GM (pS)
ss	-40.00	0.90	152.8
		1.10	410.2
	85.00	0.90	323.2
		1.10	348.3
ff	-40.00	0.90	320.7
		1.10	442.9
	85.00	0.90	352
		1.10	363.4
Typ	27.00	1.00	389.9

Tabla 4. Valores de transconductancia ante los extremos de las variaciones PVT.

4.3. Bloque Integrador

Esta etapa, integra los bloques descritos anteriormente, con la finalidad de actuar como un filtro pasa bajos, definido a una frecuencia de 0.5Hz. Para ello se utilizan los símbolos previamente mencionados juntándolos como una topología de OpAmp como integrador, por lo que se escoge un valor de capacitores en los lazos de realimentación de este, con valor de 100 pF.

4.3.1 Simulación transitoria DC

Para esto se ha utilizado el diseño de circuito de prueba que se muestra en la figura 61, la cual recibirá como entrada a una señal senoidal de 1mV a 40Hz de frecuencia, de tal forma que se pueda observar su comportamiento a la salida del integrador. La respuesta que se obtiene se muestra en la figura 62, donde se puede observar un tramo de estabilidad, para que la señal

obtenga una forma estable, este es de aproximadamente 1.7 segundos. Como se puede observar el resultado es correcto según lo esperado, puesta que la señal de menor frecuencia ha sido filtrada.

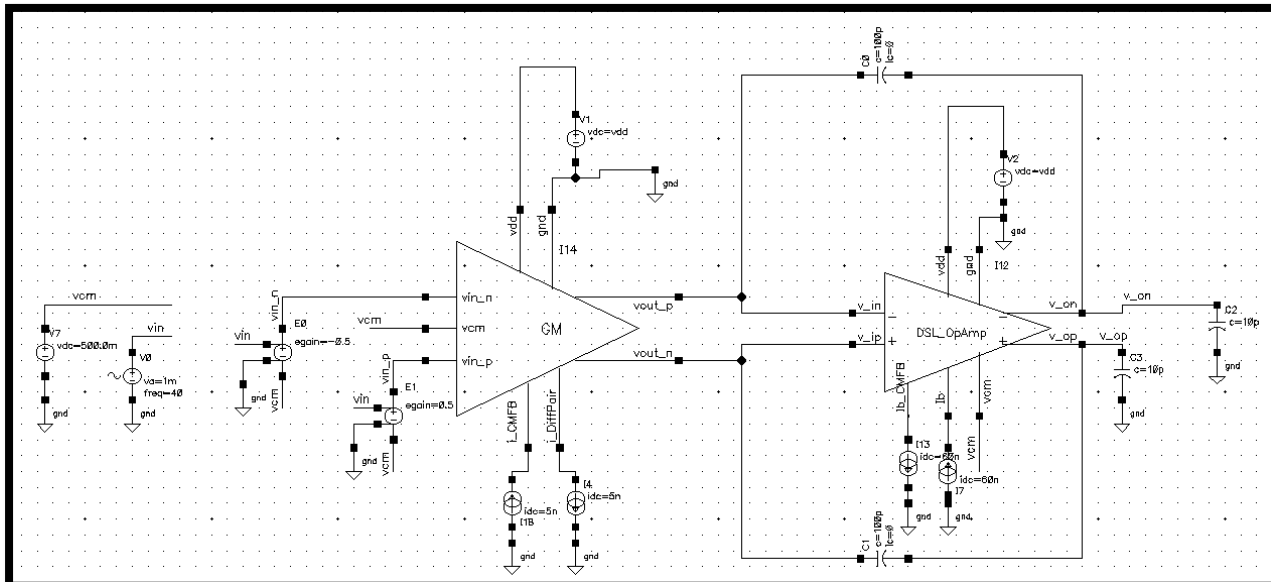


Fig. 61. Diseño de *testbench* para el bloque integrador de forma individual.

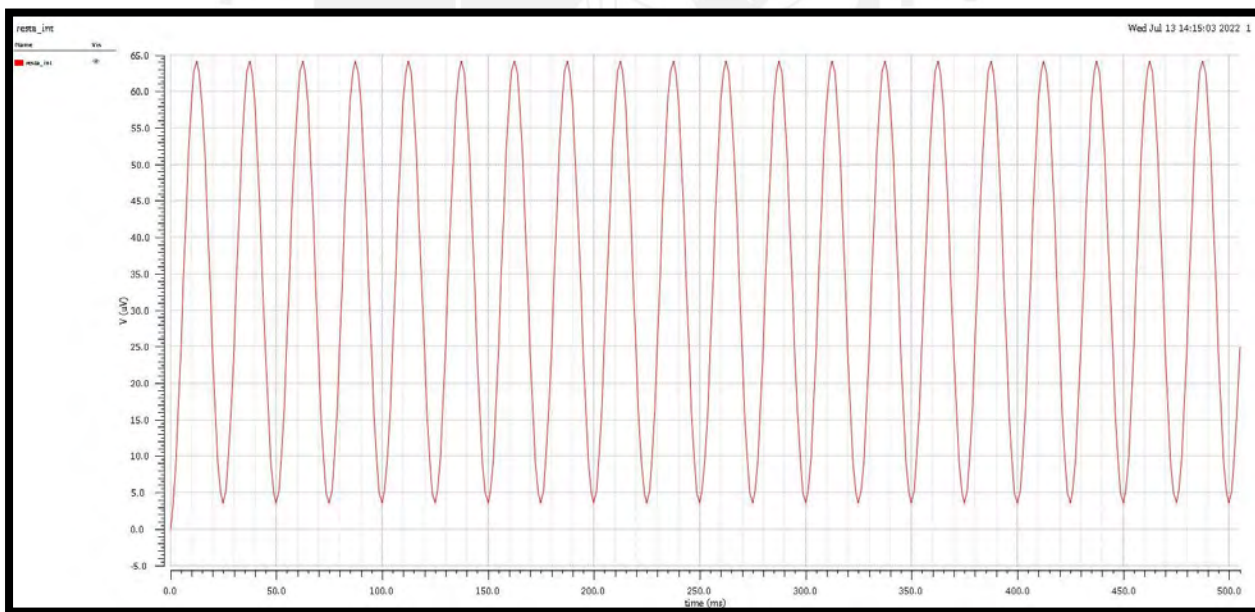


Fig. 62. Respuesta del integrador a una señal de 1mV a 40Hz.

4.3.2 Simulación AC

En la figura 63, se puede observar el resultado de realizar una simulación AC al integrador. De esta se pueden observar los puntos más importantes con los que debe contar el filtro pasa bajos que se ha diseñado. Se observa una ganancia a nivel DC de 96.43 dB, de tal forma que comprueba los resultados que se observan en la simulación DC. Además, se observa una frecuencia de ganancia unitaria de 258 mHz. Finalmente, la frecuencia de corte que presenta este integrador se halla disminuyendo en 3dB el valor de la ganancia DC, por lo que como se puede observar es un valor de 400 μ Hz; considerando que se va a relacionar con el punto de corte del filtro pasa banda general. Para una mayor precisión en este valor, se puede utilizar también valores de capacitancia aproximadas, teniendo en cuenta la proporción de área que esta va a tener.



Fig. 63. Respuesta AC de la configuración de integrador

4.3.3 Simulación de Corner

Se realiza la simulación PVT, donde se varían los valores de proceso, voltaje de alimentación y temperatura, de igual forma que las simulaciones anteriores. Obteniendo como resultado las respuestas en la figura 64, figura 65 y figura 66; siendo estas de respuesta de ganancia frecuencial, frecuencia de ganancia unitaria y frecuencia de corte respectivamente.

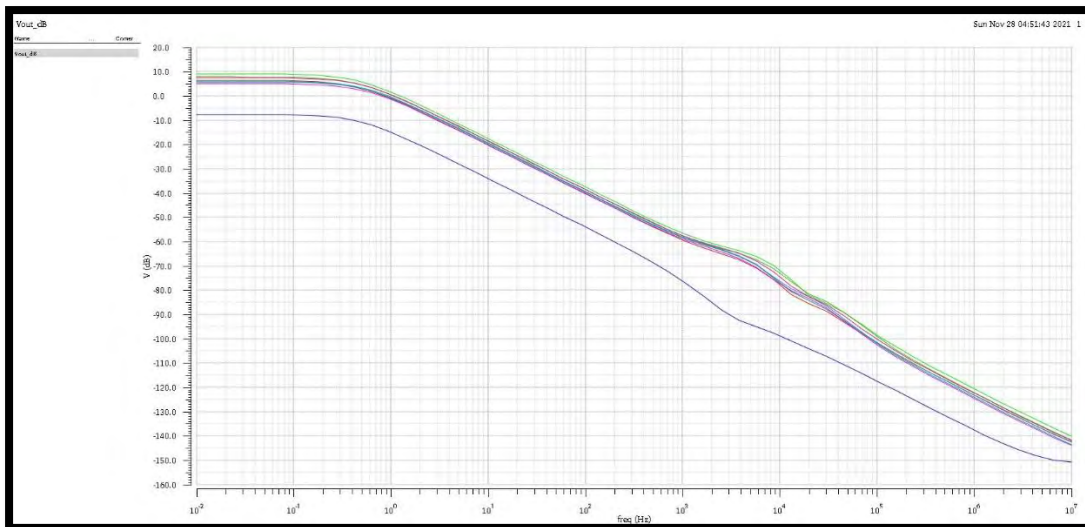


Fig. 64. Respuesta en AC ante variaciones PVT

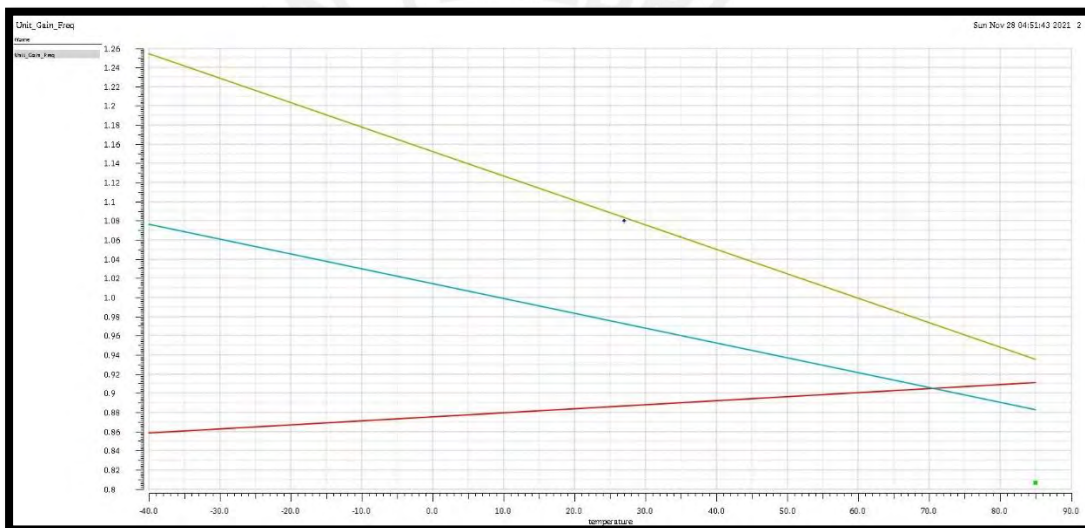


Fig. 65. Respuesta de la frecuencia de ganancia unitaria ante variaciones PVT

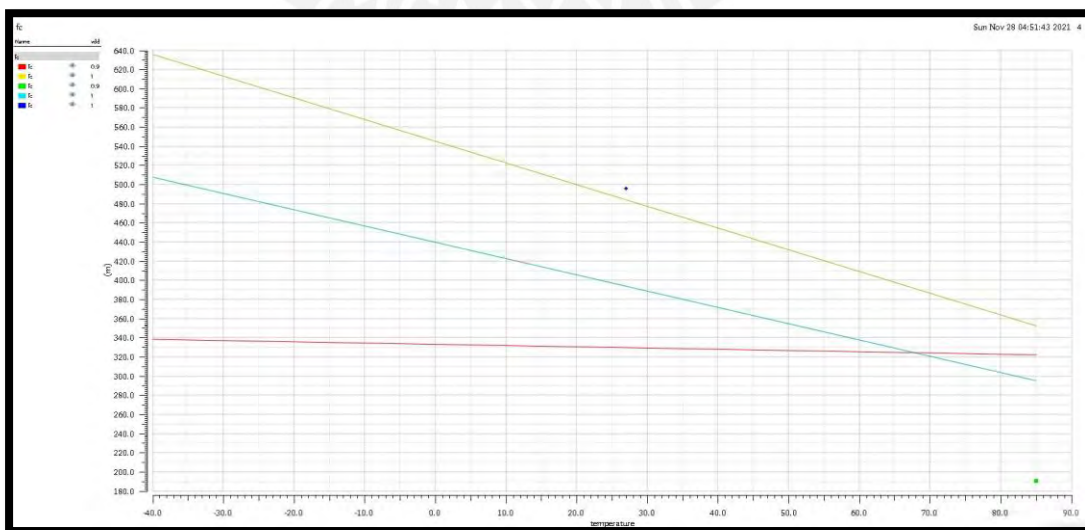


Fig. 66. Respuesta de la frecuencia de corte sobre la temperatura, ante variaciones PVT.

4.3.4 Simulación General como Realimentación

Una vez realizado las simulaciones del bloque integrador como circuito integrado, se procede a comprobar su funcionamiento dentro de un modelo de realimentación, de tal forma que la respuesta propia de este sea, en vista general, como un circuito pasa banda, en donde la frecuencia de paso menor debe ser mayor a 0.5 Hz, de esta forma no interferir con la señal principal. Para ello se realiza la simulación de un amplificador con magnitud en la ganancia de realimentación de veinte, tal y como se puede observar en la figura 67. Como primer análisis se tiene a la respuesta de este, en un análisis AC, figura 68, y se puede observar los puntos de frecuencia pasa banda comprendidas entre 501.432 mHz hasta 29.37 kHz; con una ganancia de 22.54 dB.

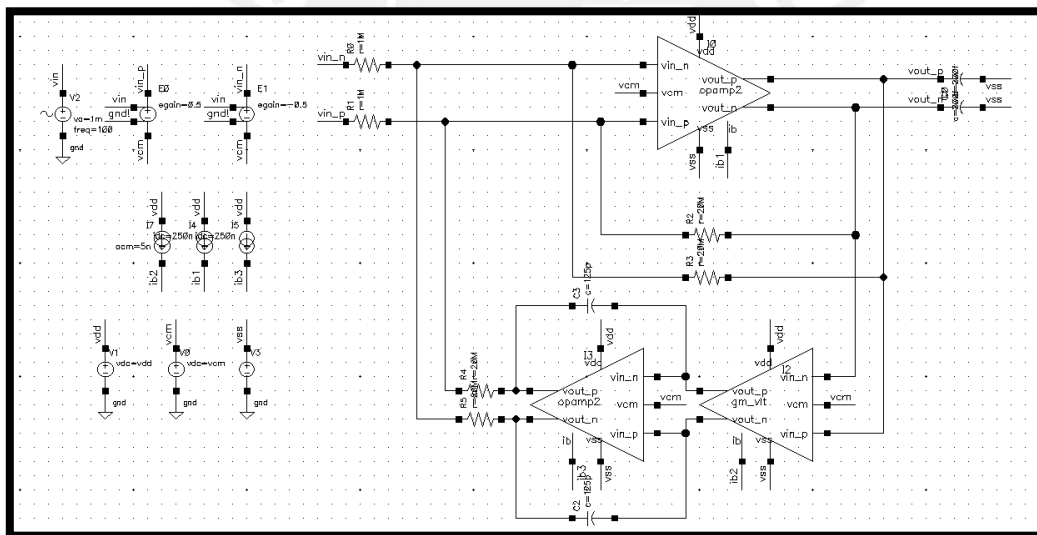


Fig. 67. Diseño de *testbench* para el bloque integrador de forma acoplada.

Luego de haber logrado los criterios de diseño en el análisis AC, se procede a realizar el análisis transitorio para poder observar la correcta amplificación de la señal de entrada, para ello se utiliza una fuente senoide con amplitud de 1 mV, frecuencia de 100 Hz y *offset DC* de 20 mV; cuyo resultado esperado se puede observar dentro de la figura 69. Finalmente, se prueba el modelo diseñado, con una señal ECG [14] y *offset DC* de 20 mV, en reemplazo de la fuente senoide, cuyo resultado esperado es el observado en la figura 70, considerando un cambio en la ganancia de realimentación, la cual ahora es de 10.

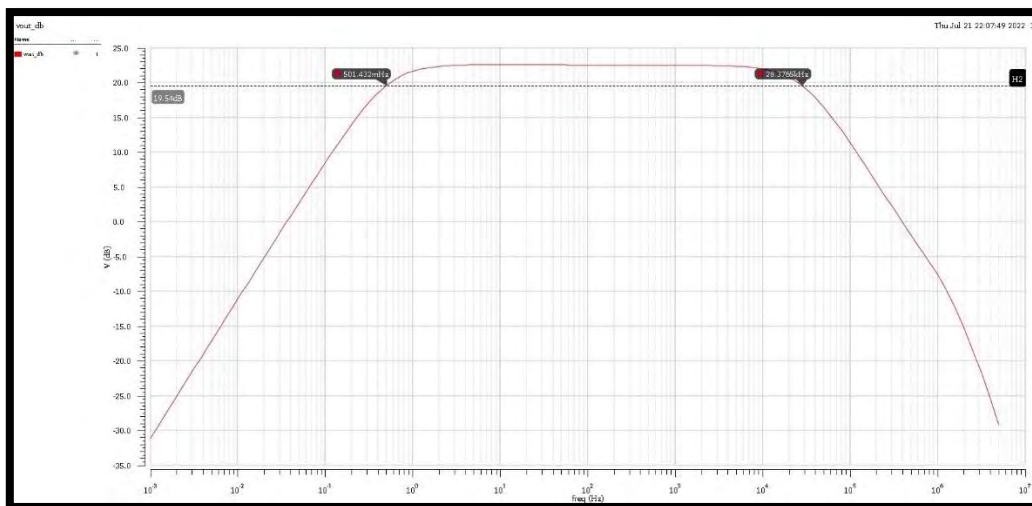


Fig. 68. Respuesta AC vista desde la salida del OpAmp principal con integrador.

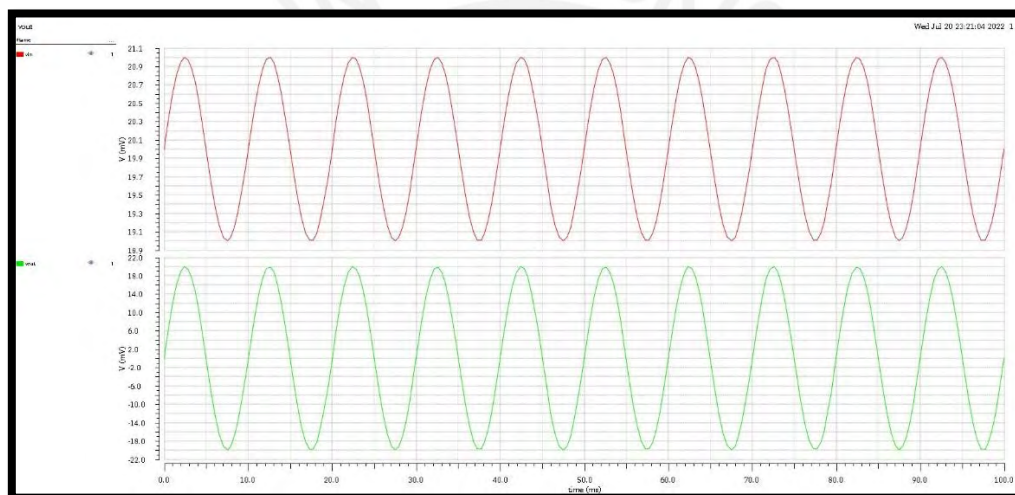


Fig. 69. Respuesta transitoria en función de una señal senoide de entrada de 1 mV.

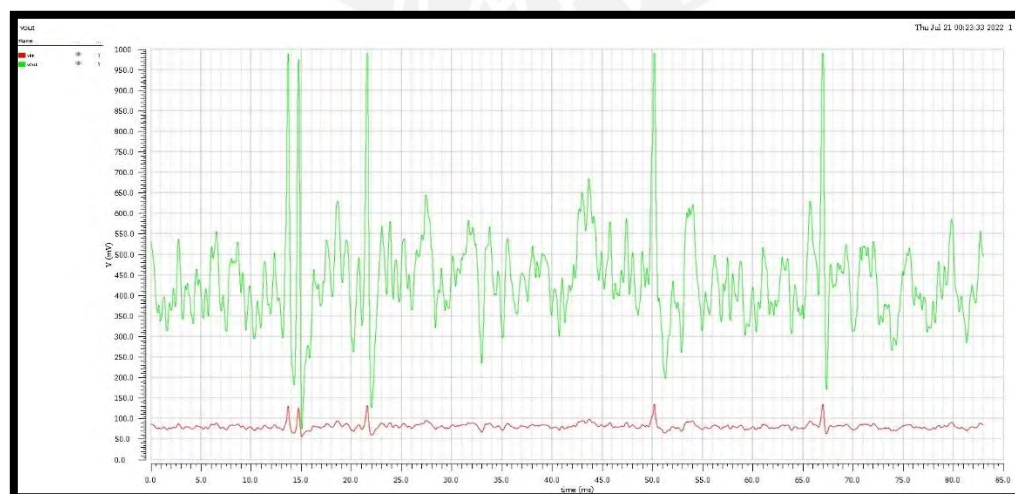


Fig. 70. Respuesta transitoria de una señal ECG amplificada en una ganancia de 10.

4.4 RESULTADOS

De esta manera se logra obtener un bloque integrador funcional que permita actuar como un filtro pasa banda, desde la perspectiva del circuito amplificador completo, configurado a una frecuencia de corte inferior de 0.5 Hz, siendo esta considerada la máxima dentro del rango frecuencial para señales de biopotenciales en la electrocardiografía.

Se logró obtener una transconductancia en el bloque GM de 390.2 pS por medio de una técnica de división de corriente serie-paralelo de valor $N=10$. Esta magnitud es equivalente a su proporción resistiva de valor 2.56 G Ω . Además, también se realizó el diseño del amplificador operacional dentro del lazo DSL, de tal forma que se alcanza una ganancia de aproximadamente 47 dB; este presenta una estabilidad hasta una frecuencia de 10KHz en donde se desestabilizará. Posterior a ello, en el análisis del bloque integrador completo, se puede observar como en base a una capacitancia aproximada de 100pF se puede obtener en conjunto con el Gm_DSL y el GM, un filtro pasa bajos, cuya frecuencia de ganancia unitaria se encuentra alrededor de los 0.495 Hz, siendo este valor lo suficientemente aceptable para este tipo de aplicación, con un error del 1% en base al objetivo principal. También se puede observar un nivel de ganancia en DC, por parte del bloque integrador, con una ganancia de 22.54 dB. De esta forma se ha podido realizar el cálculo de la potencia total disipada por el bloque integrador, siendo este de 130nW, mostrada a mayor detalle en la tabla 5

<i>POTENCIA TOTAL</i>	<i>130 nW</i>
<i>Transconductor</i>	10 nW
<i>Potencia en la topología principal</i>	5 nW
<i>Potencia en el CMFB</i>	5 nW
<i>OTA GM_DSL</i>	120 nW
<i>Potencia en la topología principal</i>	60 nW
<i>Potencia en el CMFB</i>	60 nW

Tabla 5. Cálculo de la potencia disipada en los bloques diseñados.

CONCLUSIONES

El efecto que causa el offset del electrodo, al acoplarse a una señal de biopotencial, es la saturación de la señal resultante posterior a la etapa de amplificación, esto principalmente causado por el tipo de alimentación del dispositivo y su magnitud. Por ello, el modelo de solución seleccionado demuestra una correcta eficiencia en el procesamiento de esta señal bioeléctrica, ya que utiliza las características físicas, en especial las frecuenciales, para de esta forma poder separar la señal indeseada, de la principal a procesar.

Los bajos niveles frecuenciales en los que se encuentran las señales de este tipo, exigen una magnitud elevada de uno de los componentes que forman parte del filtro pasa bajos, lo que a su vez se convierte en una expansión de área. Por ello, se propone sustituir en este caso, a la resistencia por una variante inversamente proporcional denominada transconductor, el cual está basado en la lógica de un par diferencial y espejos de corriente. Sin embargo, como se pudo observar esto no es suficiente para alcanzar los valores deseados de transconductancia. Por ello se utilizan técnicas complementarias como la división de corriente serie - paralelo.

Luego de la culminación del diseño y su verificación por medio de las herramientas de solución, se concluye que es posible implementar esta topología dentro de un circuito integrado, de tal forma que se pueda utilizar para diferentes aplicaciones dentro de los parámetros permitidos.

El diseño general de los bloques demuestra una precisa robustez ante variaciones en el proceso, la temperatura a la que se encuentran y los voltajes con los que son alimentados. De tal forma que estos puedan trabajar como un circuito integrado dentro de una aplicación para dispositivos vestibles.

SUGERENCIAS

- Con la finalidad de generar una continuidad en este trabajo, se recomienda la simulación de este bloque integrado, en una amplificación capacitiva Chopper con el tipo de modulación característico de esta topología. De esta forma se podrá observar el comportamiento de la señal al atravesar el circuito del DSL, para así ver separada la señal principal con la del *offset* del electrodo por medio de distintas bandas frecuenciales.
- Realizar el diseño del layout del esquemático por medio del mismo software utilizado, y de esta forma comprobar la significativa reducción de área que representa el cambiar las resistencias propuestas por el elemento transconductor.
- El envío del modelo diseñado a una rodada de fabricación MPW (*Multi Project Wafer*) con la finalidad de poder fabricar el circuito integrado diseñado y verificar su correcto desempeño ante situaciones y componentes reales. Para ello es necesario contar con un financiamiento que permita cumplir esta sugerencia.
- La topología y tecnología utilizada abre posibilidades de incursionar en nuevos alcances para señales de mayores extremos, como rangos frecuenciales menores, de tal forma que se pueda adentrar aún más en el análisis de señales de biopotenciales.

REFERENCIAS

- [1] H. Kalantarian, N. Alshurafa, and M. Sarrafzadeh, "A wearable nutrition monitoring system," *Proc. - 11th Int. Conf. Wearable Implant. Body Sens. Networks, BSN 2014*, pp. 75–80, 2014, doi: 10.1109/BSN.2014.26.
- [2] D. Luo, J. Lei, M. Zhang, and Z. Wang, "Design of a Low Noise Bio-Potential Recorder with High Tolerance to Power-Line Interference under 0.8 v Power Supply," *IEEE Trans. Biomed. Circuits Syst.*, vol. 14, no. 6, pp. 1421–1430, 2020, doi: 10.1109/TBCAS.2020.3038632.
- [3] W. N. Loop, Q. Li, X. Wang, and Y. Liu, "A 60 nV/VHz <0.01%-THD \pm 200 mV-DC-Rejection Bio-Sensing Chopper Amplifier With Noise-Nonlinearity-Cancelling Loop," *IEEE Trans. CIRCUITS Syst.*, vol. 67, no. 2, pp. 215–219, 2020.
- [4] Q. Fan and K. Makinwa, "Capacitively-coupled Chopper Instrumentation Amplifiers : An Overview," *IEEE SENSORS*, pp. 1–4, 2018, [Online]. Available: <https://www.youtube.com/watch?v=NoGHJfCFCKs>.
- [5] Z. Liu, S. Member, Y. Tan, S. Member, H. Li, and S. Member, "A 0.5-V 3.69-nW Complementary Source-Follower-C Based Low-Pass Filter for Wearable Biomedical Applications," *IEEE Trans. CIRCUITS Syst.*, vol. 67, no. 12, pp. 4370–4381, 2020.
- [6] H. Chandrakumar and D. Marković, "A simple area-efficient ripple-rejection technique for chopped biosignal amplifiers," *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 62, no. 2, pp. 189–193, 2015, doi: 10.1109/TCSII.2014.2387686.
- [7] A. S. Sedra and K. C. Smith, "Circuitos Microelectrónicos," *Oxford series in electrical and computer engineering*. Oxford Mexico, Mexico, p. 1343, 1998.
- [8] B. Razavi, *Design of Analog CMOS Integrated Circuits 2nd edition*. Los Angeles: McGraw-Hill Education, 2017.
- [9] R. J. Baker, *CMOS Circuit Design, Layout, and Simulation*, IEEE PRESS. United States of

- America: John Wiley & sons, 2010.
- [10] J. Song, Y. Zhang, and Y. Yang, "Electrochemical modeling and evaluation for textile electrodes to skin.," *BioMed Eng OnLine*, p. 19, 2020, [Online]. Available: <https://doi.org/10.1186/s12938-020-00772-5>.
- [11] R. F. Yazicoglu, P. Merken, R. Puers, and C. Van Hoof, "A 60 μ W 60 nV/VHz readout front-end for portable biopotential acquisition systems," *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 42, no. 5, pp. 1100–1110, 2006, doi: 10.1109/isscc.2006.1696039.
- [12] R. R. Harrison and C. Charles, "A low-power low-noise CMOS amplifier for neural recording applications," *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 958–965, 2003, doi: 10.1109/JSSC.2003.811979.
- [13] D. Luo, M. Zhang, and Z. Wang, "A Low-Noise Chopper Amplifier Designed for Multi-Channel Neural Signal Acquisition," *IEEE J. Solid-State Circuits*, vol. 54, no. 8, pp. 2255–2265, 2019, doi: 10.1109/JSSC.2019.2913101.
- [14] T. Burkes, "Bioelectromagnetism," *Data from ECG recording in today's class*, 2012. <https://bioelectromagnetism.wordpress.com/2012/11/28/data-from-ecg-recording-in-todays-class/>.
- [15] X. Fu, K. El-Sankary, and Y. Yin, "A high-performance OTA with hybrid of inverter-based OTA and Nauta OTA for high speed applications," *Proc. - IEEE Int. Symp. Circuits Syst.*, vol. 2021-May, pp. 2–6, 2021, doi: 10.1109/ISCAS51556.2021.9401323.
- [16] H. D. Rico-Aniles, J. Ramirez-Angulo, A. J. Lopez-Martin, and R. G. Carvajal, "360 nW Gate-Driven Ultra-Low Voltage CMOS Linear Transconductor with 1 MHz Bandwidth and Wide Input Range," *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 67, no. 11, pp. 2332–2336, 2020, doi: 10.1109/TCSII.2020.2968246.
- [17] J. Saldana, "Small Signal Model." PUCP, p. 26, 2021.

- [18] A. Arnaud, R. Fiorelli, and C. Galup-Montoro, "Nanowatt, sub-nS OTAs, with sub-10-mV input offset, using series-parallel current mirrors," *IEEE J. Solid-State Circuits*, vol. 41, no. 9, pp. 2009–2018, 2006, doi: 10.1109/JSSC.2006.880606.

