

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ

FACULTAD DE CIENCIAS E INGENIERÍA



**DISEÑO DE UN CIRCUITO DE REFERENCIA DE TENSIÓN CMOS
OPERADO EN CONDICIONES DE BAJO CONSUMO Y BAJA
TENSIÓN DE ALIMENTACIÓN**

Tesis para obtener el título profesional de Ingeniero Electrónico

AUTOR:

Jorge Alberto Holguin Cucalón

ASESOR:

MSc. Franco Renato Campana Valderrama

Lima, Enero, 2022

Esta tesis está dedicado a la memoria de mi mascota Osa, la cual me acompañó desde mis épocas escolares hasta culminar mi etapa universitaria, quien lamentablemente falleció debido a una infección hace aproximadamente 3 años. Quiero expresar mi gratitud a mis padres Carmen Rosa Cucalón Coveñas y Rene Holguin Huamaní , y a mis parientes más cercanos por el constante apoyo que recibí en mis épocas universitarias y recibo actualmente, quienes me motivaron a continuar este trabajo de tesis. Asimismo, agradecer a mi asesor de tesis Franco Renato Campana Valderrama por su inmensa ayuda en el desarrollo de la presente tesis, quien me asesoró constantemente durante todo este largo proceso. Finalmente, agradecer a los integrantes del laboratorio de Microelectrónica, al profesor Mario Raffo y a mis compañeros, por proporcionarme las herramientas necesarias para el desarrollo de mi tesis y enseñarme a usar el software que he empleado para el desarrollo de mi trabajo de tesis.

Resumen

En las últimas décadas se ha podido apreciar una fuerte demanda en la miniaturización de los circuitos integrados. Esta reducción de dimensiones tiene entre sus principales objetivos el desarrollo de circuitos electrónicos de bajo consumo de energía, de manera que estos sean aplicados en dispositivos electrónicos que empleen baterías de larga duración como marcapasos, aparatos auditivos, celulares, laptops, etc. Por lo tanto, estos circuitos deben cumplir con demandas tan importantes como operar con baja tensión de alimentación y bajo consumo de potencia (*Low Voltage-Low Power LV-LP*).

Un tipo de Circuito Integrado que ha tenido que adaptarse a estas demandas son los circuitos de referencia de tensión. Este bloque es esencial en muchos sistemas analógicos y de señal mixta, ya que su tensión de salida se diseña para ser predecible y estable frente a las variaciones de temperatura, de la tensión de alimentación, del proceso de su fabricación y deberá tener poca dependencia con respecto a la capacidad de carga. La presente tesis muestra el diseño de un circuito de referencia de tensión en tecnología CMOS AMS 0.35 μm . Dicho circuito deberá cumplir las demandas LV - LP y por ende, deberá operar con una tensión de alimentación menor a 1.5 V y una disipación de potencia en el orden de los microvatios.

Lista de símbolos

- A_E : Área del emisor
- C'_{ox} : Capacitancia del óxido por área
- IC's: Circuitos Integrados
- K_B : Constante de Boltzmann
- N_A : Concentración de aceptores
- N_D : Concentración de donadores
- LV: *Low Voltage*
- LP: *Low Power*
- q: Magnitud de la carga eléctrica total
- Q'_B : Carga en la región de deplexión por unidad de área
- P: Consumo de potencia dinámica
- R_{on} : *Switch-on resistance*
- T_0 : Temperatura de referencia
- t_{ox} : Espesor de óxido
- μ : Coeficiente de movilidad
- V_{DD} : Voltaje de alimentación
- V_{G0} Potencial Eléctrico del Silicio
- V_{FB} : Voltaje de banda plana
- V_T : Voltaje de activación o Threshold voltage
- α : Orden de la dependencia de la temperatura de la corriente del colector
- η : Constante de temperatura dependiente de la tecnología
- ϕ_0 : Potencial en la superficie en inversión fuerte
- ϵ_{ox} : Permitividad del óxido de silicio (SiO_2)
- ϵ_s : Permitividad del silicio
- γ : Coeficiente de efecto cuerpo
- ϕ_t : Voltaje térmico

ΔV_o : Variación del voltaje de salida

ΔV_{fuente} : Variación del voltaje de la fuente



Índice de figuras

1.1.	Principio general del funcionamiento de un circuito de referencia de tensión Bandgap	1
2.1.	Implementación de un circuito de referencia de tensión <i>Band gap</i> convencional	6
2.2.	V_{REF} vs Temperatura de un circuito de referencia de tensión	7
2.3.	V_{REF} vs V_{DD} de un circuito de referencia de tensión	10
2.4.	Circuito de referencia de tensión <i>Band Gap</i> convencional con OPAMP (Gregorian, 1981) [1]	11
2.5.	Circuito de referencia de tensión <i>Band Gap</i> sub 1 V usando divisor resistivo (Banba, 1999) [2]	13
2.6.	Circuito de referencia de tensión <i>Band gap</i> sub 1V usando divisor resistivo sin necesidad de bajo V_T (Leung y Mok, 2002) [3]	15
2.7.	Ejemplo de aplicación de la técnica de centroide común (AABBBBAA).	17
2.8.	Ejemplo de interdigitación (ABABABABA)	18
2.9.	Proceso de diseño de un circuito de referencia de tensión	19
3.1.	Circuito de referencia de tensión bandgap convencional con OPAMP usando solo transistores CMOS	21
3.2.	Proceso para hallar las dimensiones adecuadas del transistor MOS	25
3.3.	Espejo de corriente conformado por M_1 , M_2 y M_3 descritos en la figura 3.1	25
3.4.	Transistor M_4 del circuito esquemático descritos en la Figura 3.1	26
3.5.	Transistor M_5 del circuito esquemático	26
3.6.	Transistor M_5 dividido en ramas paralelas	27
3.7.	Bloque del circuito que genera un voltaje PTAT	27
3.8.	Rama del voltaje de referencia	28
3.9.	Esquemático del par diferencial NMOS	29
3.10.	Esquemático del Circuito <i>Startup</i> (Luan, 2001)[4]	30

3.11. Implementación del Circuito de Referencia de Tensión propuesto en el software <i>CADENCE</i>	32
3.12. Layout del core del circuito de referencia CMOS	33
3.13. Layout del circuito par diferencial	34
3.14. Layout del circuito startup	34
3.15. Layout del circuito diseñado	35
4.1. Simulación del voltaje de referencia (V_{REF}) vs voltaje de alimentación (V_{DD}) para temperaturas $-40\text{ }^{\circ}\text{C}$, $27\text{ }^{\circ}\text{C}$ y $120\text{ }^{\circ}\text{C}$ en el circuito esquemático y en el circuito extraído	36
4.2. Simulación del voltaje de referencia V_{REF} vs voltaje de alimentación V_{DD} para V_{DDmin} y V_{DDnom} del circuito esquemático y circuito extraído.	38
4.3. Simulación del consumo de corriente para $-40\text{ }^{\circ}\text{C}$, $27\text{ }^{\circ}\text{C}$ y $120\text{ }^{\circ}\text{C}$	39
4.4. Simulación del PSRR de 10 Hz hasta 1 MHz @ V_{DDnom}	40
4.5. Respuesta temporales del circuito de referencia diseñado sin <i>Startup</i> y con <i>Startup</i> para el modelo esquemático a $V_{DD} = 3.3\text{ V}$ a una temperatura de $27\text{ }^{\circ}\text{C}$	40
4.6. Respuesta temporal del circuito de referencia diseñado sin <i>Startup</i> y con <i>Startup</i> para el modelo extraído a $V_{DD} = 3.3\text{ V}$ a una temperatura de $27\text{ }^{\circ}\text{C}$	41
A.1. Proceso de obtención de parámetros en inversión fuerte	52
A.2. Proceso de obtención de parámetros en inversión débil	54
B.1. Simulaciones de Monte Carlo por <i>Process</i> a $V_{DD} = 1.1\text{ V}$	57
B.2. Simulaciones de Monte Carlo por <i>Mismatch</i> a $V_{DD} = 1.1\text{ V}$	58
B.3. Simulaciones de Monte Carlo por <i>Process + Mismatch</i> a $V_{DD} = 1.1\text{ V}$	58
B.4. Simulaciones de Monte Carlo por <i>Process</i> a $V_{DD} = 3.3\text{ V}$	59
B.5. Simulaciones de Monte Carlo por <i>Mismatch</i> a $V_{DD} = 3.3\text{ V}$	59
B.6. Simulaciones de Monte Carlo por <i>Process + Mismatch</i> a $V_{DD} = 3.3\text{ V}$	60

Índice de tablas

3.1. Especificaciones propuestas para el diseño del Circuito de Referencia de Tensión	24
3.2. Especificaciones propuestas para el diseño del par diferencial	24
3.3. Dimensionamiento de los transistores	28
3.4. Dimensionamiento de los transistores	30
3.5. Valores de los elementos del Circuito Startup	31
4.1. Valores de sensibilidad de línea a $-40\text{ }^{\circ}\text{C}$, $27\text{ }^{\circ}\text{C}$ y $120\text{ }^{\circ}\text{C}$ en el modelo esquemático y extraído	37
4.2. Valores del coeficiente de temperatura (TC) para $V_{DD\text{min}}$ y $V_{DD\text{nom}}$ para el circuito esquemático y extraído	38
4.3. Valores de corriente mínima $I_{D\text{min}}$ para el modelo esquemático y extraído a $V_{DD\text{min}}$	39
4.4. Valores de PSRR del modelo esquemático y extraído extrapolado en las frecuencias de 10 Hz, 1 KHz y 1 MHz para $V_{DD} = 3.3\text{ V}$ a una temperatura de $27\text{ }^{\circ}\text{C}$	40
4.5. Tiempo de respuesta mínimo del circuito de referencia de tensión sin y con circuito <i>startup</i>	41
4.6. Varación de V_{REF} a partir de la simulación Monte Carlo por <i>process, mismatch</i> y <i>mismatch + Process @ 27 °C</i>	41
4.7. Varación de V_{REF} a partir de la simulación Monte Carlo por <i>process, mismatch</i> y <i>mismatch + process @27 °C</i>	42
4.8. Punto de operación en el núcleo del circuito de referencia del modelo extraído para $V_{DD} = 3.3\text{ V}$ a una temperatura de $27\text{ }^{\circ}\text{C}$	42
4.9. Punto de operación en el par diferencial del modelo extraído para $V_{DD} = 3.3\text{ V}$ a una temperatura de $27\text{ }^{\circ}\text{C}$	43
4.10. Punto de operación del circuito <i>startup</i> del modelo extraído para $V_{DD} = 3.3\text{ V}$ a una temperatura de $27\text{ }^{\circ}\text{C}$	43

4.11. Punto de operación en el núcleo del circuito de referencia del modelo extraído para $V_{DD} = V_{DDmin}$ a una temperatura de 27 °C	43
4.12. Punto de operación en el par diferencial del modelo extraído para $V_{DD} = V_{DDmin}$ a una temperatura de 27 °C	43
4.13. Punto de operación del Circuito Startup del modelo extraído para $V_{DD} = V_{DDmin}$ a una temperatura de 27 °C	44
4.14. Tabla comparativa de los resultados entre las topologías básicas y el circuito de referencia de tensión propuesto	44
A.1. Parámetros en inversión fuerte de un NMOS para $L=1 \mu m$	53
A.2. Parámetros en inversión fuerte de un NMOS para $L=2 \mu m$	53
A.3. Parámetros en inversión fuerte de un NMOS para $L=2 \mu m$	54
A.4. Parámetros en inversión fuerte de un NMOS para $L=2 \mu m$	54
A.5. Parámetros en inversión fuerte de un NMOS para $L=1 \mu m$	56
A.6. Parámetros en inversión fuerte de un NMOS para $L=2 \mu m$	56
A.7. Parámetros en inversión fuerte de un PMOS para $L=1 \mu m$	56
A.8. Parámetros en inversión fuerte de un PMOS para $L=2 \mu m$	56

Introducción

Muchos de los circuitos electrónicos requieren para su funcionamiento de una referencia que les entregue una tensión con suficiente precisión sin que esta varíe por factores externos como la temperatura, ruido, etc. Por ello se desarrollaron circuitos de referencias de tensión, que inicialmente empleaban diodos zener, los cuales entregan una tensión de salida constante cuando se polarizan inversamente. Sin embargo, debido a la constante miniaturización de los Circuitos Integrados (ICs) en búsqueda de mayor funcionalidad en menor área, donde la mayor parte de esta es ocupada por los circuitos digitales, los cuales consumen mucha energía del IC, estos dictan la directriz de ser operados en condiciones de baja tensión de alimentación, puesto que la miniaturización también implica un menor voltaje de alimentación [5], ayudando así a una menor disipación de potencia dinámica en un IC, ya que esta depende cuadráticamente de tensión de alimentación [6]. Con esta demanda de miniaturización, los circuitos analógicos que normalmente operan en el mismo IC que los circuitos digitales (señal mixta), deberán seguir estos requerimientos y situándonos en los circuitos de referencia de tensión, se aprecia que ha disminuido el uso de estos circuitos basados en diodos zener, ya que el voltaje de ruptura de este tipo diodo es mayor que el voltaje de alimentación de los ICs modernos [7]. Planteado entonces el problema del uso de las referencias de tensión basadas en diodos zener, el diseño de circuitos de referencias de tensión basadas en las características de la juntura PN se extendió, ya que estos circuitos necesitan de una menor tensión de alimentación para su funcionamiento; a estos circuitos se les conoce como *Band Gaps*, y su nombre se debe a que su tensión de salida es alrededor de 1.25 V [10], el cual es aproximadamente igual al ancho de la banda prohibida del silicio por la carga elemental del electrón. Sin embargo, debido a esta tensión de salida, estos circuitos no son compatibles con tensiones de alimentación menores a esta [7] y con la creciente demanda en la reducción de la tensión de alimentación en los circuitos integrados, incluyendo a los circuitos *Band Gaps*, se ha planteado un gran desafío para sus diseñadores, ya que los métodos tradicionales para su diseño se tornan prohibitivos. Estos requerimientos también están enlazados con la reducción de las dimensiones de la tecnología CMOS, la cual continuará, tal y

como lo propuso la ley de Moore [8]. Por ello, este trabajo está enmarcado dentro de estos nuevos requisitos en cuanto a la operación de circuitos de referencia de tensión en baja tensión de alimentación (*Low Voltage*), en este caso, menores a 1.5 V y en bajo consumo potencia (*Low Power*), que está en el orden de los microvatios .

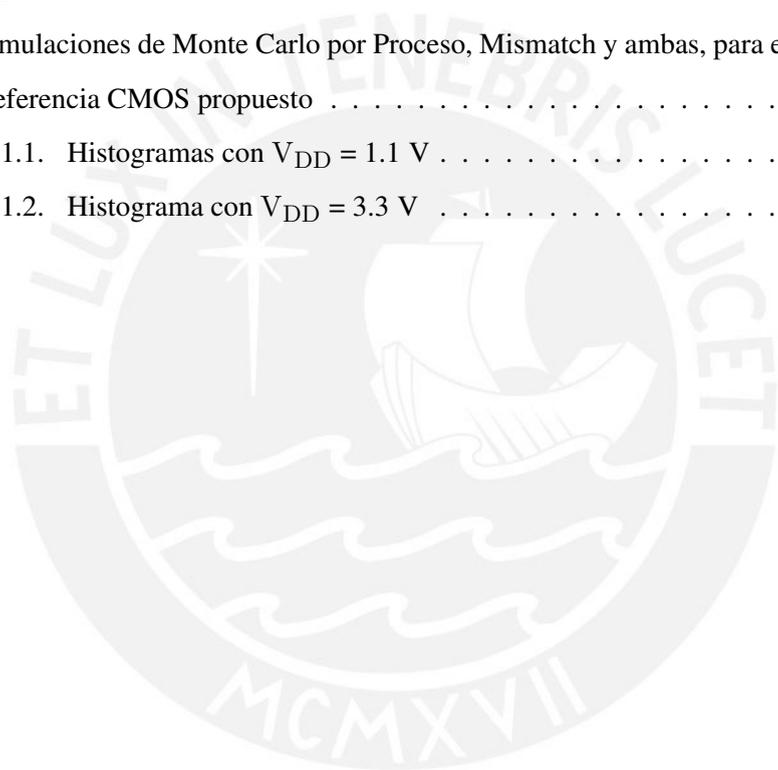


Índice

Resumen	II
Lista de símbolos	III
Índice de figuras	V
Índice de tablas	VII
Introducción	IX
1. Concepto de un circuito de referencia de tensión	1
1.1. Situación actual de los circuitos de referencia de tensión y los desafíos	2
1.2. Importancia de los circuitos de Referencia de Tensión en la industria de los Circuitos Integrados (IC's)	2
1.3. Objetivos	3
1.3.1. Objetivos Generales	3
1.3.2. Objetivos Específicos	3
1.4. Limitaciones	4
2. Fundamentos básicos de un circuito de referencia de tensión	5
2.1. Características básicas de funcionamiento de un circuito de referencia de tensión	5
2.1.1. Inmunidad a las variaciones de temperatura	5
2.1.2. Variación de V_{REF} con respecto a la tensión de alimentación (PSRR)	8
2.1.3. Inmunidad a las variaciones debido al proceso de fabricación	8
2.1.4. Poca dependencia a la capacidad de carga a la salida del circuito <i>Band gap</i>	9
2.2. Parámetros de desempeño	9
2.2.1. Voltaje de alimentación mínimo (V_{DDmin})	9
2.2.2. Coeficiente de temperatura (TC)	10
2.2.3. Sensibilidad lineal o regulación	10

2.2.4.	Factor de rechazo al voltaje de alimentación o PSRR	10
2.2.5.	Disipación de potencia	11
2.2.6.	Área del silicio	11
2.3.	Análisis de las topologías básicas de Circuitos de Referencia de Tensión:	11
2.3.1.	Circuito <i>Band gap Voltage Reference</i> convencional con OPAMP (BVR1)	11
2.3.2.	Circuito <i>Band Gap Voltage Reference</i> de división resistiva (BVR2)	13
2.3.3.	Circuito <i>Band Gap Voltage Reference</i> de tensión umbral (V_T) reducida a partir de división resistiva (BVR3)	15
2.4.	Layout del Circuito de Referencia de Tensión	17
2.4.1.	Técnicas de layout	17
2.4.2.	Herramientas de diseño	18
3.	Diseño de un Circuito de Referencia de Tensión CMOS	20
3.1.	Análisis de la Topología propuesta	20
3.1.1.	Topología propuesta	20
3.2.	Especificaciones de rendimiento del circuito	24
3.3.	Proceso de diseño del circuito de Referencia de tensión	24
3.3.1.	Diseño del Circuito de Referencia de Tensión	25
3.3.2.	Diseño del Par diferencial NMOS	28
3.3.3.	Circuito <i>Startup</i>	30
3.4.	Diseño del layout del circuito	33
4.	Simulaciones y Resultados	36
4.1.	Simulación de la tensión mínima de alimentación	36
4.2.	Simulación de la sensibilidad de línea	37
4.3.	Simulación del coeficiente de temperatura TC	37
4.4.	Simulación del consumo de corriente	38
4.5.	Simulación del PSRR	39
4.6.	Simulación de la respuesta en el tiempo	40
4.7.	Simulación de las variaciones por proceso de fabricación	41
4.8.	Simulación de los puntos de operación del circuito	42
4.9.	Discusión de los resultados	44
4.9.1.	Comparación de los resultados obtenidos entre las topologías básicas y circuito de referencia de tensión diseñado (extraído)	44

Conclusiones	46
Recomendaciones	47
Bibliografía	48
A. Anexo A	51
A.1. Extracción de parámetros	51
A.2. Algoritmo de extracción de parámetros en Inversión Fuerte	52
A.3. Algoritmo de extracción de parámetros en Inversión Débil	54
B. Anexo B	57
B.1. Simulaciones de Monte Carlo por Proceso, Mismatch y ambas, para el Circuito de Referencia CMOS propuesto	57
B.1.1. Histogramas con $V_{DD} = 1.1\text{ V}$	57
B.1.2. Histograma con $V_{DD} = 3.3\text{ V}$	59



Capítulo 1

Concepto de un circuito de referencia de tensión

La idea inicial de este circuito fue propuesta por David Hilbiber en 1964 [9] . Posteriormente, Robert Widlar [10] y Paul Brokaw [11] propusieron los primeros circuitos comerciales de referencia de tensión. La idea básica de este circuito está representada en forma resumida en la figura 1.1 , donde la tensión de salida entregada por este circuito, que denominaremos desde ahora como Tensión de Referencia (V_{REF}), está dada por:

$$V_{REF} = V_{BE} + K\phi_t \quad (1.1)$$

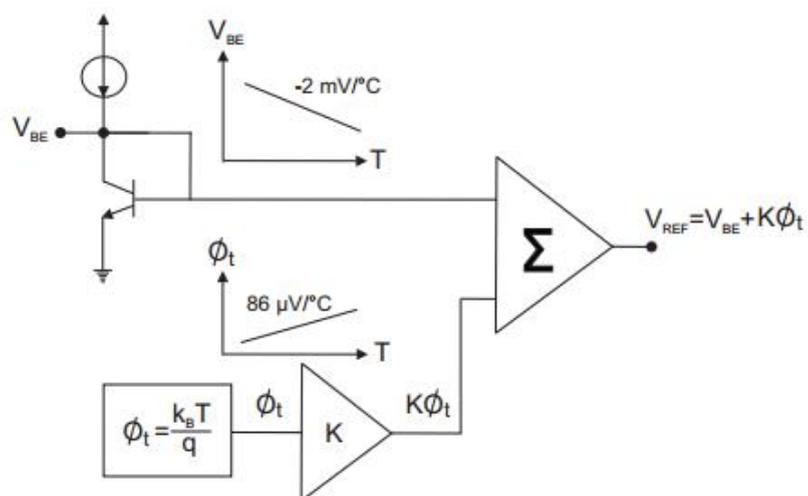


Figura 1.1: Principio general del funcionamiento de un circuito de referencia de tensión Bandgap

Podemos observar a través de la ecuación anterior y la figura 1.1 que la tensión de juntura

base-emisor de un transistor bipolar (V_{BE}) cuyo comportamiento con respecto a la temperatura tiene una pendiente de aproximadamente $\frac{-2mV}{^{\circ}C}$ de comportamiento CTAT (*Complementary to Absolut Temperature*), el cual puede ser compensado térmicamente mediante un bloque de comportamiento contrario al anterior, el cual genera un voltaje térmico (φ_t) cuya pendiente es $\frac{86\mu V}{^{\circ}C}$, este valor se obtiene a partir de la diferencia de las tensiones de dos junturas base-emisor. Dicho bloque será multiplicado por una constante K tal como se muestra en la figura 1.1. Este voltaje térmico está definido como $\varphi_t = \frac{k_B T}{q}$ donde k_B es la constante de *Boltzman*, T es la temperatura, y q es la carga electrónica. Puede apreciarse que esta tensión varía proporcionalmente con respecto a la temperatura T (PTAT).

Estos circuitos, que desde ahora llamaremos indistintamente como circuitos de referencia de tensión ó referencias de tensión pueden operar bajo variaciones de temperatura hasta los 150 °C. Las referencias de tensión que emplean diodos zener, los cuales operan en la zona de ruptura, requieren de voltajes de alimentación mayores a 6 V [10], en comparación a los circuitos *Band gaps*, los cuales requieren un voltaje de operación mínimo de 1.4 V [12].

1.1. Situación actual de los circuitos de referencia de tensión y los desafíos

A partir del desarrollo de las técnicas de diseño que se evaluarán en el Capítulo 2, los circuitos de referencia de tensión basados en la juntura PN pueden funcionar con tensiones de alimentación menores a su tensión mínima de funcionamiento, la cual es 1.5 V [12]. Sin embargo, nuevas aplicaciones en dispositivos portátiles requieren tensiones de alimentación iguales o menores a 1 V para una mayor prolongación en la duración y la vida útil de las baterías de estos equipos, así como un reducido consumo de corriente (orden de los microamperios) [13].

1.2. Importancia de los circuitos de Referencia de Tensión en la industria de los Circuitos Integrados (IC's)

Los circuitos de referencias de tensión cumplen la misma función que los circuitos que usan diodos zener; no obstante como se mencionó anteriormente, estos últimos requieren de un valor relativamente alto de tensión de alimentación, además disipan una mayor potencia, lo cual va en detrimento con los requisitos de LV - LP. Sin embargo, los circuitos de referencia de tensión que emplean junturas PN son más estables y disipan menor potencia, adaptándose a las demandas actuales.

Por ello los circuitos de referencia de tensión son ampliamente usados en circuitos analógicos que requieran una tensión de referencia, idealmente invariante en un determinado rango de temperatura y estable ante posibles variaciones en la tensión de alimentación, por mencionar algunas características. Tomando como caso al conversor digital analógico (DAC), su resolución expresada en unidades de tensión, que es conocida como LSB, depende de la precisión de la tensión de referencia ya que 1 LSB está definido por:

$$1\text{LSB} = G * \frac{V_{\text{REF}}}{2^N} \quad (1.2)$$

Donde G es un factor de ganancia del DAC, N es el número de entradas (resolución en bits) y V_{REF} es el voltaje de referencia. Por tanto, circuitos integrados analógicos como el DAC son dependientes de la precisión de los circuitos de referencia de tensión [14].

1.3. Objetivos

1.3.1. Objetivos Generales

- Desarrollar un circuito de referencia de tensión usando en transistores CMOS y resistencia integradas que cumpla con los requerimientos de baja tensión de alimentación (menor a 1.5 V) y bajo consumo de corriente-potencia (orden de los microamperios).

1.3.2. Objetivos Específicos

- Analizar el comportamiento de algunas topologías de que se han desarrollado para circuitos de referencia de tensión basados en la juntura PN (BJT).
- Adaptar una topología básica donde todos los transistores empleados sean CMOS y analizar el comportamiento de dicha topología.
- Determinar los valores teóricos de todos los elementos presentes en el circuito de referencia de tensión
- Optimizar los valores teóricos a partir de su simulación en el software de diseño *CADENCE*.
- Diseñar un circuito *startup* para mejorar la respuesta temporal del circuito.
- Simular el funcionamiento del circuito de referencia de tensión en base a los parámetros que definiremos en el Capítulo 2.

- Realizar simulaciones de Monte Carlo para observar la respuesta de este circuito ante las variaciones de desajuste entre sus dispositivos y variaciones debido al proceso de fabricación.
- Verificar a partir de la simulación post-layout que las propiedades del circuito de referencia de tensión sean similares a las obtenidas a partir de la simulación del circuito esquemático.

1.4. Limitaciones

- Actualmente la tecnología CMOS ha escalado a 7 nm; sin embargo, el diseño se realizó en la tecnología AMS 0.35 μm (350 nm) debido a que era la tecnología que se disponía cuando se realizó este trabajo de tesis.
- Las expresiones matemáticas del comportamiento del transistor MOS empleadas en el diseño del circuito de referencia de tensión están basadas en aproximaciones y simplificaciones significativas, por lo que es probable que exista una variación entre lo hallado teóricamente y lo simulado.
- Este circuito se diseñará y se simulará hasta la etapa final de diseño (post layout). Sin embargo, no se implementará físicamente en un circuito integrado ya que en el país no se disponen de industrias para tal fin.

Capítulo 2

Fundamentos básicos de un circuito de referencia de tensión

El presente capítulo tiene como finalidad dar una introducción de las características básicas y del funcionamiento de los circuitos de referencia de tensión, sus parámetros básicos de funcionamiento y el estudio de sus topologías básicas.

2.1. Características básicas de funcionamiento de un circuito de referencia de tensión

2.1.1. Inmunidad a las variaciones de temperatura

Para que el circuito de referencia de tensión sea idealmente independiente a las variaciones de la temperatura, el voltaje complementario a la temperatura (V_{CTAT}) generado por la polarización de la juntura PN con una fuente de corriente constante debe ser compensado térmicamente con un voltaje de comportamiento proporcional a la temperatura (V_{PTAT}), el cual se obtiene a partir la diferencia de voltajes de 2 junturas PN las cuales tengan una densidad de corriente diferente [10]. Entonces, tomando como referencia el circuito de referencia de tensión basado en la juntura PN de la figura 2.1, los transistores NMOS M_3 y M_4 fuerzan que los voltajes en los nodos V_A y V_B sean iguales, por lo cual:

$$V_{R1} = V_{EB1} - V_{EB2} \quad (2.1)$$

A partir de la ecuación de *Shockley* aplicada a los transistores bipolares Q_1 y Q_2 tenemos [15]

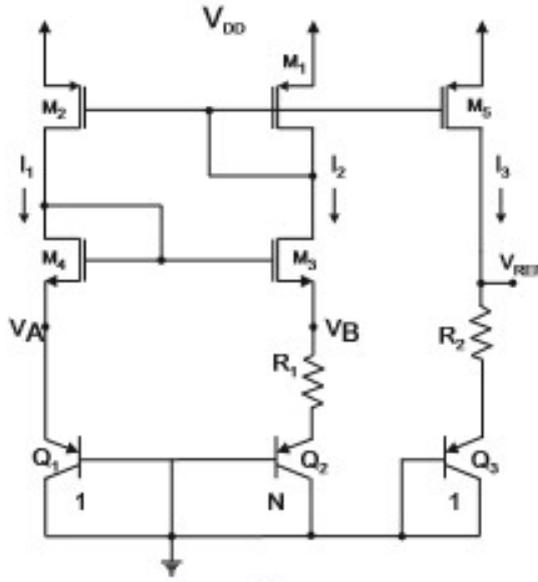


Figura 2.1: Implementación de un circuito de referencia de tensión *Band gap* convencional

$$V_{EB1} = \varphi_t \ln\left(\frac{I_1}{A_E I_S}\right) \quad (2.2)$$

Donde $\varphi_t = \frac{K_B T}{q}$, donde K_B es la constante de *Boltzman*, T es la temperatura, y q es la carga electrónica, A_E es el área del emisor del transistor y I_S es la corriente en saturación inversa. La resistencia R_1 causa una caída de tensión que reduce la tensión V_{EB} del transistor Q_2 con respecto a la del transistor Q_1 . Debido a que el espejo de corriente impone que las corrientes en cada rama sean iguales, se necesita colocar en paralelo una cantidad N de transistores para que ambas corrientes sean iguales ($I_1 = I_2$), entonces aplicando la ecuación de *Shockley*:

$$V_{EB2} = \varphi_t \ln\left(\frac{I_2}{N A_E I_S}\right) \quad (2.3)$$

Reemplazando (2.2) y (2.3) en (2.1), obtendremos que la corriente en la resistencia R_1 es

$$I_{R_1} = \left(\frac{\varphi_t}{R_1}\right) \ln(N) = I_2 \quad (2.4)$$

Nótese que esta corriente tiene un comportamiento proporcional a la temperatura absoluta (PTAT) debido al voltaje térmico asociado. Si la corriente $I_2 = I_3$, la tensión de referencia V_{REF} está dada por:

$$V_{REF} = V_{EB3} + \left(\frac{R_2}{R_1}\right) \varphi_t \ln(N) \quad (2.5)$$

A partir de esta relación vemos que la tensión V_{REF} está compuesta por la tensión V_{BE} cuya dependencia térmica es de comportamiento CTAT y por una expresión dependiente del voltaje térmico (φ_t), el cual tiene un comportamiento PTAT; con esto observamos que V_{REF} puede ser compensado térmicamente a través de una correcta elección de R_1 , R_2 y N . Por otro lado, la ecuación general de la tensión Base-Emisor V_{BE} de la juntura bipolar está dada por [16] :

$$V_{BE}(T) = V_{G_O} + \left(\frac{V_{BE}(T_0) - V_{G_O}}{T_0} \right) * T + (\alpha - n) \frac{K_B T}{q} \ln\left(\frac{T}{T_0}\right) \quad (2.6)$$

donde V_{G_O} es el potencial eléctrico del Silicio, T_0 es la temperatura de referencia, α es el orden de la dependencia de la temperatura de la corriente del colector y n es la constante de temperatura dependiente de la tecnología.

Posteriormente, reemplazando (2.6) en (2.5)

$$V_{REF}(T) = V_{G_O} + \left[\frac{V_{BE}(T_0) - V_{G_O}}{T_0} + \frac{R_2 K_B}{R_1 q} \ln(N) \right] * T + (\alpha - n) \frac{K_B T}{q} \ln\left(\frac{T}{T_0}\right) \quad (2.7)$$

Para la corrección lineal de curvatura de primer orden se debe cumplir que $\frac{dV_{REF}(T)}{dT} = 0$, tal como lo muestra la figura 2.2.

$$\frac{dV_{REF}}{dT} = \frac{V_{BE}(T_0) - V_{G_O}}{T_0} + \frac{R_2 K_B}{R_1 q} \ln(N) = 0 \quad (2.8)$$

Entonces, la relación entre R_1 , R_2 y N nos dará la componente que nos permitirá compensar térmicamente la componente CTAT generada por las junturas PN del transistor bipolar, la cual tiene una mayor pendiente que la PTAT tal como se muestra en la figura 2.2, y de la ecuación anterior se tiene que:

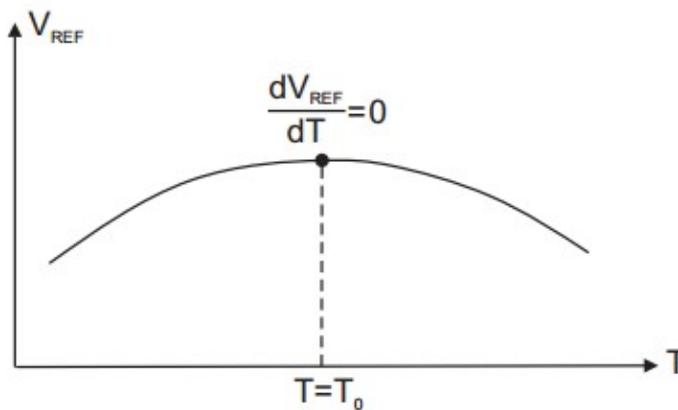


Figura 2.2: V_{REF} vs Temperatura de un circuito de referencia de tensión

$$\frac{R_2}{R_1} = \frac{V_{G_0} - V_{BE}(T_0)}{\frac{K_B T_0}{q} \ln(N)} \quad (2.9)$$

Reemplazando de (2.8) en (2.9) obtenemos:

$$V_{REF} = V_{G_0} + (\alpha - n) \frac{K_B T}{q} \ln\left(\frac{T}{T_0}\right) \quad (2.10)$$

Como podemos apreciar de la relación (2.10), existe una componente independiente V_{G_0} , el cual es la barrera de potencial del silicio, y otra que depende de forma no lineal con respecto a la temperatura, la cual debe ser corregida a partir de metodologías más avanzadas. Este resultado es apreciado en la figura 2.2, donde vemos que la corrección térmica de V_{REF} sólo se da alrededor de un punto en la temperatura T_0 . Lejos de dicho punto la dependencia es no lineal tal como se mencionó líneas arriba.

2.1.2. Variación de V_{REF} con respecto a la tensión de alimentación (PSRR)

El circuito de referencia de tensión idealmente deberá tener nula variación ante los cambios en la tensión de alimentación (V_{DD}). Los cambios pueden deberse a la presencia de ruido en la línea de la alimentación. El factor de rechazo a la fuente de alimentación o *Power Supply Rejection Ratio* (PSRR) se define como [17]:

$$PSRR(\text{dB}) = 20 \log\left(\frac{\Delta V_{\text{fuente}}}{\Delta V_O}\right) \text{dB} \quad (2.11)$$

El PSRR puede ser mejorado reemplazando el espejo de corriente convencional (M_2 , M_1 y M_5 - ver figura 2.1) por un espejo de corriente tipo cascode [18] [19]. Sin embargo, este tipo de espejo de corriente no es apto para diseño de circuitos analógicos en *Low Voltage*.

2.1.3. Inmunidad a las variaciones debido al proceso de fabricación

Debido a los procesos de fabricación de los circuitos integrados, los transistores MOS empleados en el circuito de referencia de tensión se verán impactados en sus valores de tensión umbral o *threshold voltaje* (V_T), degradando el normal desempeño del circuito. La tensión umbral se define en base al voltaje de banda plana (V_{FB}), el potencial en la superficie en inversión fuerte (ϕ_0) y la carga en la región de deplexión por unidad de área (Q'_B) y la capacitancia del óxido por unidad de área (C'_{ox}) dado por [20]:

$$V_T = V_{FB} + \phi_0 - \left(\frac{Q'_b}{C'_{ox}}\right) \quad (2.12)$$

Así mismo, la capacitancia del óxido por unidad del área (C'_{ox}) se expresa a partir del cociente entre permitividad del óxido y el grosor del óxido (t_{ox}) [20].

$$C'_{ox} = \left(\frac{\epsilon_{ox}}{t_{ox}} \right) \quad (2.13)$$

También podemos definir la tensión umbral (V_T) en función al coeficiente de efecto cuerpo (γ) [20] :

$$V_T = V_{FB} + \phi_o - \gamma\sqrt{\phi_o} \quad (2.14)$$

Este coeficiente se define en base a la capacitancia del óxido por unidad de área (C'_{ox}), el número de aceptores (N_A), la permitividad eléctrica del silicio (ϵ_s) y la carga eléctrica total (q) [21].

$$\gamma = \frac{\sqrt{2q\epsilon_s N_A}}{C'_{ox}} \quad (2.15)$$

Por ello, variables que dependen del proceso de fabricación tales como t_{ox} (espesor del óxido) y N_A (concentración de aceptores en caso de un transistor NMOS) impactan en el voltaje umbral del transistor MOS.

Tomando en consideración lo anterior, en el presente trabajo se realizó simulaciones de Monte Carlo con la finalidad de observar la dispersión a causa de la variación por proceso de fabricación y hallar el valor de V_{REF} promedio a partir de una cantidad considerable de muestras.

2.1.4. Poca dependencia a la capacidad de carga a la salida del circuito *Band gap*

Una nula dependencia a la capacidad de carga implica que el voltaje de salida (V_{REF}) se mantenga constante ante las variaciones en la carga, a pesar de que la corriente de salida varíe. Para una aproximación a este comportamiento, el circuito de referencia de tensión debe tener un buffer en su salida.

2.2. Parámetros de desempeño

2.2.1. Voltaje de alimentación mínimo (V_{DDmin})

Especifica cual es el voltaje mínimo de alimentación para que el circuito de referencia de tensión pueda entregar el voltaje de referencia requerido. Las topologías tradicionales de los circuitos de referencia de tensión que emplean transistores bipolares generan un voltaje de

2.2.5. Disipación de potencia

El diseño del circuito de referencia de tensión debe ser de baja disipación de potencia el cual debe encontrarse en el orden de los microvatios (μW). Esta está definida por [23]:

$$P = V_{DD}I_{TOTAL} \quad (2.18)$$

2.2.6. Área del silicio

Es el área consumida por los dispositivos que se encuentran en una pastilla de silicio.

2.3. Análisis de las topologías básicas de Circuitos de Referencia de Tensión:

2.3.1. Circuito *Band gap Voltage Reference* convencional con OPAMP (BVR1)

El circuito *Band Gap* convencional con OPAMP fue propuesta inicialmente por Roubik Gregorian (1981). Si bien esta topología posee un mismo coeficiente de temperatura (TC) que la topología del *Band Gap* convencional mostrada en la figura 2.1 debido a que la relación que describe a V_{REF} es similar, sin embargo esta posee una mejor regulación de línea debido al uso de un OPAMP, el cual garantiza que idealmente las tensiones V_{SD1} y V_{SD2} sean iguales (M_1 y M_2) [1]. La figura 2.4 muestra dicha topología.

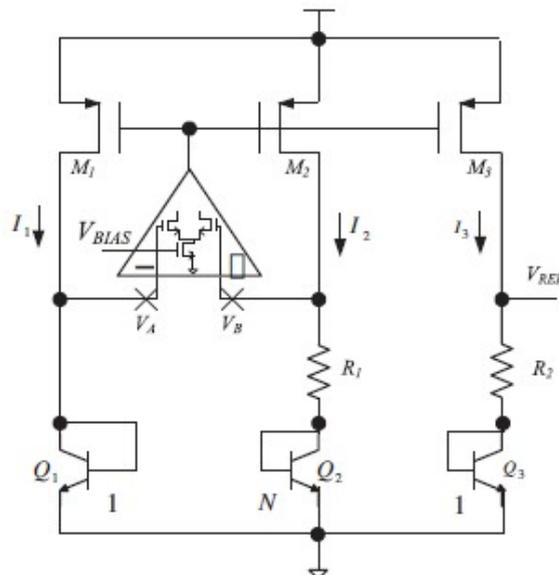


Figura 2.4: Circuito de referencia de tensión *Band Gap* convencional con OPAMP (Gregorian, 1981) [1]

El voltaje de R_1 se define por

$$V_{R1} = V_{BE1} - V_{BE2} \quad (2.19)$$

A partir de la ecuación de *Shockley* aplicada a los transistores bipolares Q_1 y Q_2 , se obtiene relaciones similares a (2.2) y (2.3) [1]

$$V_{BE1} = \varphi_t \ln\left(\frac{I_1}{A_E I_S}\right) \quad (2.20)$$

$$V_{BE2} = \varphi_t \ln\left(\frac{I_2}{N A_E I_S}\right) \quad (2.21)$$

Reemplazando (2.22) y (2.23) en (2.21) y considerando que los parámetros I_S y A_E son iguales para los transistores Q_1 , Q_2 y Q_3 .

$$V_{R1} = \varphi_t \ln(N) \quad (2.22)$$

Debido a los espejos de corriente $I_1 = I_2 = I_3$, la corriente que pasa por la resistencia R_1 es:

$$I_{R1} = \frac{V_{R1}}{R_1} = \frac{\varphi_t}{R_1} \ln(N) = \frac{K_B T}{q R_1} \ln(N) = I_3 \quad (2.23)$$

El voltaje V_{REF} está dado por

$$V_{REF} = V_{BE3} + I_3 R_2 \quad (2.24)$$

Reemplazando (2.24) y (2.6) en (2.25) obtenemos

$$V_{REF}(T) = V_{G0} + \left[\frac{V_{BE}(T_0) - V_{G0}}{T_0} + \frac{R_2 K_B}{R_1 q} \ln(N) \right] * T + (\alpha - \eta) \frac{K_B T}{q} \ln\left(\frac{T}{T_0}\right) \quad (2.25)$$

A partir de (2.25), se observa que el segundo término del lado derecho de la igualdad es una expresión lineal, donde la derivada con respecto a la temperatura se puede expresar como

$$\frac{dV_{REF}(T)}{dT} = \frac{V_{BE}(T_0) - V_{G0}}{T_0} + \frac{R_2 K_B}{R_1 q} \ln(N) \quad (2.26)$$

Para realizar una corrección de curvatura de primer orden se debe cumplir que $\frac{dV_{REF}(T)}{dT} = 0$, por lo tanto

$$\frac{R_2}{R_1} = \frac{V_{G0} - V_{BE}(T_0)}{\frac{K_B T_0}{q} \ln(N)} \quad (2.27)$$

Sin embargo, esta topología presenta un $V_{REFmin} \approx 1.25$ V, esto lo deducimos a partir de la

Debido a que los parámetros I_S y A_E de los transistores Q_1 y Q_2 son iguales para los transistores, debido a que tienen el mismo proceso de fabricación, la corriente I_{2b} :

$$I_{2b} = \frac{V_{BE1} - V_{BE2}}{R_1} = \frac{\varphi_t}{R_1} \ln(N) \quad (2.30)$$

Si consideramos que $R_2 = R_3$, tal que $I_{1a} = I_{2a}$, $I_{1b} = I_{2b}$

$$I_{1a} = \frac{V_A}{R_3} = \frac{V_{BE1}}{R_3} \quad (2.31)$$

Entonces, la corriente I_2 es igual a:

$$I_1 = I_{1a} + I_{2b} = \frac{V_{BE1}}{R_3} + \frac{\varphi_t}{R_1} \ln(N) \quad (2.32)$$

Debido a que los espejos de corriente tienen un $\frac{W}{L}$ igual, las corrientes I_1 , I_2 y I_3 son iguales. A partir de la expresión (2.32) y que $V_{REF} = I_3 R_4$ obtenemos

$$V_{REF} = I_1 R_4 = \frac{R_4}{R_3} (V_{BE3} + \frac{R_3}{R_1} \varphi_t \ln(N)) \quad (2.33)$$

Reemplazando V_{BE} de (2.5) en (2.35) obtenemos

$$V_{REF}(T) = \frac{R_4}{R_3} [V_{G_O} + (\frac{V_{BE}(T_O) - V_{G_O}}{T_O} + \frac{R_3}{R_1} \frac{K_B}{q} \ln(N)) * T + (\alpha - \eta) \frac{K_B T}{q} \ln(\frac{T}{T_O})] \quad (2.34)$$

A partir de (2.34), se observa que el segundo término es una expresión lineal. Donde la derivada de este término se puede expresar como

$$\frac{dV_{REF}(T)}{dT} = \frac{V_{BE}(T_O) - V_{G_O}}{T_O} + \frac{R_3}{R_1} \frac{K_B}{q} \ln(N) \quad (2.35)$$

Para realizar una corrección de curvatura de primer orden se debe cumplir que $\frac{dV_{REF}(T)}{dT} = 0$, por tanto la compensación lineal se expresa por

$$\frac{R_3}{R_1} = \frac{V_{G_O} - V_{BE}(T_O)}{\frac{K_B T_O}{q} \ln(N)} \quad (2.36)$$

El voltaje mínimo de alimentación $V_{DD_{MIN}}$ de esta topología está definido por

$$V_{DD_{min}} = V_{BE2} + |V_{Tp}| + 2|V_{SDsat}| \quad (2.37)$$

Si consideramos que $R_1 = R_{1A} + R_{1B}$ y $R_2 = R_{2A} + R_{2B}$, se entiende que $R_1 = R_2$, tal que $I_{1a} = I_{2a}$ y $I_{1b} = I_{2b}$ entonces tendremos:

$$I_{1a} = \frac{V_C}{R_2} = \frac{V_{BE1}}{R_2} = \frac{V_{BE1}}{R_1} \quad (2.40)$$

De manera consecuente

$$I_{2b} = \frac{(V_{BE1} - V_{BE2})}{R_3} = \frac{\varphi_t \ln(N)}{R_3} \quad (2.41)$$

Debido a los espejos de corriente M1, M2 y M3 tiene igual dimensiones, se cumple que $I_1 = I_2 = I_3$, entonces:

$$I_{1a} + I_{2b} = I_1 = \frac{V_{BE1}}{(R_{1A} + R_{1B})} + \frac{\varphi_t \ln(N)}{R_3} \quad (2.42)$$

A partir de la ecuación (2.41) y que $V_{REF} = I_3 R_4$ obtenemos

$$V_{REF} = I_1 R_4 = \frac{R_4}{R_{1A} + R_{1B}} [V_{BE3} + \frac{R_{1A} + R_{1B}}{R_3} \varphi_t \ln(N)] \quad (2.43)$$

Reemplazando la ecuación general de la tensión Base-Emisor V_{BE} de la ecuación (2.5) en (2.42) obtenemos

$$V_{REF}(T) = \frac{R_4}{R_{1A} + R_{1B}} [V_{G0} + \frac{V_{BE}(T_0) - V_{G0}}{T_0} + \frac{R_1}{R_3} \frac{K_B}{q} \ln(N)] * T + (\alpha - \eta) \frac{K_B T}{q} \ln(\frac{T}{T_0}) \quad (2.44)$$

A partir de (2.43), se observa que el segundo término es una expresión lineal. La derivada de este término se puede expresar como

$$\frac{dV_{REF}(T)}{dT} = \frac{V_{BE}(T_0) - V_{G0}}{T_0} + \frac{R_1}{R_3} \frac{K_B}{q} \ln(N) \quad (2.45)$$

Para realizar una corrección de curvatura de primer orden se debe cumplir que $\frac{dV_{REF}(T)}{dT} = 0$

$$\frac{R_3}{R_{1A} + R_{1B}} = \frac{V_{G0} - V_{BE}(T_0)}{\frac{K_B T_0}{q} \ln(N)} \quad (2.46)$$

El voltaje mínimo de alimentación para esta topología está definido por

$$V_{DDmin} = \frac{R_{2B}}{R_{2A} + R_{2B}} V_{BE2} + |V_{Tp}| + 2|V_{SDsat}| \quad (2.47)$$

El V_{BE2} puede reducirse a partir de la relación de las resistencias R_{2A} y R_{2B} , por ende el voltaje de alimentación se reducirá sin necesidad que el voltaje umbral del transistor PMOS (V_{Tp}) sea bajo. [3].

2.4. Layout del Circuito de Referencia de Tensión

El proceso de layout de un circuito se define como el conjunto de geometrías que aparecen en el proceso de fabricación. Las geometrías se aprecian en el software de *CADENCE* a nivel de capas las cuales son polisilicio, metales, contactos, pozos N e implantes n+ y p+ (dopado fuertemente) [24]. Las consideraciones generales para el diseño del layout consisten en las reglas de diseño, los efectos de antena y los procesos de fabricación [21].

2.4.1. Técnicas de layout

- Centroide común: Esta técnica consiste en colocar los elementos alrededor de un punto de simetría común, siguiendo la secuencia (AABBBBBAA) [25], tal como se observa en la figura 2.7. Aplicando esta técnica reducimos los efectos de gradiente térmico que esta presente en el proceso de fabricación [26]. Esta técnica se puede aplicar en el transistor Q_2 de la figura 2.6 ya que dicho transistor esta compuesto por N transistores NMOS apilados paralelamente.

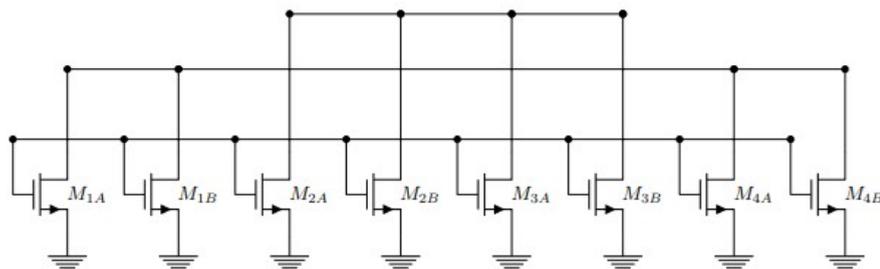


Figura 2.7: Ejemplo de aplicación de la técnica de centroide común (AABBBBBAA).

- Interdigitación: Esta técnica consiste en dividir un transistor con un ancho de canal (W) muy grande en transistores unitarios más pequeños colocándose de manera intercalada, siguiendo la secuencia ABABABABA (A representando a los elementos relacionados del transistor M1 y B a los elementos del transistor M2), tal como se observa en la Figura 2.8. Esto genera una mejora en el *matching* de los transistores [25].

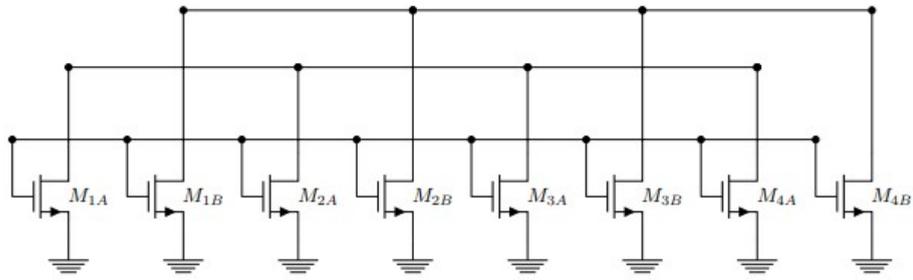


Figura 2.8: Ejemplo de interdigitación (ABABABABA)

2.4.2. Herramientas de diseño

Para la realización del layout de los 3 bloques que diseñamos (par diferencial, circuito startup y core del *band gap*), se utilizó la herramienta *Layout XL*. En el diseño del layout se corroboró el uso de las reglas de diseño con la herramienta DRC (*Design Rule Check*), la verificación de la compatibilidad entre el esquemático y el layout a partir de la herramienta LVS (*Layout Versus Schematic*) y finalmente la extracción de las capacitancias y resistencias parásitas empleando la herramienta Assura QRC (*Quantus Extraction Solution*) [27]; a partir de este modelo extraído podemos obtener un modelo que se aproxima a los resultados reales. El proceso de diseño se puede simplificar en el diagrama de flujo mostrado en la figura 2.9.

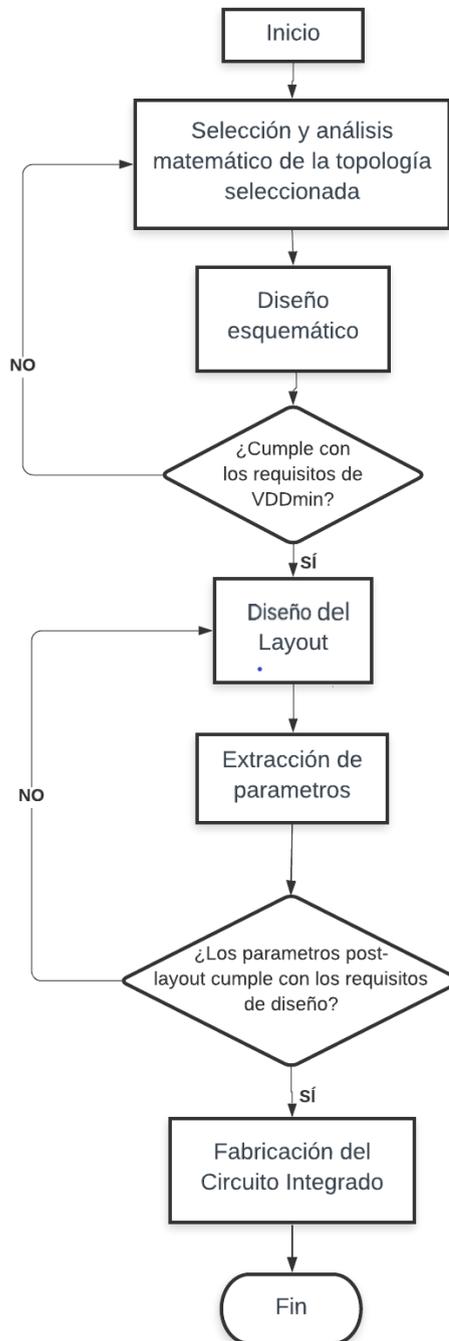


Figura 2.9: Proceso de diseño de un circuito de referencia de tensión

Capítulo 3

Diseño de un Circuito de Referencia de Tensión CMOS

El presente capítulo tiene como finalidad presentar el análisis y diseño a nivel esquemático y de layout del circuito de Referencia de Tensión de la presente tesis, el cual fue comentado en el Capítulo 2, pero ahora emplearemos sólo transistores CMOS. También, se describirá el modelamiento de los elementos presentes en el diseño.

3.1. Análisis de la Topología propuesta

A partir de las topologías descritas en la figura 2.4, 2.5 y 2.6, se observa que una limitante para reducir el voltaje mínimo ($V_{DD\text{mín}}$) es el voltaje de la juntura base-emisor (V_{BE}), presente en los transistores BJT (Q_1 y Q_2), por lo cual se propone reemplazar dichos dispositivos por transistores CMOS que operen en la región de inversión débil, de tal manera que el voltaje *gate-source* (V_{GS}) sea menor que el voltaje base-emisor (V_{BE}) presente en los transistores bipolares, reduciendo así el $V_{DD\text{mín}}$.

3.1.1. Topología propuesta

El circuito esquemático se basa en el topología de BVR1 (ver figura 2.4), con la diferencia que se reemplazaron los transistores BJT Q_1 , Q_2 y Q_3 por transistores CMOS, tal y como se observa en la figura 3.1.

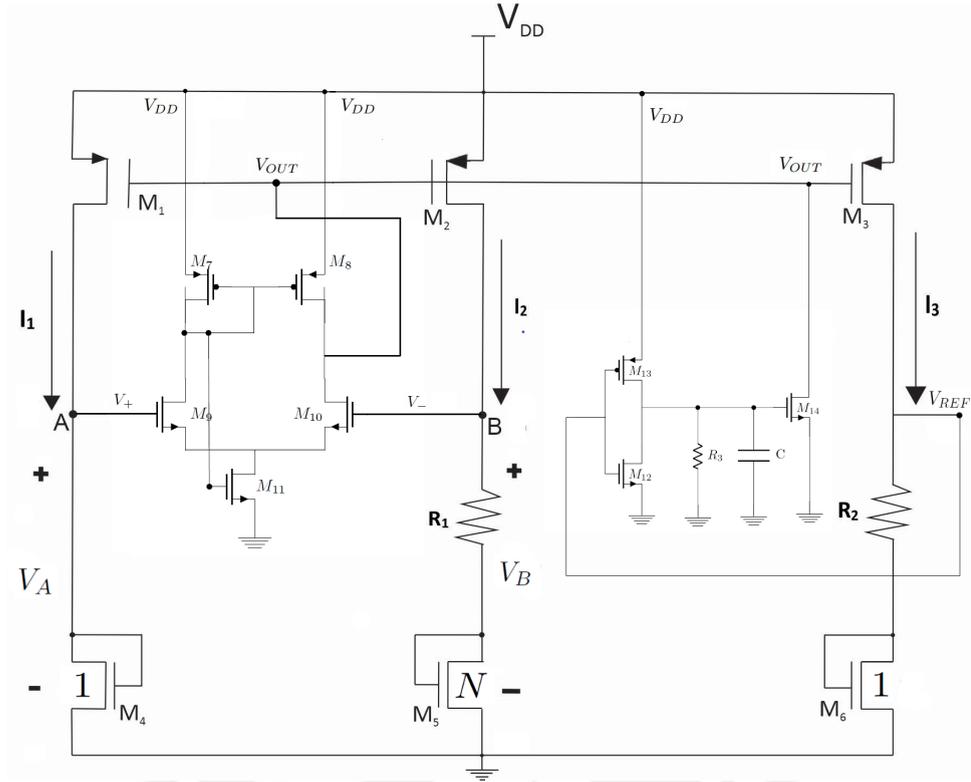


Figura 3.1: Circuito de referencia de tensión bandgap convencional con OPAMP usando solo transistores CMOS

Se sabe que la corriente de drenador (I_D) en un transistor MOS polarizado en inversión débil esta expresada por [20]:

$$I_D = I'_0 \frac{W}{L} e^{\frac{(V_{GS}-V_T)}{(n\phi_t)}} (1 - e^{-\frac{V_{DS}}{\phi_t}}) \quad (3.1)$$

donde:

$$I'_0 = \mu_n C_{OX} \phi_t^2 (n - 1) \quad (3.2)$$

$$n \approx 1 + \frac{C'_b}{C'_{ox}} \quad (3.3)$$

De (3.1) , notamos que si $V_{DS} \gg 3\phi_t$ la I_D se puede aproximar como:

$$I_D \approx I'_0 \frac{W}{L} e^{\frac{(V_{GS}-V_T)}{n\phi_t}} \quad (3.4)$$

Despejando V_{GS} de (3.4)

$$V_{GS} = n\varphi_t \ln\left(\frac{I_{DS}}{I_0' \frac{W}{L}}\right) + V_T \quad (3.5)$$

Debido al par diferencial del opamp en la figura 3.1, los voltajes V_A y V_B tienden a mantenerse iguales, por tanto el voltaje en R_1 se define por

$$V_{R1} = V_{GS4} - V_{GS5} \quad (3.6)$$

Debido a que el transistor M_5 representa la agrupación en paralelo de N transistores, y tomando en cuenta que $I_{D4} = I_1$ e $I_{D5} = I_2$, el ancho del transistor M_4 se multiplicará por un factor N . Entonces reemplazando (3.5) en (3.6), el voltaje V_{R1} queda expresado por:

$$V_{R1} = \ln\left(\frac{I_{D4}}{I_0' \frac{W}{L}}\right)n\varphi_t + V_T - \left(\ln\left(\frac{I_{D5}}{I_0' \frac{NW}{L}}\right)n\varphi_t + V_T\right) \quad (3.7)$$

$$n\varphi_t \ln\left(\frac{I_{D4} \frac{L}{I_0' W}}{I_{D5} \frac{L}{I_0' NW}}\right) = V_{R1} \quad (3.8)$$

$$V_{R1} = n\varphi_t \ln(N) \quad (3.9)$$

De manera consecuente, hallamos I_2 :

$$I_2 = \frac{V_{R1}}{R_1} = n \frac{\varphi_t}{R_1} \ln(N) \quad (3.10)$$

Debido a que el espejo de corriente compuesto por los transistores M_1 , M_2 y M_3 , los cuales poseen una misma geometría $\frac{W}{L}$, entonces la replicación de corriente será en un factor de 1 ($I_1 = I_2 = I_3$). Entonces el voltaje de referencia V_{REF} está definido por

$$V_{REF} = V_{GS6} + I_3 R_2 \quad (3.11)$$

$$V_{REF} = V_{GS6} + \frac{R_2}{R_1} n\varphi_t \ln(N) \quad (3.12)$$

Por otro lado, la ecuación general de la tensión gate-source V_{GS} del transistor MOS polarizado en inversión débil es [16]:

$$V_{GS}(T) = V_{FB} + V_{G0} + \left(\frac{V_{GS}(T_0) - V_{FB} - V_{G0}}{T_0} \right) * T + (\alpha + \gamma - 2) \frac{nK_B T}{q} \ln\left(\frac{T}{T_0}\right) \quad (3.13)$$

Donde, n es constante respecto a las variaciones de temperatura, V_{FB} es el voltaje de banda plana, V_{G0} es el potencial eléctrico del silicio, α es el orden de la dependencia de la temperatura de la corriente del drenador y γ es el coeficiente de efecto cuerpo.

Reemplazando la relación de (3.13) en (3.12) obtenemos:

$$V_{REF} = V_{FB} + V_{G0} + \left(\frac{V_{GS}(T_0) - V_{FB} - V_{G0}}{T_0} + \frac{R_2 K_B}{R_1 q} \right) * T + (\alpha + \gamma - 2) \frac{(nK_B T)}{q} \ln\left(\frac{T}{T_0}\right) \quad (3.14)$$

A partir de (3.14), se observa que el tercer término del lado derecho depende de forma lineal de la temperatura, donde la derivada en función de la temperatura se puede expresar como

$$\frac{dV_{REF}(T)}{dT} = \frac{V_{GS}(T_0) - V_{FB} - V_{G0}}{T_0} + \frac{R_2 K_B}{R_1 q} \ln(N) \quad (3.15)$$

Para realizar una corrección de curvatura de primer orden se debe cumplir que $\frac{dV_{REF}(T)}{dT} = 0$, por tanto

$$\frac{V_{FB} + V_{G0} - V_{GS}(T_0)}{\frac{K_B T_0}{q} \ln(N)} = \frac{R_2}{R_1} \quad (3.16)$$

Para determinar el voltaje mínimo de alimentación es necesario analizar los caminos críticos del esquemático propuesto en la figura 3.1, los cuales nos describen las caídas de tensión desde el voltaje de alimentación V_{DD} hasta su respectiva referencia (GND).

Camino crítico 1:

$$V_{DDmin} = V_{SDSATURACION} + V_{GS4SUB-UMBRAL} \quad (3.17)$$

Camino crítico 2:

$$V_{DDmin} = V_{SDSATURACION} + V_{R1} + V_{GS5SUB-UMBRAL} \quad (3.18)$$

Camino crítico 3:

$$V_{DDmin} = V_{SDSATURACION} + V_{R2} + V_{GS6SUB-UMBRAL} \quad (3.19)$$

Camino crítico 4:

$$V_{DDmin} = V_{SG_{SATURACION}} + V_{DS_{SAT}_{OPAMP}} + V_{DS_{TRIODO}_{OPAMP}} \quad (3.20)$$

Analizando los 4 caminos propuestos, se determina que el camino crítico 4 es la ruta en la cual se obtiene una mayor caída de tensión en todos los puntos de operación posibles. Esto nos permite hallar el valor teórico del voltaje de alimentación mínimo ($\approx 1V$). Asimismo, nos permite identificar las variables que nos limitan a operar bajo dicha tensión mínima.

3.2. Especificaciones de rendimiento del circuito

Tomando como referencia los parámetros obtenidos de [1], [2] y [3] se han seleccionado las siguientes especificaciones para mejorar el rendimiento del circuito de referencia propuesto.

Tabla 3.1: Especificaciones propuestas para el diseño del Circuito de Referencia de Tensión

Parámetro	Descripción	Valor
PSRR	Factor de rechazo a la fuente de alimentación	$< -44 \text{ dB@ } 10 \text{ Hz}$
TC	Coefficiente de temperatura	$< 60 \frac{\text{ppm}}{\text{C}} (-40 \text{ }^\circ\text{C a } 120 \text{ }^\circ\text{C})$
LS	Sensibilidad Lineal	$< 10 \frac{\text{mV}}{0.1 \text{ V}}$
V_{DDmin}	Voltaje de alimentación mínimo	$< 1.5 \text{ V@}27 \text{ }^\circ\text{C}$
P_d	Potencia de consumo	$\leq 20 \mu\text{W}$
W	Ancho del transistor	$< 100 \mu\text{m}$
L	Largo del transistor	$\leq 2 \mu\text{m}$
R	Resistencia	$10 \text{ K}\Omega \leq R \leq 400 \text{ K}\Omega$

Tabla 3.2: Especificaciones propuestas para el diseño del par diferencial

Parámetro	Descripción	Valor
V_{DDmin}	Voltaje de alimentación mínimo	$< 1.5 \text{ V}$
G	Ganancia	$\geq 46 \text{ dB@ } V_{DDmin}$

3.3. Proceso de diseño del circuito de Referencia de tensión

A partir de la extracción de parámetros del transistor NMOS y PMOS (dicho proceso se muestra en el anexo), procedemos a diseñar el circuito de referencia de tensión propuesto, y para esto, hemos usado el siguiente algoritmo de diseño.

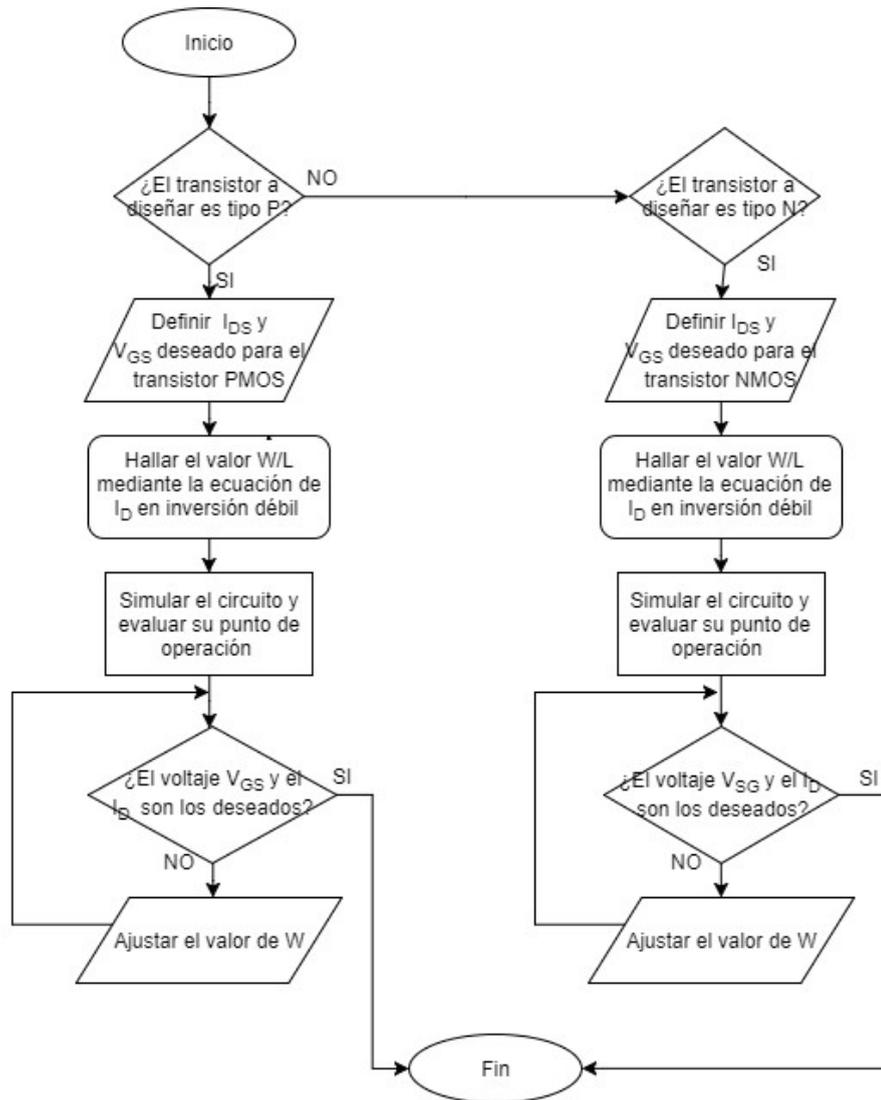


Figura 3.2: Proceso para hallar las dimensiones adecuadas del transistor MOS

3.3.1. Diseño del Circuito de Referencia de Tensión

Para el dimensionamiento del espejo de corriente se comenzó estipulando un $W_1 = 30 \mu\text{m}$ y un $L_1 = 2 \mu\text{m}$ [28]. Sin embargo, a partir de posteriores simulaciones se debe analizar si estas dimensiones son adecuadas para nuestro circuito.

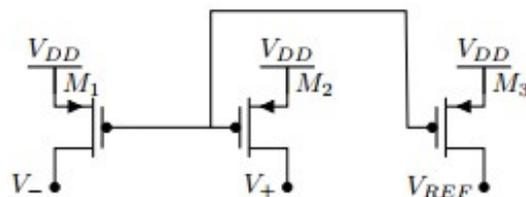


Figura 3.3: Espejo de corriente conformado por M_1 , M_2 y M_3 descritos en la figura 3.1

Para dimensionamiento del transistor M_4 (ver Figura 3.4) se seleccionó un valor de V_{GS} de 400 mV e I_D de 350 nA. Por lo cual a partir de nuestro proceso de dimensionamiento en inversión débil obtenemos $\frac{W_4}{L_4} = 65$.

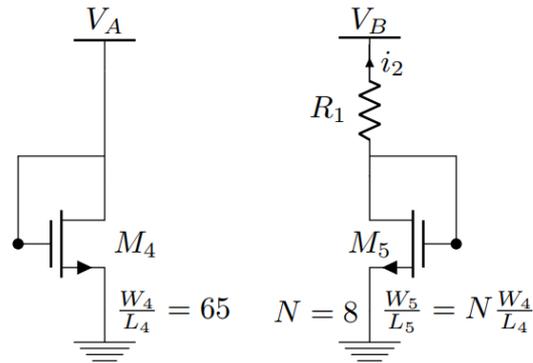


Figura 3.4: Transistor M_4 del circuito esquemático descritos en la Figura 3.1

Debido al par diferencial relacionados a los nodos A y B (ver figura 3.4), se deduce que $V_A = V_B$ y las dimensiones de los N transistores NMOS (el cual tendrá un valor $N = 8$ para nuestro diseño propuesto) en paralelo que son expresados por M_5 son iguales según la topología escogida, sin embargo, el voltaje V_{GS5} debe ser menor debido a la caída de tensión en la resistencia R_1 .

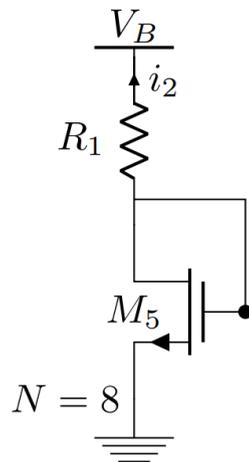


Figura 3.5: Transistor M_5 del circuito esquemático

A partir de los espejos de corriente M_1 y M_2 , se tiene que $I_1 = I_2 = 350$ nA, por lo tanto la corriente que pasa por cada transistor en M_5 es $I = 43.75$ nA y se obtiene un $V_{GS5} = 329.08$ mV

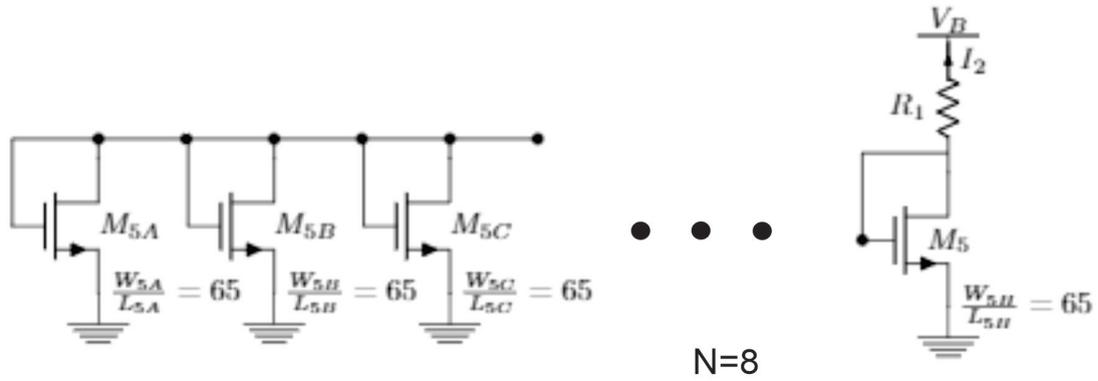


Figura 3.6: Transistor M_5 dividido en ramas paralelas

Debido al par diferencial PMOS los voltajes $V_A = V_B$, por lo tanto la resistencia $R_1 = 205.486 \text{ K}\Omega$

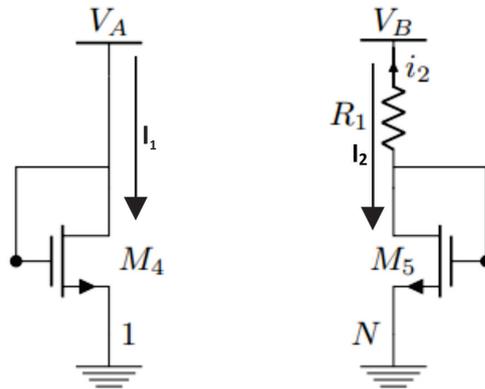


Figura 3.7: Bloque del circuito que genera un voltaje PTAT

En el bloque del espejo de corriente, conformado por los transistores M_1 , M_2 y M_3 tipo PMOS, los transistores M_1 y M_2 deben tener iguales dimensiones, sin embargo el transistor M_3 debe tener una dimensión mayor que los 2 anteriores ($3 \frac{W_1}{L_1} = \frac{W_3}{L_3}$), con la finalidad que la corriente I_3 pueda ser mayor, de tal manera que R_2 no sea de grandes dimensiones. A partir de la expresión (3.16) y considerando que $3I_2 = I_3$, el voltaje de referencia se puede expresar como

$$\frac{dV_{GS}(T)}{dT} = \frac{3R_2}{\frac{K_B T_0}{q} n \ln(N)} \quad (3.21)$$

A partir del simulador $\frac{dV_{GS}(T)}{dT} = 1.119 \text{ m}$ y $K_B = 1.380649 \times 10^{-23} \frac{\text{J}}{\text{K}}$, $q = 1.6 \times 10^{-19}$, se obtiene un valor $R_2 = 330.876 \text{ K}\Omega$.

Podemos estipular que el $V_{REF} = 700 \text{ mV}$, y se sabe que el transistor M_6 debe tener las mismas

dimensiones que el transistor M_4 ($\frac{W_6}{L_6} = 65.12$).

$$V_{REF} = V_{GS6} + 3I_2R_2 \quad (3.22)$$

$$V_{GS6} = V_{REF} - 352.58 \text{ mV} = 437.46 \text{ mV} \quad (3.23)$$

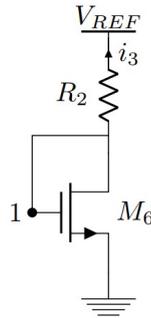


Figura 3.8: Rama del voltaje de referencia

En resumen, obtenemos los siguientes valores:

Tabla 3.3: Dimensionamiento de los transistores

Parámetro	Valores obtenidos
W_1	20 μm
L_1	3 μm
W_2	20 μm
L_2	3 μm
W_3	60 μm
L_3	3 μm
W_4	65 μm
L_4	1 μm
W_5	65 μm
L_5	1 μm
W_6	65 μm
L_6	1 μm
R_1	200 $\text{K}\Omega$
R_2	300 $\text{K}\Omega$

3.3.2. Diseño del Par diferencial NMOS

El bloque está constituido por un par diferencial con entrada NMOS y espejo de corriente conformado por los transistores M_7 y M_8 como carga activa. Este bloque es indispensable para asegurar un desempeño adecuado del circuito de referencia de tensión, ya que en teoría mantiene a tensiones iguales los nodos V_A y V_B (ver figura 3.9) mediante un lazo de realimentación. La

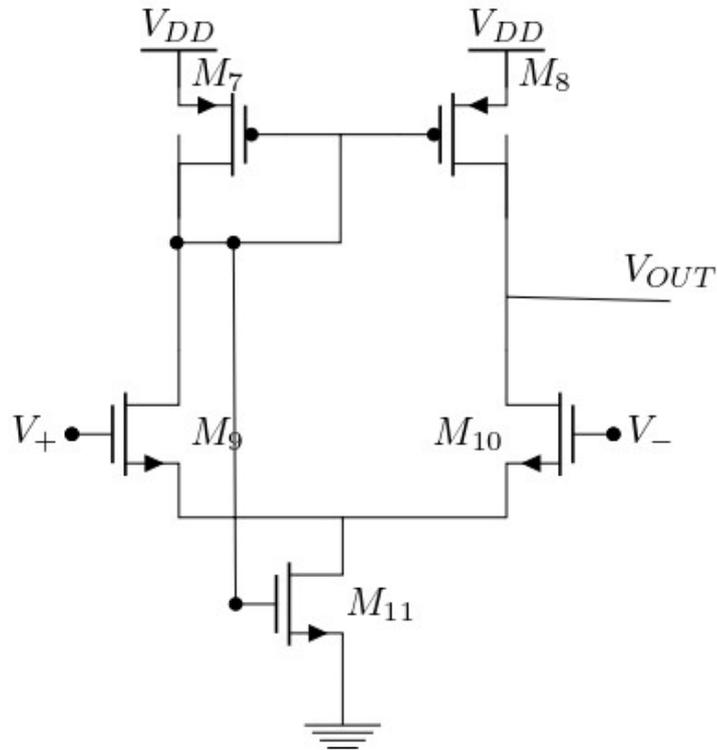


Figura 3.9: Esquemático del par diferencial NMOS

salida del amplificador se conecta con los terminales del gate de los transistores M_1 , M_2 y M_3 (ver Figura 3.1). En cuanto a la ganancia, se observó que a partir de unos 40 dB funciona correctamente. Los transistores M_7 y M_8 deben tener las mismas dimensiones que los transistores M_1 y M_2 ya que conforman espejos de corriente. Por lo tanto se sugiere $\frac{W_{7,8}}{L_{7,8}} = 30/2$ [29].

Para dimensionar los transistores M_9 y M_{10} , se establece un $I_D = 150$ nA, de tal manera que las dimensiones de este no sean tan grandes y además se requiere que su $V_{GS}=400$ mV ya que es el voltaje que llega a sus compuertas. Se obtiene entonces un $\frac{W_{9,10}}{L_{9,10}} = 28.047$. Por último, para dimensionar el transistor M_{11} según [28] se sugirió un $W=10$ μm y un $L=10$ μm de manera que pueda operar en la zona de triodo. En cuanto a la frecuencia de operación del par diferencial no se considera ningún parámetro de evaluación ya que la tensión de salida V_{REF} del circuito de referencia de tensión es un tensión DC.

En resumen, obtenemos los siguientes valores:

Tabla 3.4: Dimensionamiento de los transistores

Parámetro	Valores obtenidos
W_7	20 μm
L_7	3 μm
W_8	20 μm
L_8	3 μm
W_9	20 μm
L_9	1 μm
W_{10}	20 μm
L_{10}	1 μm
W_{11}	5 μm
L_{11}	5 μm

3.3.3. Circuito *Startup*

Cuando se aplica el voltaje de alimentación al circuito de referencia de tensión cabe la posibilidad que no opere adecuadamente debido al lazo de realimentación que presenta el circuito ya que existe la posibilidad de que, al alimentar el circuito, no circule corriente por ninguna de sus ramas y, por lo tanto, puede que el circuito de referencia de tensión no funcione. Este estado es conocido como punto muerto de operación. Esto se puede solucionar usando un circuito *Startup*, el cual se muestra a continuación.

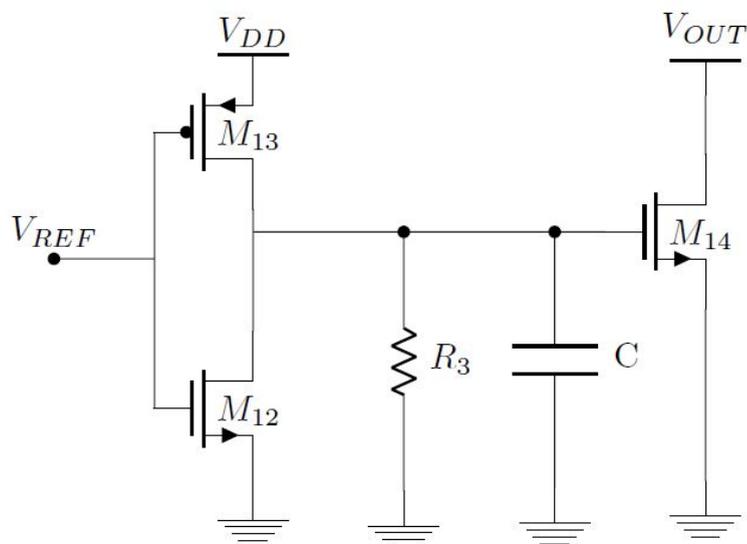


Figura 3.10: Esquemático del Circuito *Startup* (Luan, 2001)[4]

s

Para el caso de la topología del circuito *startup* seleccionado [4], se comporta de la siguiente manera. Inicialmente, $V_{REF} = 0 \text{ V}$; por tanto, el inversor conformado por los transistores M_{11} y M_{12} darán una salida en alta que activará el transistor M_{13} . Con esto, la tensión en su drenador será

baja, con lo cual, las tensiones V_{SG} de los NMOS serán las suficientes para activar los transistores M_1 , M_2 y M_3 (ver figura 3.1), comenzando a circular corriente, estabilizándose de esta manera el circuito. Esta topología emplea un circuito RC paralelo, con la finalidad de retardar la activación del transistor M_{13} , para evitar un aumento desproporcionado de la corriente I_3 , que pueda afectar al V_{REF} deseado. Cuando el circuito de referencia de tensión funcione correctamente ($V_{REF} = 700$ mV), se traducirá en una salida en baja, que desactivará el transistor M_{13} . Para efectos de este diseño, se determina un tiempo de retraso en la activación del transistor M_{13} de 500 ns (5τ) y además :

$$T = R_3C \quad (3.24)$$

Donde se elige $C=1$ pF, con la finalidad que el área del capacitor no sea excesivamente grande, ya que este será integrado y de tipo *poly-poly*. Para esto usamos los datos del modelo *BSIM3v3*, *CPOLY* es $4.54 \frac{\text{fF}}{\mu\text{m}^2}$. Por consiguiente, a partir de la expresión (3.24), el valor de R_3 será $100 \text{ K}\Omega$

Tabla 3.5: Valores de los elementos del Circuito Startup

	Valores obtenidos
W_{12}	$2 \mu\text{m}$
L_{12}	$1 \mu\text{m}$
W_{13}	$1 \mu\text{m}$
L_{13}	$5 \mu\text{m}$
W_{14}	$50 \mu\text{m}$
L_{14}	$1 \mu\text{m}$
R_3	$100 \text{ K}\Omega$
C	1 pF

Todo el circuito se muestra a continuación.

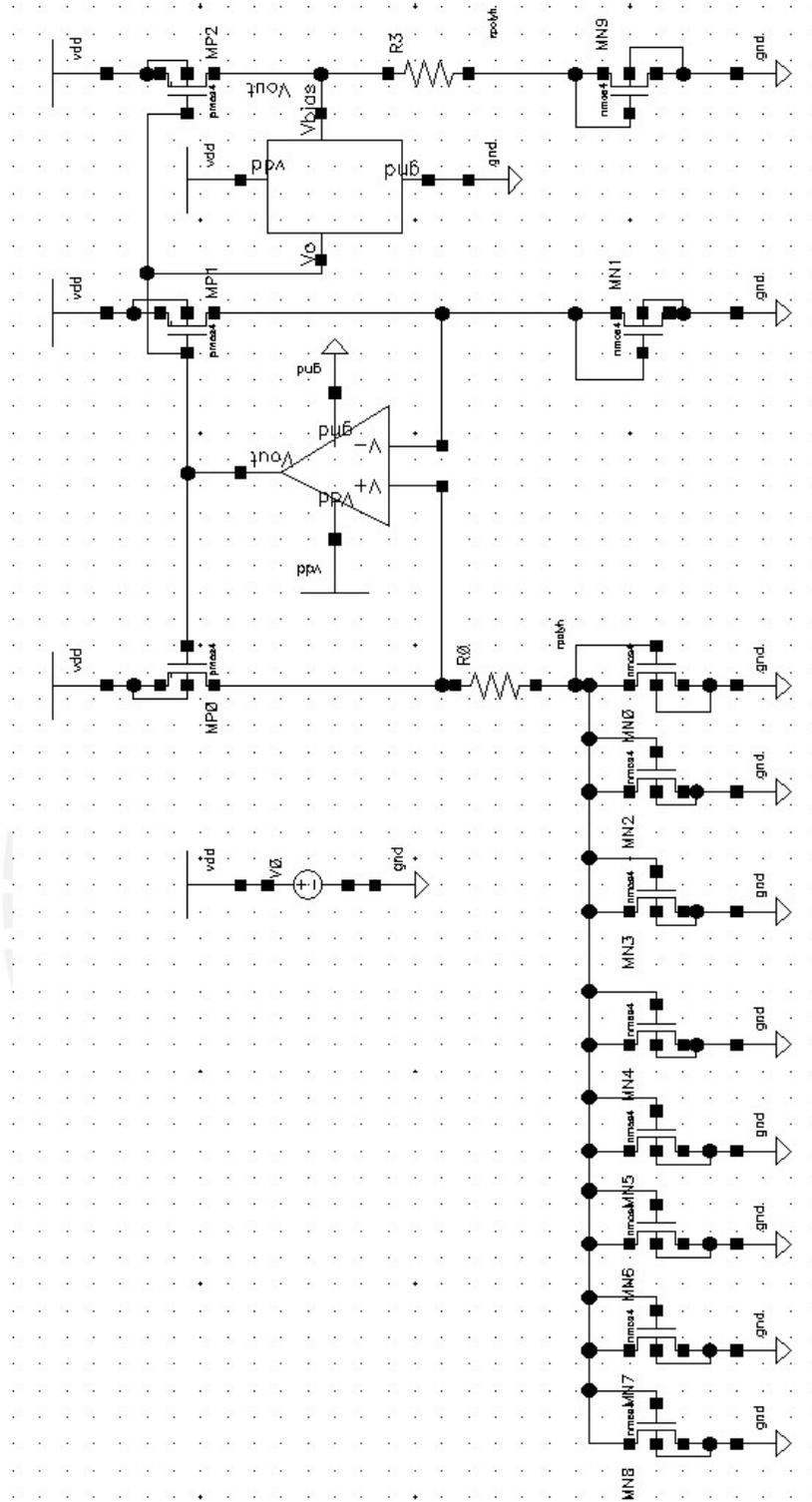


Figura 3.11: Implementación del Circuito de Referencia de Tensión propuesto en el software *CADENCE*

3.4. Diseño del layout del circuito

La elaboración del layout del Circuito de Referencia de Tensión se empezó con la división del circuito total en tres bloques, los cuales son: par diferencial, circuito startup y core del bandgap. Esto se hace con la finalidad reducir la complejidad del diseño final. Para el diseño propuesto empleamos algunos criterios de diseño [24] que evitan cometer errores en la simulación del layout.

- Para crear rutas verticales empleamos Metal 1.
- Para crear rutas horizontales empleamos Metal 2.
- Para hacer contacto usamos un bloque de contactos de 2 x 2 para minimizar la posibilidad de un contacto mal fabricado.
- Emplear las técnicas descritas en la sección 2.4.1 (interdigitación, simetría y centroide común).

En el caso del core del Circuito de Referencia CMOS en los transistores, el cual esta compuesto de los transistores M_1 , M_2 , M_3 , M_4 , M_5 , M_6 , R_1 y R_2 (ver figura 3.1) , se aplica la técnica del centroide común se forma rodeando el transistor M_5 con el transistor M_4 formando un arreglo cuadrangular, en el cual M_5 se posiciona en el centro y las divisiones del transistor M_4 se posiciona alrededor de este.

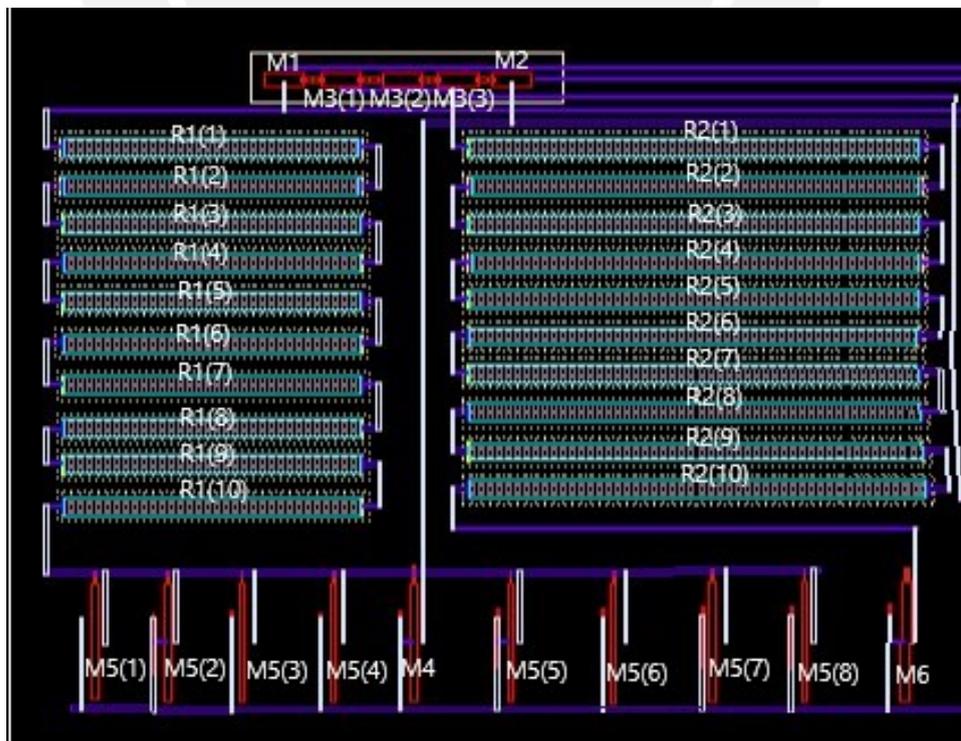


Figura 3.12: Layout del core del circuito de referencia CMOS

Por otro lado, en el Circuito Par diferencial NMOS en los transistores M_7 , M_8 , M_9 , M_{10} y M_{11} (ver figura 3.1) se empleó la técnica de interdigitación.

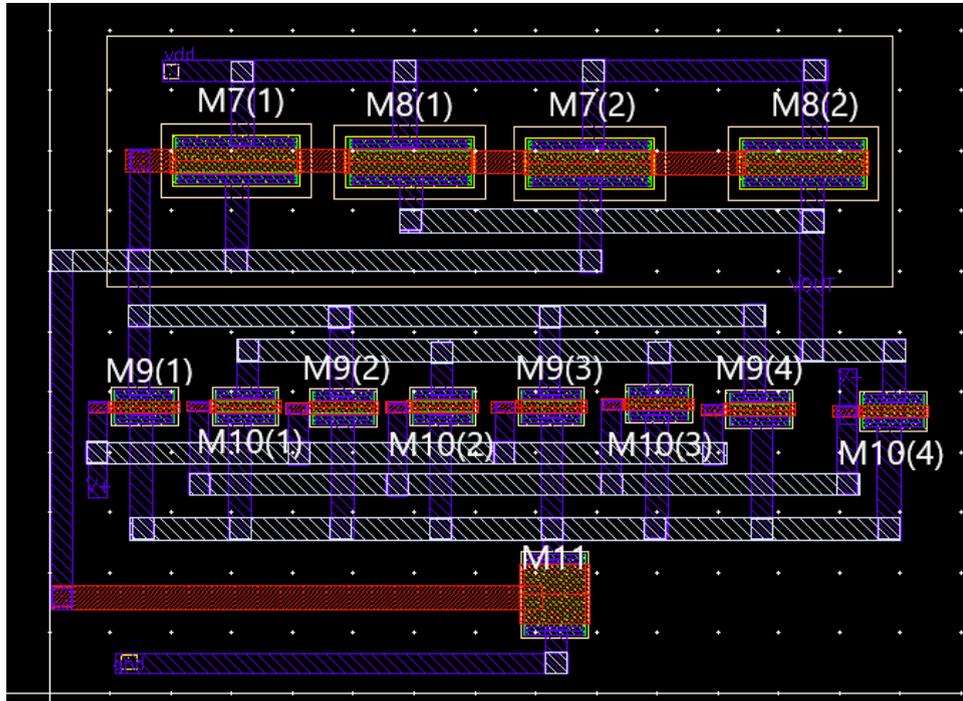


Figura 3.13: Layout del circuito par diferencial

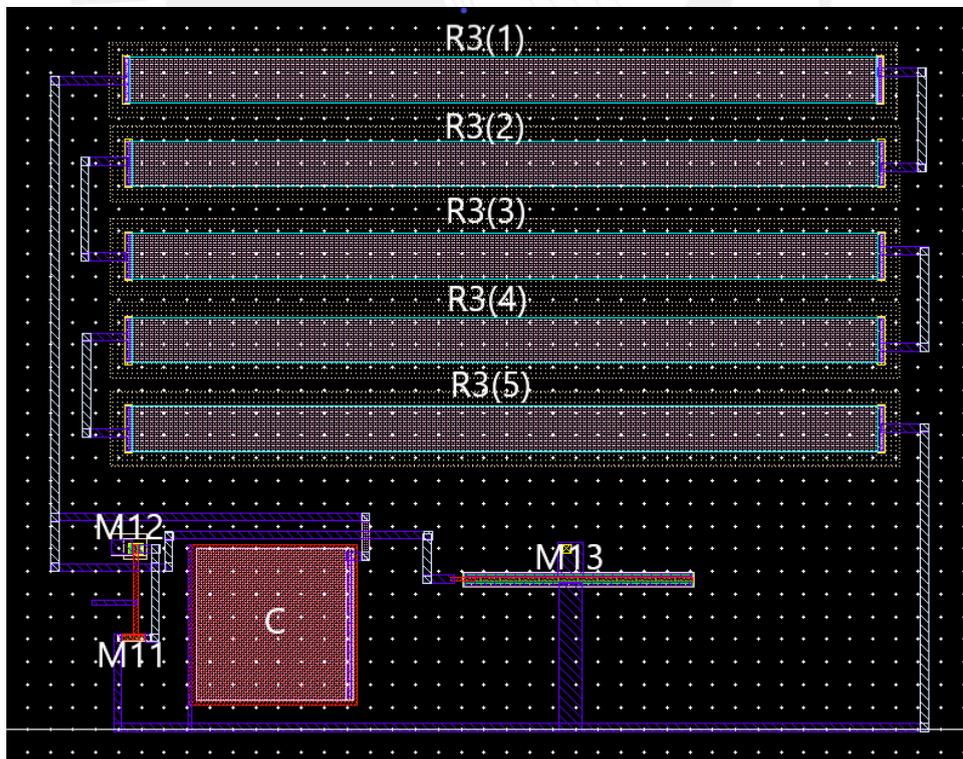


Figura 3.14: Layout del circuito startup

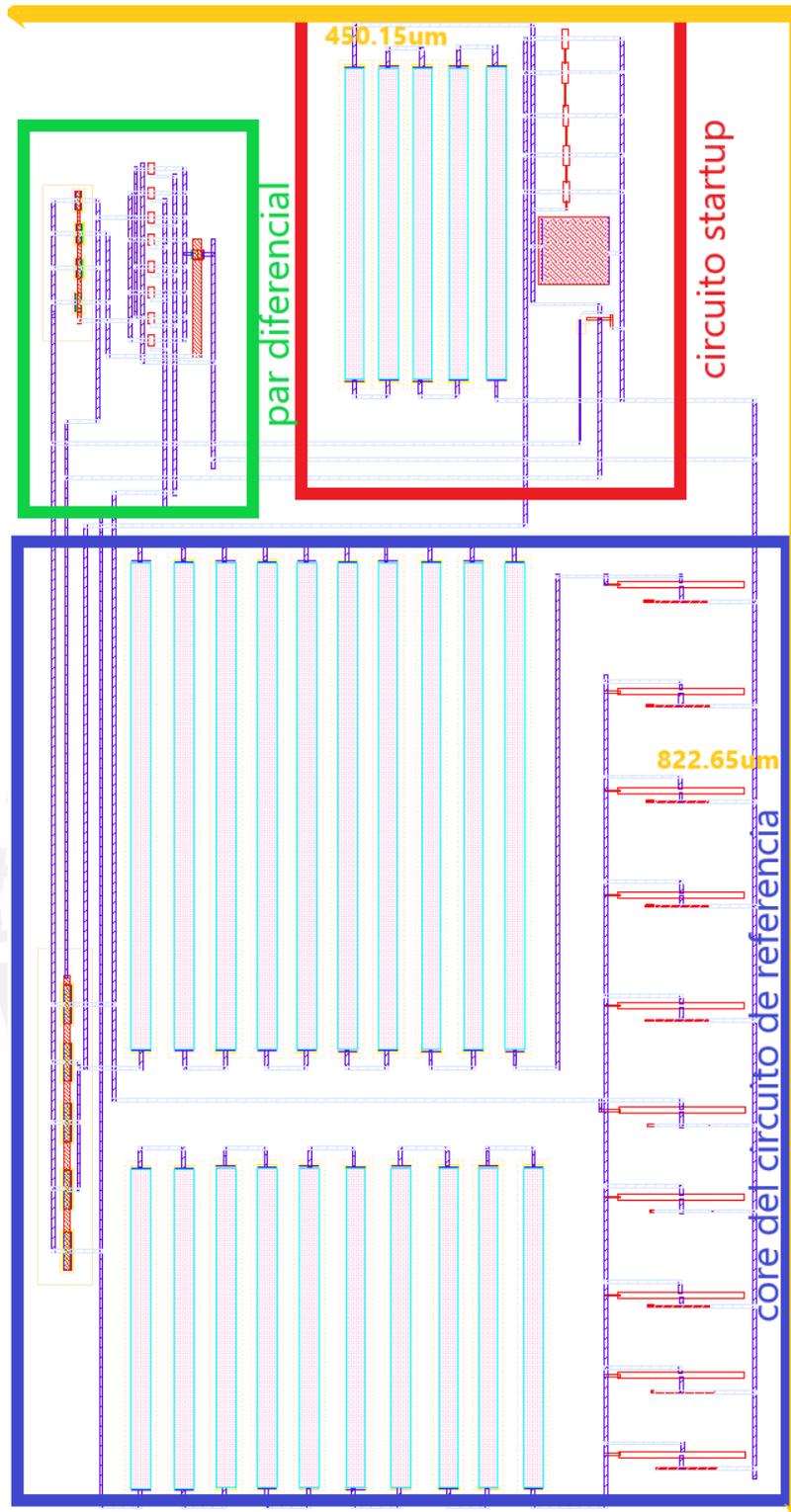


Figura 3.15: Layout del circuito diseñado

Tal como se muestra en la figura 3.15, el área total del layout del circuito diseñado es de 0.37 mm^2 ($0.450 \text{ mm} \times 0.822 \text{ mm}$).

Capítulo 4

Simulaciones y Resultados

En el presente capítulo se presentarán las simulaciones realizadas en el software *CADENCE* del circuito de referencia de tensión CMOS diseñado tanto en la parte esquemática como del circuito extraído a partir del layout. En ambas simulaciones se evaluará el desempeño en base a la variación de la temperatura, del voltaje de alimentación y del proceso; y posteriormente serán comparadas. El modelo de transistor CMOS que utiliza este simulador es el *BSIM3v3* en tecnología $0.35\ \mu\text{m}$.

4.1. Simulación de la tensión mínima de alimentación

Lo primero que evaluaremos será la tensión mínima de alimentación $V_{DD\text{min}}$ a temperaturas: $T=-40\ ^\circ\text{C}$, $T=27\ ^\circ\text{C}$, $T=120\ ^\circ\text{C}$ y comprobaremos los resultados a nivel esquemático contra el extraído.

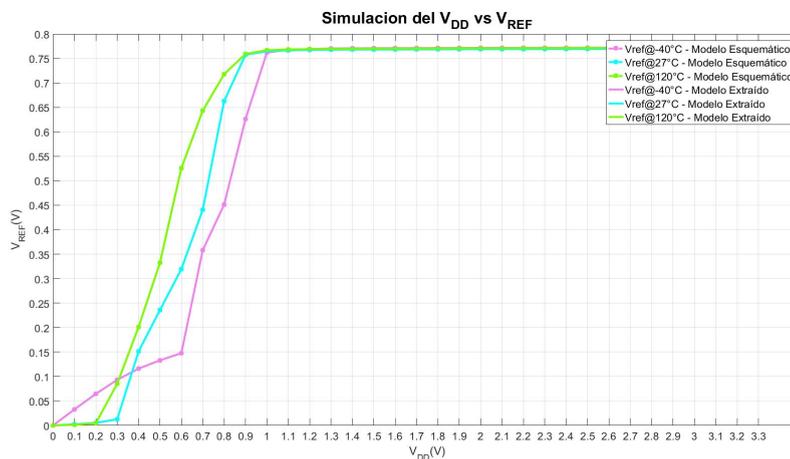


Figura 4.1: Simulación del voltaje de referencia (V_{REF}) vs voltaje de alimentación (V_{DD}) para temperaturas $-40\ ^\circ\text{C}$, $27\ ^\circ\text{C}$ y $120\ ^\circ\text{C}$ en el circuito esquemático y en el circuito extraído

A partir del gráfico 4.1 se puede observar que a 27 °C, el $V_{REF} = 775.07 \text{ mV}@ V_{DDmin} \approx 1 \text{ V}$, y a la misma temperatura el $V_{REF} = 780.42 \text{ mV}@ V_{DDnominal} = 3.3 \text{ V}$. Con este V_{DDmin} obtenido se cumple con el objetivo de diseño planteado en la tabla 3.1. Asimismo, a temperaturas de -40 °C y 120 °C se obtuvo aproximadamente el mismo V_{DDmin} .

4.2. Simulación de la sensibilidad de línea

A partir de la simulación del V_{DD} vs V_{REF} (figura 4.1) y en base a la expresión (2.17) y la figura 2.3 se puede hallar la sensibilidad de línea (LS), la cual se describe como:

$$LS = \left(\frac{V'_{REF} - V_{REFmin}}{0.1} \right) \frac{\text{mV}}{\text{V}} \quad (4.1)$$

Donde el V_{REFmin} se toma a V_{DDmin} , para la temperatura -40 °C ,27 °C y 120 °C y los resultados se muestran en la siguiente tabla:

Se determinó a nivel esquemático y extraído la sensibilidad de línea en las temperaturas de -40 °C, 27 °C y 120 °C y los resultados se muestran en la tabla 4.1.

Tabla 4.1: Valores de sensibilidad de línea a -40 °C, 27 °C y 120 °C en el modelo esquemático y extraído

Temperatura	V'_{REF}	V_{REFmin}	V_{DDmin}	LS (Esquemático)	LS (Extraído)
-40 °C	774.9 mV	773.18 mV	$\approx 1\text{V}$	$1.73 \frac{\text{mV}}{0.1\text{V}}$	$1.80 \frac{\text{mV}}{0.1\text{V}}$
27 °C	775.84 mV	775.07 mV	$\approx 1\text{V}$	$0.77 \frac{\text{mV}}{0.1\text{V}}$	$0.74 \frac{\text{mV}}{0.1\text{V}}$
120 °C	778 mV	777.37 mV	$\approx 1\text{V}$	$0.64 \frac{\text{mV}}{0.1\text{V}}$	$0.62 \frac{\text{mV}}{0.1\text{V}}$

4.3. Simulación del coeficiente de temperatura TC

También se realizó la simulación de la variación de la temperatura (T) versus la tensión de referencia, dicha simulación se realizó en los puntos de tensión de alimentación $V_{DD} = 3.3 \text{ V} (V_{DDnom})$, $V_{DD} = 1 \text{ V} (V_{DDmin})$, a nivel esquemático y extraído. Los resultados se muestran en la figura 4.3.

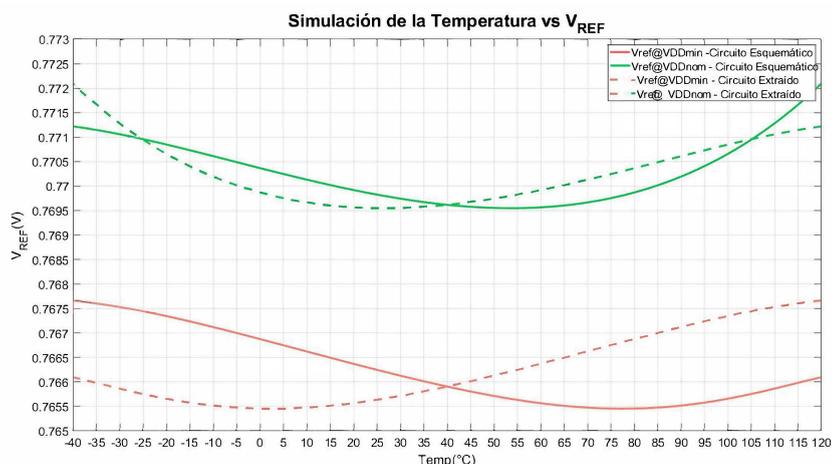


Figura 4.2: Simulación del voltaje de referencia V_{REF} vs voltaje de alimentación V_{DD} para V_{DDmin} y V_{DDnom} del circuito esquemático y circuito extraído.

Asimismo, se recuerda la expresión (2.16) para hallar el coeficiente de temperatura (TC) con la expresión, la cual se describe como:

$$TC = \left[\frac{V_{REFmax} - V_{REFmin}}{(T_{max} - T_{min})V_{REF(27C)}} \right] 10^6 \left(\frac{ppm}{C} \right) \quad (4.2)$$

A partir de la simulación y de la expresión mostrada, se logró determinar los valores de TC tanto a nivel esquemático como extraído, los cuales se muestran en la tabla 4.2.

Tabla 4.2: Valores del coeficiente de temperatura (TC) para V_{DDmin} y V_{DDnom} para el circuito esquemático y extraído

Voltaje de alimentación	TC(Esquemático)	TC(Extraído)
$V_{DDmin} (\approx 1 \text{ V})$	$18.09 \left(\frac{ppm}{C} \right)$	$13.82 \left(\frac{ppm}{C} \right)$
$V_{DDnominal} (3.3 \text{ V})$	$22.16 \left(\frac{ppm}{C} \right)$	$15.92 \left(\frac{ppm}{C} \right)$

4.4. Simulación del consumo de corriente

Por otro lado, se realizó una simulación DC de la respuesta de I_D vs V_{DD} , en los puntos de operación de temperatura de $-40 \text{ }^\circ\text{C}$, $27 \text{ }^\circ\text{C}$ y $120 \text{ }^\circ\text{C}$.

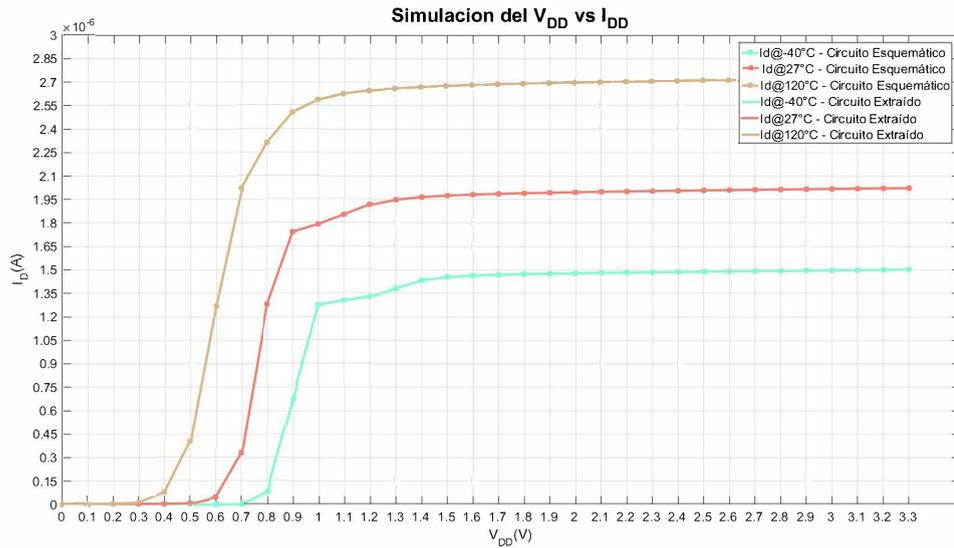


Figura 4.3: Simulación del consumo de corriente para $-40\text{ }^{\circ}\text{C}$, $27\text{ }^{\circ}\text{C}$ y $120\text{ }^{\circ}\text{C}$

En base a la figura 4.3 se identifica los valores de corriente mínima a $V_{DDmin} \approx 1\text{ V}$ la cual es descrita en la tabla 4.3.

Tabla 4.3: Valores de corriente mínima I_{Dmin} para el modelo esquemático y extraído a V_{DDmin}

Temperatura	Esquemático	Extraído
$-40\text{ }^{\circ}\text{C}$	$\approx 1.30\text{ uA}$	$\approx 1.30\text{ uA}$
$27\text{ }^{\circ}\text{C}$	$\approx 1.80\text{ uA}$	$\approx 1.80\text{ uA}$
$120\text{ }^{\circ}\text{C}$	$\approx 2.55\text{ uA}$	$\approx 2.55\text{ uA}$

4.5. Simulación del PSRR

Consecutivamente, se realizó una simulación AC de la respuesta del PSRR vs frecuencia ante el ingreso de un voltaje 1 VAC (*voltage altern current*). Por lo cual se obtiene el figura 4.3 se identifica los valores de PSRR en 10 Hz y 1 MHz los cuales son descritos en la tabla 4.4.

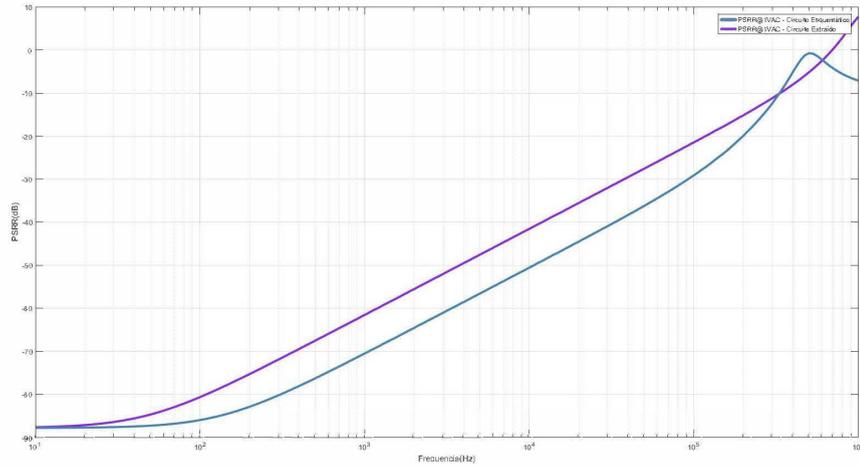


Figura 4.4: Simulación del PSRR de 10 Hz hasta 1 MHz @ V_{DDnom}

Tabla 4.4: Valores de PSRR del modelo esquemático y extraído extrapolado en las frecuencias de 10 Hz, 1 KHz y 1 MHz para $V_{DD} = 3.3$ V a una temperatura de 27 °C

Frecuencia	PSRR(Esquemático)	PSRR(Extraído)
10 Hz	-88 dB	-88 dB
1K Hz	-70 dB	-62 dB
1M Hz	-8 dB	8 dB

4.6. Simulación de la respuesta en el tiempo

En las figura 4.5 y 4.6 se muestran las respuestas temporal del circuito de referencia de tensión diseñado a nivel esquemático y extraído, los resultados se muestran en la tabla 4.5

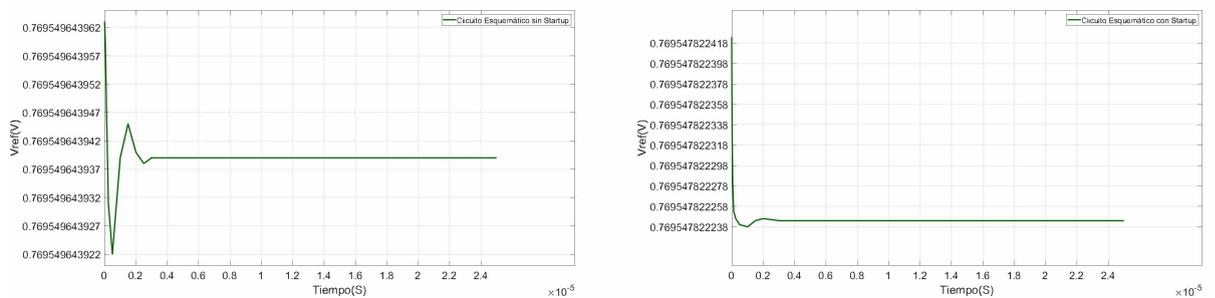


Figura 4.5: Respuesta temporales del circuito de referencia diseñado sin *Startup* y con *Startup* para el modelo esquemático a $V_{DD} = 3.3$ V a una temperatura de 27 °C

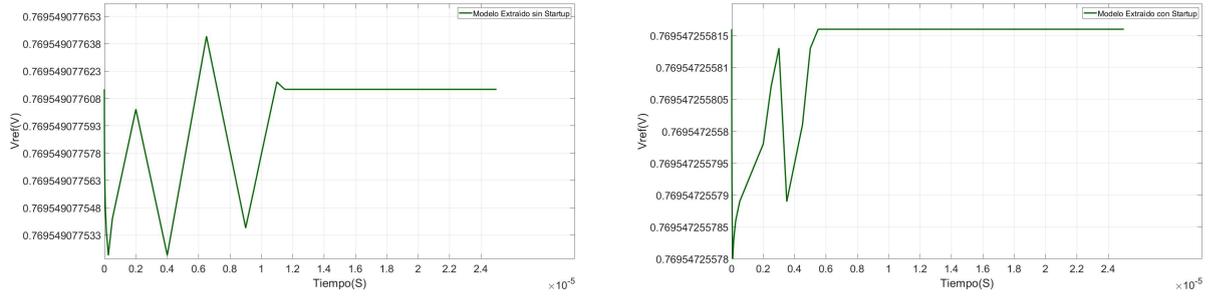


Figura 4.6: Respuesta temporal del circuito de referencia diseñado sin *Startup* y con *Startup* para el modelo extraído a $V_{DD} = 3.3 \text{ V}$ a una temperatura de $27 \text{ }^\circ\text{C}$

Tabla 4.5: Tiempo de respuesta mínimo del circuito de referencia de tensión sin y con circuito *startup*

Nivel	Con Circuito Startup	Tiempo de respuesta mínimo
Esquemático	No	$3 \mu\text{s}$
Esquemático	Sí	$2 \mu\text{s}$
Extraído	No	$11.5 \mu\text{s}$
Extraído	Sí	$5.5 \mu\text{s}$

4.7. Simulación de las variaciones por proceso de fabricación

Por último, se realiza una simulación de Monte Carlo en donde evaluamos las variaciones del proceso de producción del circuito integrado y *mismatch* para determinar la sensibilidad del circuito a los procesos de fabricación. Se presentan los resultados de la variación del voltaje de referencia del circuito extraído (3 veces la desviación estándar hallada en el simulador) en la tabla 4.7. Las simulaciones detalladas se encuentran en el anexo A.3.

Tabla 4.6: Variación de V_{REF} a partir de la simulación Monte Carlo por *process*, *mismatch* y *mismatch + Process* @ $27 \text{ }^\circ\text{C}$

V_{DD}	Process	Mismatch	Mismatch + Process
$V_{DD\text{min}}$	196.9116 mV	70.6899 mV	196.9116 mV
$V_{DD\text{nom}}$	184.4652 mV	70.6896 mV	188.2404 mV

En resumen, para el circuito de referencia de tensión propuesto se obtiene los siguientes resultados a partir del circuito extraído:

Tabla 4.7: Varación de V_{REF} a partir de la simulación Monte Carlo por *process*, *mismatch* y *mismatch + process* @27 °C

Parámetro	Valor
$V_{DDmin}(V)$	0.97 V@27 °C
$V_{REF}(mV)$	775 mV
$TC(\frac{ppm}{\%C})$	22.16 @3.3 V
$LS(\frac{mV}{V})$	7.72@27 °C
PSRR(dB)	60@10 Hz
$P_{dmin}(\mu W)$	1.74@27 °C
$V_{REF}(V)$	778.93 mV ± 196.91

4.8. Simulación de los puntos de operación del circuito

Para estudiar los parámetros del circuito de referencia de tensión del diseño del modelo extraído, se evaluará bajo los parámetros de desempeño descrito en el Capítulo 2, tales como las variaciones del voltaje de alimentación, del proceso y la temperatura mediante simulaciones del software.

En primer lugar, se realizó una simulación DC en el punto de operación $V_{DDnom}=3.3$ V (ver Tabla 4.8, Tabla 4.9 y Tabla 4.10) en los bloques *core band gap*, par diferencial y el circuito *Startup*.

Tabla 4.8: Punto de operación en el núcleo del circuito de referencia del modelo extraído para $V_{DD} = 3.3$ V a una temperatura de 27 °C

Transistor MOS	I_D	V_{GS}	V_{DS}	región
M_1	-349.1 nA	-694.9 mV	-2.899 V	subumbral
M_2	-349.1 nA	-694.9 mV	-2.899 V	subumbral
M_3	-349.1 nA	-694.9 mV	-175.4 mV	subumbral
M_4	349.1 nA	401.4 mV	401.4 mV	subumbral
M_{5A}	43.64 nA	329.4 mV	329.4 mV	subumbral
M_{5B}	43.64 nA	329.4 mV	329.4 mV	subumbral
M_{5C}	43.64 nA	329.4 mV	329.4 mV	subumbral
M_{5D}	43.64 nA	329.4 mV	329.4 mV	subumbral
M_{5E}	43.64 nA	329.4 mV	329.4 mV	subumbral
M_{5F}	43.64 nA	329.4 mV	329.4 mV	subumbral
M_{5G}	43.64 nA	329.4 mV	329.4 mV	subumbral
M_{5H}	43.64 nA	329.4 mV	329.4 mV	subumbral
M_6	1044 nA	441.9 mV	441.9 mV	subumbral

Tabla 4.9: Punto de operación en el par diferencial del modelo extraído para $V_{DD} = 3.3 \text{ V}$ a una temperatura de $27 \text{ }^\circ\text{C}$

Transistor MOS	I_D	V_{GS}	V_{DS}	región
M ₇	-120.5 nA	-643 mV	-643 mV	subumbral
M ₈	-120.68 nA	-643 mV	-694.9 mV	subumbral
M ₉	120.48 nA	400.5 mV	2.656 V	subumbral
M ₁₀	120.68 nA	400.7 mV	2.604 V	subumbral
M ₁₁	239.8 nA	2.657 V	7.74 μV	ohmica

Tabla 4.10: Punto de operación del circuito *startup* del modelo extraído para $V_{DD} = 3.3 \text{ V}$ a una temperatura de $27 \text{ }^\circ\text{C}$

Transistor MOS	I_D	V_{GS}	V_{DS}	región
M ₁₂	-38.91 nA	-694.9 mV	-3.299 V	saturación
M ₁₃	32.93 nA	2.605 V	615.5 μV	ohmica
M ₁₄	1.0972 pA	615.5 μV	769.5 mV	corte

Del mismo modo se realizó la simulación del modelo extraído en los puntos de operación de $V_{DD} = V_{DD\text{min}}$ (tabla 4.11, tabla 4.12 y tabla 4.13) de los cuales se obtuvo los siguientes resultados:

Tabla 4.11: Punto de operación en el núcleo del circuito de referencia del modelo extraído para $V_{DD} = V_{DD\text{min}}$ a una temperatura de $27 \text{ }^\circ\text{C}$

Transistor MOS	I_D	V_{GS}	V_{DS}	región
M ₁	-347.4nA	-698mV	-549.3mV	subumbral
M ₂	-347.4nA	-698mV	-549.3mV	subumbral
M ₃	-347.4nA	-698mV	-175.4mV	subumbral
M ₄	347.8nA	401.3mV	401.3mV	subumbral
M _{5A}	43.48nA	329.3mV	329.3mV	subumbral
M _{5B}	43.48nA	329.3mV	329.3mV	subumbral
M _{5C}	43.48nA	329.3mV	329.3mV	subumbral
M _{5D}	43.48nA	329.3mV	329.3mV	subumbral
M _{5E}	43.48nA	329.3mV	329.3mV	subumbral
M _{5F}	43.48nA	329.3mV	329.3mV	subumbral
M _{5G}	43.48nA	329.3mV	329.3mV	subumbral
M _{5H}	43.48nA	329.3mV	329.3mV	subumbral
M ₆	1.033uA	441.5mV	441.5mV	subumbral

Tabla 4.12: Punto de operación en el par diferencial del modelo extraído para $V_{DD} = V_{DD\text{min}}$ a una temperatura de $27 \text{ }^\circ\text{C}$

Transistor MOS	I_D	V_{GS}	V_{DS}	región
M ₇	-25.42nA	-581.8mV	-581.8mV	subumbral
M ₈	-25.52nA	-581.8mV	-696mV	subumbral
M ₉	25.428nA	362.2mV	429.5mV	subumbral
M ₁₀	25.516nA	362.6mV	315.3mV	subumbral
M ₁₁	50.95nA	468.2mV	38.67mV	subumbral

Tabla 4.13: Punto de operación del Circuito Startup del modelo extraído para $V_{DD} = V_{DDmin}$ a una temperatura de 27 °C

Transistor MOS	I_D	V_{GS}	V_{DS}	g_m	región
M ₁₂	-36.07nA	-696mV	-55.21mV	884.1n	saturación
M ₁₃	99.36pA	354mV	3.7mV	2.75n	saturación
M ₁₄	1.21pA	3.7mV	765.7mV	37.60p	corte

4.9. Discusión de los resultados

En esta subsección se presenta las comparaciones de los resultados obtenidos de las topologías básicas presentadas en el Capítulo 2 con respecto al circuito de referencia de tensión diseñado en esta tesis. Nuestros resultados fueron obtenidos a partir del circuito extraído post-layout.

4.9.1. Comparación de los resultados obtenidos entre las topologías básicas y circuito de referencia de tensión diseñado (extraído)

Tabla 4.14: Tabla comparativa de los resultados entre las topologías básicas y el circuito de referencia de tensión propuesto

Parámetros	Gregorian [1]	Banba [2]	Leung y Mok [3]	Circuito diseñado
Voltaje de alimentación mínimo (V_{DDmin})	5 V@27 °C	0.84 V@-10°C 2.2 V@-27 °C	0.98 V@0°C	1.00 V@27 °C
Voltaje de referencia (V_{REF}) a 27 °C	1.19 V@ V_{DD} = 5 V	515 mV@ V_{DD} = 2.2 V	601 mV@ V_{DD} = 1 V	775.07 mV@V_{DD} =V_{DDmin} 780.42 mV@V_{DD} =3.3 V
Potencia mínima disipada (P_d)	65 mW@27 °C y V_{DD} =5 V	1.85 μ W@27 °C y V_{DD} =0.84 V	27 μ W@100 °C y V_{DD} =1.5 V	1.80 μW@27 °C y $V_{DDmin} \approx 1$ V
Rango de temperatura (T)	0 °C a 70 °C	27 °C a 125 °C	0 °C a 100 °C	-40 °C a 120 °C
Coeficiente de temperatura (TC)	40 $\frac{ppm}{^\circ C}$ @ V_{DD} = 5 V	116 $\frac{ppm}{^\circ C}$	15 $\frac{ppm}{^\circ C}$ @ V_{DD} = 0.98 V	13 $\frac{ppm}{^\circ C}$ @V_{DDmin} 15 $\frac{ppm}{^\circ C}$ @V_{DDnom}
Sensibilidad lineal (LS)	-	0.05 $\frac{mV}{0.1V}$ @27 °C	2.17 $\frac{mV}{0.1V}$	0.7 $\frac{mV}{0.1V}$ @27 °C
PSRR	-33dB@33KHz y V_{DD} =5 V	-	-44dB@10KHz V_{DD} =0.98	-88dB@10Hz T=27 °C y V_{DD}=V_{DDnom}
Área	44.94 mm ²	0.1 mm ² sin pads	0.24 mm ²	0.37 mm²
Tecnología	5 μ m	0.4 μ m	0.6 μ m	0.35 μm

A partir de la tabla mostrada, podemos observar que nuestro circuito diseñado consume menos potencia, a la vez, el coeficiente de temperatura (TC) es comparable y en algunos casos superó a los otros circuitos propuestos, además de trabajar en un mayor rango de temperatura. Asimismo, la sensibilidad lineal (LS) también es equiparable e incluso mejor a los otros circuitos propuestos. El PSRR también obtuvo un mejor desempeño a comparación de los otros circuitos.

Por otro lado, se observa que el circuito de la referencia [2] tiene un voltaje de alimentación V_{DDmin} menor al de nuestro circuito diseñado, debido a que la tecnología que emplea, posee transistores NMOS y PMOS con V_{TH} reducido (≈ 0.4 V y -0.3 V respectivamente), que no siempre están disponible en todas las tecnologías, por lo cual dicho autor obtiene un $V_{DDmin} = 0.84$ V a -10 °C. Sin embargo, a temperaturas entre 27 °C y 120 °C su V_{DDmin} es 2.2 V [2]. Cabe mencionar que la tecnología en la que se desarrolla el presente trabajo (*AMS 0.35 μm*), no dispone de transistores con un V_{TH} reducido.



Conclusiones

- Se logró diseñar un circuito de referencia de tensión que superó la mayor parte de los parámetros de desempeño de los circuitos de referencia de tensión analizados en el Capítulo 2, los cuales son: voltaje de alimentación mínimo, coeficiente de temperatura, sensibilidad lineal, factor de rechazo al voltaje de alimentación, disipación de potencia y área del silicio.
- El modelamiento realizado a partir de la extracción de parámetros y el empleo de las ecuaciones en inversión débil permitió obtener valores teóricos que se aproximan a los valores ajustados en el simulador.
- A partir del software *MATLAB* se pudo automatizar el proceso de extracción de parámetros del transistor CMOS (Anexo A.1), lo que hace más sencillo el modelamiento de los transistores empleados en el diseño de todo este bloque analógico.
- El circuito *startup* es un bloque que aseguró que el punto de operación del voltaje de referencia de tensión no incurra en un *dead point* ($V_{REF} = 0$ V), sino que alcance el punto de operación deseado ($V_{REF} = 775.07$ mV@ ≈ 1 V, ver figura 4.1). Asimismo, nos permitió que el tiempo de respuesta del circuito sea más rápido (ver figura 4.5 y 4.6).
- A partir de los resultados de las simulaciones de Monte Carlo por *process* y *mismatch*, se observa que la variación del V_{REF} es muy alta (± 180 mV), esto se debe a que el transistor MOS es más susceptible a las variaciones de proceso por sobre la del *mismatch*. Por otro lado, a partir del anexo A.4 se observa que el circuito basado en la misma topología, pero empleando transistores BJT es menos susceptible a los procesos de fabricación ya que su desviación estándar es mucho menor. Esto se debe a que en nuestro circuito se usaron transistores CMOS polarizados en inversión débil.
- En las simulaciones DC realizadas tanto del circuito esquemático y del circuito extraído son muy similares, debido a que el circuito de referencia de tensión, básicamente opera en DC.

Recomendaciones

- La topología empleada puede funcionar sin un circuito *startup*, sin embargo, es recomendable el uso de este ya que es posible que al implementarse físicamente el circuito de referencia de tensión se encuentre en un punto de operación inadecuado.
- El par diferencial NMOS empleado logró que el circuito funcione a sub-1V de alimentación (a 27 °C), no obstante, para obtener una mayor reducción del voltaje de alimentación será necesario reemplazar los transistores del par diferencial por unos que empleen un menor voltaje umbral V_T [2], los cuales no están disponibles en la tecnología usada de 0.35 μm .
- Con el fin de reducir las variaciones por proceso, de la cual el circuito de referencia de tensión es muy susceptible, se recomienda realizar un *layout* empleando las técnicas como centroide común e interdigitación para un buen “apareo” entre los transistores.
- En el proceso de diseño del *layout* del circuito de referencia de tensión, se tuvo que utilizar resistencias del mismo valor para todo el diseño con el objetivo de evitar errores en la simulación del circuito extraído, por ello para un futuro diseño que utilice resistencias se recomienda que todas las empleadas tengan un mismo valor, y por supuesto, un mejor apareo.

Bibliografía

- [1] R. Gregorian, G.A. Wegner, and W.E. Nicholson. An integrated single-chip PCM voice codec with filters. *IEEE Journal of Solid-State Circuits*, (4):322–333, 1981.
- [2] Hironori Banba, Hitoshi Shiga, Akira Umezawa, Takeshi Miyaba, Toru Tanzawa, Shigeru Atsumi, and Koji Sakui. A CMOS bandgap reference circuit with sub-1-V operation. *IEEE Journal of Solid-State Circuits*, 34(5):670–674, 1999.
- [3] Ka Nang Leung and Philip K T Mok. A sub-1-V 15-ppm/°C CMOS bandgap voltage reference without requiring low threshold voltage device. *IEEE Journal of Solid-State Circuits*, 37(4):526–530, 2002.
- [4] San Jose and Santa Clara. Low Noise High PSRR Band-Gap with Fast Turn-On Time, 2001.
- [5] Klaas Jan De Langen and Johan H. Huijsing. Compact low-voltage power-efficient operational amplifier cells for VLSI. *IEEE Journal of Solid-State Circuits*, 33(10):1482–1496, 1998.
- [6] S S Rajput and S S Jamuar. Low Voltage Design Techniques. *IEEE Circuits and Systems Magazine*, 2:24–42, 2002.
- [7] K. W. Martin T. C. Carusone, D. A. Johns. *Analog Integrated Circuits Design*. 2012.
- [8] Gordon E. Moore. Cramming more components onto integrated circuits. *Proceedings of the IEEE*, 86(1):82–85, 1998.
- [9] D. Hilbiber. A new semiconductor voltage standard. *1964 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, VII:32–33, 1964.
- [10] Robert J. Widlar. New developments in ic voltage regulators. *IEEE Journal of Solid-State Circuits*, 6(1):2–7, 1971.
- [11] A Paul Brokaw and I C Bandgap Reference. A simple three-terminal IC bandgap reference. *IEEE Journal of Solid-State Circuits*, (6):388–393, 1974.

- [12] Y. Lai. Low Voltage, Low Power CMOS Bandgap References. *Imid 2009*, pages 1069–1072, 2009.
- [13] S Chatterjee, KP Pun, N Stanić, and P Kinget. *Analog circuit design techniques at 0.5 V*. 2007.
- [14] Nicholas Gray. ABCs of ADCs Analog-to-Digital Converter Basics. *National Semiconductor The Signal & Sound of Information*, (June):64, 2006.
- [15] W. Shockley. The theory of p-n junctions in semiconductors and p-n junction transistors. *The Bell System Technical Journal*, 28(3), 1948.
- [16] Cosmin Radu Popa. *Superior-Order Curvature-Correction Techniques for Voltage References*. Springer Dordrecht Heidelberg London New York, Bucharest, Romania, 2009 editi edition, 2009.
- [17] Douglas R. Holberg Allen, Phillip E. *CMOS Analog Circuit Design second edition.pdf*. The Oxford Series, 2002.
- [18] Chi Wah Kok and Wing Shan Tam. *CMOS Voltage References: An Analytical and Practical Perspective*. 2012.
- [19] Dalton Martini Colombo, Gilson Wirth, and Sergio Bampi. Sub-1V band-gap based and MOS threshold-voltage based voltage references in 0.13um CMOS. *Analog Integrated Circuits and Signal Processing*, 82(1):25–37, 2014.
- [20] Yannis Tsvividis and Colin McAndrew. *Operation and Modeling of the Mos Transistor.Pdf*. 2011.
- [21] Alan Hastings. *Representative Processes*, 2001.
- [22] Hamilton Klimach. 0.7 V Supply, 8 nW, 8 ppm/oC Resistorless. *Circuits and Systems (MWSCAS)*, pages 479–482, 2014.
- [23] Bang S Lee. Understanding the terms and definitions of LDO voltage regulators. Technical Report October, 1999.
- [24] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*, 2001.
- [25] Luis Ángel, Roncal Romero, and Santiago J Led Ramos. *Diseño y layout de un transconductor degenerado por fuente en tecnología CMOS de 0.35um*. PhD thesis, Universidad de Sevilla, 2014.

- [26] Luis Felipe Moreno Quintero and German Yamhure Kattah. Elaboración de una referencia de bajo voltaje con el fenómeno de “Bandgap”, utilizando técnicas de microelectrónica. *Pontificia Universidad Javeriana*, 2011.
- [27] Christopher Saint and Judy Saint. *IC Mask Design*. 2002.
- [28] R. Jacob Baker. *CMOS Circuit Design, Layout, and Simulation*. 2010.
- [29] David L. Butler and R. Jacob Baker. Low-voltage bandgap reference design utilizing Schottky diodes. *Midwest Symposium on Circuits and Systems*, 2005:1794–1797, 2005.
- [30] Gabriel A. Rincón-Mora. *Analog IC Design with Low-Dropout Regulators (LDOs)*. McGraw-Hill Professional, 2009.
- [31] Kwok K. Hung, Ping K. Ko, Chenming Hu, and Yiu C. Cheng. A Physics-Based MOSFET Noise Model for Circuit Simulators. *IEEE Transactions on Electron Devices*, 37(5):1323–1333, 1990.
- [32] Chee-kit Looi, Stacy Marsella, Alexander Renkl, Steven Ritter, and Beverly Park Woolf. *Digital Integrated Circuits*. 2010.
- [33] F Maloberti. Layout of Analog CMOS. pages 1–38.

Apéndice A

Anexo A

A.1. Extracción de parámetros

Uno de los primeros pasos para cualquier tarea de diseño analógico e integrado es la extracción de parámetros, lo cual nos ayudará a obtener un correcto dimensionamiento de los dispositivos que emplearemos en este trabajo.

Se sabe que el transistor MOS puede trabajar en 3 niveles de inversión: fuerte, moderada y débil, entonces debemos evaluar el transistor MOS en inversión fuerte para obtener parámetros como el K_n y el V_t , esto a partir de las siguientes expresiones [20].

$$K_n = \frac{2 * m_{\max}^2}{\frac{W}{L}} \quad (\text{A.1})$$

$$\sqrt{I_{D_O}} = m_{\max} * V_{GS_O} + b \quad (\text{A.2})$$

$$V_{T_O} = \frac{-b}{m_{\max}} \quad (\text{A.3})$$

donde m_{\max} es la derivada máxima de la relación entre la variación de I_{DS} vs V_{GS} , $\frac{W}{L}$ es la relación entre el ancho y largo del transistor, I_{D_O} es la corriente que pasa por el drenador en inversión fuerte, V_{GS_O} es el voltaje entre la puerta y surtidor del transistor en inversión fuerte y V_{T_O} es el voltaje *threshold* en inversión fuerte.

A partir del modelamiento del transistor MOS en inversión fuerte, empleamos los valores de K_n y V_T hallado por la ecuación (A.1) y (A.3) respectivamente para modelar el comportamiento del transistor MOS en inversión débil.

$$m = \frac{1}{n\phi_t} \quad (\text{A.4})$$

$$I_O = \frac{W}{L} e^{m(V_{GS} - V_T)} \quad (\text{A.5})$$

A.2. Algoritmo de extracción de parámetros en Inversión Fuerte

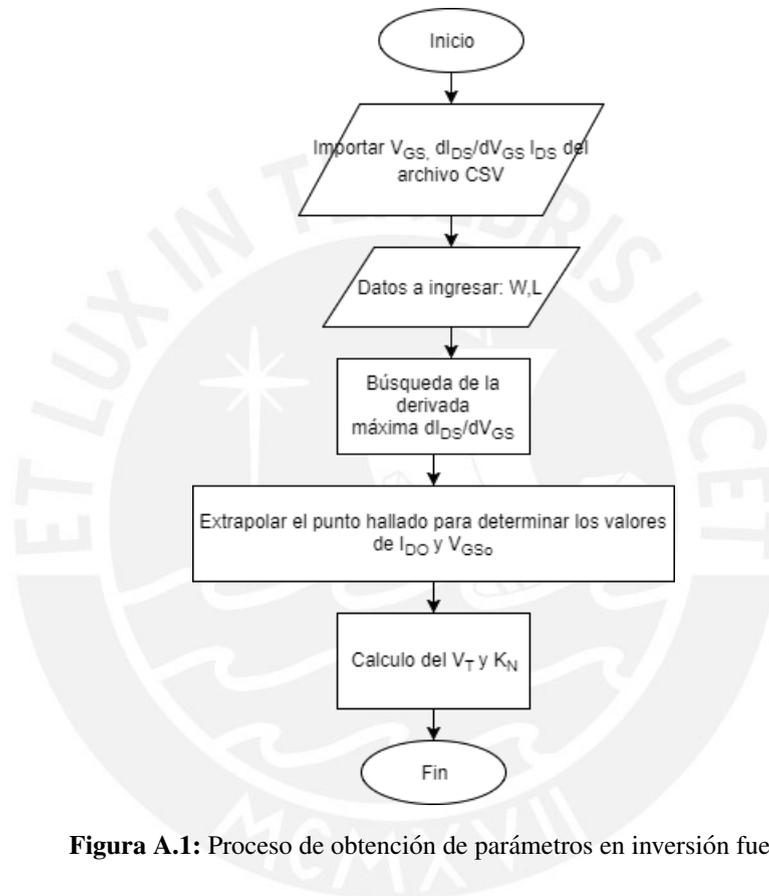


Figura A.1: Proceso de obtención de parámetros en inversión fuerte

El algoritmo descrito en el diagrama de flujo de la figura A.1, se describe el proceso de extracción de parámetros en inversión fuerte. La codificación de este proceso esta codificado de la siguiente manera.

```

filename = 'punto_if.csv';
M = dlmread(filename, ',',1,0)
format short eng;
clc;
prompt = 'Ingrese valor de W(um):','Ingrese valor de L(um):';
dlg_title = 'Input';
num_lines = 1;
  
```

```

defaultans = '1','2';
answer = inputdlg(prompt,dlg_title,num_lines,defaultans);
W = str2double(answer(1,1))
L = str2double(answer(2,1))
max_derivada=max(derivada_raiz_id);
pos=find(derivada_raiz_id==max_derivada);
pos_uno=pos(1,1);
vgso=Vgs(pos_uno,1);
raiz_ido=raiz_id(pos_uno,1);
b=raiz_ido - max_derivada*vgso;
Vto=-b/(max_derivada);
kn=2*(max_derivada)^2/(W/L);
recta = max_derivada * Vgs + b;
plot(Vgs', raiz_id', 'g', Vgs', recta, 'y', 'LineWidth', 3);
gridon;
legend('simulacion', 'extrapolacion')
axis([0 2 - 2e - 37e - 3]);
title('Simulacionyextrapolacion', 'FontSize', 18)
xlabel('VGS(V)', 'FontSize', 18);
ylabel('ID(A)', 'FontSize', 18)

```

A partir del script en *MATLAB* se extrajo los parámetros NMOS y PMOS en inversión fuerte para una longitud de canal $L=1 \mu\text{m}$ y $L=2 \mu\text{m}$.

Tabla A.1: Parámetros en inversión fuerte de un NMOS para $L=1 \mu\text{m}$

NMOS	W=1 μm L=1 μm	W=15 μm L=1 μm	W=30 μm L=1 μm	W=45 μm L=1 μm	W=60 μm L=1 μm
V_{T_O} (V)	0.4894 V	0.5094 V	0.5097 V	0.5094 V	0.5098 V
K_n	101.90 μ	117.14 μ	117.82 μ	117.74 μ	118.21 μ

Tabla A.2: Parámetros en inversión fuerte de un NMOS para $L=2 \mu\text{m}$

NMOS	W=1 μm L=2 μm	W=15 μm L=2 μm	W=30 μm L=2 μm	W=45 μm L=2 μm	W=60 μm L=2 μm
V_{T_O} (V)	0.4827 V	0.4940 V	0.4942 V	0.4943 V	0.4945 V
K_n	104.41 μ	121.55 μ	122.25 μ	122.54 μ	122.69 μ

Tabla A.3: Parámetros en inversión fuerte de un NMOS para $L=2 \mu\text{m}$

PMOS	W=1 μm L=1 μm	W=15 μm L=1 μm	W=30 μm L=1 μm	W=45 μm L=1 μm	W=60 μm L=1 μm
V_{T_O} (V)	0.7429 V	0.7031 V	0.7007 V	0.7000 V	0.6996 V
K_n	38.720 μ	42.423 μ	42.572 μ	42.628 μ	42.650 μ

Tabla A.4: Parámetros en inversión fuerte de un NMOS para $L=2 \mu\text{m}$

PMOS	W=1 μm L=2 μm	W=15 μm L=2 μm	W=30 μm L=2 μm	W=45 μm L=2 μm	W=60 μm L=2 μm
V_{T_O} (V)	0.7481 V	0.6900 V	0.6872 V	0.6869 V	0.6865 V
K_n	40.356 μ	44.621 μ	44.642 μ	44.835 μ	44.862 μ

A.3. Algoritmo de extracción de parámetros en Inversión Débil

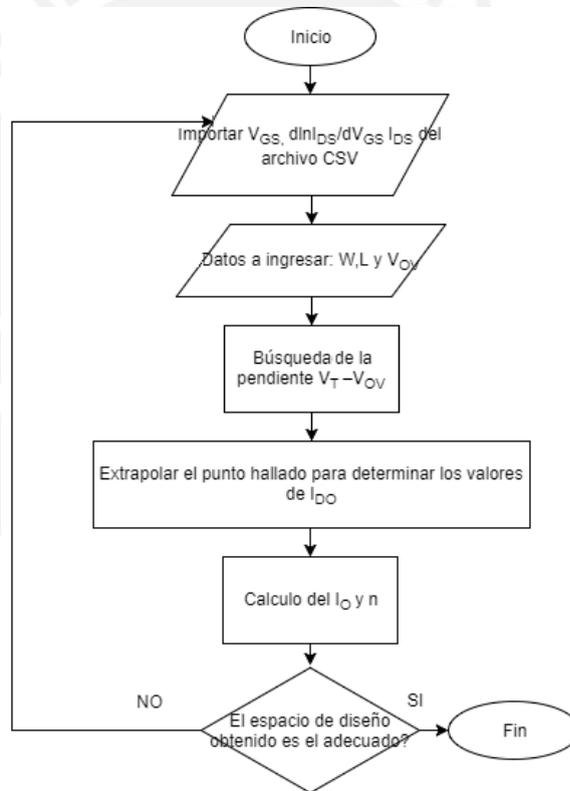


Figura A.2: Proceso de obtención de parámetros en inversión débil

El algoritmo descrito en el diagrama de flujo de la figura A.2, se describe el proceso de extracción de parámetros en inversión débil. La codificación de este proceso está codificado de la siguiente manera.

```

filename = 'punto_wi.csv';
M = dlmread(filename, ',', 1, 0)
  
```

```

format short eng;
clc;
prompt = 'Ingrese valor de W(um):','Ingrese valor de L(um):','Ingrese valor de Voltaje
overdrive','Ingrese valor de Vth en IF';
dlg_title = 'Input';
num_lines = 1;
defaultans = '1','2','150mV','0.4894';
answer = inputdlg(prompt,dlg_title,num_lines,defaultans);
W = str2double(answer(1,1))
L = str2double(answer(2,1))
Vov=str2double(answer(3,1))
Vto=str2double(answer(3,1))
Vgs_wi=M(:,1);
derivada_ln_id=M(:,2);
id=M(:,3);
Vgo=Vto-Vov;
myMax = round(Vgo,4)
pos_wi=find(Vgs_wi==myMax)
m=derivada_ln_id(pos_wi,1);
ido=id(pos_wi,1);
Io=ido/((W/L)*exp(m*(Vgo-Vto)));
recta=Io*(W/L)*exp(m*(Vgs_wi-Vto));
semilogy(Vgs_wi,id,Vgs_wi,recta);
grid on;
legend('simulacion_id','extrapolacion')
axis([0 1.2 1e-16 1e-4]);
title('Simulacion y extrapolacion','FontSize',18)
xlabel('VGS(V)','FontSize',18);
ylabel('ID(A)','FontSize',18)

```

A partir del script en *MATLAB* (ver anexo) se extrajo los parámetros NMOS y PMOS en inversión débil para una longitud de canal $L=1 \mu\text{m}$ y $L=2 \mu\text{m}$. Además, se conocen las tensiones umbrales, las cuales fueron halladas en el procedimiento anterior (ver cuadros A.1 al A.4)

Tabla A.5: Parámetros en inversión fuerte de un NMOS para $L=1 \mu\text{m}$

NMOS	W=1 μm L=1 μm $V_T =$ 0.4894 V	W=15 μm L=1 μm $V_T =$ 0.5094 V	W=30 μm L=1 μm $V_T =$ 0.5097 V	W=45 μm L=1 μm $V_T =$ 0.5094 V	W=60 μm L=1 μm $V_T =$ 0.5098 V
$I_o(\text{A})$	106.25 nA	132.22 nA	133.39 nA	132.22 nA	134.49 nA
n	1.3364	1.3120	1.3117	1.3116	1.3116

Tabla A.6: Parámetros en inversión fuerte de un NMOS para $L=2 \mu\text{m}$

NMOS	W=1 μm L=1 μm $V_T =$ 0.4827 V	W=15 μm L=2 μm $V_T =$ 0.4940 V	W=30 μm L=2 μm $V_T =$ 0.4942 V	W=45 μm L=2 μm $V_T =$ 0.4943 V	W=60 μm L=2 μm $V_T =$ 0.4945 V
$I_o(\text{A})$	108.13 nA	131.96 nA	132.75 nA	133.14 nA	133.91 nA
n	1.3505	1.3346	1.3343	1.3342	1.3341

Tabla A.7: Parámetros en inversión fuerte de un PMOS para $L=1 \mu\text{m}$

PMOS	W=1 μm L=1 μm $V_T =$ 0.4894 V	W=15 μm L=1 μm $V_T =$ 0.5094 V	W=30 μm L=1 μm $V_T =$ 0.5097 V	W=45 μm L=1 μm $V_T =$ 0.5094 V	W=60 μm L=1 μm $V_T =$ 0.5098 V
$I_o(\text{A})$	106.25 nA	132.22 nA	133.39 nA	132.22 nA	134.49 nA
n	1.3364	1.3120	1.3117	1.3116	1.3116

Tabla A.8: Parámetros en inversión fuerte de un PMOS para $L=2 \mu\text{m}$

NMOS	W=1 μm L=1 μm $V_T =$ 0.4827 V	W=15 μm L=2 μm $V_T =$ 0.4940 V	W=30 μm L=2 μm $V_T =$ 0.4942 V	W=45 μm L=2 μm $V_T =$ 0.4943 V	W=60 μm L=2 μm $V_T =$ 0.4945 V
$I_o(\text{A})$	108.13 nA	131.96 nA	132.75 nA	133.14 nA	133.91 nA
n	1.3505	1.3346	1.3343	1.3342	1.3341

Apéndice B

Anexo B

B.1. Simulaciones de Monte Carlo por Proceso, Mismatch y ambas, para el Circuito de Referencia CMOS propuesto

En este Anexo se muestra los histogramas obtenidos en las simulaciones de la variación del proceso en el circuito propuesto en esta tesis.

B.1.1. Histogramas con $V_{DD} = 1.1$ V

Cabe acotar que en cada simulación se realizó un número de 1000 muestras de manera que se pueda reducir la incertidumbre del valor medio obtenido.

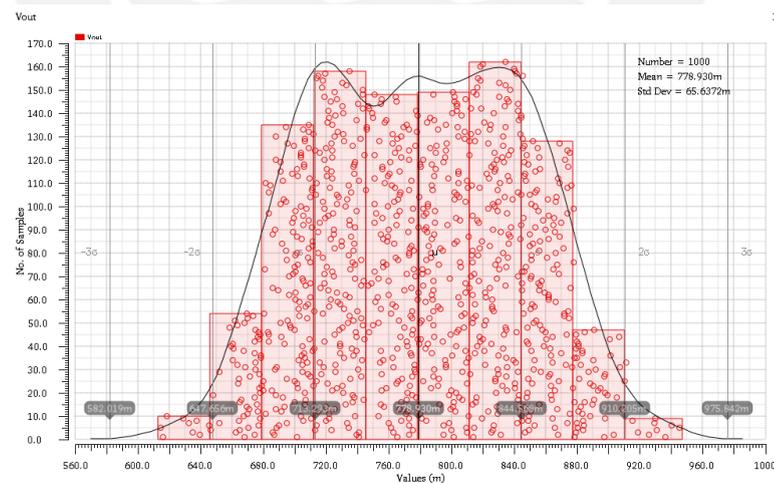


Figura B.1: Simulaciones de Monte Carlo por *Process* a $V_{DD} = 1.1$ V

Según lo simulado la desviación estándar a 3σ obtenido por *process* a $V_{DD} = 1.1$ V es 196.9116 mV.

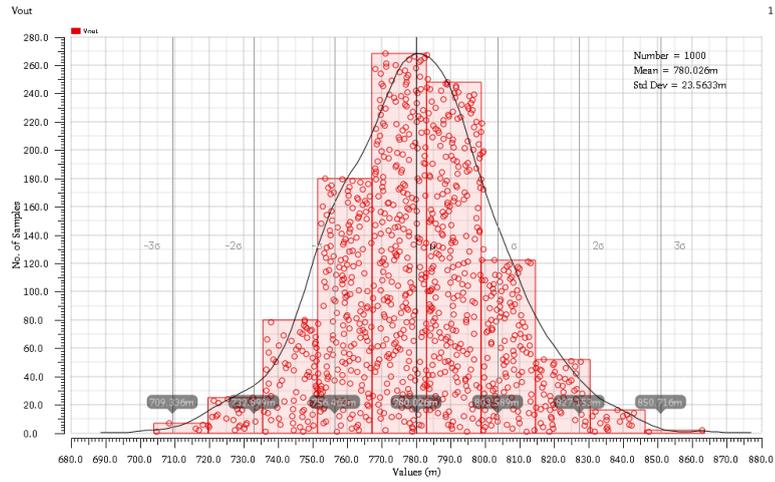


Figura B.2: Simulaciones de Monte Carlo por *Mismatch* a $V_{DD} = 1.1\text{ V}$

Según lo simulado la desviación estándar a 3σ obtenido por *mismatch* a $V_{DD} = 1.1\text{ V}$ es 70.6899 mV.

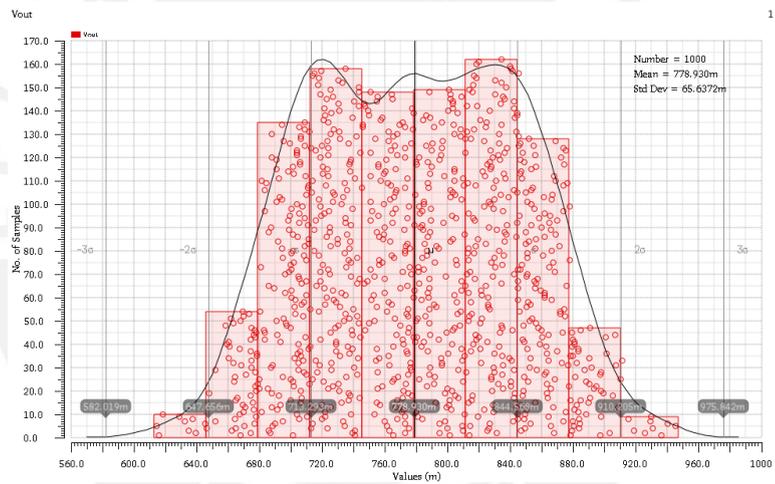


Figura B.3: Simulaciones de Monte Carlo por *Process + Mismatch* a $V_{DD} = 1.1\text{ V}$

Según lo simulado la desviación estándar a 3σ obtenido por *process + mismatch* a $V_{DD} = 1.1\text{ V}$ es 196.9116 mV.

B.1.2. Histograma con $V_{DD} = 3.3\text{ V}$

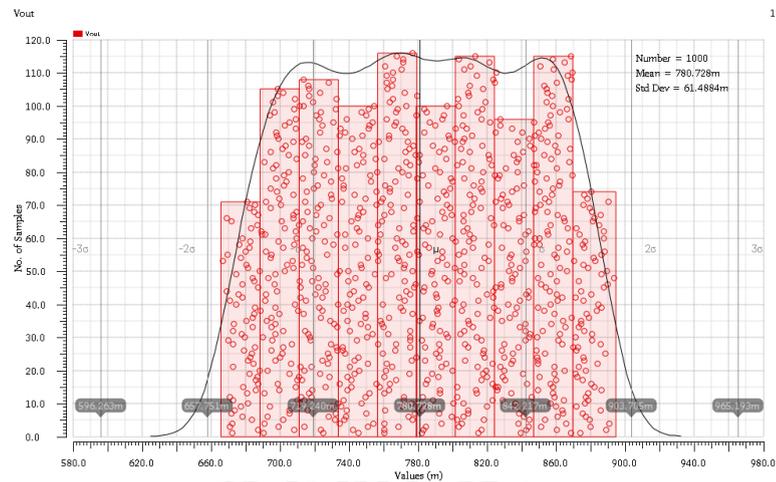


Figura B.4: Simulaciones de Monte Carlo por *Process* a $V_{DD} = 3.3\text{ V}$

Según lo simulado la desviación estándar a 3σ obtenido por *process* a $V_{DD} = 3.3\text{ V}$ es 184.4652 mV.

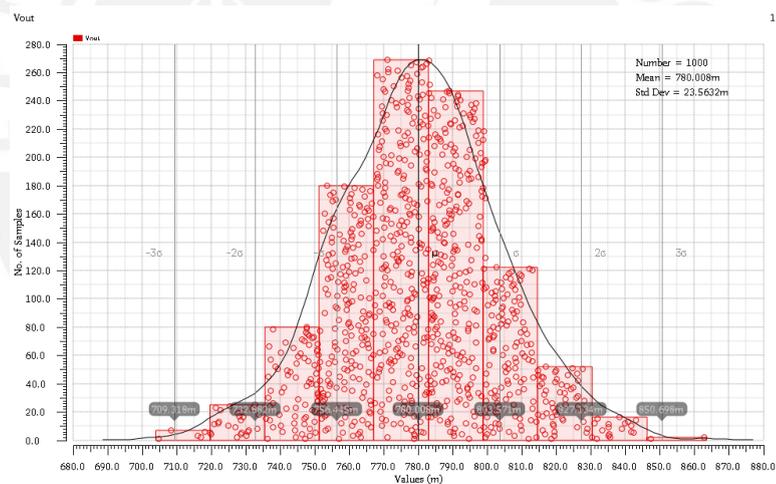


Figura B.5: Simulaciones de Monte Carlo por *Mismatch* a $V_{DD} = 3.3\text{ V}$

Según lo simulado la desviación estándar a 3σ obtenido por *mismatch* a $V_{DD} = 3.3\text{ V}$ es 70.6896 mV.

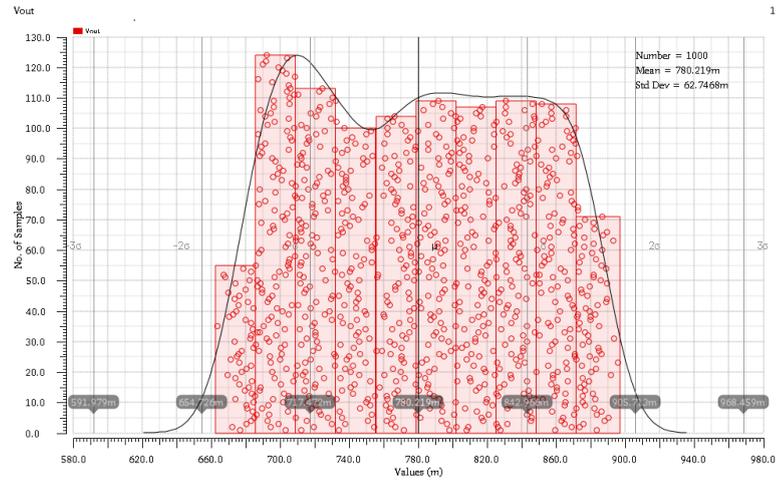


Figura B.6: Simulaciones de Monte Carlo por *Process + Mismatch* a $V_{DD} = 3.3\text{ V}$

Según lo simulado la desviación estándar a 3σ obtenido por *process + mismatch* a $V_{DD} = 3.3\text{ V}$ es 188.2404 mV.

