

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ

FACULTAD DE CIENCIAS E INGENIERÍA



**Diseño de un circuito estimador de la tasa de disparos de un detector
de impulsos eléctricos neuronales**

Tesis para obtener el título profesional de Ingeniera Electrónica

AUTORA

CINTHIA ZOBEIDA GUTIERREZ ROJAS

ASESOR

JULIO CESAR SALDAÑA PUMARICA

CO - ASESOR

ERICK LEONARDO RAYGADA VARGAS

Lima, diciembre del 2019

A Dios, por darme la fuerza para seguir continuando.

A mis padres, por apoyarme durante el proceso.

A mi hermana, quien me brindó su consejo.

A mi asesor Julio y co-asesor Erick, por la paciencia y la ayuda brindada.

A Mario, por su preocupación y ayuda incondicional.

Gracias.

Resumen

El desarrollo de la tecnología enfocada a la medicina relacionada al sector de enfermedades ligadas al sistema nervioso ha requerido de dispositivos capaces de detectar de manera precisa las señales que emite, siendo estas los impulsos eléctricos neuronales, ya que mediante las mismas se puede obtener la información que se transmite de neurona en neurona tales como movimientos psicomotrices o captaciones sensoriales.

Una alternativa desarrollada para la detección de estos impulsos son los circuitos implantables en el cerebro, los cuales obtienen las señales neuronales de manera extracelular; es decir, obtención de señales de neuronas cercanas a un electrodo mediante penetración de la corteza cerebral. Es posible del uso de una etapa de detección para la obtener los impulsos mas es necesaria la diferenciación entre la señal neuronal y el ruido existente.

Se hace uso de un filtro dentro de la detección, pero este solo filtra el ruido que tiene distinta frecuencia a la emitida por una neurona y no el obtenido de las neuronas alejadas al electrodo. Por ello, el establecimiento de un nivel de comparación permite la correcta detección de estos impulsos eléctricos neuronales, siendo una manera de obtenerlo mediante la estimación de la tasa de disparo del detector.

La presente tesis tuvo como objetivo el diseño de un circuito estimador en tecnología CMOS capaz de obtener la estimación de la tasa de disparo de un detector de impulsos eléctricos neuronales. El estimador consiste en un comparador que identifica los instantes que la señal neuronal es mayor a un valor umbral fijo y un filtro Gm-C retroalimentado cuya salida es un valor proporcional a la tasa de disparo del comparador.

En la tesis se describen los circuitos analógicos basados en tecnología 0.35um CMOS de AMS utilizados para los diseños del comparador y del filtro; asimismo, el diseño de los mismos y del estimador. También, se presentan los resultados obtenidos en las simulaciones mediante el software de simulación *Virtuoso Environment (Cadence Design System)* donde se utilizó como señal de entrada del comparador una señal neuronal amplificada de 2s de duración.

Índice general

Introducción	1
Capítulo 1	2
Importancia de los Sistemas Implantables de Adquisición de Impulsos Neuronales	2
1.1. Enfermedades del sistema nervioso	2
1.1.1. Parkinson.....	3
1.1.2. Alzheimer.....	3
1.1.3. Parálisis suprarrenal progresiva	4
1.2. Neuronas e impulsos eléctricos neuronales	4
1.2.1. Tipos de impulsos eléctricos neuronales.....	6
1.2.2. Tipos de patrones de impulsos eléctricos neuronales.....	7
1.3. Investigación de detectores neuronales implantables	7
1.3.1. <i>Epileptic Seizure-Onset</i>	7
1.3.2. Prótesis interfaz cerebro-máquina-cerebro	8
Capítulo 2.....	9
Detección de Impulsos Eléctricos Neuronales	9
2.1. Requerimientos de detección de señales eléctricas neuronales	9
2.2. Retos en el diseño de detectores de impulsos neuronales	10
2.3. Estado del arte del detector de impulsos neuronales	11
2.3.1. Algoritmo de operador de energía no lineal (NEO).....	11
2.3.2. Algoritmo de Valor Absoluto	12
2.3.3. Algoritmos híbridos	13
2.3.3.1. <i>Thresholding</i> y NEO	13
2.3.3.2. Algoritmo de operador energía inteligente (TEO).....	14
2.4. Elección del algoritmo de detección	15
Capítulo 3.....	16
Diseño del estimador del detector de Impulsos Neuronales	16
3.1. Diseño de circuitos analógicos CMOS	16
3.1.1. Señal <i>Single-ended</i> y señal diferencial.....	16
3.1.2. Par diferencial	17
3.1.3. Circuito inversor	19
3.1.3.1. Tiempo de respuesta.....	19
3.1.4. Espejos de corriente	22

3.1.4.1.	Fuente de corriente.....	24
3.2.	Diseño de Comparador diferencial.....	25
3.2.1.	Diseño de comparador diferencial PMOS simple.....	25
3.3.	Diseño de Filtro pasa-bajo.....	28
3.3.1.	Filtro R-C.....	29
3.3.2.	Filtro Gm-C.....	30
3.3.2.1.	Amplificador de Transconductancia operacional (OTA).....	30
3.3.2.1.1.	OTA con división de corriente.....	31
Capítulo 4.....		34
Resultados de simulaciones		34
4.1.	Comparador diferencial PMOS.....	34
4.1.1.	Simulación DC.....	35
4.1.2.	Simulación transitoria.....	36
4.2.	Filtro pasa-bajo	40
4.2.1.	Respuesta Filtro R-C.....	40
4.2.2.	Respuesta Filtro Gm-C.....	43
4.2.2.1.	Respuesta OTA con división de corriente.....	43
4.2.2.1.1.	Simulación DC.....	44
4.2.2.1.2.	Simulación transitoria	46
4.3.	Circuito estimador de la tasa de disparo.....	47
4.3.1.	Señal sinusoidal.....	47
4.3.2.	Señal neuronal.....	48
Conclusiones.....		49
Recomendaciones		50
Bibliografía		51

Índice de figuras

Figura 1. 1 Mecanismos moleculares de degeneración secundaria por excito-toxicidad y respuesta inflamatoria [3]	2
Figura 1. 2: Ultra estructura de la neurona [1].....	5
Figura 2.1: Diagrama de bloques simplificado de un canal de medida de señales neuronales y detección de impulsos	9
Figura 2.2: Diagrama de bloques de la arquitectura del detector de impulsos de modo corriente [14].....	11
Figura 2.3: Esquemático de un detector de impulsos adaptativo usando valor absoluto [15]	13
Figura 2.4: Algoritmo de detección de impulsos híbrido [13].....	14
Figura 2.5: Diagrama de bloques de la estrategia de detección automática [2].....	14
Figura 3. 1: Circuito estimador de tasa de disparo	16
Figura 3. 2: (a) Señal single-ended, (b) Señal diferencial [16].....	16
Figura 3. 3: Versión PMOS par diferencial	17
Figura 3. 4: Inversor CMOS	19
Figura 3. 5: Inversor CMOS en cascada.....	20
Figura 3. 6: Espejo de corriente PMOS	22
Figura 3. 7: (a) Multiplicación de I_{ref} por 2 (b) Multiplicación más precisa de I_{ref} [16] ...	23
Figura 3. 8: Espejo de corriente dividiendo a I_{ref} en la mitad [16]	24
Figura 3. 9: Ibias del OTA.....	24
Figura 3. 10: Comparador PMOS simple	26
Figura 3. 11: Comparador PMOS con buffer a la salida	28
Figura 3. 12: Filtro R-C	29
Figura 3. 13: (a) circuito OTA ideal (b) circuito equivalente [17] (c) circuito OTA real [18]	30
Figura 3. 14: Circuito OTA con división de corriente a la salida	32
Figura 4. 1: Circuito esquemático del comparador PMOS	35
Figura 4. 2: <i>Testbench</i> del comparador con carga activa a la salida.....	35
Figura 4. 3: Puntos de operación de los transistores del comparador.....	36
Figura 4. 4: Respuesta del comparador frente entrada sinusoidal	37
Figura 4. 5: Salida del comparador con entrada de señal neuronal	38
Figura 4. 6: Salida del comparador con $V_{th}= 500mV$	39
Figura 4. 7: Salida del comparador con $V_{th}= 750mV$	39
Figura 4. 8: Salida del comparador con $V_{th}= 1V$	40
Figura 4. 9: Respuesta del filtro RC con señal de onda cuadrada	41
Figura 4. 10: Respuesta filtro RC con señal de salida del comparador con entrada neuronal	42

Figura 4. 11: Circuito esquemático del OTA.....	43
Figura 4. 12: <i>Testbench</i> del OTA en ICM.....	44
Figura 4.13: Parámetros de los transistores del OTA.....	44
Figura 4.14: <i>Testbench</i> del OTA realimentado.....	45
Figura 4. 15: Respuesta del OTA con entrada de onda cuadrada.....	46
Figura 4. 16: <i>Testbench</i> del circuito estimador de la tasa de disparo.....	47
Figura 4. 17: Respuesta del estimador ante una entrada sinusoidal.....	47
Figura 4.18: Respuesta del estimador ante la señal neuronal.....	48



Índice de tablas

Tabla 1.1: Especificaciones de los potenciales biológicos [8].....	6
Tabla 1.2: Patrones de impulsos eléctricos [1]	7
Tabla 2.1: Comparación de estos diseños con el estado del arte [14].....	12
Tabla 4. 1: Valores de factores de forma de transistores del comparador	34
Tabla 4. 2: Parámetros de procesos para transistores en AMS 0.35um	34
Tabla 4. 3: Factores de forma del OTA	43
Tabla 4. 4: Factores de forma para la fuente de corriente iref	43



Índice de abreviaturas

ADC: Analog Digital Converter

ADE: Analog Design Environment

DNS: Degeneración Neuronal Secundaria

ECG: Electrocardiograma

EEG: Electroencefalograma

EMG: Electromiograma

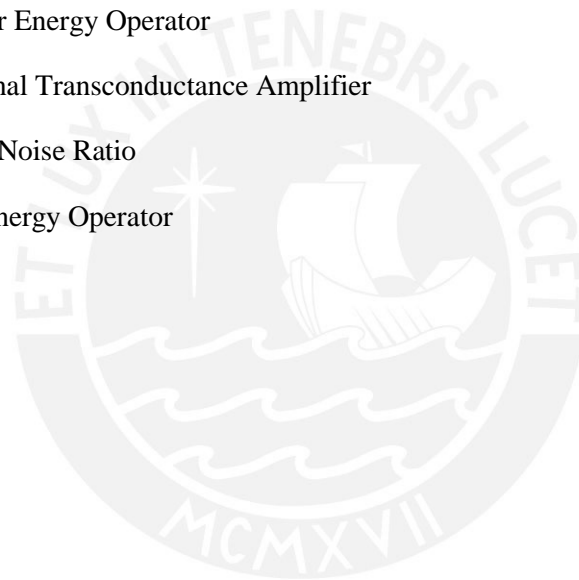
IC: Integrated Circuit

NEO: Nonlinear Energy Operator

OTA: Operational Transconductance Amplifier

SNR: Signal to Noise Ratio

TEO: Teager Energy Operator



Introducción

Actualmente, el uso de tecnologías más especializadas ha sido requerido para el tratamiento de enfermedades ligadas al sistema nervioso tal como la parálisis parcial o total del cuerpo humano, Epilepsia, entre otros, representado estos inconvenientes para la calidad de vida de la persona que los padece. Por ello, una solución para tratar estas enfermedades es el desarrollo de tecnologías capaces de poder detectar potenciales biológicos, tales como electromiogramas o encefalogramas.

Se sabe que el cuerpo humano funciona a través de impulsos nerviosos, los cuales al llevarse a cabo entre las neuronas permiten el movimiento de los músculos [1]; en base a esto, existe la detección extracelular, la cual mediante electrodos que penetran la corteza cerebral se obtiene las señales de las neuronas cercanas a estos. Sin embargo, estas no solo poseen la señal neuronal, sino también ruido, el cual representa un inconveniente para la correcta detección de la señal requerida.

Otra alternativa es el uso de detectores implantables en el cerebro no invasivos [2] y pueden detectar impulsos eléctricos neuronales. Estos detectores hacen uso de sistemas que amplifican y filtran las señales que desean obtener eliminando el ruido externo para posteriormente ser codificadas; no obstante, la señal obtenida de este filtro no solo tiene los impulsos deseados, sino también ruido que proviene de otras neuronas.

Debido a esto, es necesario que estas señales pasen por un bloque detector de impulsos que permita discernir entre el impulso que se quiere detectar y el ruido generado por las otras neuronas [2]. Para alcanzar esta diferenciación se necesita el desarrollo de un estimador de tasa de disparos para el detector de impulsos.

Capítulo 1

Importancia de los Sistemas Implantables de Adquisición de Impulsos Neuronales

1.1. Enfermedades del sistema nervioso

Las enfermedades neuronales o trastornos neuronales, que se encuentran ligadas al sistema nervioso central pueden ser causadas por accidentes que generen traumas en la zona cerebral, representando estas el 85% de lesiones craneales. Posteriormente, es posible que se desencadene en una degeneración neuronal (Figura 1.1) dependiendo de la lesión causada ya que esta no solo afecta a la zona dañada sino puede desencadenar una serie de episodios destructivos que afecten a las células que no se encontraban dañadas antes. Esto incluye tanto a las neuronas como sus axones e implicaría un déficit funcional, a este proceso destructivo se conoce como degeneración neuronal secundaria (DNS) [3].

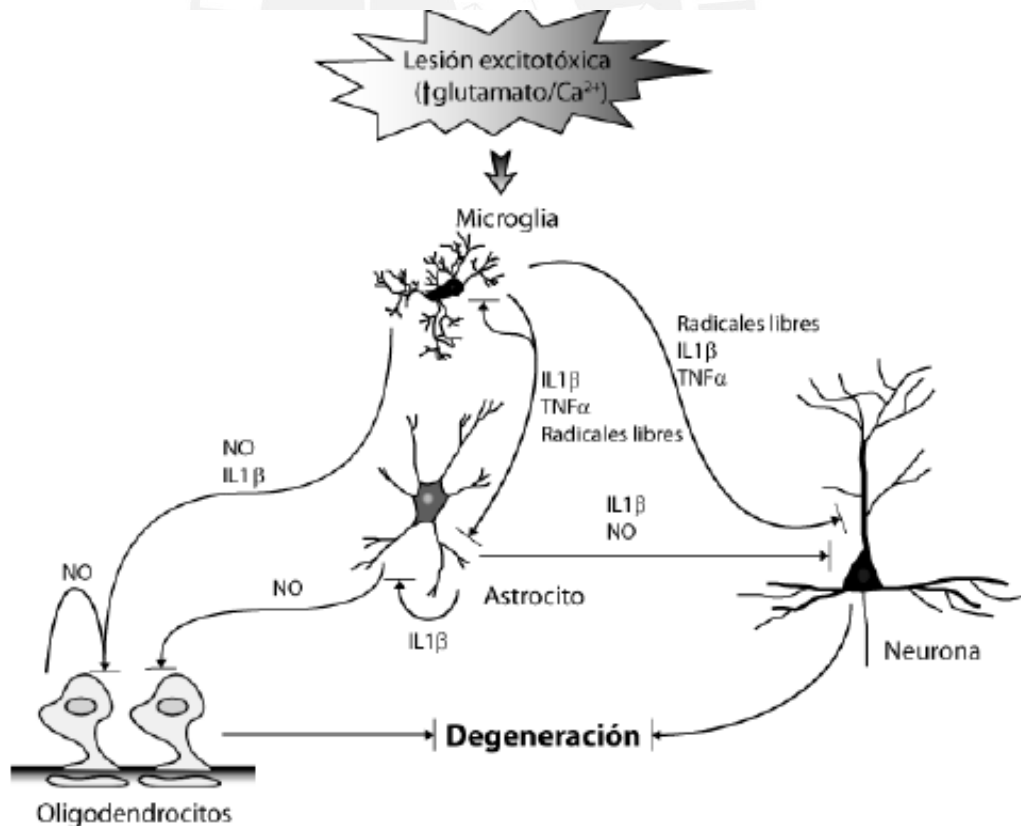


Figura 1.1 Mecanismos moleculares de degeneración secundaria por excito-toxicidad y respuesta inflamatoria [3]

A continuación, se mencionan algunas enfermedades degenerativas que actualmente representan los casos más frecuentes:

1.1.1. Parkinson

La enfermedad de Parkinson es una enfermedad causada por la degeneración de las neuronas dopaminérgicas (neuronas cerebrales de la sustancia negra) la cual es progresiva y crónica. Esta enfermedad afecta del 1-2% de la población de personas mayores de 65 años [4], siendo su diagnóstico relativamente sencillo, aunque muchas veces es confundida con otras enfermedades; por ello, para su diagnóstico se requiere seguir algunos criterios en base a los signos motores ‘cardinales’ y otros signos ‘atípicos’ que presente la persona. En el caso de los signos motores ‘cardinales’ tenemos: Rigidez, temblor de reposo, distal (3-6 Hz [4]), entre otros criterios. Y en el caso de los signos ‘atípicos’ se considera: inestabilidad postural precoz, alucinaciones, entre otros. Asimismo, es posible realizar otros tipos de diagnósticos tales como el diagnóstico diferencial, diagnóstico por imágenes y diagnóstico genético [4].

1.1.2. Alzheimer

El mal de Alzheimer es un trastorno neurológico que provoca la muerte de las neuronas del cerebro y es considerada como una enfermedad de demencia cognitiva ya que uno de los síntomas más notorios de esta enfermedad es el déficit de memoria, el cual se va agravando progresivamente. Otros síntomas que presenta esta enfermedad son los problemas de lenguaje, dificultades de orientación o reconocimiento, alteraciones en el estado de ánimo, entre otros. Esto ocasiona que la persona que padece esta enfermedad muestre problemas perceptivos, físicos, emocionales y de lenguaje que en muchos casos representan un inconveniente para las personas o familiares encargados.

Esta enfermedad puede presentarse en las personas a partir de los 65 años, teniendo una duración aproximada de entre 10-12 años [5]; cabe resaltar que la posibilidad que una persona padezca esta enfermedad es proporcional a la cantidad de años de la persona, siendo la mujer más propensa a contraer la enfermedad.

Actualmente, el mal de Alzheimer no posee cura, pero existen tratamientos que permiten que el avance de la enfermedad se retrase o mejoren la calidad de vida de la persona que lo posee. Asimismo, se desconoce las causas de la enfermedad, aunque se le atribuye que al 10% de los casos esta se debe a factores hereditarios (historial familiar) [5]. Esta enfermedad se puede clasificar según el cuadro clínico que presente en tres etapas:

Inicial o Leve: La persona aún conserva su autonomía, siendo solo asistido para realizar tareas complejas.

Intermedia o Moderada: Presenta problemas al realizar las actividades cotidianas por lo que debe estar al cuidado de una persona para realizarlas; pero aún conserva su juicio, es decir, tiene conocimiento de las acciones que realiza y que no realiza.

Terminal o Grave: Es necesario que la persona con la enfermedad se encuentre con su cuidador en todo momento ya que es totalmente dependiente de él. Asimismo, es muy probable que no pueda articular palabra e incluso no pueda caminar [5].

1.1.3. Parálisis suprarrenal progresiva

La parálisis suprarrenal progresiva o síndrome de Steele-Richardson-Olsewski es una enfermedad neurodegenerativa de orígenes desconocidos, la cual está asociada a anomalías en los microtúbulos con una hiperfosforilación anormal en las proteínas Tau; estas son responsable de la degeneración neurofibrilar.

Algunos síntomas asociados a la enfermedad son inestabilidades al caminar o caídas, lentificación o dificultad de los movimientos, problemas de visión como movimiento vertical de la vista, alteraciones en el estado de ánimo de la persona que lo sufre, entre otros [6].

1.2. Neuronas e impulsos eléctricos neuronales

Las neuronas son un tipo de célula perteneciente al sistema nervioso considerado como un elemento dinámico el cuál emite pulsos de salida cuando el nivel de excitación sobrepasa cierto límite.

El cerebro posee más de 1010 paquetes de neuronas las cuales están conectadas en una red neuronal cuya tasa de disparo viene dada por un promedio utilizando un tiempo de ventana fijo [7].

Las partes principales de las neuronas que permiten la comunicación entre las mismas para la realización de una acción específica, son la dendrita, el axón y la sinapsis (Figura 1.2).

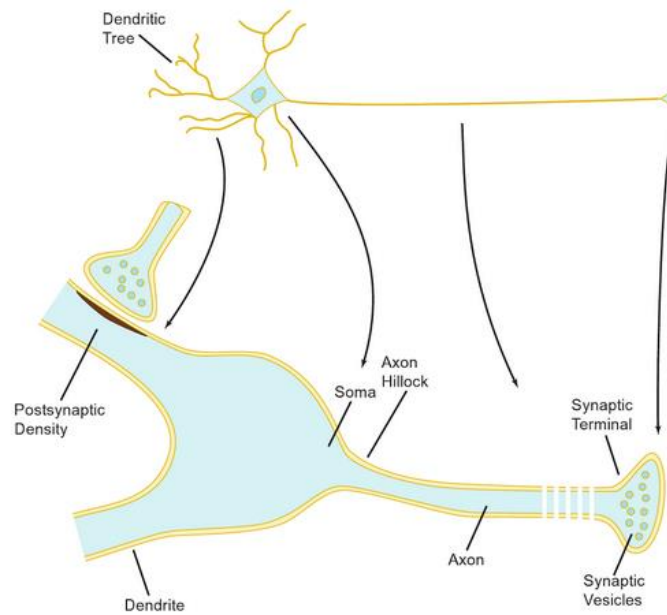


Figura 1.2: Ultra estructura de la neurona [1]

Las dendritas son ramificaciones más delgadas y cortas que los axones, procedentes del cuerpo de la célula (soma neuronal). Mientras que el axón es una prolongación delgada de la célula neuronal que puede transmitir señales eléctricas mediante la membrana de plasma axonal [1].

La sinapsis es la estructura o lugar especial de la neurona donde el axón de una neurona (pre-sináptica) tiene contacto con la dendrita o soma de otra neurona (post-sináptica) permitiendo el paso de información de una neurona a otra [7].

Existen dos tipos de sinapsis en la neurona: tipo química o eléctrica. La sinapsis química se da cuando hay contacto entre neuronas y existe el potencial de acción o impulso nervioso [1] se genera una serie de reacciones químicas que generan un cambio de potencial en la membrana de la neurona post-sináptica, lo cual convierte esta señal química en una señal eléctrica [7]. Mientras que la sinapsis eléctrica se genera cuando proteínas especializadas de la membrana realizan una conexión eléctrica directa entre dos neuronas [7].

El resultado de la interacción de las partes de las neuronas ya mencionadas hace posible la generación del impulso eléctrico neuronal el cual es la respuesta activa de la membrana cuando la despolarización excede el límite crítico (generalmente entre: 10-20mV). También llamado potencial de acción, el cual varía por neurona; es decir que para cada neurona existe un potencial de acción distinto en amplitud y forma, así como en su patrón de disparo [1].

1.2.1. Tipos de impulsos eléctricos neuronales

Existen muchos tipos de impulsos potenciales o potenciales biológicos dentro del cuerpo humano, mas solo hay algunos que son usados para aplicaciones médicas. Las amplitudes de estas señales suelen ser pequeñas (1 μ V – 10mV [8]); además, su medida suele obtener mediante el uso de sensores tales como electrodos. En la tabla 1.1 se muestra a continuación algunos impulsos neuronales y sus características:

Tabla 1.1: Especificaciones de los potenciales biológicos [8]

TIPO	AMPLITUD (mV)	Ancho de Banda (Hz)
EMG	1 -10	20 - 2000
ECG	1 - 5	0.05 - 100
EEG	0.001 – 0.01	0.5 – 40

Electromiograma (EMG):

Las señales EMG son generadas debido a la actividad que se da al momento que la fibra de los músculos realiza algún movimiento físico, sea voluntario o involuntario. Estas señales pueden medirse mediante electrodos los cuales son colocados en ciertas posiciones fijas en los músculos (tríceps) y reciben la señal al contraerse estos. Este tipo de señales no posee tanta dificultad al momento de ser medida ya que tanto su amplitud como su rango de frecuencia en la cual trabaja no es pequeño a comparación de los ECG y EEG.

Electrocardiograma (ECG):

Las señales ECG son adquiridas posicionando los electrodos en las posiciones del torso, los brazos y piernas, ya que la actividad en la superficie del cuerpo refleja la actividad muscular del corazón [8]. Al ser pequeñas estas señales, su medición es mucho más tediosa porque se ven afectadas por el movimiento de la piel en contacto con los electrodos y las actividades de los músculos cercanos.

Electroencefalograma (EEG):

Las señales EEG se caracterizan por poseer una amplitud pequeña, dentro de los microvoltios; por ello, se hace uso de electrodos de oro para obtener una resistencia de contacto pequeña. Estas señales son la representación de la actividad neuronal de millones de neuronas en el cerebro, por eso se consideran difíciles de interpretar. A pesar de esto, pueden ser interpretados mediante su forma de onda, sea parcial o completamente [8]. El análisis del

espectro del EEG permite saber si existe alguna anomalía en el cerebro al realizar alguna operación o acto médico. Al ser la señal de menor amplitud su registro se ve afectado por el ruido de fuentes o equipos electrónicos o de los mismos músculos.

1.2.2. Tipos de patrones de impulsos eléctricos neuronales

Tabla 1.2: Patrones de impulsos eléctricos [1]

Silenciosos (“ <i>Silent</i> ”)	Latentes (“ <i>Beating</i> ”)	Ráfagas (“ <i>Busting</i> ”)
<p>El potencial de la membrana se mantiene fijo a menos que se le dé una señal externa que varíe este potencial de manera que se genere un impulso. Al retirarse el estímulo, vuelve a su estado normal [1]</p>	<p>Existe una continua presencia de impulsos</p>	<p>Generan comportamientos rítmicos tales como: respirar, movimiento muscular. También segregan neurohormonas [1]</p>

1.3. Investigación de detectores neuronales implantables

El desarrollo de circuitos microelectrónicos se ha incrementado en diversas áreas tal como la medicina. Dentro de esta misma área, el uso de dispositivos relacionados al tratamiento de enfermedades neuronales degenerativas ha tenido un impacto positivo en cuanto a la mejora de funciones motoras o el restauramiento sensorial; para ello, la obtención de impulsos neuronales es requerida ya que en estos es posible que exista información cerebral. Existen algunos experimentos realizados que hacen uso de dispositivos detectores de impulsos implantables que son utilizados para los propósitos descritos previamente.

1.3.1. *Epileptic Seizure-Onset*

Es un detector implantable de impulsos neuronales para la detección de ataques epilépticos que forma parte de una prótesis epiléptica con el fin de tratar estos ataques [9]. Para ello se requiere el registro de la actividad EEG intercerebral (icEEG) mediante electrodos, para la detección de la forma de onda del impulso (picos).

El sistema propuesto para el dispositivo de detección se basó en un pre-amplificador, un detector de nivel de voltaje, un demodulador y un detector de alta frecuencia; todos basados en tecnología CMOS ya que este posee menor susceptibilidad al ruido. La amplificación de señales es controlada por una señal de referencia (V_{ref}), la sintonización de la frecuencia de detección se da mediante una variable, y otra señal controla el bloque de nivel de voltaje [9].

1.3.2. Prótesis interfaz cerebro-máquina-cerebro

Sistema microelectrónico de bucle cerrado capaz de reproducir señales neuronales de una parte del cerebro procesadas a tiempo real para cerrar lesiones cerebrales mediante estimulación de otra parte del cerebro que perdió conectividad (prototipo - animales) [10].

Las pruebas realizadas del dispositivo fueron en la parte superior de la cabeza de una rata que poseía una lesión cerebral. Este dispositivo se conecta tanto a la parte delantera como trasera o posterior del cerebro. Después, este amplifica los impulsos nerviosos producidos por las neuronas de la parte delantera del cerebro.

La siguiente etapa consiste de un algoritmo que separa las señales del ruido externo con un registro de picos de la actividad cerebral. Posteriormente estimula las neuronas de la parte posterior del cerebro, conectando así los dos hemisferios del cerebro [10].

Capítulo 2

Detección de Impulsos Eléctricos Neuronales

2.1. Requerimientos de detección de señales eléctricas neuronales

En un dispositivo implantable de medición de señales neuronales, una consideración a tomar en su diseño es que el ruido introducido por los dispositivos electrónicos sea lo mínimo posible en relación con la señal neuronal. Por otro lado, la señal debe ser amplificada aun nivel adecuado para la operación de un conversor analógico-digital.

El primer bloque en un sistema de registro de señales neuronales es un amplificador de bajo ruido, el cual amplifica las señales neuronales introduciendo la menor cantidad de ruido. Esa característica del amplificador es cuantificada por un parámetro conocido como “figura de ruido” o NF por las siglas de su denominación en inglés “*Noise Figure*” Luego, la señal pasa por un filtro para eliminar las componentes de frecuencia que no corresponden a las señales neuronales. Es importante recordar que la señal amplificada posee ruido debido tanto a los componentes internos del amplificador (transistores) como a las señales provenientes de las neuronas alejadas a los electrodos. Estas últimas no pueden ser filtradas por filtro lineal convencional ya que poseen la misma frecuencia que las señales neuronales aledañas a estos. Después, la señal pasa por un PGA (Amplificador de ganancia programable, en inglés: *Programmable Gain Amplifier*). Luego, puede o no pasar por un convertidor analógico digital (ADC) antes de la etapa de detección, posteriormente, es posible que pase por un codificador y se finaliza con la transmisión de la señal, la cual puede transmitirse de manera inalámbrica mediante una antena [2].

En la figura 2.1 se muestra el esquema antes descrito:

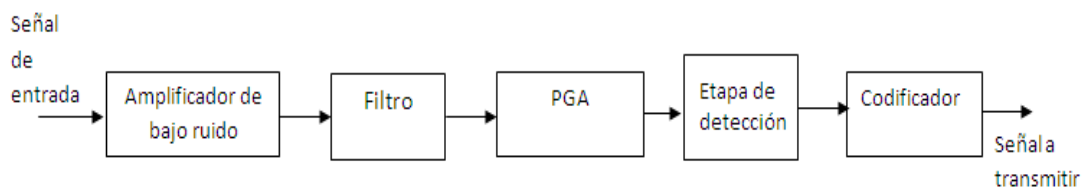


Figura 2.1: Diagrama de bloques simplificado de un canal de medida de señales neuronales y detección de impulsos

En la etapa de detección de la señal, se emplea un algoritmo de detección el cual, mediante métodos o técnicas matemáticas [12] permite que la señal deseada pueda ser detectada con mayor precisión. Asimismo, se hace uso de un filtro no lineal que se encarga de la enfatización de las señales recibidas y la atenuación del ruido de fondo; así como, la salida de ese filtro es aplicada a un comparador.

La selección de la señal de referencia del comparador impacta en parámetros de detección tales como la tasa de verdaderos positivos o la tasa de falsos positivos. Tanto la enfatización realizada por el filtro como la determinación de una señal de referencia fija son aspectos importantes en la detección de impulsos neuronales [11]. El voltaje de referencia del comparador usado como umbral para la detección de impulsos puede o no depender de las amplitudes de las señales detectadas anteriormente, es decir, puede ser determinado automáticamente o ser fijado manualmente [11].

2.2. Retos en el diseño de detectores de impulsos neuronales

Los dispositivos de lectura de señales neuronales implantables en el cerebro pueden emplear matrices de multielectrodos intracraneales (ofrecen mayor resolución espacial) [12] o electrodos superficiales, la aplicación de esta tecnología en neurociencias o en el desarrollo de prótesis motoras ha llevado al reconocimiento de una serie de problemas de orden práctico; entre ellos podemos mencionar la inestabilidad de las características de la señal medida por un electrodo implantado debido al movimiento de los electrodos y a cambios en los tejidos neuronales adyacentes. Por ese motivo, el umbral de comparación de un detector de impulsos eléctricos neuronales no puede ser fijo; en cambio, se necesita que este se adapte a los cambios antes mencionados. Para tal efecto, varias aproximaciones para la determinación del voltaje umbral han sido propuestas en la literatura. La mayoría de ellas pasa por una estimación de la tasa de disparos del comparador. Otro aspecto muy importante en los dispositivos implantables es la disipación de potencia. Generalmente se usa transmisión inalámbrica de potencia para alimentarlos y la energía disponible en esos casos es muy reducida. Por otro lado, existen límites de disipación establecidos para evitar daños a los tejidos neuronales. En ese escenario el detector de impulsos eléctricos neuronales se presenta como un facilitador en la información transmitida; y así evita mayor disipación de potencia del transmisor [13].

2.3. Estado del arte del detector de impulsos neuronales

2.3.1. Algoritmo de operador de energía no lineal (NEO)

Los algoritmos basados en operadores no lineales (NEO) son considerados unos de los métodos más eficientes utilizados en la detección de señales neuronales; además, cabe resaltar que poseen un gran desempeño en la relación señal a ruido (SNR) [12].

Pese a lo mencionado anteriormente, este presenta una baja sensibilidad causada por interferencia tal como los impulsos neuronales de neuronas cercanas [12]. Estos pueden ser implementados en “Hardware” con una mayor simplicidad y con un menor consumo de potencia [12]. Por ejemplo, tenemos el caso del detector de impulsos analógicos (SPD) en el diseño de modo corriente (“*Current-Mode*”) que trata de aproximar el comportamiento de NEO (Figura 2.2) [14].

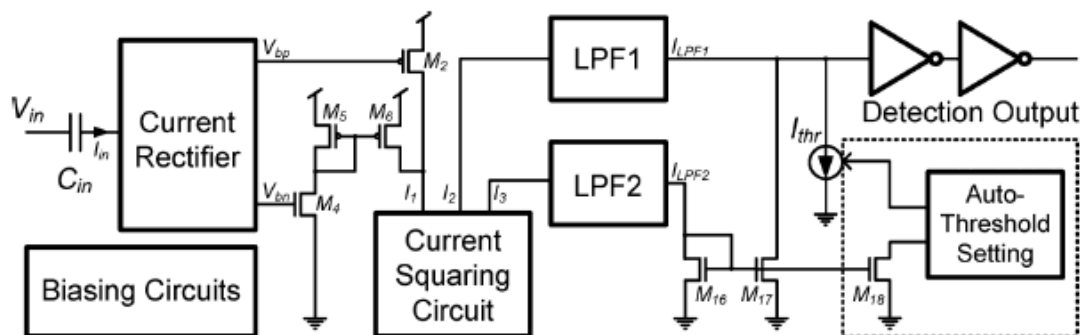


Figura 2.2: Diagrama de bloques de la arquitectura del detector de impulsos de modo corriente [14]

Siendo los resultados obtenidos del estudio un consumo de potencia de 0.04uW [14] como se observa en tabla 2.1, la cual muestra el consumo de potencia de varios algoritmos, donde se llega a la conclusión que el sistema propuesto tiene un mayor rendimiento en esta área.

Tabla 2.1: Comparación de estos diseños con el estado del arte [14]

	Autor	Process (nm)	Área (mm ²)	VDD (V)	Potencia (μ W)	Resultados	Feature	Style
CICC 2008 [3]	J. Holleman	130	0.044	1.0	0.95	Prueba	NEO	Analógico
ISCAS 2013 [4]	E. Koutsos	180	0.03	1.8	1.5	Simulación	NEO	Analógico
ISCAS 2013 [5]	Y. G. Li	130	-	0.5	0.26	Simulación	fNEO	Analógico
		130	0.05	0.5	0.13	Simulación	ED	Analógico
TBCAS 2012 [14]	A. Rodrigue z	130	0.16	1.2	2.8	Prueba	Thershold	Analógico
EMBC 2013 [15]	A.C. Lapolli	65	0.017	-	1.83	Simulación	NEO	Digital
EMBC 2013 [16]	T. Wu	130	6.17	-	85	Prueba	EC-PC	Digital
Este trabajo (Figura 2.2)	E. Yao	65	0.03	0.7	0.04	Prueba	ED+LPF	Analógico

2.3.2. Algoritmo de Valor Absoluto

Se realizó un estudio de un detector de impulsos neuronales usando un algoritmo de valor absoluto basado en tecnología de 0.6 μ m CMOS, obteniendo así un menor consumo de potencia (19.8 μ W) y un menor muestreo de información [15].

Este estudio consiste en la obtención del valor absoluto de la señal neuronal antes de realizar el muestreo de la señal. Se propuso 4 posibles bloques dentro del sistema: muestreo adaptivo a tiempo real, bloque de valor absoluto (ABS), bloque de *Time delay* y el bloque de *Time window generation* [15].

En la figura 2.3 se muestra el esquemático del detector justo con los 4 bloques propuestos basado en el algoritmo de valor absoluto:

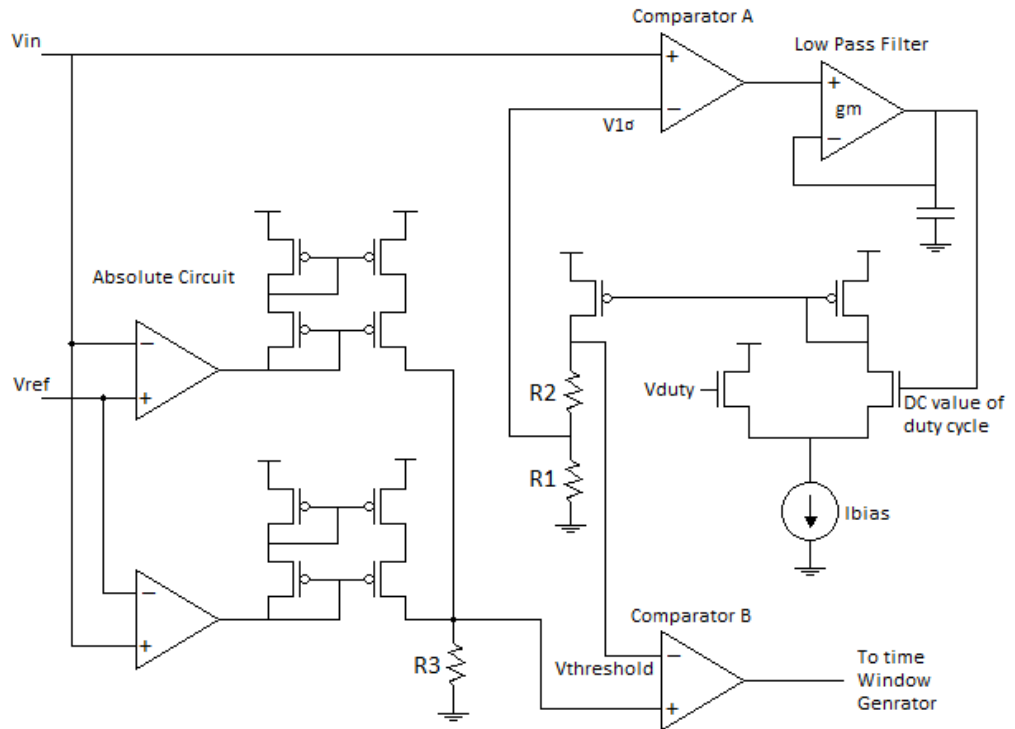


Figura 2.3: Esquemático de un detector de impulsos adaptativo usando valor absoluto

[15]

2.3.3. Algoritmos híbridos

Otras investigaciones realizadas para la detección de impulsos utilizan variaciones de algoritmos en base a NEO para su posterior implementación; esto se debe a que, si bien NEO tiene buen rendimiento respecto al SNR, este posee una degradación de sensibilidad debido a los impulsos de neuronas aledañas y el movimiento de electrones, causando así que se produzcan fallas en la detección [13]. A continuación se muestran algunos de estos algoritmos:

2.3.3.1. *Thresholding* y NEO

Tenemos el algoritmo híbrido de detección de impulsos neuronales basado en “*Thresholding*” y NEO (Figura 2.4) el cual fue implementado en tecnología CMOS y dio como resultado una mejora de la disipación de potencia en 54.48% respecto al método basado en solo NEO, siendo este de 24.4nW [13]. En la Figura 2.4 se muestra el diagrama del algoritmo propuesto:

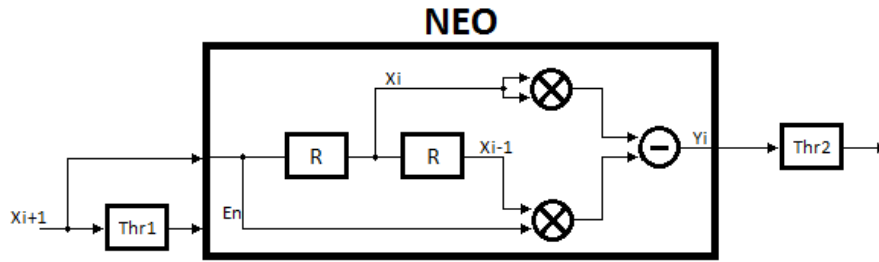


Figura 2.4: Algoritmo de detección de impulsos híbrido [13]

Se muestra un detector umbral (Thr1) utilizado como filtro para el ruido que posea la señal de entrada X_{i+1} , antes de enviarla al detector NEO, este se encuentra deshabilitado hasta que Thr1 lo activa, al detectar un impulso. El detector NEO se encarga de confirmar que realmente es un impulso neuronal, lo cual asegura que el error sea mínimo [14].

2.3.3.2. Algoritmo de operador energía inteligente (TEO)

Una investigación basada en un detector automático implementado en tecnología CMOS 0.18um [2] propone la obtención de los impulsos neuronales para un registro neuronal. La figura 2.5 muestra el diagrama de bloques del algoritmo de detección:

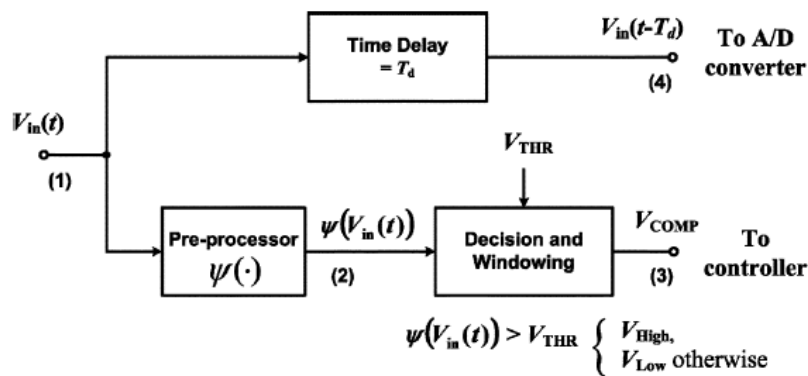


Figura 2.5: Diagrama de bloques de la estrategia de detección automática [2]

Este algoritmo consta de 3 bloques principales:

Primero, un preprocesador basado en un operador matemático de energía (operador de energía inteligente: TEO) el cual es muy sensible a alineaciones de las ondas que detecta. Asimismo, este puede suprimir bajas frecuencias de ciertos artefactos, los cuales pueden causar una mala detección de la señal, tales como respiradores, electrocardiogramas, ruido provocado por el usuario al ingerir comida, entre otros.

Cabe resaltar que su implementación es mucho más sencilla debido a que el algoritmo no es muy complejo ya que solo requiere de pocos bloques de circuitos analógicos [2]. Segundo, luego del procesamiento de la señal, esta pasa por una función de valor umbral para determinar la posición del impulso neuronal, el cual su valor debe de estar por encima del valor de la actividad neuronal y debe ser optimizada para prevenir errores de detección. Por último, la señal que se obtuvo antes de entrar por el preprocesador, ingresa por un bloque de retardo el cual permite que parte del impulso que pasó antes del valor umbral no se pierda. Mediante este algoritmo, se pudo mejorar la integridad de la señal a detectar utilizando un bloque de retardo [2].

2.4. Elección del algoritmo de detección

La demanda de dispositivos implantables capaces de detectar una señal eléctrica neuronal de manera eficiente y con precisión ha causado que se realicen estudios en base a algoritmos que permiten detectar cuando se da un impulso neuronal, es decir, si la señal que se capta es realmente o no un impulso.

El uso de algoritmos basados en operadores de energía tales como NEO o TEO han proporcionado un método de detección eficiente ya que hacen uso de la identificación de pulsos neuronales por acción potencial, así como, poseen buen rendimiento de rechazo a ruido [2]; además, al ser el algoritmo no tan complejo permite que la implementación en “hardware” sea más sencilla [2][11]. El algoritmo de valor absoluto, permite la obtención de un valor fijo de la señal extraída, permitiendo que el algoritmo de detección sea adaptativo; logrando así que el impulso sea detectado correctamente.

También, se realizaron investigaciones basadas en algoritmos híbridos que toman como base los algoritmos ya mencionados; estos algoritmos conservan las características de los anteriores, con diferencia que se agregan o modifican bloques que permiten un mejor desempeño en cuanto a disipación de potencia y eficacia en la detección.

Se considera que el diseño de estos circuitos debe tener un buen rechazo al ruido; además, estos deben considerar el consumo energético del circuito. Se plantea como posible solución el diseño de un estimador de valor umbral para un circuito detector de impulsos neuronales en base al algoritmo híbrido de NEO y “*thresholding*”.

Capítulo 3

Diseño del estimador del detector de Impulsos Neuronales

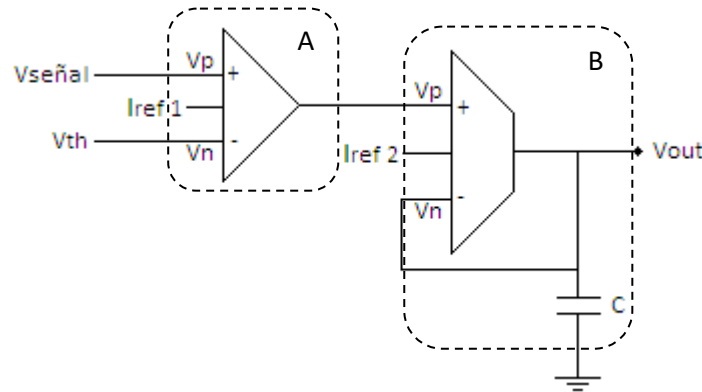


Figura 3. 1: Circuito estimador de tasa de disparo

En la figura 3.1 se observa el circuito a diseñar en la presente tesis, el cual está conformado por 2 bloques. El primero es el comparador diferencial (Bloque A) y el segundo, el bloque del filtro pasa-bajos (Bloque B). El estimador recibe la señal neuronal ($V_{señal}$) y la compara con un valor umbral (V_{th}); posteriormente, la señal que se obtiene del comparador pasa por el filtro pasa-bajos que se encargará de obtener un promedio de esta señal, la cual será representada a la salida (V_{out}).

3.1. Diseño de circuitos analógicos CMOS

3.1.1. Señal *Single-ended* y señal diferencial

Una señal *single-ended* es la señal medida respecto de una referencia dada (Figura 3.2 (a)), mientras que una señal diferencial (Figura 3.2 (b)) es aquella señal medida desde dos nodos que poseen igual señal de excursión, pero opuestas, las cuales tienen como referencia una misma señal fija (referencia). Una de las razones por la cual se utiliza una señal diferencial en lugar de una señal *single-ended* es que la primera tiene la ventaja de ser mayor en inmunidad al ruido.

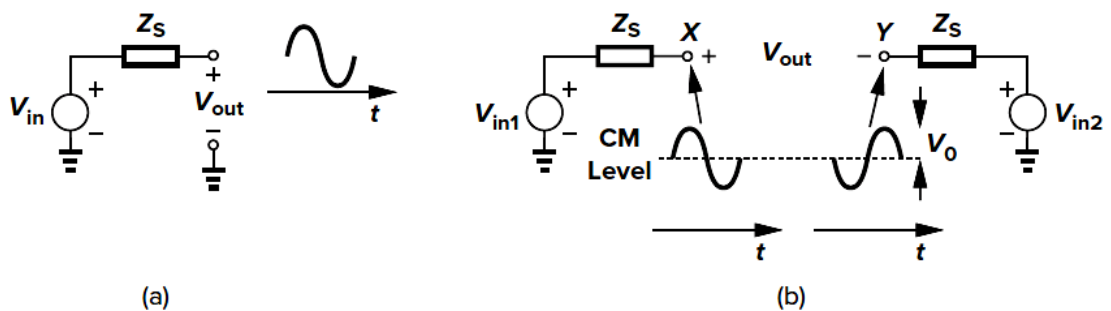


Figura 3. 2: (a) Señal single-ended, (b) Señal diferencial [16]

De la figura 3.2 (b) se considera:

$$V_{DM} = Vin1 - Vin2 \quad (3.1)$$

$$V_{CM} = \frac{Vin1 + Vin2}{2} \quad (3.2)$$

Con ello se obtienen las siguientes relaciones:

$$Vin1 = V_{CM} + \frac{V_{DM}}{2} \quad (3.3)$$

$$Vin2 = V_{CM} - \frac{V_{DM}}{2} \quad (3.4)$$

3.1.2. Par diferencial

Una importancia del uso del par diferencial en el proceso de diseño es que debido a que no existe dependencia completa de la corriente de I_{bias} respecto del nivel de entrada en modo común ($V_{in,CM}$), permite que a pesar de variaciones que puedan existir en $V_{in,CM}$, la ganancia en pequeña señal (A_v) y el valor ideal del nivel de salida en modo común $V_{out,CM}$ cambien. En la figura 3.3 se muestra un par diferencial versión PMOS, que será utilizado para el diseño de otros circuitos en la presente tesis, debido a que la señal que se obtendrá de la etapa previa será alrededor de los mV (por ejemplo: 300mV, 400mV), lo cual requiere que el ruido sea mínimo, e implica el uso de este tipo de diferencial.

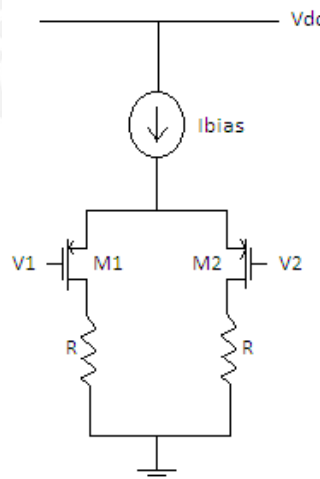


Figura 3. 3: Versión PMOS par diferencial

Con este tipo de configuración donde los surtidores de los transistores están acoplados, se asegura que I_{bias} , el cual es la suma de I_1 e I_2 , no sea dependiente de V_{in-CM} . Por ello, es posible analizar el circuito bajo ciertas condiciones:

1. Se considera $V_1=V_2$, se tiene que por cada transistor pasa una corriente igual a $I_{bias}/2$, es decir:

$$I_1 = I_2 = \frac{I_{bias}}{2} \quad (3.5)$$

Además, se tiene que el voltaje de salida será:

$$V_{out} = V_{o1} = V_{o2} = R \times \frac{I_{bias}}{2} \quad (3.6)$$

2. Se considera que existe una señal diferencial a la salida (V_1-V_2), y $V_2 \gg V_1$, el transistor M1 estará en *On* y el transistor M2 estará en *Off*, siendo la corriente que pasa por el transistor M1:

$$I_1 = I_{bias} \quad (3.7)$$

Y los voltajes en las salidas:

$$V_{o1} = R \times I_{bias} \quad (3.8)$$

$$V_{o2} = 0 \quad (3.9)$$

3. Se considera que existe una señal diferencial a la salida (V_1-V_2), y $V_1 \gg V_2$, el transistor M1 estará en *Off* y el transistor M2 estará en *On*, siendo la corriente que pasa por el transistor M2:

$$I_2 = I_{bias} \quad (3.10)$$

Y los voltajes en las salidas:

$$V_{o1} = 0 \quad (3.11)$$

$$V_{o2} = R \times I_{bias} \quad (3.12)$$

4. Se considera $V_1=V_2=V_{in,CM}$, si la señal $V_{in,CM}$ es muy pequeña los transistores del par diferencial entrarán en la región triodo, mientras que si la señal $V_{in,CM}$ es muy grande el transistor de la fuente I_{bias} entrará en región triodo ya que el voltaje en su puerta puede ser lo suficientemente grande como para crear una capa de inversión en el transistor.

Para evitar las condiciones antes mencionadas; y asegurar que los transistores del par y del I_{bias} estén en la zona de saturación, se debe cumplir la siguiente condición:

$$V_{D,par} - |V_{thp}| < V_{in,CM} < V_{DD} - V_{SG,par} - V_{ov,bias} \quad (3.13)$$

3.1.3. Circuito inversor

En la figura 3.4 se muestra el circuito inversor CMOS el cual consiste de un transistor PMOS y un transistor NMOS cuyas puertas están conectadas a un mismo V_{in} y sus drenadores a una misma salida (V_{out}). A continuación, se describe el funcionamiento del circuito:

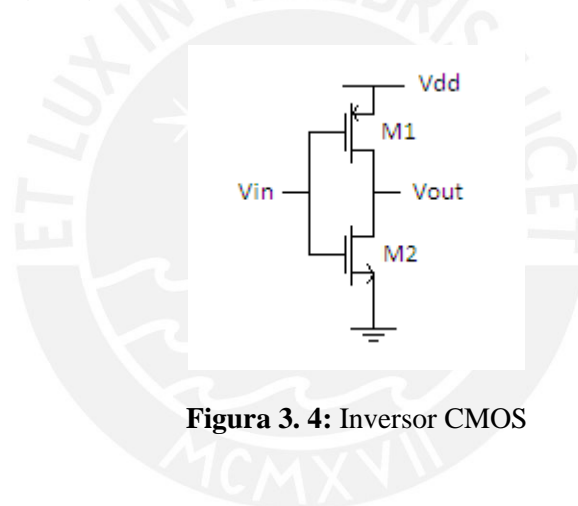


Figura 3. 4: Inversor CMOS

Si $V_{in}=V_{dd}$ o un valor de voltaje alto, el transistor PMOS no conducirá mientras que el transistor NMOS entrará en saturación, lo cual hará que exista una corriente que fluye de la salida del inversor a tierra, en la salida se tendría $V_{out}=0V$. Si $V_{in}=0V$ o un voltaje bajo, el transistor NMOS entrará en corte, mientras que el transistor PMOS conducirá, lo cual generará a la salida $V_{out}=V_{dd}$.

3.1.3.1. Tiempo de respuesta

El análisis del tiempo de respuesta del inversor CMOS es necesaria para el objetivo del presente trabajo ya que este será utilizado en modo cascada (tal y como se observa en la figura 3.5) en la salida del diseño de un comparador que será mencionado posteriormente.

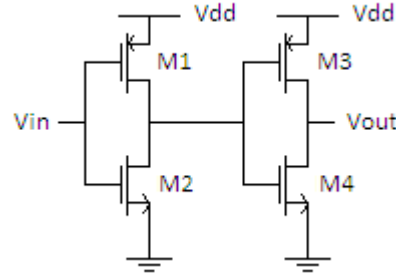


Figura 3. 5: Inversor CMOS en cascada

Tiempo de bajada:

Es el tiempo necesario para que el valor del voltaje de salida Vout pase de un valor cercano a Vdd (0.9Vdd) a un valor bajo (0.1Vdd), esto para un valor de Vin en voltaje alto o Vdd. Para el transistor NMOS se analiza:

Zona de saturación:

Se asume a la salida Vout una carga capacitiva C, se define:

$$I_C = C \times \frac{dQ}{dt} \quad (3.14)$$

$$I_{D,sat} = \frac{\beta_n}{2\lambda} \times (V_{dd} - V_{thn})^2 \quad (3.15)$$

$$C \times \frac{dV}{dt} = \frac{\beta_n}{2\lambda} \times (V_{dd} - V_{thn})^2 \quad (3.16)$$

Asumiendo que t_1 es el tiempo en el cual V se demora en llegar a $V_{D,sat}$:

$$C \int_{V_{D,sat}}^{0.9V_{dd}} dV = \frac{\beta_n}{2\lambda} \times (V_{dd} - V_{thn})^2 \times \int_0^{t_1} dt \quad (3.17)$$

Para un $\lambda=1$:

$$t_1 = \frac{2 \times C \times (V_{thn} - 0.1V_{dd})}{\beta_n \times (V_{dd} - V_{thn})^2} \quad (3.18)$$

Zona de conducción u óhmica:

Se asume a la salida Vout una carga capacitiva C, se define:

$$I_C = \frac{dQ}{dt} = C \times \frac{dV}{dt} \quad (3.19)$$

$$\beta_n = \mu_n C'_{ox} \frac{W}{L} \quad (3.20)$$

$$I_D = \beta_n \times \left[(V_G - V_{thn}) \times V_{DS} - \frac{\lambda}{2} \times V_{DS}^2 \right] \quad (3.21)$$

$$I = \beta_n \times \left[(V_G - V_{thn}) \times V - \frac{\lambda}{2} \times V^2 \right] \quad (3.22)$$

$$C \times \frac{dV}{dt} = \beta_n \times \left[(V_G - V_{thn}) \times V - \frac{\lambda}{2} \times V^2 \right] \quad (3.23)$$

donde

λ : pendiente que varía de [1.1;1.2]

μ_n : movilidad de los electrones

C'_{ox} : Capacitancia del óxido por unidad de área

$\frac{W}{L}$: Factor de forma del transistor

Asumiendo que t_2 es el tiempo en el cual V se demora en llegar a $0.1V_{dd}$:

$$C \int_{0.1V_{dd}}^{V_{D,sat}} dV = \int_0^{t_2} \beta_n \times \left[(V_G - V_{thn}) \times V - \frac{\lambda}{2} \times V^2 \right] dt \quad (3.24)$$

Luego se obtiene para un $\lambda=1$:

$$t_2 = \frac{C}{\beta_n \times (V_{dd} - V_{thn})} \times \ln \left[18 - 20 \times \frac{V_{thn}}{V_{dd}} \right] \quad (3.25)$$

De ello tenemos que el tiempo de bajada será:

$$t_{bajada} = t_1 + t_2 = \frac{C}{\beta_n \times (V_{dd} - V_{thn})} \times \left[\frac{2 \times (V_{thn} - 0.1V_{dd})}{(V_{dd} - V_{thn})} + \ln \left(18 - 20 \times \frac{V_{thn}}{V_{dd}} \right) \right] \quad (3.26)$$

Estableciendo una constante de bajada K_{bajada} que englobe a los factores constantes:

$$t_{bajada} = K_{bajada} \times \frac{C}{\left(\frac{W_n}{L_n} \right)} \quad (3.27)$$

Con ello se observa que el tiempo de baja del inversor depende directamente del valor de capacitancia a la salida e inversamente del factor de forma del transistor NMOS, así se puede establecer que, si se desea que el tiempo de respuesta de bajada del transistor sea el menor, se requieren que los valores de W y L del transistor NMOS sean grande y pequeño, respectivamente.

Tiempo de subida:

Es el tiempo necesario para que el valor del voltaje de salida V_{out} pase de un valor bajo ($0.1V_{dd}$) a un valor cercano a V_{dd} ($0.9V_{dd}$), esto para un valor de V_{in} en voltaje bajo o $0V$. El análisis realizado se toma para el transistor PMOS; y es similar al tiempo de bajada ya explicado, de ello se obtiene:

$$t_{subida} = K_{subida} \times \frac{C}{\left(\frac{W_p}{L_p} \right)} \quad (3.28)$$

Cabe resaltar que los tiempos de subida y bajada no son iguales ya que en ellos están incluidos los términos β_p y β_n , respectivamente, los cuales difieren en la movilidad de huecos (μ_p) y electrones (μ_n), respectivamente. Si se desea que estos sean iguales:

$$t_{subida} = t_{bajada} \quad (3.29)$$

$$K_{subida} \times \frac{C}{(W_p/L_p)} = K_{bajada} \times \frac{C}{(W_n/L_n)} \quad (3.30)$$

$$\frac{(W_p/L_p)}{(W_n/L_n)} = \frac{K_{subida}}{K_{bajada}} \quad (3.31)$$

3.1.4. Espejos de corriente

El uso de espejos de corriente dentro del diseño de circuitos integrados se ha sido importante ya que con ellos es posible la implementación de cargas activas, en vez de uso de resistencias; y diseño de fuentes de corriente para la polarización de transistores en un determinado circuito.

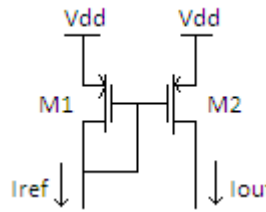


Figura 3. 6: Espejo de corriente PMOS

En la figura 3.6 se muestra un espejo de corriente PMOS, el cual está conformado por dos transistores M1 y M2 (no necesariamente idénticos ya que estos pueden ser no ideales teniendo una variación en sus dimensiones L o W, lo que generaría que la corriente no sea copiada correctamente [16]) con sus puertas unidas, y la puerta de M1 está conectada a su drenador. Se observa para M1 y M2:

$$I_{D1} = I_{ref} = \frac{1}{2} KPP \frac{W_1}{L_1} \times (V_{SG1} - |V_{thp}|)^2 \quad (3.32)$$

$$I_{D2} = I_{out} = \frac{1}{2} KPP \frac{W_2}{L_2} \times (V_{SG2} - |V_{thp}|)^2 \quad (3.33)$$

donde

KPP: Factor de ganancia del transistor PMOS ($KPP = \mu_p \times C'_{ox}$)

V_{thp} : Voltaje umbral del transistor PMOS

También:

$$V_{G1} = V_{G2} = V_{D1} \quad (3.34)$$

$$V_{S1} = V_{S2} = V_{DD} \quad (3.35)$$

$$V_{SG1} = V_{SG2} = V_{DD} - V_{D1} \quad (3.36)$$

Se divide I_{D2} entre I_{D1} :

$$\frac{I_{out}}{I_{ref}} = \frac{W_2/L_2}{W_1/L_1} \quad (3.37)$$

Con la relación hallada se observa que el circuito copia la corriente independientemente del proceso o temperatura, solo depende del factor de forma de los transistores M1 y M2; asimismo, el valor de I_{out} puede ser controlado mediante la variación de la corriente de referencia dada.

Si se asume que los largos de cada transistor son iguales ($L_1=L_2$), se obtendrá una relación entre I_{ref} e I_{out} que solo depende del valor del ancho de los transistores:

$$\frac{I_{out}}{I_{ref}} = \frac{W_2}{W_1} \quad (3.38)$$

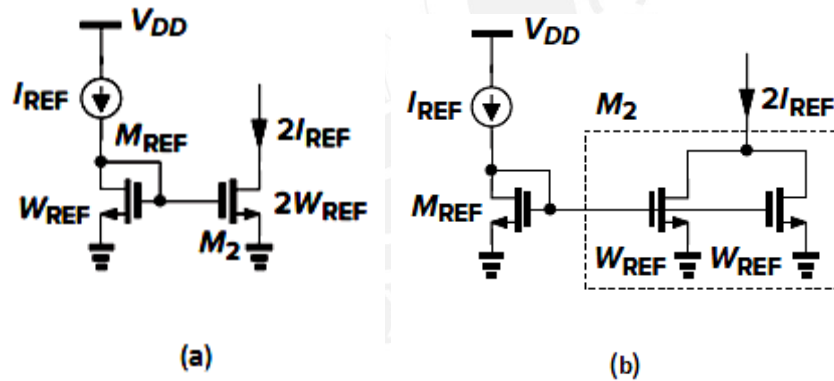


Figura 3. 7: (a) Multiplicación de I_{ref} por 2 (b) Multiplicación más precisa de I_{ref} [16]

Si se desea obtener un $I_{out} = 2I_{ref}$ como en la figura 3.6 (a):

$$I_{D1} = I_{ref} = \frac{1}{2} KPN \frac{W_1}{L_1} \times (V_{GS1} - V_{thn})^2 \quad (3.39)$$

$$I_{D2} = I_{out} = \frac{1}{2} KPN \frac{W_2}{L_2} \times (V_{GS2} - V_{thn})^2 \quad (3.40)$$

donde

KPN: Factor de ganancia del transistor NMOS ($KPP = \mu_n \times C'_{ox}$)

V_{thn} : Voltaje umbral del transistor NMOS

Dividimos (1.39) entre (1.40):

$$\frac{I_{D1}}{I_{D2}} = \frac{I_{ref}}{I_{out}} = \frac{W_1}{W_2} \quad (3.41)$$

$$W_2 = 2W_1 \quad (3.42)$$

Para mayor precisión en la multiplicación de la señal, se utiliza el circuito de la figura 3.7 (b). El procedimiento para obtener una corriente dividida ($I_{out} = I_{ref}/2$) es el mismo procedimiento anterior, con ello se obtiene:

$$W_1 = 2W_2 \quad (3.43)$$

Asimismo, para más precisión en la división, el circuito a utilizar es parecido al de la figura 3.7 (b), con la diferencia que el transistor M2 se mantiene como uno; y el transistor Mref se divide en dos transistores en paralelo como en la figura 3.8.

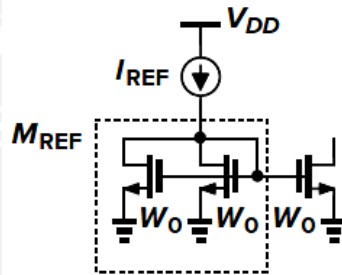


Figura 3. 8: Espejo de corriente dividiendo a Iref en la mitad [16]

3.1.4.1. Fuente de corriente

En la figura 3.9 se observa un circuito de espejo de corriente, el cual es utilizado como circuito para las fuentes de corriente (I_{bias}) en la presente tesis.

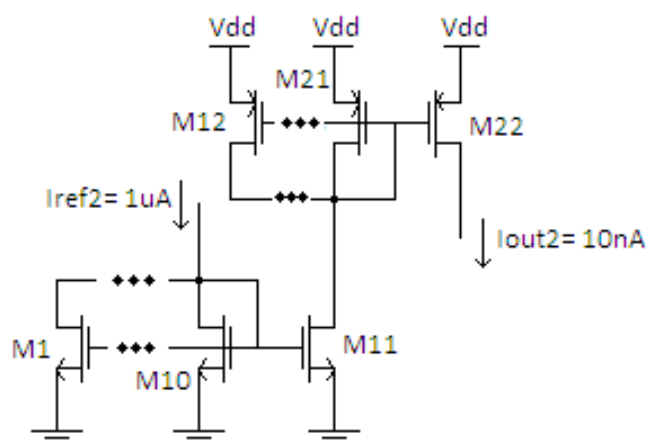


Figura 3. 9: Ibias del OTA

Del mismo modo, se hizo uso del método de división de corriente en los transistores ya que se desea obtener valores de corriente pequeños los cuales, si se tuviesen que proporcionar al circuito mediante una fuente externa, conforme esta vaya avanzando por el circuito integrado es posible que adquiriera con mayor facilidad ruido debido a su valor bajo. A continuación, se detallan algunas ecuaciones para el cálculo de la corriente de salida (Ibias):

Se asume que los transistores son idénticos:

Para la figura 3.8:

$$W_1 = \dots = W_{10} = W_{11} \quad (3.49)$$

$$W_{12} = \dots = W_{21} = W_{22} \quad (3.50)$$

Por efecto del espejo de corriente:

$$I_{D1} + \dots + I_{D10} = \frac{I_{ref2}}{10} = I_{D11} \quad (3.51)$$

$$I_{D12} + \dots + I_{D21} = \frac{I_{D11}}{10} = I_{D22} \quad (3.52)$$

3.2. Diseño de Comparador diferencial

3.2.1. Diseño de comparador diferencial PMOS simple

En la figura 3.10 se muestra un comparador PMOS simple, en el cual se puede identificar que las entradas positiva (vin_p) y negativa (vin_n) se encuentran en los transistores PMOS M1 y M2, respectivamente. Asimismo, el bloque que contiene a estos transistores junto con NMOS M3 y M4 se denomina par diferencial.

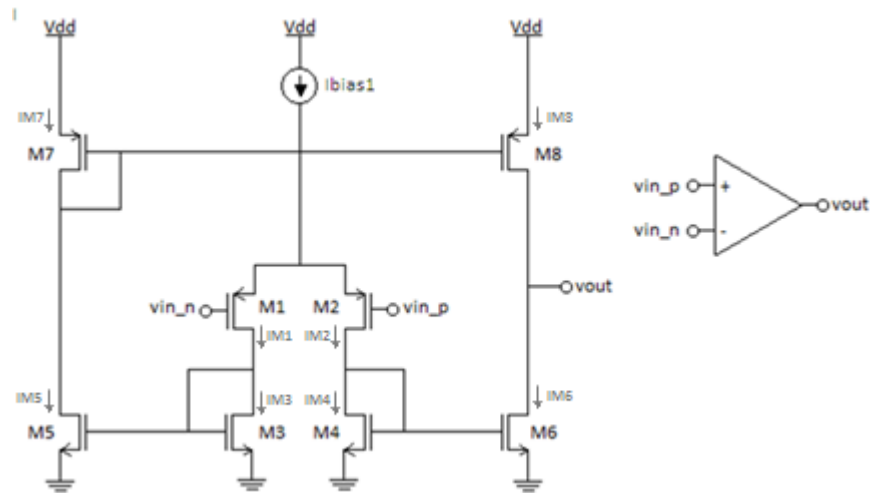


Figura 3. 10: Comparador PMOS simple

Si se desea que el voltaje de salida (v_{out}) sea bajo, el voltaje en vin_n debe ser mayor a vin_p ; esto debido a que si por ejemplo, se asume que vin_n mayor a vin_p , el bloque de par diferencial antes mencionado, dividirá la corriente entregada por V_{dd} entre los transistores $M1$ y $M2$, siendo la corriente que pasa por $M1$ menor a la corriente que pasa por $M2$, es decir, $IM1 < IM2$; ya que en un transistor PMOS, a menor voltaje que se entrega en su puerta permite que exista un mayor canal entre su drenador y surtidor, permitiendo mayor flujo de corriente, lo cual puede asemejarse al comportamiento de una resistencia.

Luego, la corriente $IM2$ es la misma que pasa por $M4$; y la corriente $IM1$ es la misma que pasa por $M3$. Los transistores NMOS $M4$ y $M6$, $M5$ y $M3$, conforman 2 dos espejos de corriente, los cuales copian $IM2$ e $IM1$ a $M6$ y $M5$, respectivamente. La corriente que pasa por $M5$ es la misma que pasa por el transistor PMOS $M7$ el cual junto con el transistor PMOS $M8$ conforma otro espejo de corriente; por tanto, de lo explicado hasta ahora se tiene: $IM1 = IM3 = IM5 = IM7 = IM8$ e $IM2 = IM4 = IM6$.

De lo obtenido mediante el análisis del circuito, se tiene que $IM6 > IM8$; pero como se observa en el circuito $IM8$ debería ser igual a $IM6$; por eso, la máxima corriente que podría pasar por $M6$ sería $IM8$. Para que la condición anterior se cumpla, el espejo de corriente $M4M6$ no debe copiar correctamente la corriente $IM4$, lo cual implica que el voltaje V_{DM6} debe ser menor al voltaje de saturación requerido en un NMOS. Esto concluye que el voltaje de salida v_{out} sea bajo.

De manera similar, si se desea que el *vout* sea alto, el voltaje *vin_p* debe ser mayor a *vin_n*; siendo así la corriente que pasa por $IM1 > IM2$. Posteriormente, la $IM1$ será igual a $IM3$, y por tanto a $IM5$; e $IM2 = IM4 = IM6$. Luego $IM7$ será igual a $IM3$ que se copiará por el espejo de corriente $M7M8$ a $M8$, es decir, $IM1 = IM3 = IM5 = IM7 = IM8$. Lo descrito anteriormente, se tiene que $IM8 > IM6$, pero en la figura $IM6$ debe ser igual a $IM8$; por ello, la corriente máxima que debe pasar por $IM8$ es $IM6$, esto implica que la corriente que se copia por $IM6$ es igual a $IM4$, lo cual indica que el voltaje de drenador de $IM6$ es mayor al voltaje de saturación requerido en el transistor. Se concluye entonces que el voltaje de salida *vout* es alto.

El correcto funcionamiento del circuito en la presente tesis, depende en parte de que el valor de salida del comparador sea preciso (V_{dd} o $0V$); es decir, no presente mucho retardo al momento de cambiar de un estado de alto a bajo. Para ello, el tiempo de conmutación del comparador debe ser rápido. Si la corriente que pasa por $M1$ es alta, la rapidez de conmutación mejora; también, se debe multiplicar la corriente que pasa por $M2$, cabe resaltar que esta tiene un límite en cuanto al valor que puede alcanzar ya que depende del área ($W \times L$) del transistor; además se desea tener buenos valores de V_{GS} de los transistores.

La etapa de salida del comparador estará conectada a cargas activas, las cuales generan una mayor demanda de corriente de salida del comparador; para evitar ello, a la salida del comparador mostrado en la figura 3.10 se le adicionará dentro del diseño un *buffer* digital, el cual consta de dos inversores en cascada mostrado anteriormente en la figura 3.5. El uso de este circuito es posible debido a que la salida del comparador se comporta como si fuese una salida digital, es decir, puede ser V_{dd} o $0V$ (alta o baja).

Otro factor que permite obtener una mayor velocidad de respuesta del comparador es el valor de la transconductancia (G_m), si su valor es grande, mejora la respuesta a la salida. El circuito modificado del comparador se muestra a continuación en la figura 3.11:

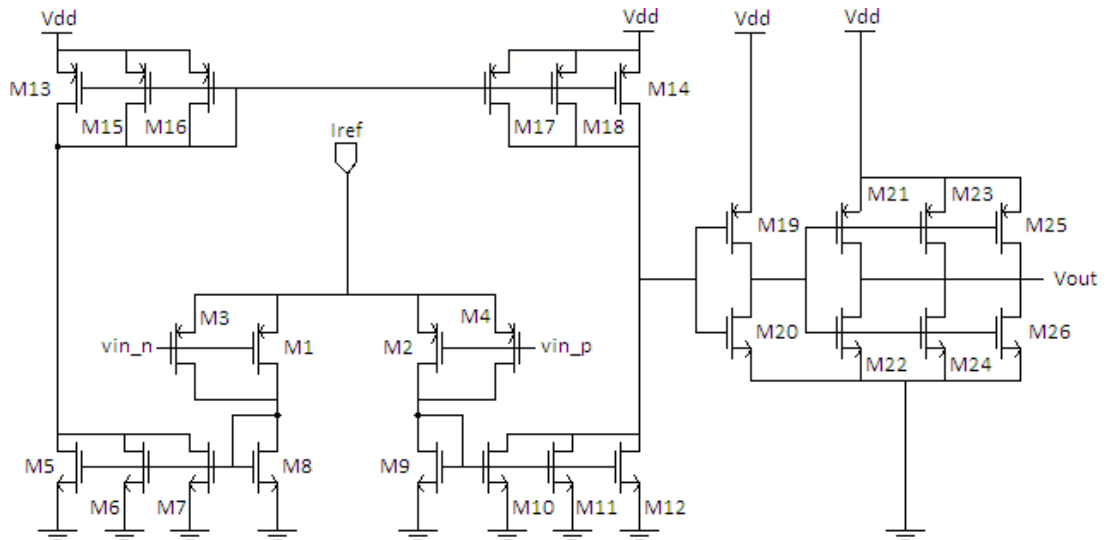


Figura 3. 11: Comparador PMOS con buffer a la salida

El valor de transconductancia depende de dos factores: la corriente de polarización (I_{bias}) o el factor de forma de los transistores del par diferencial (W/L), tal y como se muestra en la siguiente ecuación:

$$G_m = \sqrt{KPP \frac{W}{L}} \times I_D \quad (3.53)$$

Para obtener valores grandes de G_m es posible la variación de $I_D = I_{bias}$ o W/L ; como en este circuito se usará una fuente externa para la obtención del I_{bias} , su variación no sería conveniente para el cambio de G_m . Por ello, el cambio se realiza en el factor de forma del transistor. Si se desea tener un valor de transconductancia alto, el valor de W debe ser el mayor posible y el valor de L debería ser el menor posible por eso se utilizó la técnica de división de corriente en el par diferencial para así obtener, una corriente de I_D menor en cada transistor y así poder elevar W y disminuir L lo más posible; se recalca que debido a las limitaciones de dimensionamiento en el área del transistor W no puede ser muy grande ni L demasiado pequeño.

3.3. Diseño de Filtro pasa-bajo

La señal obtenida del comparador será una señal que varía de 0V a 3.3V (V_{dd}) dependiendo si la señal neuronal en la entrada positiva en el comparador supera el valor umbral establecido en la entrada negativa. Para la estimación de este umbral, se hace uso de un filtro el cual detectará el valor promedio de la señal y lo representará con un voltaje a la salida.

3.3.1. Filtro R-C

Se hace referencia a un circuito de filtro básico R-C (Figura 3.12) para modelar la señal que se desea obtener a la salida del filtro a diseñar.

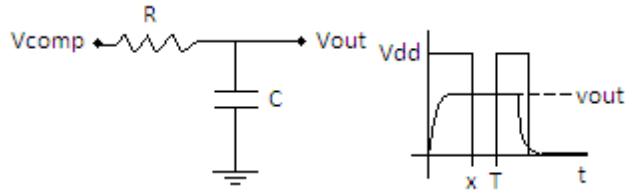


Figura 3. 12: Filtro R-C

La frecuencia del filtro se determina por la ecuación:

$$f_c = \frac{1}{2RC} \quad (3.54)$$

$$T = RC \quad (3.55)$$

De la figura 3.11:

$$V_{out} = \int_0^x V_{dd} dt + \int_x^T 0 dt \quad (3.56)$$

$$V_{out} = V_{dd}x \quad (3.57)$$

$$Duty\ Cycle = D = \frac{x}{T} \quad (3.58)$$

Reemplazando (3.58) en (3.57):

$$V_{out} = V_{dd} \times D \times T \quad (3.59)$$

Debido a las características de la señal neuronal la frecuencia del filtro será baja por lo que para alcanzar dicha frecuencia es necesaria una resistencia muy alta (aproximadamente en el orden de los Megaohmios) ya que si bien es cierto que se podría elevar el valor del condensador del filtro para mayor rechazo (filtrado) del ruido de la señal, estos no pueden ser muy elevados (deben ser menor a 100pF) porque el área del componente sería demasiado grande para el circuito integrado.

Al usar una resistencia en el filtro muy alta también hace que esta tenga un área grande, además que el uso de resistencias en dispositivos microelectrónicos no es recomendable ya que estas se les acoplan con mayor facilidad el ruido.

3.3.2. Filtro Gm-C

Existen circuitos electrónicos capaces de obtener valores de resistencias altas y pueden reemplazar a las resistencias sin presentar los problemas ya antes mencionados, estos son los amplificadores de transconductancia operacional (OTA).

3.3.2.1. Amplificador de Transconductancia operacional (OTA)

El OTA permite la conversión de voltaje de entrada en sus terminales en una corriente salida, relacionada con su transconductancia:

$$I_{out} = G_m(V_{in+} - V_{in-}) = G_m V_{id} \quad (3.60)$$

Un circuito más real del OTA se muestra en la figura 3.13 (c) donde se observa que este presenta un I_{bias} el cual es una corriente que permite variar el valor de transconductancia del OTA, lo cual se usará para este trabajo.

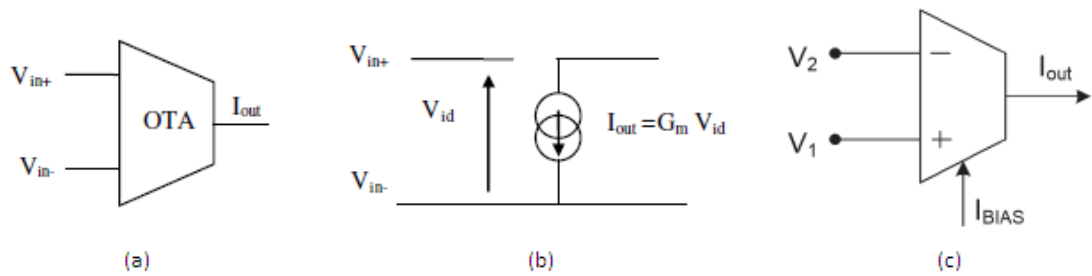


Figura 3. 13: (a) circuito OTA ideal (b) circuito equivalente [17] (c) circuito OTA real [18]

Asimismo, un factor importante a considerar en la presente tesis respecto del OTA es su linealidad, la cual depende del rango en el cual se encuentre la señal de voltaje diferencial (V_{DM}) del par diferencial que lo conforma. En el diferencial, si V_{DM} es un valor muy grande, la corriente I_{bias} que polariza a los transistores del par solo pasará por uno de los lados del par (por un transistor), lo cual no es conveniente para el diseño de amplificadores de transconductancia. Por ello, el valor absoluto de V_{DM} debe ser menor al valor de voltaje que haga que la corriente I_{bias} vaya solo a uno de los lados.

Para un par diferencial PMOS (Figura 3.3), si se asume $V_{in-} > V_{in+}$ la corriente $I_2 = I_{bias}$ e $I_1 = 0$; además, al considerar $I_1 = 0$, se tiene que $V_{sg1} = V_{thp}$, entonces:

$$V_{in-} = V_p - V_{SG1} \quad (3.61)$$

$$V_{in,CM} + \frac{V_{in,DM}}{2} = V_p - V_{thp} \quad (3.62)$$

$$\frac{V_{in,DM}}{2} = Vp - V_{in,CM} - V_{thp} \quad (3.63)$$

Igualmente, para M2

$$I_{bias} = \frac{1}{2} \times \beta_p \times (Vp - V_{in+} - V_{thp})^2 \quad (3.64)$$

$$I_{bias} = \frac{\beta_p}{2} \times (Vp - V_{in,CM} + \frac{V_{in,DM}}{2} - V_{thp})^2 \quad (3.65)$$

$$I_{bias} = \frac{\beta_p}{2} \times (V_{in,DM})^2 \quad (3.66)$$

El valor mínimo sería:

$$|V_{in,DM}| = \sqrt{\frac{2I_{bias}}{\beta_p}} \quad (3.67)$$

Para evitar la condición ya dicha:

$$-\sqrt{\frac{2I_{bias}}{\beta_p}} < V_{in,DM} < \sqrt{\frac{2I_{bias}}{\beta_p}} \quad (3.68)$$

$$-\sqrt{2} \times V_{ov} < V_{in,DM} < \sqrt{2} \times V_{ov} \quad (3.69)$$

donde

Vp: voltaje en los surtidores de M1 y M2 (Figura 3.3)

V_{ov}: Voltaje de overdrive

3.3.2.1.1. OTA con división de corriente

Se utiliza el método de división de corriente en los espejos de corriente del OTA dado que lo que se quiere a la salida es una fracción de la corriente que proviene de los transistores del par diferencial, con el fin de obtener valores mínimos de Gm del transconductor lo cual es querido para esta tesis, como se mencionó anteriormente para diseño del filtro, el valor de resistencia debe ser alto, que con la relación de resistencia y transconductancia ($R=1/Gm$), se requiera de valores de transconductancias pequeñas (en el orden de los nS). A continuación, se muestra el circuito de OTA propuesto en el presente trabajo (Figura 3.14):

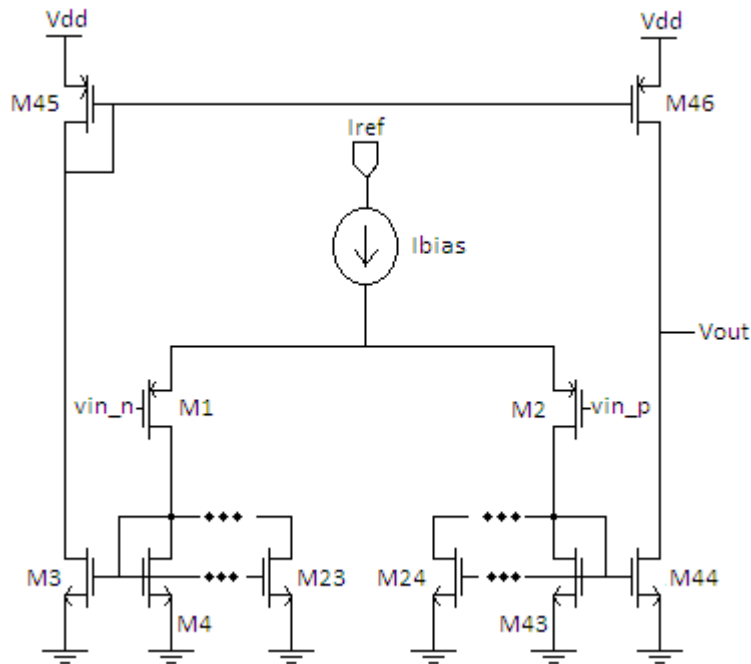


Figura 3. 14: Circuito OTA con división de corriente a la salida

Si se requiere que el valor de transconductancia del circuito sea el menor posible, el valor de la fuente de corriente I_{bias} y el factor de forma del par diferencial deberán ser lo más pequeño posible, se tiene las siguientes relaciones:

$$I_{par} = Gm_{par} \times \Delta Vin \quad (3.70)$$

$$I_{out} = Gm_{OTA} \times \Delta Vin = \frac{I_{par}}{N} \quad (3.71)$$

Dividimos (1.70) entre (1.69):

$$N = \frac{Gm_{par}}{Gm_{OTA}} \quad (3.72)$$

donde:

N: número de transistores utilizados para dividir la corriente del par en N veces

ΔVin : variación de voltaje de entrada del par diferencial en el OTA

De la ecuación (3.71) se observa que la transconductancia del OTA depende directamente proporcional de la transconductancia del par; que a su vez implica que dependa del I_{bias} , el cual se obtendrá del circuito de la figura 3.8 siendo su valor de 10nA.

Debido a los valores bajos de corriente de Ibias que se necesita para obtener una transconductancia pequeña, pueden existir problemas tal como la disminución en el V_{GS} , el cual al volverse muy pequeño es posible que el transistor entre en zona de inversión débil. Por ello, para evitar esto el factor de forma de los transistores debe disminuir, lo cual implicaría W 's muy pequeños y L 's muy grandes, cabe resaltar que estos tienen limitaciones en cuanto a sus valores mínimos y máximos debido al área del transistor. A continuación, se pasará a describir el funcionamiento del circuito:

Los transistores PMOS M1 y M2 son idénticos en el circuito, por ello la corriente que sale de la fuente corriente Ibias se dividirá en $I_{bias}/2$. Luego, con la técnica de división de corriente utilizada en los espejos de corriente con factor N (N:M4..M23 y N:M24..M44) obtenemos en los transistores NMOS M3 y M44 una corriente igual a $I_{bias}/(2xN)$, esta será igual a la corriente que pasa por M45; y posteriormente esa corriente será copia al transistor M46 por el espejo de corriente M45M46. Para asegurar que las corrientes que pasan por los transistores NMOS y PMOS sean similares, la relación de los factores de forma de los transistores debe ser la siguiente:

$$\frac{W_p}{L_p} = 2 \left(\frac{W_n}{L_n} \right) \quad (3.73)$$

Esto se debe a que las cargas móviles en el material de los transistores NMOS y PMOS son diferentes, en el primero existe la movilidad de electrones (μ_n), mientras que en el segundo se tiene la movilidad de huecos (μ_p), los cuales difieren en valor por ello se utiliza la ecuación (3.73) para compensar la movilidad.

Capítulo 4

Resultados de simulaciones

Las simulaciones de los circuitos previamente mencionados se trabajaron con tecnología AMS 0.35um CMOS; y se realizaron con la herramienta ADE (*Analog Design Environment*) en el entorno del software de simulación *Virtuoso Environment* de la empresa *Cadence Design Systems*, el cual permite el diseño de circuitos integrados (IC), tanto en esquemáticos como a nivel de *layout*. Además, es usado también para la simulación de circuitos y verificaciones físicas de los componentes diseñados.

4.1. Comparador diferencial PMOS

Se muestra en la tabla 4.1 los valores de los factores de formas de cada transistor, mientras que en la tabla 4.2, los parámetros de procesos de los transistores; asimismo, se indica el factor de número de transistores en paralelo (ng), con $i_{ref}=2\mu A$:

Tabla 4. 1: Valores de factores de forma de transistores del comparador

Transistor	ng	$\frac{W}{L}$	$W(\mu m)$	$L(\mu m)$
MP0, MP1	3	30	30	1
MN0, MN1	3	15	15	1
MN2, MN3	1	5	5	1
MP2, MP3	2	20	20	1
MP4	1	5.714	2	0.35
MN4	1	2.857	1	0.35
MP5	3	17.143	6	0.35
MN5	3	8.571	3	0.35

Tabla 4. 2: Parámetros de procesos para transistores en AMS 0.35um

Parámetro	Unidad	PMOS	NMOS
Movilidad (μn)	$\frac{cm^2}{V \cdot s}$	126	370
Capacitancia del óxido (C'_{ox})	$\frac{fF}{\mu m^2}$	4.54	4.54
Tensión umbral típico (V_t)	V	-0.68	0.46
Factor de ganancia típica (K_{Pp}/K_{Pn})	$\frac{\mu A}{V^2}$	58	170
Longitud Mínima (L_{min})	μm	0.35	0.35

Los valores de W/L son valores calculados de dicha división. En la figura 4.1 se observa el comparador PMOS con los valores que se muestran en la tabla anterior (tabla 4.1):

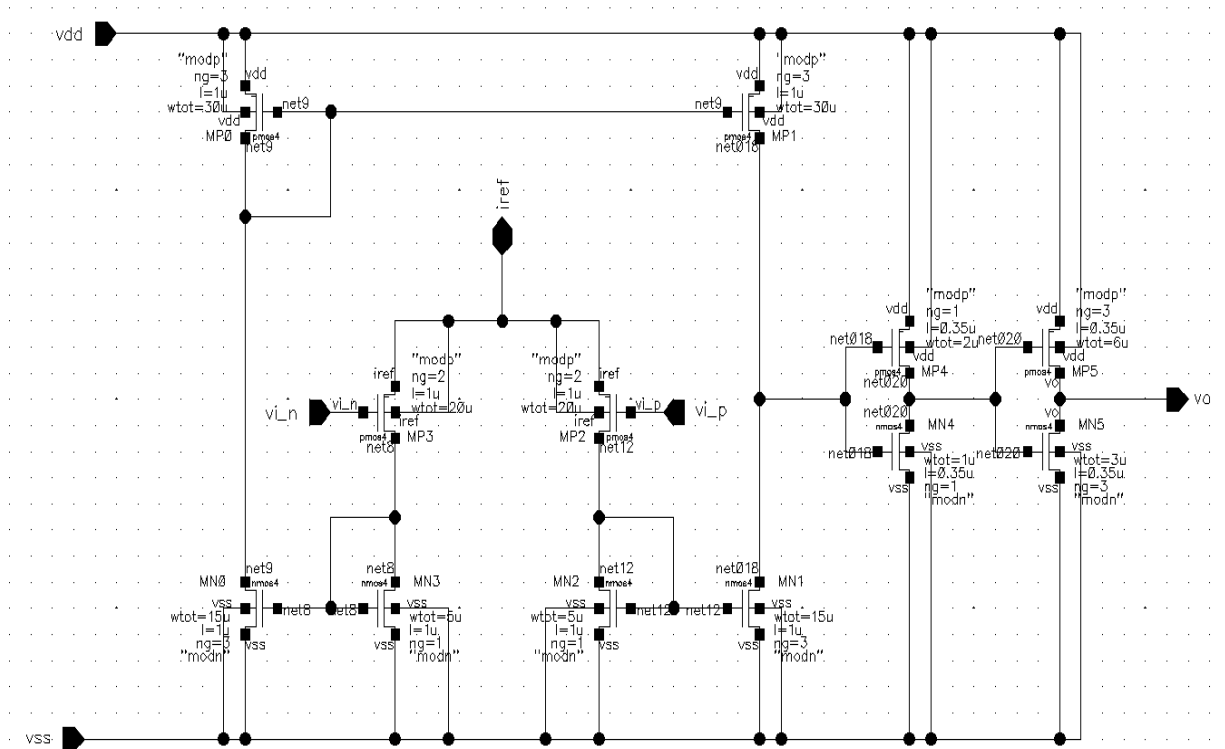


Figura 4. 1: Circuito esquemático del comparador PMOS

4.1.1. Simulación DC

El uso de esta simulación permite verificar el punto de operación de los transistores, así como sus parámetros tales como el voltaje puerta-surtidor, el voltaje de *overdrive*, su transconductancia, entre otros.

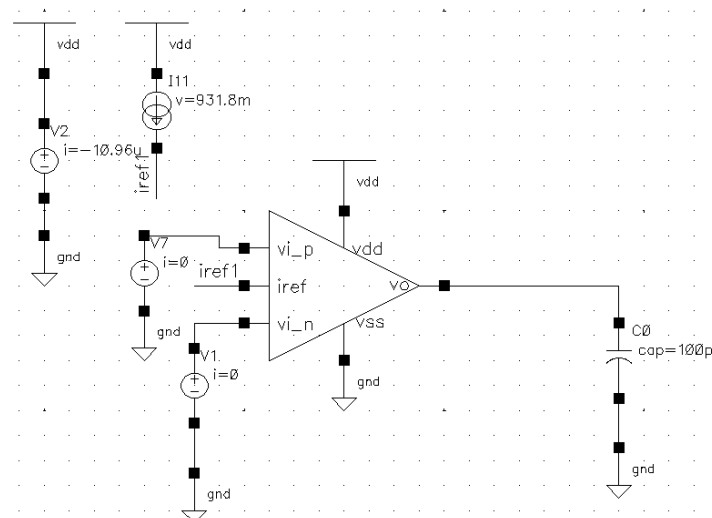


Figura 4. 2: Testbench del comparador con carga activa a la salida

En la figura 4.2 se muestra el *testbench* utilizado para obtener los parámetros del comparador con voltaje de entrada en modo común (*Input Common Mode*), se utiliza una fuente externa de 2uA para la polarización de los transistores. Asimismo, la fuente de alimentación es de 3.3V, la carga activa utilizada para simular es un capacitor de 100pF ya que se desea que la corriente que de salida no sea alta; y las entradas $V_{in-} = V_{in+} = 1.65V$ para asegurar la saturación del par. De ello se obtuvo que la corriente de consumo del comparador fuera de 10.96uA y el valor de transconductancia del par diferencial sea de 21.43uS. La figura 4.3 ilustra el circuito del comparador con los puntos de operación de los transistores:

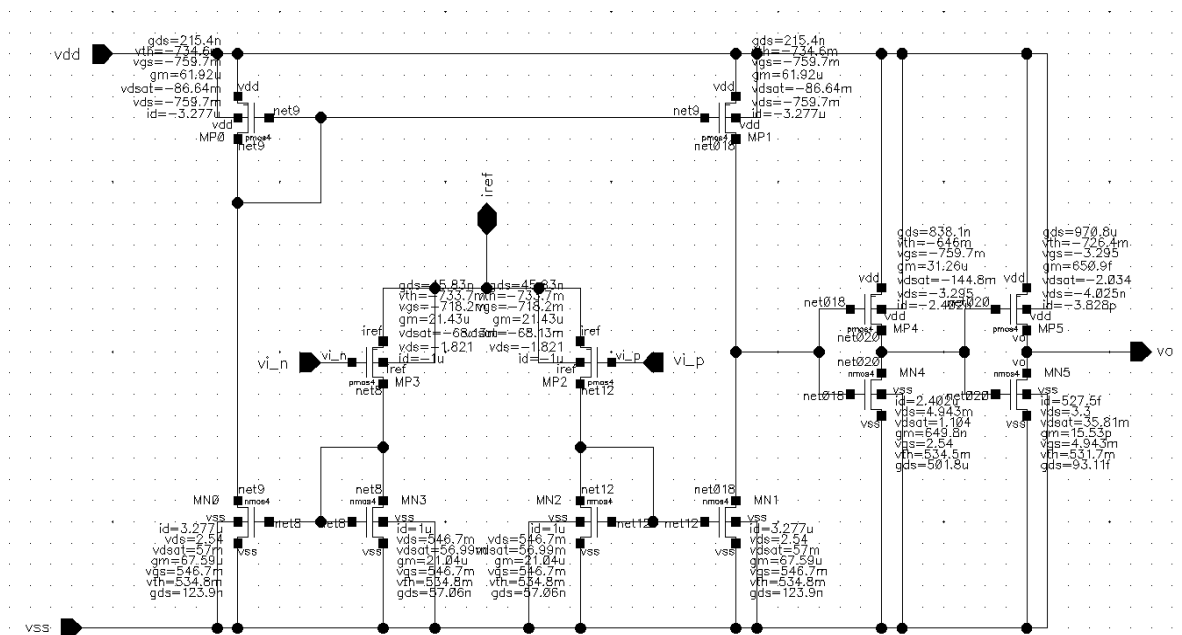


Figura 4. 3: Puntos de operación de los transistores del comparador

4.1.2. Simulación transitoria

Se utilizó la simulación transitoria para poder observar el comportamiento del circuito a la salida en el tiempo. Se muestra a continuación dos de ellas:

4.1.2.1. Señal Sinusoidal

La señal de entrada v_{in+} es una señal sinusoidal con amplitud de 2.5V y frecuencia de 10khz, y la señal v_{in-} es la señal de entrada de voltaje umbral (V_{th}) el cual se puso el valor de 900mV.

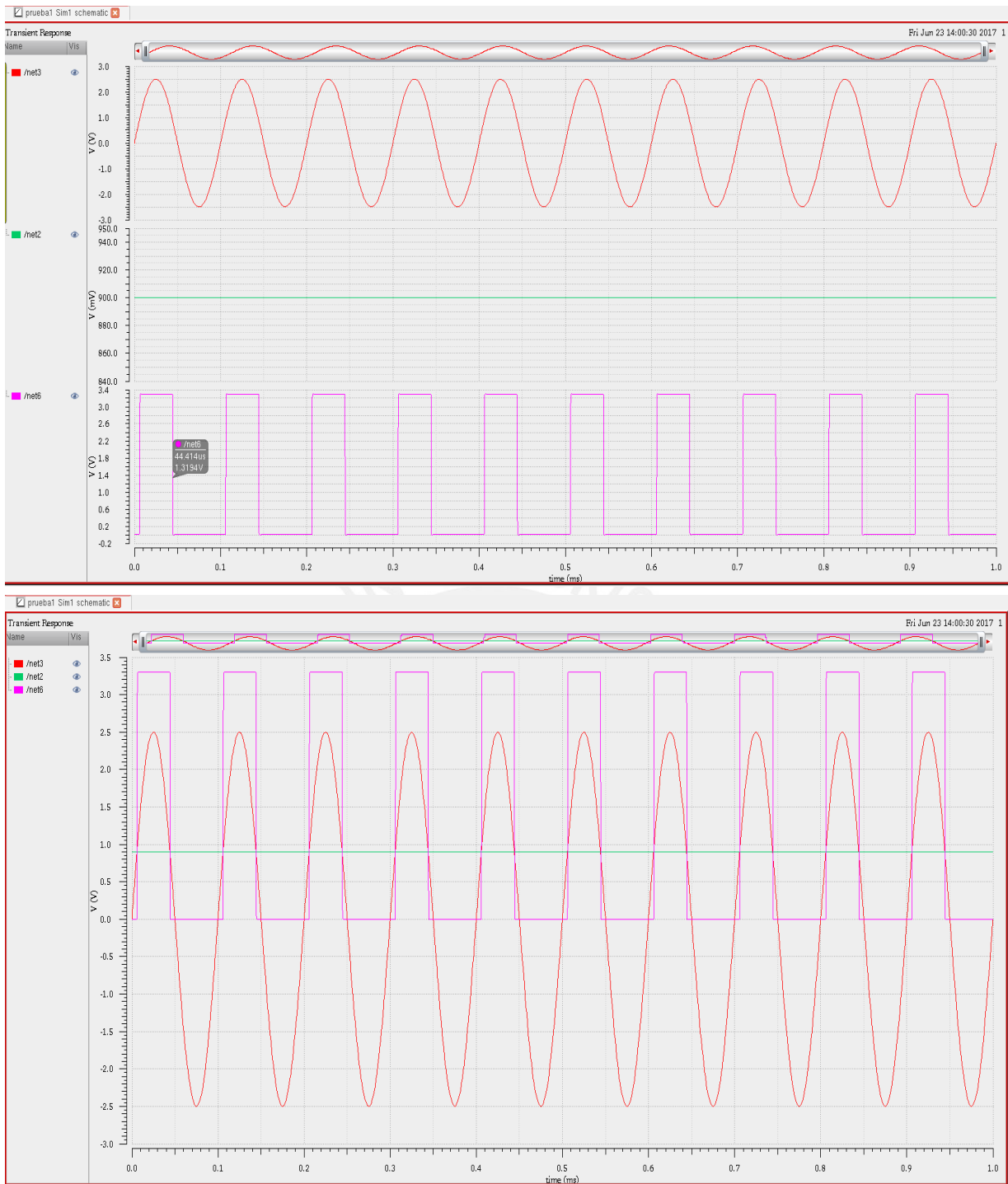


Figura 4. 4: Respuesta del comparador frente entrada sinusoidal

En la figura 4.4 se observan dos gráficas, la primera en la parte superior, se distinguen la señal entrada V_p (onda sinusoidal de color rojo), la señal de entrada V_n (señal en color verde) la cual es una señal fija; y la señal de color fucsia es la señal de salida del comparador. La segunda gráfica se observa que para valores donde la señal sinusoidal es mayor que el valor umbral la señal del comparador será V_{dd} (3.3V) mientras que cuando la señal es menor, este lo manda a 0V. Esto corrobora el comportamiento ya antes explicado del comparador;

también se nota que la velocidad de respuesta a la subida y bajada es lo suficientemente veloz como para mostrar una onda cuadrada siendo su Slew Rate: 0.157V/us, la cual varía en *duty cycle* dependiendo del valor de umbral que se le asigne al comparador en la entrada negativa (v_{in-}).

4.1.2.2. Señal Neuronal

Se realizó la simulación con una señal de entrada positiva igual a una señal neuronal (señal fucsia) amplificada con una duración de 2s y amplitud de 900mV, la cual se le dio una referencia de 500mV (señal roja) para una mejor visualización en la simulación (Figura 4.5).

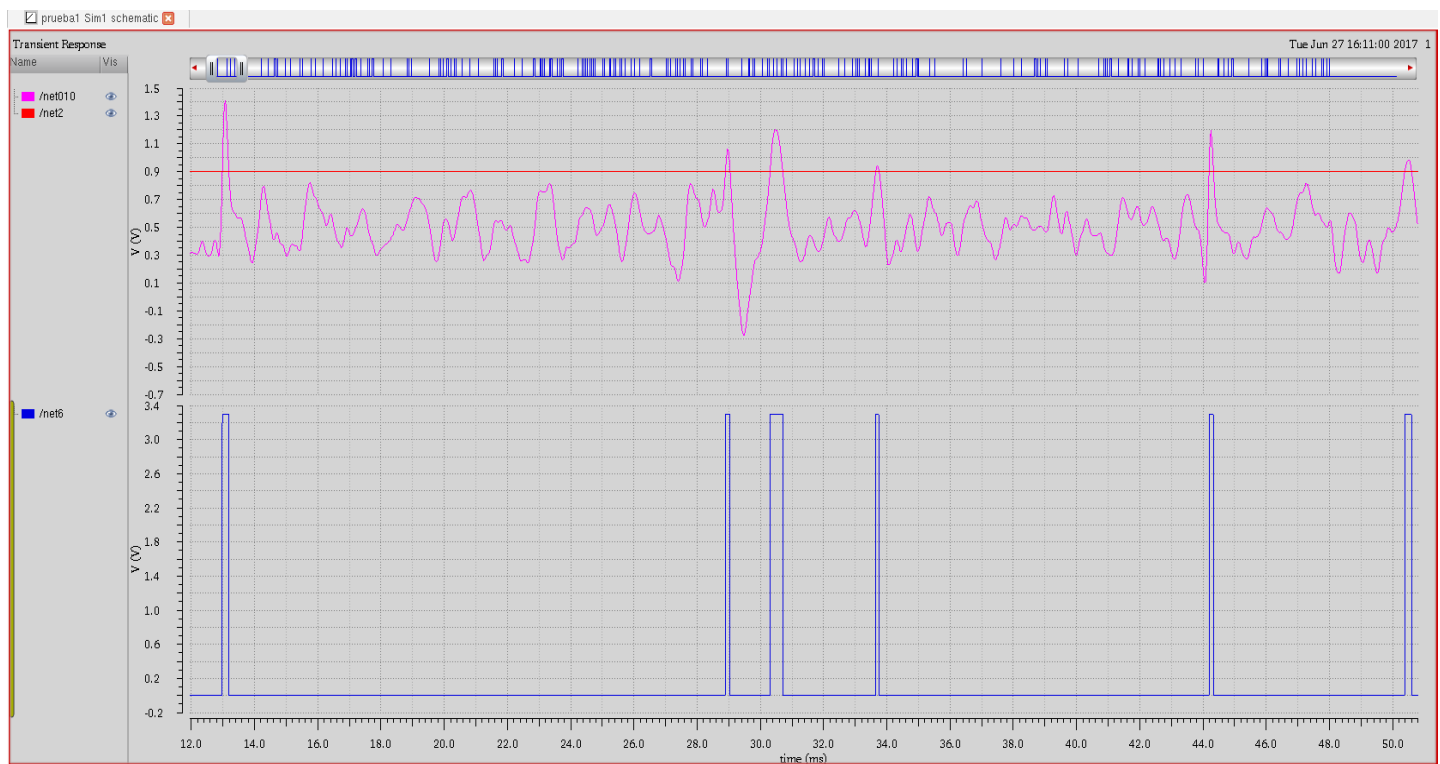


Figura 4. 5: Salida del comparador con entrada de señal neuronal

En la figuras 4.6, 4.7 y 4.8 se ilustra los resultados de salida del comparador; se estimó un rango para valores de V_{th} (voltaje umbral del comparador) mediante las simulaciones realizadas, el cual se utilizó para el análisis paramétrico.

Análisis paramétrico:

Se realizó para un valor de umbral $V_{th} \in [500 - 1000]mV$:



Figura 4. 6: Salida del comparador con $V_{th}= 500mV$



Figura 4. 7: Salida del comparador con $V_{th}= 750mV$



Figura 4. 8: Salida del comparador con $V_{th}= 1V$

Se observa que dependiendo del valor del umbral obtenemos diferentes respuestas en la salida del comparador, siendo que cuando el nivel umbral es menor que la señal neuronal se obtiene una mayor respuesta en alta (Figura 4.6); y cuando este es mayor el número de respuesta en alta disminuye (Figura 4.8).

4.2. Filtro pasa-bajo

4.2.1. Respuesta Filtro R-C

Las simulaciones realizadas mediante es circuito, sirvió para obtener y comparar el posible comportamiento del OTA frente a la señal que se obtiene del comparador.

Debido a la frecuencia que se desea obtener por las características de la señal en el presente trabajo, además que la señal debe presentar el menor rizado posible, se utilizó una resistencia de 1Gohm y un capacitor de 100pF, así se asegura que el tiempo de respuesta del filtro sea el necesario para alcanzar la señal de salida del comparador tal y como se muestra en la primera imagen de la figura 4.9.

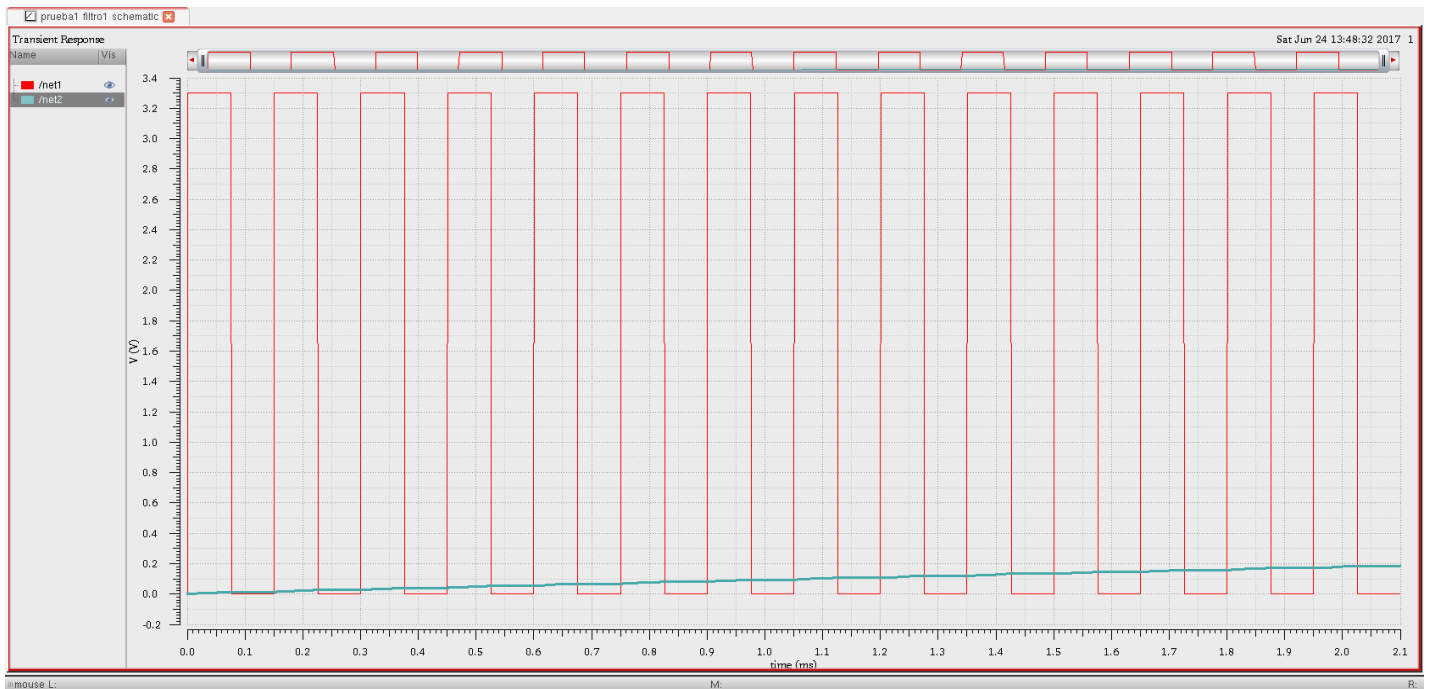
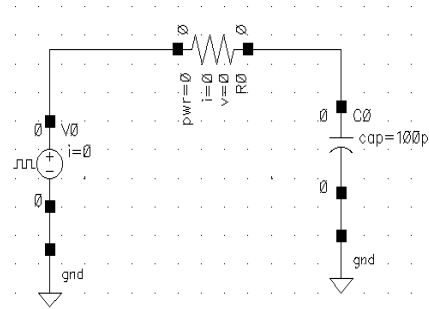


Figura 4. 9: Respuesta del filtro RC con señal de onda cuadrada

La señal de entrada del filtro es una señal de onda cuadra la cual representa la salida del comparador de la etapa previa, mientras que la señal en turquesa es la respuesta del filtro RC (señal de salida). En la primera imagen de la figura 4.10 se ilustra el circuito comparador junto con el filtro RC que tiene por entrada una señal neuronal amplificada:

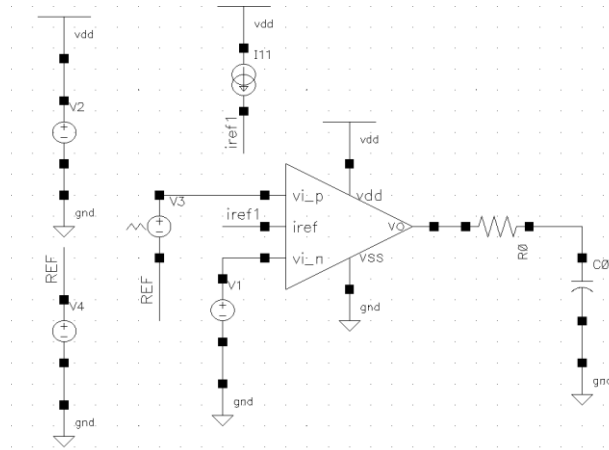


Figura 4. 10: Respuesta filtro RC con señal de salida del comparador con entrada neuronal

En la salida del filtro (señal de color verde) se obtiene un valor de voltaje proporcional a la tasa de disparo de la señal de salida del comparador; asimismo, este aun presenta problemas de rizado a la salida tal y como se observa en la segunda imagen de la figura 4.10.

4.2.2. Respuesta Filtro Gm-C

4.2.2.1. Respuesta OTA con división de corriente

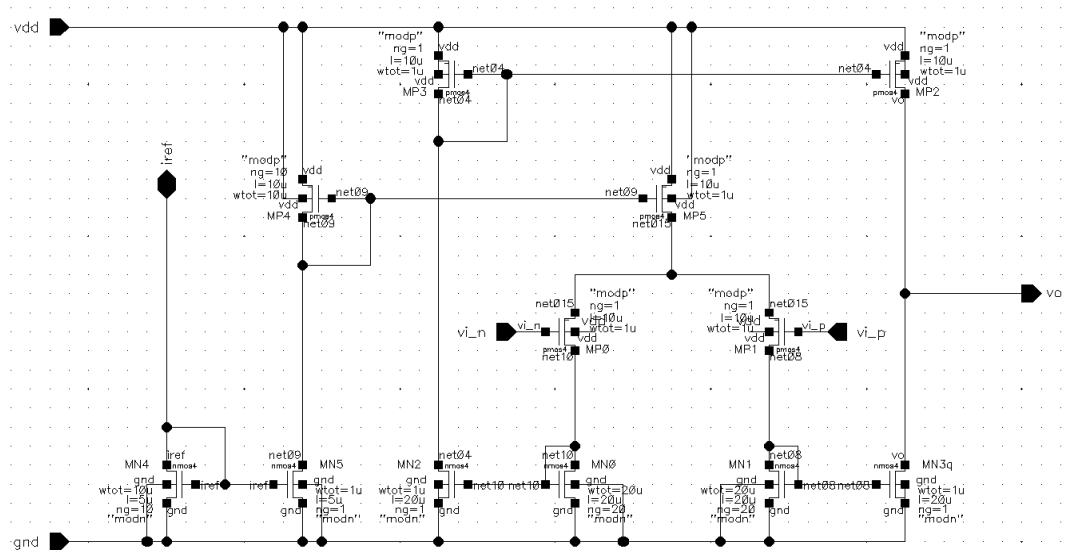


Figura 4. 11: Circuito esquemático del OTA

La figura 4.11 muestra el circuito esquemático del OTA; asimismo, en la tabla 4.3 se muestran los valores del OTA con división de corriente, mientras que en la tabla 4.4 se muestran los valores utilizados en la fuente de corriente que controla el valor de Gm, y tiene un iref de 1uA para así obtener un Ibias de aproximadamente 10nA en el par diferencial.

Tabla 4. 3: Factores de forma del OTA

Transistor	ng	$\frac{W}{L}$	$W(\mu m)$	$L(\mu m)$
MP0, MP1	1, 1	0.1	1	10
MN0, MN1	20, 20	1	20	20
MN2, MN3	1, 1	0.05	1	20
MP2, MP3	1, 1	0.1	1	10

Tabla 4. 4: Factores de forma para la fuente de corriente iref

Transistor	ng	$\frac{W}{L}$	$W(\mu m)$	$L(\mu m)$
MN4	10	2	10	5
MN5	1	0.2	1	5
MP4	10	1	10	10
MP5	1	0.1	1	10

4.2.2.1.1. Simulación DC

Con carga activa a la salida:

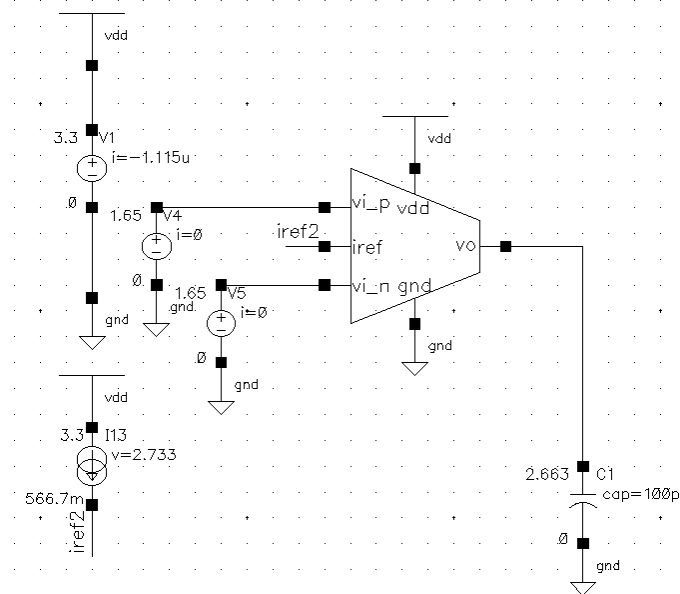


Figura 4.12: Testbench del OTA en ICM

Se realizó la simulación del OTA en modo entrada común (*Input Common Mode*), $V_{in+}=V_{in-}=1.65V$ para asegurar la correcta polarización de los transistores del par diferencial tal y como se muestra en la figura 4.12; además, se realizó la simulación con el fin de obtener los valores de G_m del par diferencial, y comprobar que los transistores se encuentren en la zona de saturación.

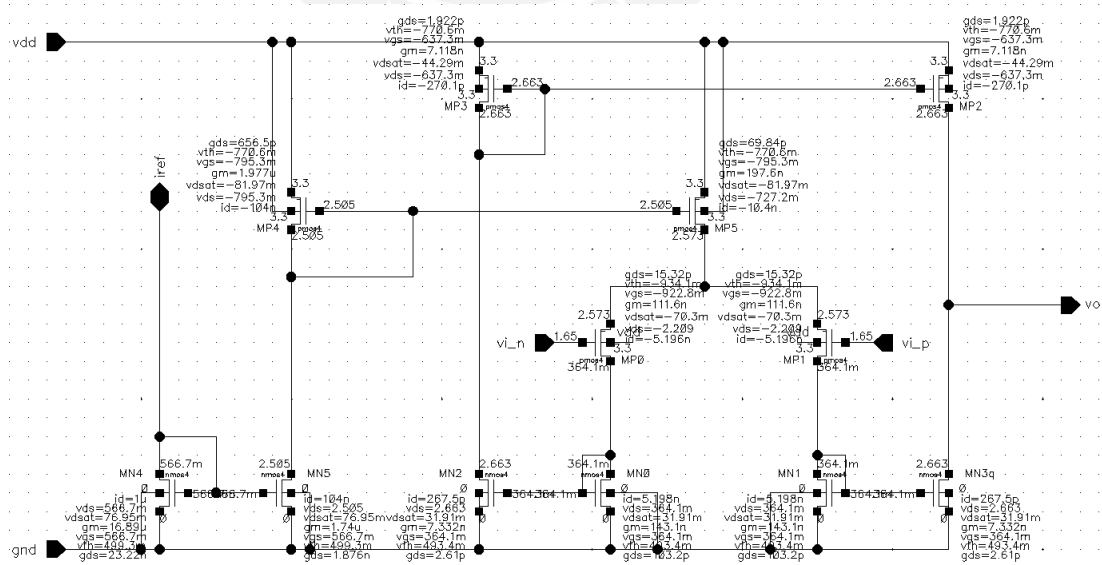


Figura 4.13: Parámetros de los transistores del OTA

La figura 4.13 se muestra que la corriente a la salida en el amplificador de transconductancia está alrededor de 270pA, que es aproximadamente el valor de la corriente que pasa por los transistores MP0 y MP1 dividido entre 20 (factor de número de transistores utilizados para la división de corriente).

Circuito OTA realimentado:

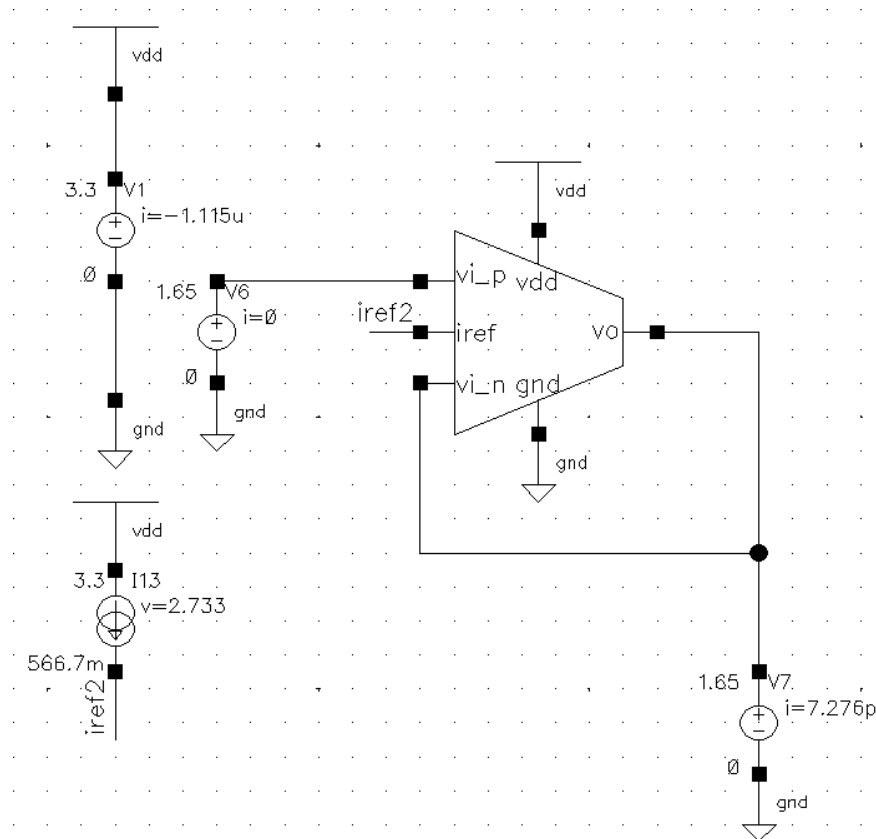


Figura 4.14: Testbench del OTA realimentado

Se realizó la simulación con el OTA realimentado (Figura 4.14) y se obtuvieron los mismos resultados anteriores. Donde el G_m del par diferencial es de 111.6nS siendo el G_m del OTA 5.58nS ya que el G_m del par se divide entre el factor de división de corriente $N=20$; el consumo obtenido del OTA es de una corriente de 1.115uA.

4.2.2.1.2. Simulación transitoria

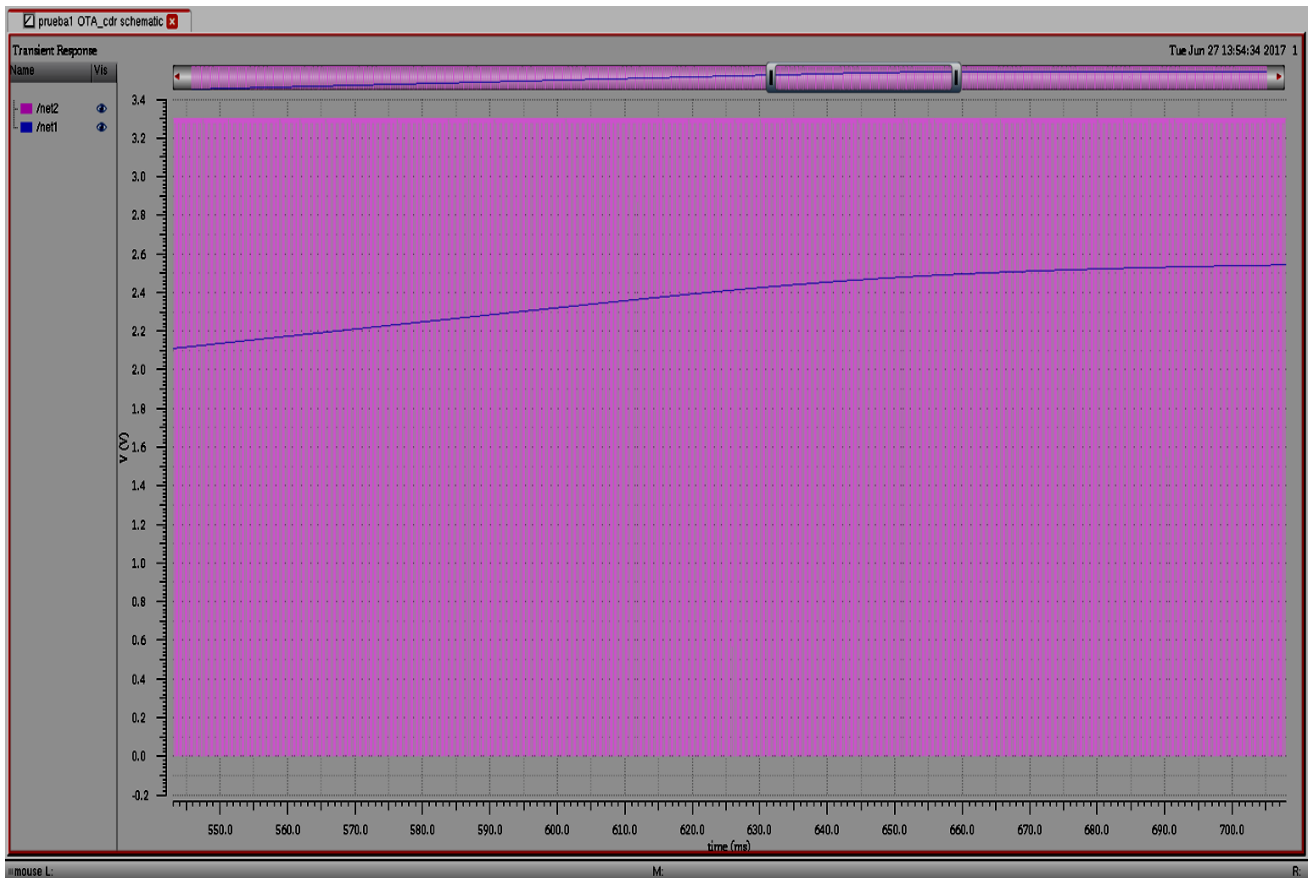
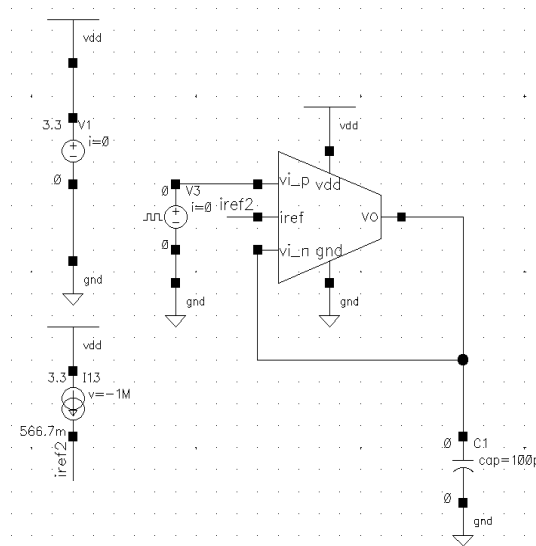


Figura 4. 15: Respuesta del OTA con entrada de onda cuadrada

En la primera imagen de la figura 4.15 se muestra el circuito del filtro Gm-C realimentado, el cual tiene como entrada una onda cuadrada para simular la salida del comparador (señal fucsia) y se observa en la segunda imagen la señal azul que representa la salida del filtro, lo cual nos permite ver el comportamiento que presentará.

4.3. Circuito estimador de la tasa de disparo

En la figura 4.16 se muestra el circuito total del estimador de la tasa de disparos del detector:

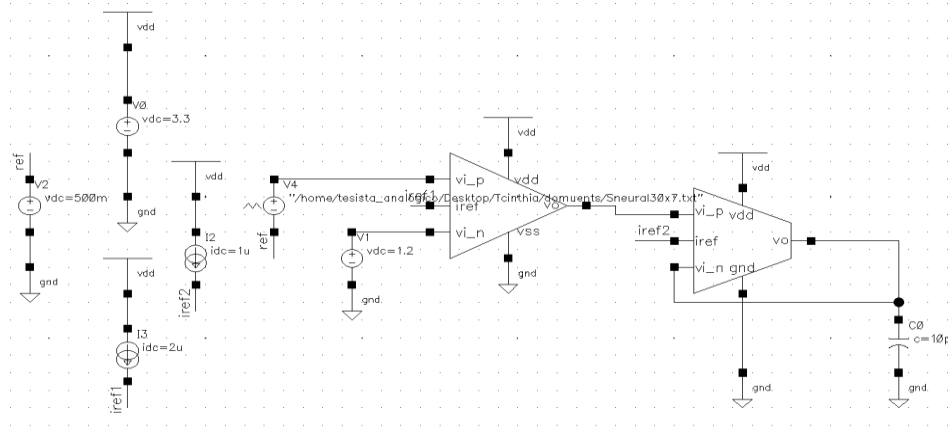


Figura 4. 16: Testbench del circuito estimador de la tasa de disparo

4.3.1. Señal sinusoidal

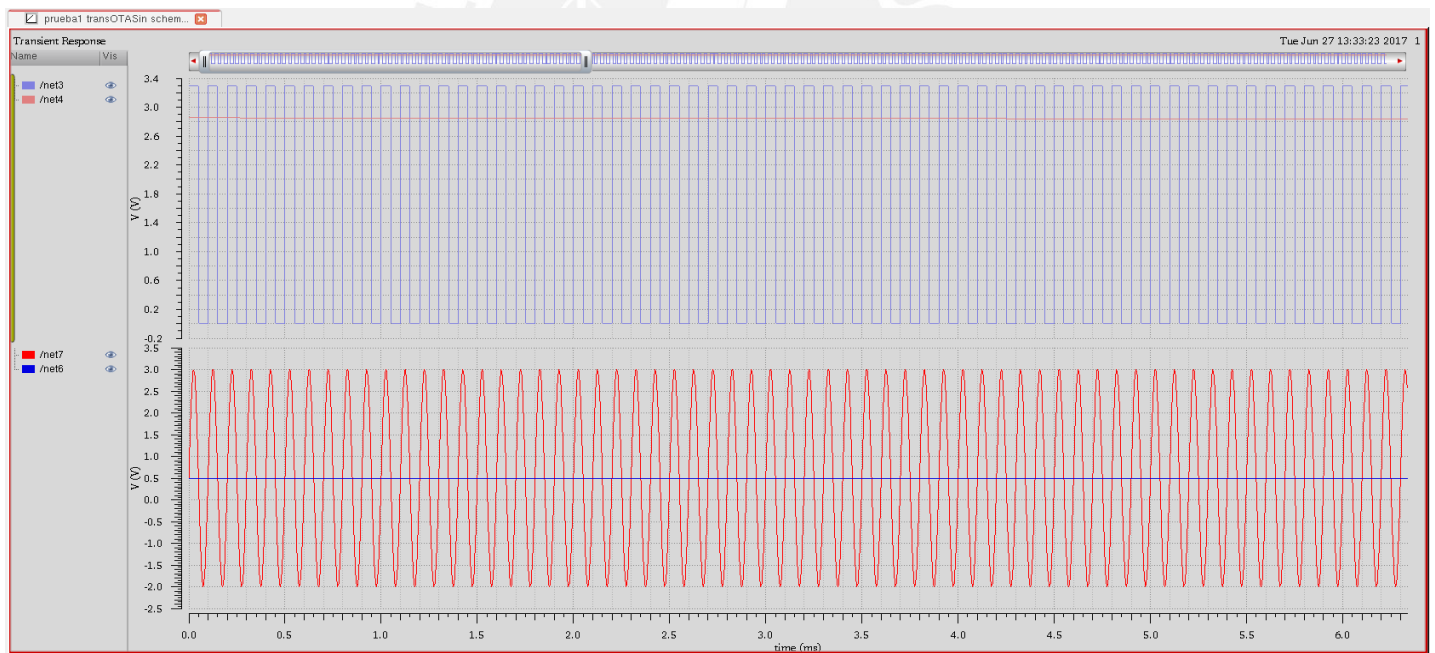


Figura 4. 17: Respuesta del estimador ante una entrada sinusoidal

La figura 4.17 ilustra la salida del estimador (señal de color naranja) frente a una señal sinusoidal de entrada de 2V respecto de un valor umbral fijo (500mV).

4.3.2. Señal neuronal

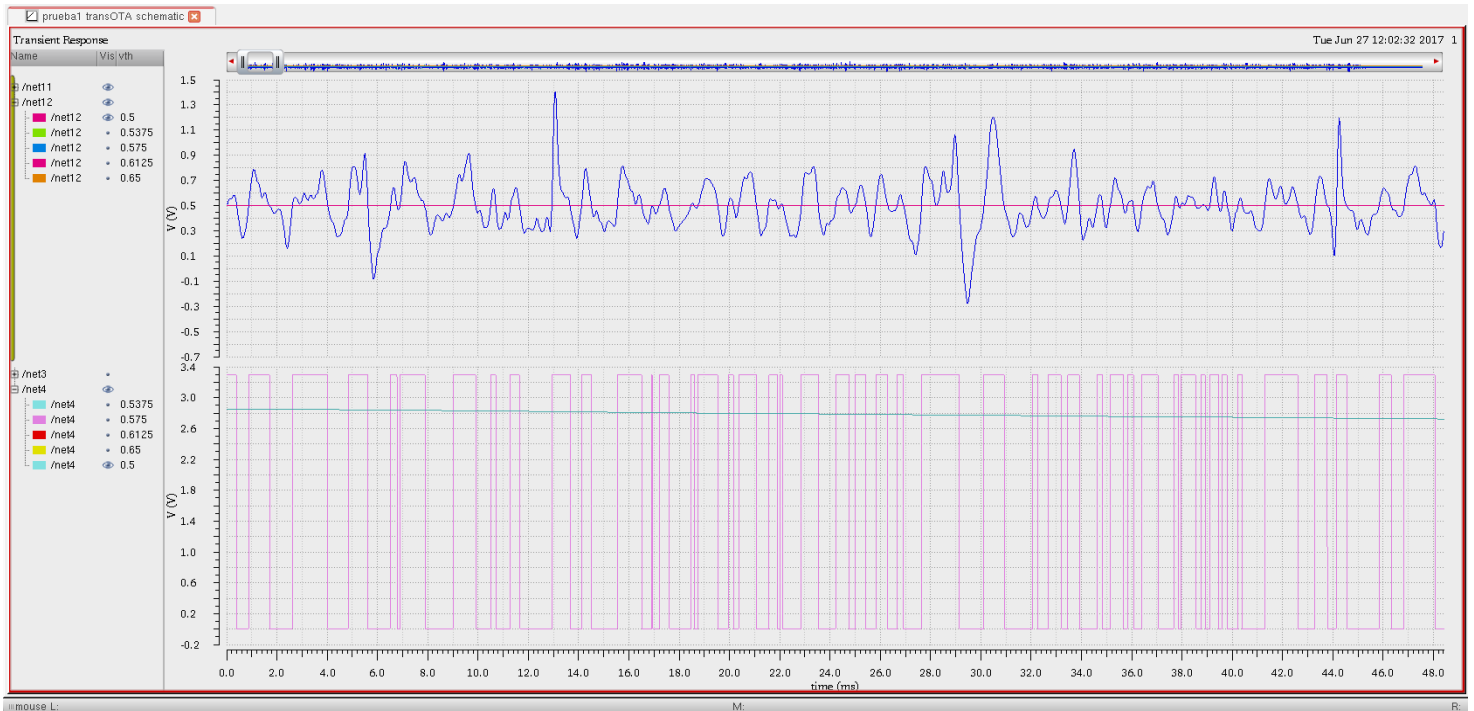


Figura 4.18: Respuesta del estimador ante la señal neuronal

En la figura 4.18 se puede observar la señal neuronal junto con el valor umbral $V_{th}=500\text{mV}$, la señal del comparador y la señal de salida del circuito (color turquesa), el cual es el valor estimado de señal de disparo de la señal neuronal en voltaje.

Conclusiones

Al analizar los resultados de simulación presentados en el capítulo 4 se concluye que el método de división de corriente permitió obtener valores de transconductancia suficientemente pequeños para modelar a una resistencia del orden de decenas de MOhms. Asimismo, el uso de este modelamiento permite menor consumo del área en el chip ya que incluir una resistencia de ese valor no sería conveniente debido a las dimensiones y espacio dentro del chip; además del beneficio de uso de menor área, evita el uso de resistencias externas. También, esto fue muy importante para que el filtro genere un voltaje de salida estable, sin perturbaciones de rizado.

La respuesta obtenida del filtro es lo suficientemente rápida como para alcanzar la señal de salida del comparador debido a en las simulaciones se observó que cuando el comparador varía su salida de alta a baja y viceversa, la respuesta del filtro también variaba con similar rapidez, generando un rizado mínimo; asimismo, el valor de voltaje de salida del filtro Gm-C es proporcional a la tasa de disparo de la salida del comparador.

Se concluye que la arquitectura seleccionada para el comparador permitió un tiempo de respuesta suficiente para indicar cuándo el valor umbral es superado por el valor de la señal neuronal, permitiendo así obtener el momento en el cual existe un impulso neuronal; además, para que la respuesta final que se obtiene del comparador pueda alcanzar los valores de Vdd correctamente, fue necesario el uso de un inversor en cascada.

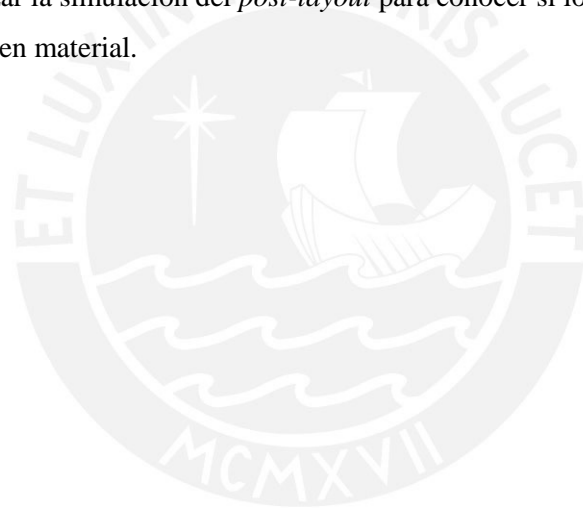
A partir de la revisión de la literatura relacionada a implantes neuronales se concluye que existe una necesidad de disponer de métodos más simples y energéticamente económicos para estimar el umbral de comparación de la detección de impulsos eléctricos neuronales.

Recomendaciones

Realizar simulaciones variando los valores de G_m a valores más pequeños en el filtro Gm-C pasa bajos para así obtener menor rizado en la salida; también, disminuir el valor del capacitor utilizado, disminuyendo así su área.

Diseñar un circuito comparador a la salida del filtro que permita obtener el valor de voltaje umbral para el detector.

Realizar el diseño del *Layout* para obtener el área total del circuito integrado completo; asimismo, realizar la simulación del *post-layout* para conocer si los efectos de capacitancia parasita afectan en material.



Bibliografía:

[1]: I. B. Levitan y L. K. Kaczmarek, "The Neuron: Cell and Molecular Biology," en *Oxford University Press*, no. 4, 2015.

URL:

<https://books.google.es/books?hl=es&lr=&id=t4V2CAAAQBAJ&oi=fnd&pg=PP1&dq=neuron+cell&ots=8KxxHWnrDs&sig=4R2kIyVVmI2G5x6Bor0WaHKnkMs#v=onepage&q=neuron%20cell&f=false>

[2]: B. Gosselin y M. Sawan, "An Ultra Low-Power CMOS Automatic Action Potential Detector," en *IEEE Transactions on Neural Systems and Rehabilitation Engineering*, vol. 17, no. 4, pp. 346-353, Agos. 2009.

URL:

<http://ieeexplore.ieee.org.ezproxybib.pucp.edu.pe:2048/stamp/stamp.jsp?tp=&arnumber=4813269&isnumber=5200715>

[3]: J.S. Guimaraes, A.M.R. Costa y R.D. Souza-Rodrigues, "Mecanismo de degeneración secundaria en el sistema nervioso central durante los trastornos neuronales agudos y de daño en la sustancia blanca," en *Revisión en neurociencia*, vol. 48, no. 6, pp.304-310, 2009.

URL:

http://univirtual.unicauca.edu.co/moodle/pluginfile.php/84262/mod_resource/content/1/Mecanismos%20Secundarios%20de%20Lesi%C3%B3n%20Neuronal.pdf

[4]: J. Tapia-Núñez y P. Chaná-Cuevas, "Diagnóstico de la enfermedad de Parkinson," en *Revista de neurología*, vol. 38, no.1, pp.61-67, Ene. 2004.

URL:

https://www.researchgate.net/publication/8379526_Diagnosis_of_Parkinson%27s_disease

[5]: C. Parquet, M. Romano y M. Nissen. "Enfermedad de Alzheimer," en *Revista de Posgrado de la Vía Cátedra de Medicina*, no. 175, pp.9-12, Nov. 2007.

URL: http://congreso.med.unne.edu.ar/revista/revista175/3_175.pdf

[6]: O. Gómez-Valdés, S. Chávez-Ocaña y A. González-Muñoz, "Síndrome de Steele Richardson y Olzewski (parálisis supranuclear progresiva). Reporte de un caso clínico y revisión bibliográfica," en *Revista del Hospital Juárez de México*, vol. 80, no. 3, pp. 196-201, 2013.

URL: <http://www.medigraphic.com/pdfs/juarez/ju-2013/ju133h.pdf>

[7]: W. Gerstner y W. M. Kistler, "Spiking Neuron Models: Single Neurons, Populations, Plasticity" en *Cambridge University Press*, 2002.

URL:

<https://books.google.es/books?hl=es&lr=&id=Rs4oc7HfxIUC&oi=fnd&pg=PR11&dq=the+neuron&ots=2Qf3uX9PZ7&sig=qRM05khsBnhATy2wgvD9QLBuhs4#v=onepage&q=the%20neuron&f=false>

[8]: N. V. Thakor, "Biopotentials and Electrophysiology Measurement" en *CRC Press LLC*, 1999.

URL: <http://mx.nthu.edu.tw/~yuusu/3271/p07.pdf>

[9]: M. T. Salam, M. Sawan y D. K. Nguyen, "A Novel Low-Power-Implantable Epileptic Seizure-Onset Detector," en *IEEE Transactions on Biomedical Circuits and Systems*, vol. 5, no. 6, pp. 568-578, Dic. 2011.

URL:

<http://ieeexplore.ieee.org.ezproxybib.pucp.edu.pe:2048/stamp/stamp.jsp?arnumber=5929491>

[10]: Europa Press "Una prótesis neuronal restaura el comportamiento tras una lesión cerebral," Dic. 2013.

URL: <http://www.infosalus.com/salud-investigacion/noticia-protesis-neural-restaura-comportamiento-lesion-cerebral-20131210091207.html>

[11]: S. Gibson, J. W. Judy y D. Marković, "Spike Sorting: The First Step in Decoding the Brain: The first step in decoding the brain," en *IEEE Signal Processing Magazine*, vol. 29, no. 1, pp. 124-143, Ene. 2012.

URL:

<http://ieeexplore.ieee.org.ezproxybib.pucp.edu.pe:2048/stamp/stamp.jsp?tp=&arnumber=6105476&isnumber=6105445>

[12]: Y. G. Li, Q. Ma, M. R. Haider y Y. Massoud, "Ultra-low-power high sensitivity spike detectors based on modified nonlinear energy operator," en *IEEE International Symposium on Circuits and Systems (ISCAS2013)*, pp. 137-140, 2013.

URL:

<http://ieeexplore.ieee.org.ezproxybib.pucp.edu.pe:2048/stamp/stamp.jsp?tp=&arnumber=6571801&isnumber=6571764>

[13]: S. M. A. Zeinolabedin, A. T. Do, K. S. Yeo and T. T. H. Kim, "Design of a hybrid neural spike detection algorithm for implantable integrated brain circuits," en *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 794-797, 2015.

URL:

<http://ieeexplore.ieee.org.ezproxybib.pucp.edu.pe:2048/stamp/stamp.jsp?tp=&arnumber=7168753&isnumber=7168553>

[14]: E. Yao, Y. Chen y A. Basu, "A 0.7 V, 40 nW Compact, Current-Mode Neural Spike Detector in 65 nm CMOS," en *IEEE Transactions on Biomedical Circuits and Systems*, vol. 10, no. 2, pp. 309-318, Abril 2016.

URL:

<http://ieeexplore.ieee.org.ezproxybib.pucp.edu.pe:2048/stamp/stamp.jsp?tp=&arnumber=7151855&isnumber=7422857>

[15]: Donghwi Kim, Milutin Stanacevic, Ridha Kamoua y Z. Mainen, "A low-power low-data-rate neural recording system with adaptive spike detection," en *51st Midwest Symposium on Circuits and Systems*, pp. 822-825, 2008.

URL:

<http://ieeexplore.ieee.org.ezproxybib.pucp.edu.pe:2048/stamp/stamp.jsp?tp=&arnumber=4616926&isnumber=4616714>

[16]: B. Razavi, "Single-Ended and Differential Operation," en *Design of Analog CMOS Integrated Circuits*, vol. 1, 2001.

[17]: K. Garradhi, N. Hassen y K. Besbes, "Low voltage low power analog circuit design OTA using signal attenuation technique in universal filter application," en *IEEE 12th International Multi-Conference on Systems, Signals & Devices (SSD15)*, pp. 1-7, 2015.

URL:

<http://ieeexplore.ieee.org.ezproxybib.pucp.edu.pe:2048/stamp/stamp.jsp?tp=&arnumber=7348263>

[18]: R. Sinha, S. Khot y M. S. Ansari, "A 22nm $\pm 0.95V$ CMOS OTA-C front-end with 50/60 Hz notch for biomedical signal acquisition," en *International Conference on Power and Advanced Control Engineering (ICPACE)*, pp. 295-299, 2015.

URL:

<http://ieeexplore.ieee.org.ezproxybib.pucp.edu.pe:2048/stamp/stamp.jsp?arnumber=7274961>