

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ
FACULTAD DE CIENCIAS E INGENIERÍA



PONTIFICIA
UNIVERSIDAD
CATÓLICA
DEL PERÚ

**ESTUDIO Y ANÁLISIS DE UN CIRCUITO DE REDUCCIÓN DE
LA DIFERENCIA ENTRE LAS CORRIENTES DE
ESTIMULACIÓN PARA LA PRÓTESIS EPIRETINAL**

Tesis para optar el Título de Ingeniero Electrónico, que presenta el bachiller:

Jesús André Martínez Espinoza

ASESOR: Manuel Alejandro Monge Osorio

Erick Leonardo Raygada Vargas

Lima, Noviembre de 2019



Agradecimiento a mi asesor Manuel Monge por apoyarme durante toda la travesía de la investigación y a mi asesor Erick Raygada por ayudarme en cada duda y circunstancia que se presentara durante este tiempo, de ambos aprendí grandes lecciones que aplico a mi vida diaria profesional, A Mario Raffo por las grandes ideas y consejos que brindaba durante aquellas tardes en el grupo microelectrónica.

Al profesor Willy Carrera por apoyarme durante todos los años de carrera con sus asesorías y consejos, A Stefano Romero por apoyarme en las dudas de cada procesos y cursos por los cuales él ya había experimentado.

A mis amigos más cercanos de la especialidad con los cuales estuve en cada clase, laboratorio, proyecto y múltiples situaciones que logramos superar unidos en la búsqueda por conseguir el ansiado título de ingeniero. Con ellos viví situaciones nuevas que nunca olvidaré y forme fuertes lazos de hermandad que perdurarán durante toda mi vida

A mi familia por el múltiple apoyo académico y personal, durante estos años pude mantener el camino y conseguir lo que aspiraba por su incondicional apoyo, pese a toda situación que se presentara, su cariño me permitía no rendirme hasta conseguirlo.

Resumen

El presente trabajo de tesis consiste en el estudio y análisis de un circuito propuesto para reducir la diferencia entre los pulsos de corrientes utilizados durante la operación de la prótesis epiretinal. La topología propuesta para la calibración es híbrida; constituye de una fase analógica y una digital a fin de reducir la diferencia de corriente y almacenar un valor de cuenta para compensar la corriente generada durante el uso de la prótesis.

Dentro de los requisitos para el diseño del circuito propuesto, se considera los límites en el área y potencia del chip debido a la ubicación y dificultad de acceso de la prótesis. Asimismo, se busca que el valor de la carga remanente generada por la persistencia de la corriente de *mismatch* no exceda el límite de $100nA$ a fin de evitar daños en el tejido superficial.

El circuito propuesto define una variable "n" la cual corresponde al número de espejos de corriente en la fase analógica, se realiza un análisis variando "n" a fin de analizar las consecuencias y ventajas que se tiene en el nivel de mismatch final y en el área ocupada en el chip por el circuito de calibración. Se utiliza la herramienta de MATLAB para simular y ejemplificar el proceso de calibración mostrando las señales de ambos pulsos en una gráfica de tiempo desde el inicio de la calibración hasta el cálculo del valor de cuenta necesario para compensar la corriente de mismatch.

Índice General

Introducción	1
CAPÍTULO 1	2
Fundamento y funcionamiento de la prótesis de retina en la actualidad	2
1.1 Enfermedades oculares.....	2
1.1.1 Estructura de la retina	2
1.1.2 Conceptos de Retinosis Pigmentaria y Degeneración Macular Asociada a la Edad	3
1.2 Prótesis de retina.....	6
1.2.1 Introducción a la prótesis de retina.....	6
1.2.2 Tipos de prótesis de retina en la actualidad	6
1.2.3 Funcionamiento de la prótesis de retina.....	8
1.2.4 Partes de la prótesis de retina epirretinaria	9
1.3 Precaución de niveles de estimulación	11
CAPÍTULO 2	12
Factores de seguridad y correcciones en el <i>mismatch</i> de corriente	12
2.1 Estimulación del tejido	12
2.2 Problemática de seguridad en la prótesis.....	13
2.3 Conceptos de mismatch	14
2.3.1 El " <i>Mismatch</i> " en CMOS	14
2.3.2 Factores que generan el mismatch	14
2.3.3 Importancia de la corrección de mismatch.....	16
2.4 Calibración de corrientes bifásicas	16
2.4.1 Métodos de calibración de mismatch.....	17
2.4.2 Corriente error de fuga promedio	23
CAPÍTULO 3	25
Análisis del circuito de reducción de mismatch	25

3.1 Elección de la topología del trabajo.....	25
3.2 Circuito de reducción de mismatch propuesto.....	26
3.2.1 Concepto general de la generación de onda.....	27
3.2.2 Diagrama general del circuito de calibración propuesto.....	28
3.2.3 Funcionamiento de calibración de corriente.....	29
3.3 Análisis de las etapas del circuito.....	31
3.3.1 Etapa de ganancia de compensación.....	31
3.3.2 Etapa de detección.....	45
3.3.3 Etapa de Lógica de control.....	47
CAPÍTULO 4.....	49
Simulaciones y resultados del circuito propuesto.....	49
4.1 Mismatch remanente post calibración.....	49
4.2 Variación de “transistores unitarios” de la etapa de compensación.....	52
4.3 Simulación del funcionamiento del circuito de calibración.....	54
Conclusiones.....	61
Recomendaciones.....	62
Bibliografía.....	63

Índice de figuras

Fig. 1.1. Estructura interna de la retina y ubicación de los fotorreceptores (conos y bastones) [3].....	3
Fig. 1.2. Las manchas negras y opacas, que se encuentra alrededor de la retina, son la degeneración y muerte de los bastones y conos de la retina [6].	4
Fig. 1.3. En la parte superior se muestra una retina sana. En las dos imágenes inferiores, se muestra una AMD húmeda (enfermedad avanzada) y una AMD seca (inicios o nivel intermedio de la enfermedad) [8].	5
Fig. 1.4. Esquema de prótesis EPIRET3. El arreglo de electrodos está situado en la superficie de la retina y su conexión con el chip es mediante un micro cable. Además, las imágenes se procesan en un sistema externo [11]......	7
Fig. 1.5. En el lado derecho se muestra una vista amplia de la ubicación de los electrodos en la prótesis subretinaria, la cual es entre las capas de la retina reemplazando los fotorreceptores [12]......	7
Fig. 1.6. La ubicación de los electrodos en la prótesis supracoroidal está situada en la capa esclerótica del ojo [15]......	8
Fig. 1.7. La imagen presenta la parte externa e interna de la prótesis epirretinaria [16].	9
Fig. 1.8. Diagrama de bloques de las partes de una prótesis de retina epirretinaria.	10
Fig. 2.1. Forma de onda de un pulso de corriente bifásica.....	12
Fig. 2.2. Representación de electrodos sin calibrar; cada uno aporta carga residual que se acumulará en la retina por cada periodo de estimulación.....	13
Fig. 2.3. Representación de la diferencia de amplitudes anódica y catódica.....	14
Fig. 2.4. Estructura interna de un transistor Nmos [21]	15
Fig. 2.5. Circuito de un coprador de corriente simple [23].....	17
Fig. 2.6. (a) Circuito del coprador de corriente empleando opamps. (b) Circuito del coprador de corriente con cascodo [23].	18
Fig. 2.7. Técnica de calibración según la diferencia de corrientes. Se forma una corriente de corrección IMC. [19].....	19
Fig.2.8. Circuito de calibración por medio de realimentación negativa y un condensador de muestreo [24].	20
Fig.2.9. Circuito de calibración digital de 2 etapas y gráfico de las magnitudes y diferencia de las dos corrientes en cada etapa de calibración [17].	22
Fig.2.10. Circuito de calibración analógica y digital. S5 y S6 controlan el modo digital y analógico [25].	23
Fig.3.1. Diagrama general de generación de onda, calibración de corriente y eliminación de carga.....	27
Fig.3.2. Diagrama de bloques de la solución propuesta.....	28

Fig.3.3. Diagrama esquemático general de la solución propuesta. (a) Etapa de corriente de compensación variable. (b) Etapa de detección de la diferencia. (c) Etapa de lógica de control.....	29
Fig.3.4. Etapa de corriente de compensación variable.....	35
Fig.3.5. Topología espejo de cascode NMOS estándar.	37
Fig.3.6. Análisis en pequeña señal del espejo de cascode NMOS estándar.	38
Fig.3.7. (a) espejo de corriente básico ideal con un factor de $1/N$. (b) uso de transistores unitarios para definir el factor de $1/N$	40
Fig.3.8. Análisis de transistores unitarios para la generación de la corriente I_{cmp}	41
Fig.3.9. Análisis de transistores unitarios para la generación de las corrientes I_{DAC} e I_{ref}	43
Fig.3.10. Etapa de detección y comparación de la diferencia de corriente entre pulsos a la salida del estimulador.	45
Fig.3.11. Etapa de lógica de control para generar las salidas de control.....	48
Fig.4.1. Gráfica del mismatch inicial entre pulsos vs el mismatch final obtenido por la calibración para 4 espejos de compensación.....	50
Fig.4.2. Gráfica del mismatch inicial entre pulsos vs el mismatch final obtenido por la calibración para 2 espejos de compensación.....	51
Fig.4.3. Gráfica del mismatch inicial entre pulsos vs el mismatch final obtenido por la calibración para 6 espejos de compensación.....	51
Fig.4.4. Gráfica discreta de la cantidad de transistores unitarios necesarios en la etapa de compensación para utilizar n espejos de compensación.....	53
Fig.4.5. Gráfica discreta de la cantidad de transistores unitarios necesarios en la etapa de compensación para utilizar n espejos de compensación para $M_{max}\%$ igual a 2.5%, 2.8% y 3%.	54
Fig.4.6. Gráfica de las entradas de voltaje en el comparador en donde la señal morada corresponde al voltaje $V+$ y la negra al voltaje $v-$	57
Fig.4.7. Gráfica de la salida del comparador de la etapa de detección.	57
Fig.4.8. Gráfica del valor de cuenta futura del contador durante la calibración.	58
Fig.4.9. Gráfica del valor de la corriente de compensación para el pulso catódico..	58

Índice de Tablas

Tabla 4.1. Factores de reducción seleccionados para la formación de cada factor M/N y P/Q	52
Tabla 4.2. Valores de los parámetros de la simulación.....	53
Tabla 4.3. Nuevos valores de corriente catódica luego post-calibración para M = 2.4% y resultados para M = 2.6%, 2.8% y 3.0%.....	58



Introducción

Existen diversos casos de ceguera que limitan la visión de las personas en la actualidad. Algunas causas comunes de esta condición son las enfermedades degenerativas las cuales destruyen las células fotorreceptoras evitando la transformación de la luz en información eléctrica para el cerebro. En la presente tesis se hace el estudio del circuito de reducción del mismatch de la prótesis de retina la cual reemplazan la función de transformación de la luz utilizando pulsos de estimulación bifásicos para formar las imágenes en la superficie de la retina del paciente. El uso de pulsos eléctricos requiere un correcto control y formación de los mismos para estimular la retina utilizando una matriz de electrodos.

Debido a factores de fabricación, imperfecciones y desigualdad en el diseño de los componentes con tecnología de fabricación de circuitos integrados CMOS (*complementary metal-oxide-semiconductor*) en la prótesis, existe una diferencia entre las amplitudes de los pulsos de estimulación conocida como "*mismatch*" la cual generará una carga residual en el tejido retinal. Por ello, un circuito de calibración para la reducción del mismatch es necesario para un correcto y constante funcionamiento de la prótesis considerando parámetros de área, potencia y rangos de seguridad para las zonas de estimulación dentro del ojo.

El estudio desarrollado será del circuito propuesto para la reducción de la diferencia de amplitudes de los pulsos de estimulación cuyo objetivo principal es reducir el valor de mismatch a un rango de valores aceptables para minimizar la formación de carga residual en cada estimulación. Por lo general, valores cercanos a 1 μA y niveles de corriente de error DC promedio menor a 100 nA han sido aceptados en investigaciones anteriores como parámetros importantes para el funcionamiento de los circuitos de calibración. Asimismo, el presente trabajo, muestra simulaciones y resultados sobre el comportamiento del circuito ante las variaciones de sus parámetros, así como el funcionamiento del circuito en la etapa de calibración.

CAPÍTULO 1

Fundamento y funcionamiento de la prótesis de retina en la actualidad

1.1 Enfermedades oculares

1.1.1 Estructura de la retina

El proceso que permite la visualización del entorno de una persona consiste en la percepción de los objetos en señales de luz, las cuales son usadas para la formación de estimulaciones neuronales que transmiten la información al cerebro para su interpretación. Este proceso es posible mediante la estructura funcional de la retina, la cual está constituida en una vía óptica formada por diversas estructuras y capas como la córnea, pupila, iris, cristalino, entre otros. A lo largo de la vía óptica se sitúan los fotorreceptores (conos y bastones, observados en la figura 1.1), los cuales se encargan de convertir los fotones de luz incidente en señales neuronales según su intensidad. Por un lado, los bastones funcionan principalmente en la visión escotópica (visión nocturna; bajos niveles de iluminación); mientras que por otro lado los conos funcionan principalmente en la visión fotópica (visión diurna; altos niveles de iluminación,) según la referencia [1]. Por lo tanto, para preservar un continuo funcionamiento del sistema visual es necesario disponer del correcto procesamiento de los fotorreceptores a fin de mantener constante la transducción de la luz en señales neuronales.

El procesamiento de la luz inicia con la recepción de los estímulos luminosos por medios y estructuras transparente; al momento de incidir en la córnea y la cantidad incidente es regulada por el iris para su ingreso por la pupila. Luego, la luz pasa por diferentes capas cristalinas y lentes que actuarán según la intensidad recibida; entre estas el cristalino se encarga del enfoque de la imagen mediante el cambio de su tamaño, lo cual permite una mejor percepción de la imagen. Posteriormente, la luz procesada llega a las células fotorreceptoras de la retina para su transducción, las cuales están concentradas en su mayoría en la fóvea y actuarán según la iluminación o longitud de onda que exista en el entorno para poder realizar la conversión de la luz en señales eléctricas que transportarán la información de la futura imagen. Finalmente, esta información es recibida por las células ganglionares y bipolares de la retina, las cuales permitirán la comunicación de la información procesada hacia las áreas visuales del cerebro para su posterior generación estereoscopia de la imagen percibida [2].

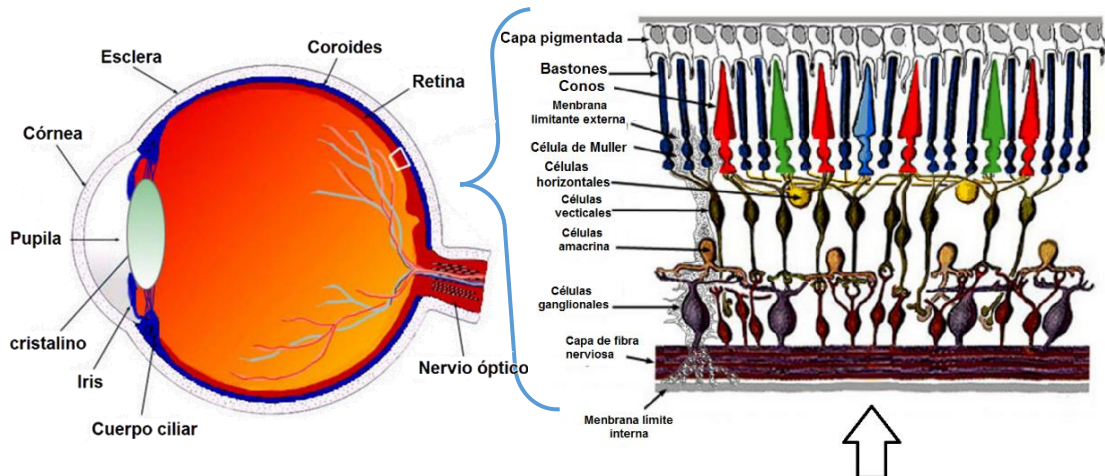


Fig. 1.1. Estructura interna de la retina y ubicación de los fotorreceptores (conos y bastones) [3].

1.1.2 Conceptos de Retinosis Pigmentaria y Degeneración Macular Asociada a la Edad

Causas de ceguera tipo degenerativas

Alrededor del mundo existen diversos casos de ceguera, los cuales son producidos por un daño total o parcial en alguna de las estructuras funcionales dentro de la vía óptica. En el año 2014, un estudio estimó que 285 millones de personas tendrían problemas de visión alrededor del mundo; entre los cuales 39 millones desarrollarían ceguera [4]; esta condición puede ser producida por causas desde daños en la estructura de los lentes y capas encargadas de la recepción y tratamiento de la luz hasta fallas o pérdidas funcionales en los componentes encargados del procesamiento de la luz. Esta última es una causa común alrededor del mundo y es producida debido a la formación de enfermedades degenerativas que afectan la transducción de la luz.

Las enfermedades degenerativas tienen en común la degeneración periódica de las células fotorreceptores causando en un futuro indefinido su destrucción o inhabilitación, lo cual imposibilita el proceso natural de transformación de la luz. En la actualidad, los pacientes con alguna clase enfermedad degenerativa son sometidos a tratamientos que ralentizan los efectos de la enfermedad en las células fotorreceptoras, los cuales permiten extender el tiempo de vida de las mismas. Sin embargo, ningún tratamiento aplicado permitirá curar la degradación celular, por lo cual la deficiencia inminente de los fotorreceptores y visión progresará hasta que el paciente sufra de ceguera total ante la falta del proceso de transducción.

Los casos más comunes de estas enfermedades se deben a la retinosis pigmentaria (*retinitis pigmentosa*, RP) y la degeneración macular asociada a la edad (*age-related macular degeneration*, AMD) [2].

Retinosis pigmentaria (RP)

La retinosis pigmentaria comprende de un conjunto de enfermedades genéticas degenerativas que afectan a las células fotorreceptoras ocasionando una progresiva pérdida de la visión. La causa de la degeneración se debe a defectos en el pigmento visual, los cuales evitan la asimilación de proteínas importantes para el funcionamiento de los fotorreceptores o en enzimas empleadas para el inicio de la transducción visual [5].

Esta enfermedad afecta principalmente a las personas entre 30 a 50 años. En el 2004, este conjunto de enfermedades predominaba alrededor del mundo con una proporción de 1:300 a 1:500 personas. La RP consiste primero en la degeneración de los bastones, lo cual deteriora la calidad de visión nocturna y periférica, posteriormente la enfermedad deteriora los conos produciendo la pérdida de la visión diurna; finalmente la destrucción de ambos fotorreceptores constituye la pérdida completa de la visión [5].

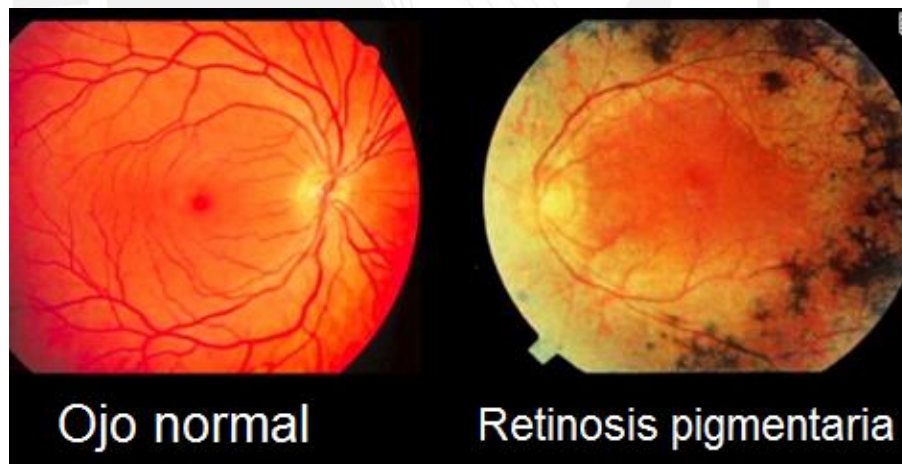


Fig. 1.2. Las manchas negras y opacas, que se encuentra alrededor de la retina, son la degeneración y muerte de los bastones y conos de la retina [6].

Degeneración macular asociada a la edad (AMD)

La degeneración macular es una lenta y progresiva enfermedad de la mácula caracterizada por la inicial pérdida de la visión central. Esta enfermedad constituye el 8.7% de las causas de ceguera evitando la ejecución de tareas cotidianas y generando depresión y ansiedad durante el desarrollo de la enfermedad. La AMD se produce principalmente por la generación de drusas, las cuales son acumulaciones de material extracelular entre capas. Esta mancha amarillenta es producida en la región posterior del ojo por un mal funcionamiento de las capas de la retina, el epitelio pigmentario retinal, la membrana Bruch entre otras estructuras [7].

Una de las causas de la formación de drusas es la dificultad del movimiento de fluidos y materia extracelular entre las capas posteriores de la retina. Según el grado de acumulaciones de las drusas en las membranas, la AMD puede ser húmeda o seca (figura 1.3) y por medio de estudios con “fondo de ojo” se puede observar la intensidad de las drusas. En un nivel prematuro o intermedio de AMD, las drusas son suaves y con bordes indefinidos; mientras que, en un nivel avanzado, las drusas son húmedas, más blancas y definidas. Este último nivel ha sido encontrado en su mayoría en la población de mayor edad.

Adicionalmente, los factores asociados a la aparición de AMD están asociados al incremento de la edad, fumar cigarrillos y las operaciones de cataratas [7].

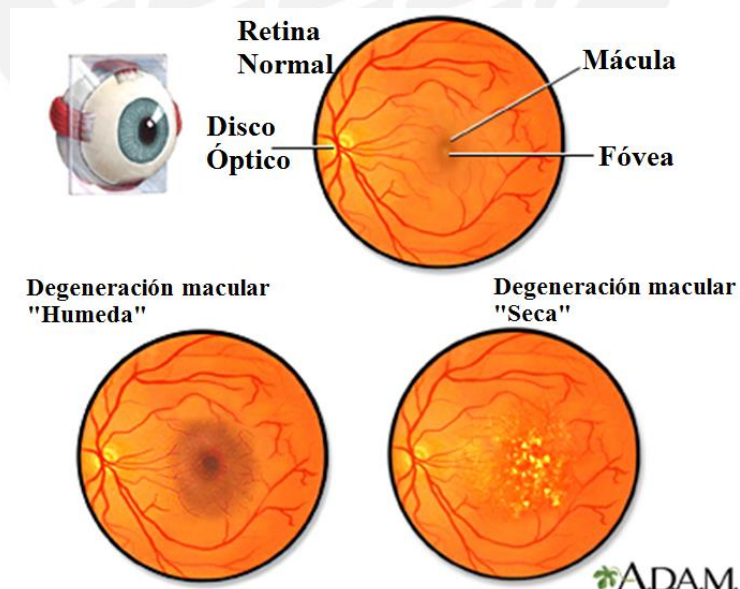


Fig. 1.3. En la parte superior se muestra una retina sana. En las dos imágenes inferiores, se muestra una AMD húmeda (enfermedad avanzada) y una AMD seca (inicios o nivel intermedio de la enfermedad) [8].

1.2 Prótesis de retina

1.2.1 Introducción a la prótesis de retina

Ante la existencia de distintos casos de ceguera, la prótesis de retina es planteada como una solución factible para la restauración parcial de la visión en un paciente con RP o AMD.

Como se mencionó anteriormente, las enfermedades degenerativas comprenden el deterioro y muerte de las células fotorreceptoras evitando en la retina la transformación de luz a señales eléctricas. A pesar de todo, las células bipolares internas de la retina, ganglios; no son afectadas por las enfermedades. El objetivo principal de esta prótesis de retina es reemplazar la transformación biológica de la luz incidente en información eléctrica por un dispositivo electrónico que sea capaz de procesar las imágenes en señales neuronales. Sin embargo, es primordial que la prótesis de retina asegure una correcta operación considerando las limitaciones eléctricas que soportan las membranas y tejidos internos de la retina.

1.2.2 Tipos de prótesis de retina en la actualidad

La clasificación de las prótesis de retina es según el lugar en donde se realiza la estimulación; es decir, se clasifica según la ubicación de los electrodos que permitirán la transmisión eléctrica de la información. Las diferencias más importantes entre estos tipos de prótesis son los requerimientos según el espacio ocupado al interior del ojo, la zona de estimulación, métodos médicos y complicaciones en compatibilidad. Entre las prótesis más resaltantes están la epirretinaria, subretinaria y supracoroidal.

Prótesis epirretinaria

El implante ubica los electrodos en la superficie de la retina, con estos la estimulación se realiza directamente a las células ganglionares con información eléctrica procesada proveniente de un sistema externo como se observa en la figura 1.4. La prótesis permite un mayor control al no requerir la presencia de estructuras funcionales remanentes en la retina, por lo cual realiza un procesamiento externo de imagen [9]. Un ejemplo de esta prótesis se presenta en la referencia [10]; en esta se encuentran descripciones y valores eléctricos que se emplean para el funcionamiento de dicha prótesis.

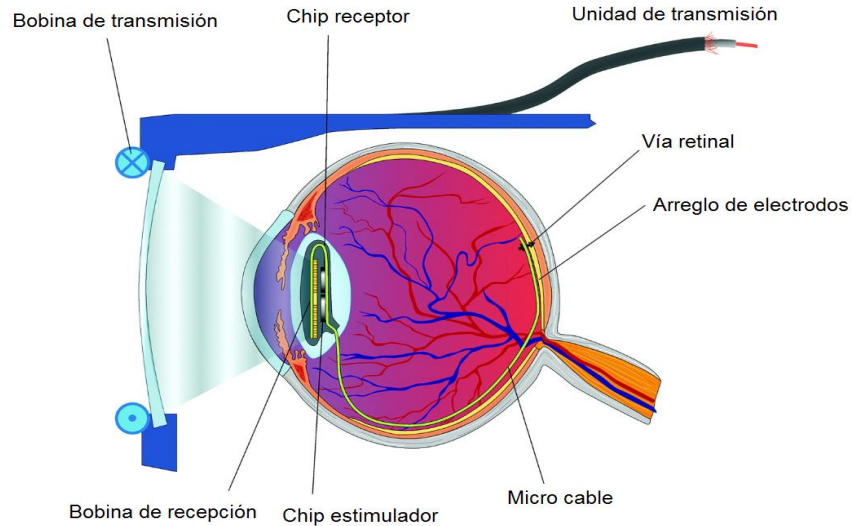


Fig. 1.4. Esquema de prótesis EPIRET3. El arreglo de electrodos está situado en la superficie de la retina y su conexión con el chip es mediante un micro cable. Además, las imágenes se procesan en un sistema externo [11].

Prótesis subretinaria

La estimulación producida por esta prótesis se ubica por debajo de la retina (figura 1.5). Un ejemplo de este tipo de prótesis emplea micro-fotodiodos que permite convertir la luz que incide en la retina en corriente de estimulación para su posterior inyección neuronal [9]. La conexión con el arreglo de electrodos se realiza mediante el empleo de unos cables a través de la membrana esclerótica lo cual requerirá una mayor intervención quirúrgica [9].

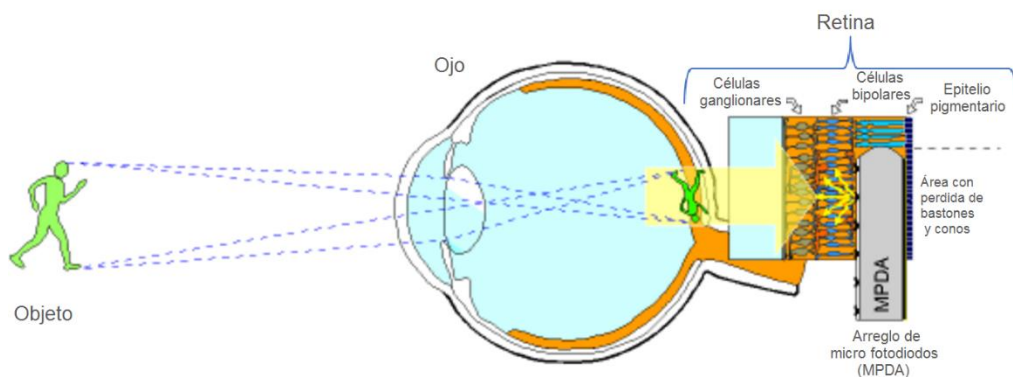


Fig. 1.5. En el lado derecho se muestra una vista amplia de la ubicación de los electrodos en la prótesis subretinaria, la cual es entre las capas de la retina reemplazando los fotorreceptores [12].

Prótesis supracoroidal

Para la instalación de esta prótesis se debe realiza un corte en la capa esclerótica (exterior al ojo) para colocar electrodos. Este arreglo (figura 1.6) permite un contacto hacia la coroides y a la retina [13]. Esta prótesis es caracterizada por requerir una menor intervención quirúrgica, pero existe un mayor distanciamiento entre el punto de estimulación y los electrodos. En la referencia [14] se aborda los métodos y funcionamiento del implante, así como experimentos en la retina de un felino con el implante.

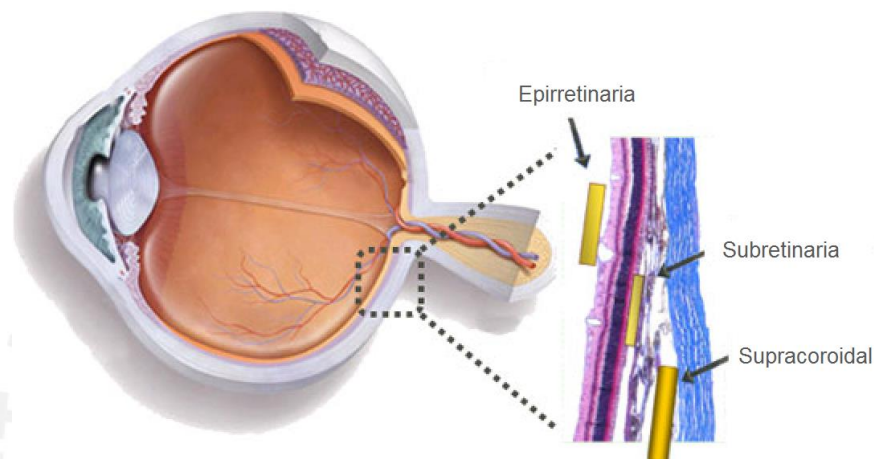


Fig. 1.6. La ubicación de los electrodos en la prótesis supracoroidal está situada en la capa esclerótica del ojo [15].

1.2.3 Funcionamiento de la prótesis de retina

El principio de funcionamiento de la prótesis de retina es la generación del fenómeno de fosfeno, este puede ser interpretado como manchas que son perceptibles en los parpados al mantener cerrados los ojos. Este fenómeno permite una interacción con la corteza visual del cerebro a partir de la estimulación de la retina vía una serie de señales eléctricas controladas que son distribuidas en el arreglo de electrodos. Una analogía del funcionamiento es pensar en cada electrodo como un pixel en un cuadro de video, según la intensidad de cada electrodo la imagen formada es distinta.

El funcionamiento inicia con el procesamiento digital de las imágenes, el cual se realiza por un sistema externo conformado por una cámara de video que permite capturar imágenes convirtiéndolas en señales de información en la adquisición de datos necesarios para controlar la activación interna de los electrodos en la retina. Estas señales son transmitidas al chip interno en la retina por señales de radiofrecuencia; del mismo modo, la fuente de alimentación necesaria para el funcionamiento del circuito interno es suministrada por RF.

La transmisión telemétrica de las señales se realiza inalámbricamente por medio de dos pares de bobinas (una bobina externa y otra interna al ojo). Un par se encarga de la transmisión de la señal de datos; mientras el otro, de la señal de potencia.

Por un lado, la señal de potencia recibida es procesada para poder formar los distintos niveles de voltaje necesario para el correcto y continuo funcionamiento de la prótesis de retina; el circuito de procesamiento se compone un rectificador de onda completa, seguido de convertidores DC a DC y finalmente a un regulador LDO para estabilizar las tensiones. A la salida se obtienen los niveles de voltaje que se utilizan en todo el chip, por ejemplo, para la alimentación de los estimuladores de corriente.

Por otro lado, la señal recibida de datos ingresa a un demodulador en fase (PSK) para la generación de buses de datos y la recuperación de la señal de reloj. Los tramos de datos son recibidos por un bloque de lógica global la cual se encarga de formar los comandos necesarios para las distintas intensidades de estimulación en cada electrodo. Esta información lo recibe la lógica local de los estimuladores, los cuales formarán los pulsos de corrientes bifásicas para la formación del fenómeno de fosfeno a través del arreglo de electrodos implantado en la retina lo cual permite la comunicación neuronal con el cerebro.

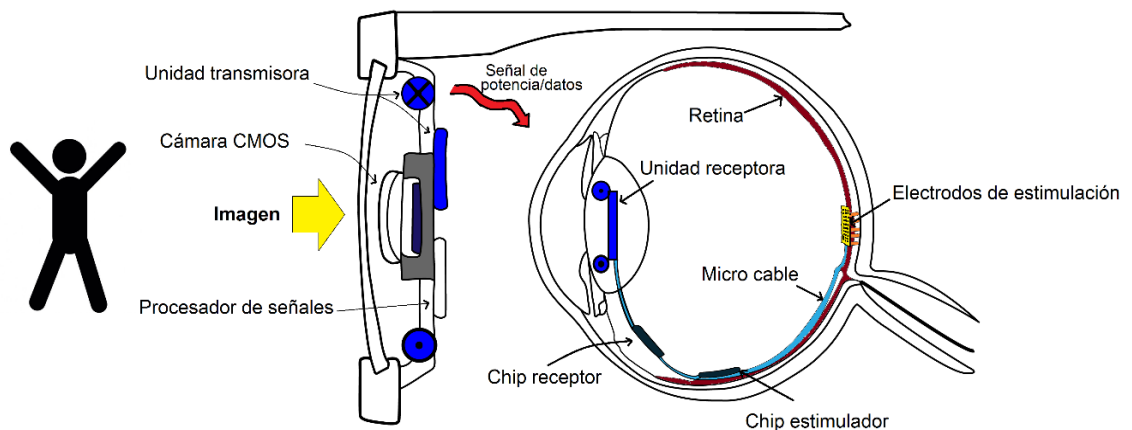


Fig. 1.7. La imagen presenta la parte externa e interna de la prótesis epirretinaria [16].

1.2.4 Partes de la prótesis de retina epirretinaria

La arquitectura de la prótesis de retina epirretinaria está formado por un sistema externo y uno interno al ojo. Por un lado el sistema externo está constituido por dos transmisores: una transmisor de señal para potencia que permitirá la alimentación del chip (por ejemplo, de 10 MHz [17]) y un transmisor de señal para datos (por ejemplo, de 160 MHz [17]) provenientes de una cámara externa. Por otro lado, en el sistema

interno, el funcionamiento principal del chip puede ser dividido en 4 partes las cuales realizan las siguientes acciones:

- La telemetría de potencia permite generar las señales de alimentación mediante los rectificadores, convertidores DC y LDOs obteniendo niveles de voltaje positivos, negativos y referencia para el funcionamiento del chip.
- La telemetría de datos permite obtener las señales de reloj y los bits de datos desmodulados necesarios para la sincronización y formación de corrientes de estimulación respectivamente al interior del chip.
- Un bloque de lógica global de control se encarga de analizar la información desmodulada para formar comandos y parámetros de estimulación.
- Un Arreglo de estimuladores con estimuladores agrupados en grupos de 4 en 4 que mediante una lógica local controla la estimulación y calibración de los patrones de corriente partir de la información proveniente de la lógica global.

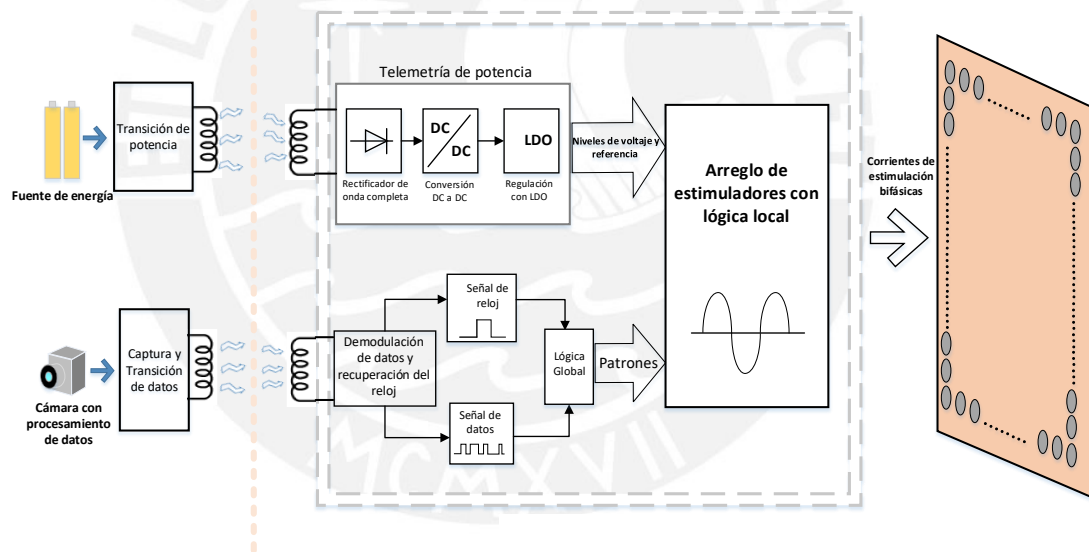


Fig. 1.8. Diagrama de bloques de las partes de una prótesis de retina epirretinaria.

1.3 Precaución de niveles de estimulación

La prótesis de retina se basa en el principio de generar una estimulación de corriente en la superficie de mediante un arreglo de electrodos. Considerando lo anterior, la retina estaría sometida a distintos niveles de corriente alrededor de su tejido superficial con el fin de poder recrear la imagen procesada; en cierto modo, la estimulación por inyección de corriente podría dañar considerablemente los tejidos internos si su intensidad de aplicación no se encuentra en un límite seguro para la persona. Además, cualquier acumulación de carga eléctrica en el tejido debido a posibles limitaciones durante la estimulación produciría un efecto de electrólisis; lo cual daña los tejidos y corroe los electrodos [17]. En el siguiente capítulo abordaremos este tema en mayor detalle.



CAPÍTULO 2

Factores de seguridad y correcciones en el *mismatch* de corriente

2.1 Estimulación del tejido

La función principal de las prótesis de retina es inducir distintas intensidades de respuestas neurológicas en la superficie de la retina. Para lograr ello, existen 2 diferentes métodos de neuroestimulación, los cuales son control de corriente y control de voltaje. La ventaja que tiene el modo de corriente es un mayor control en la inyección de carga en el tejido [18].

Existen distintas formas de onda de corriente que se pueden emplear para generar una respuesta neuronal, los pulsos de corriente bifásicas se emplean en la estimulación de la retina con el fin de lograr una cancelación de carga. La interacción, con la retina, se realiza mediante electrodos activos y de retorno en conjunto [18] con las señales generadas por el estimulador.

La forma de onda de un pulso bifásico tiene como parámetros: las amplitudes de pulso anódico (I_a) y catódico (I_c), las duraciones de cada uno (t_a y t_c , respectivamente), el tiempo entre cada pulso (t_i), el tiempo antes de otro periodo (t_{off}) y el periodo de la onda (t_p), los cuales pueden ser observados en la figura 2.1. Esta forma de onda permite compensar la corriente o carga suministrada al tejido de un pulso por otro opuesto, este proceso evita idealmente la existencia de alguna carga remanente.

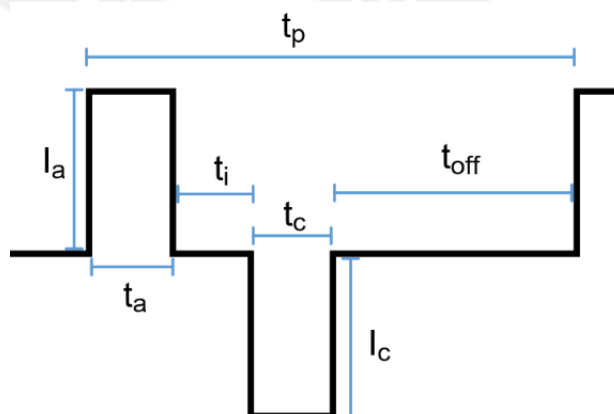


Fig. 2.1. Forma de onda de un pulso de corriente bifásica.

2.2 Problemática de seguridad en la prótesis

La estimulación de tejidos humanos se debe realizar con un correcto control en la formación de las corrientes bifásicas. Al emplear corrientes bifásicas, se debe asegurar que la carga eléctrica en cada fase sea balanceada, esto es necesario para evitar la formación de cargas residuales en el tejido. La formación de cargas se origina a partir de la inyección de pulsos con una diferencia o *mismatch* en las corrientes de estimulación. Además, debido a que existen varios estimuladores, alrededor de la retina, la falta de un control en la igualdad de los pulsos generaría un continuo aporte en la acumulación de carga residual alrededor de todo el tejido.

Por dicha razón, la búsqueda de la reducción del *mismatch* en cada periodo es importante para una correcta implementación de la prótesis en humanos. De lo contrario una acumulación de carga por cada estimulación dañaría los electrodos y el tejido como se puede apreciar en la figura 2.2.

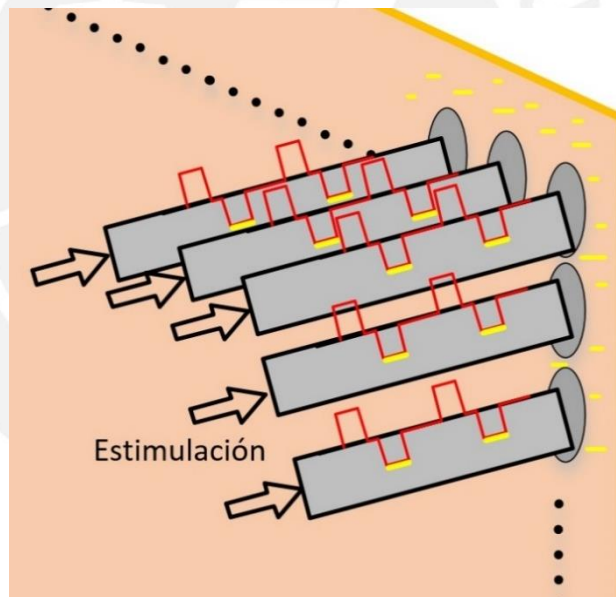


Fig. 2.2. Representación de electrodos sin calibrar; cada uno aporta carga residual que se acumulará en la retina por cada periodo de estimulación.

2.3 Conceptos de mismatch

2.3.1 El “Mismatch” en CMOS

El término *mismatch*, en el presente estudio, se utiliza para definir la diferencia entre amplitudes de las corrientes de estimulación en los pulsos anódico y catódico debido a la existencia de variaciones en la generación de la señal bifásica representado en la figura 2.3.

El uso de corrientes bifásicas para estimular los tejidos humanos se ha llevado a cabo en prótesis de cóclea, así como en prótesis de retina. La principal razón por la cual se emplea esta forma de estimulación es para obtener un balance de carga; es decir, la carga generada por un pulso anódico/catódico es complementada por la del pulso catódico/anódico. Además, esta onda complementaria para la estimulación permite acortar el tiempo que tardaría un electrodo en retornar a su voltaje nominal inicial para la siguiente estimulación [19].

Para una correcta estimulación sin carga residual deberían ser exactamente iguales las amplitudes I_a e I_c . Sin embargo, una generación de onda perfecta es ideal debido a las limitaciones en la fabricación de circuitos, esta diferencia se ha visto principalmente en la corriente catódica de estudios referenciados en el siguiente capítulo; considerando lo anterior se requiere una etapa de calibración que permita disminuir la desigualdad de amplitudes.

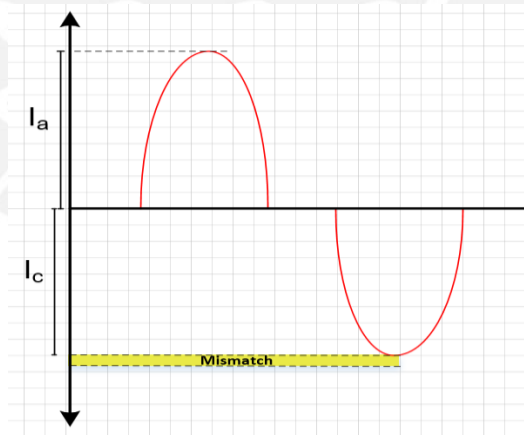


Fig.2.3. Representación de la diferencia de amplitudes anódica y catódica.

2.3.2 Factores que generan el mismatch

A pesar que durante del diseño de circuitos electrónicos, se empleen componentes similares y se considere una simetría en el circuito; en la realidad los componentes que deberían ser idénticos en sus propiedades, no lo son. Estas variaciones ocurren

debido a las imperfecciones en el proceso de fabricación [20] así como a las limitaciones de los transistores.

La fabricación de chips micro-electrónicos se basa en el uso de la tecnología CMOS para conseguir el diseño del circuito, el diseño electrónico en esta tecnología se basa primordialmente en definir las características y dimensiones de sus componentes para su fabricación. Dentro del diseño de estos componentes micro-electrónicos, las diminutas variaciones en longitud (L) y ancho del canal (W) entre transistores generan la falta de similitud esperada al momento de su uso.

Si se observa las características del MOSFET en saturación ya sea en el tipo N o P la corriente del drenador está definida como $ID = (1/2) * \mu * C_{ox} * (W/L) * (V_{GS} - V_{TH})^2$; donde $\mu * C_{ox}$ están asociados al material y W y L a las dimensiones, cada uno de estos parámetros al variar ligeramente modifican las características del componente CMOS como por ejemplo su voltaje de umbral y la corriente del drenador. Considerando lo anterior, si se desea diseñar varios transistores que trabajen con las mismas condiciones, solo sería posible conseguirlo fabricando componentes exactamente iguales.

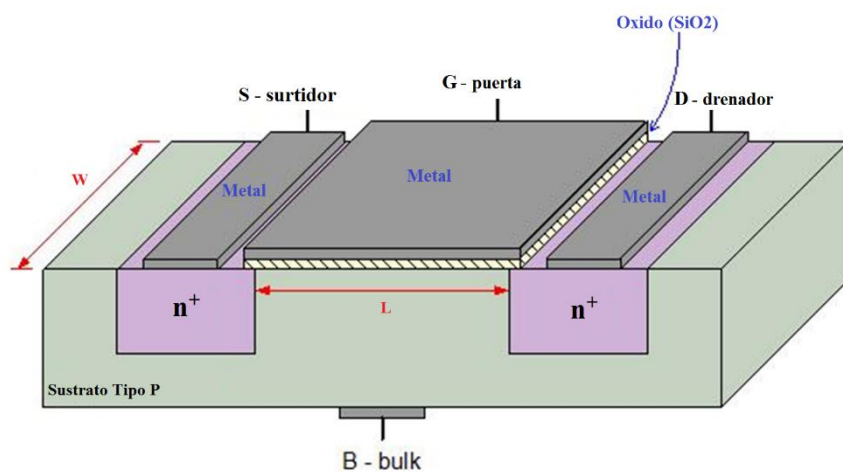


Fig.2.4. Estructura interna de un transistor Nmos [21].

De acuerdo con [20], para la disminución del mismatch en el proceso de fabricación un aumento de los valores de L y W disminuirían sus variaciones relativas ($\Delta L/L$ y $\Delta W/W$). Sin embargo, uno de los mayores inconvenientes en la prótesis de retina es el área del chip y un aumento de dimensiones de los componentes incrementaría el tamaño del implante considerablemente. Por lo tanto, en su lugar se busca la disminución de los efectos que genera el mismatch como por ejemplo el offset DC.

2.3.3 Importancia de la corrección de mismatch

Para prevenir el daño de los tejidos o alguna electrólisis en los electrodos se busca que la corriente de fuga DC promedio este por debajo de 100 a 300 nA [19].

Corregir el mismatch permitirá corregir el offset que existe en los DACs de los estimuladores lo cual permitirá que la aproximación entre las amplitudes sea siempre más cercana. Considerando que solo se puede lograr una reducción y no una eliminación de la diferencia, un circuito de eliminación de carga residual se emplearía para corregir la carga sobrante. Sin embargo, es importante emplear un circuito de calibración del mismatch debido a que, si no se reduce la cantidad de carga que queda en la membrana luego de cada pulso, la carga acumulada en el tiempo llegaría más rápido a niveles críticos generando una mayor acumulación de carga en menor tiempo.

2.4 Calibración de corrientes bifásicas

La formación del mismatch se centra durante la generación de la onda de estimulación. Por un lado, para contrarrestar su efecto, una solución es emplear capacitores de bloqueo DC en cada estimulador. Sin embargo, el área del chip es crítica por lo cual esta solución no serviría para una prótesis de retina, en especial si se emplea multicanales. Por otro lado, en la técnica de estimulación [22] se emplea un DAC para generar las dos fases de la onda. La generación consta de una etapa de muestreo y una de retención; en el muestreo se emplean transistores PMOS para almacenar un voltaje de operación y en la retención, se genera primero el pulso catódico y luego el anódico. Sin embargo, para que la carga sea balanceada no solo se requiere que los dos pulsos duren un mismo tiempo, sino que el capacitor no debería tener efectos de corriente de fuga ni ser muy grande.

En la estimulación convencional se emplean dos fuentes de corrientes para la generación de los pulsos. En estas estimulaciones bifásicas, existen diferentes métodos para calibrar la señal. Dentro de estos métodos existen los analógicos, digitales y digital-analógico; además se han desarrollado variantes para lograr una menor generación de corriente mismatch.

2.4.1 Métodos de calibración de mismatch

Calibraciones analógicas

Celdas copradoras de corriente

Las técnicas convencionales emplean espejos de corriente para la formación de la onda de estimulación; estos están limitados por la similitud de los transistores empleados para la generación de corrientes. En contraste, la técnica de celdas copradoras de corrientes, propuesta en la referencia [23], no depende de la similitud de componentes; solo requiere de transistores, capacitores e interruptores no críticos.

El funcionamiento del coprador está compuesto de dos etapas. Para copiar se cierran los interruptores S_1 y S_2 , permitiendo que la corriente I_{ref} fluya por el capacitor y el transistor. El capacitor C_1 se carga y obtiene un valor de voltaje V_1 el cual será el voltaje de puerta necesario para que el transistor M_1 soporte la corriente de I_{ref} . Después, al abrirse los interruptores, M_1 y C_1 se desconectan de la fuente de corriente; de este modo, ambos pueden suministrar la corriente I_{ref} a la carga.

Además de poder repetir este proceso para generar distintas copias de I_{ref} también se puede modificar el circuito para copiar corrientes bidireccionales.

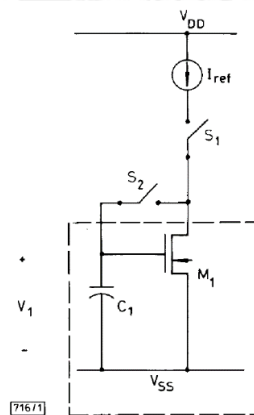


Fig.2.5. Circuito de un coprador de corriente simple [23].

Por la presencia de efectos como la longitud del canal de modulación, la carga de alimentación de los interruptores y el acoplamiento de las capacitancias parasitas del drenador y surtidor del transistor produce que el voltaje drenador-surtidor (V_{DS}) durante el copiado sea distinto al que entrega después a la carga; por ello se plantearon 2 variantes.

La primera es emplear un opamp para forzar al V_{DS} de M_1 a ser igual al voltaje V_{SS} y después, al desconectarse el opamp, la celda puede usarse como fuente de

Luego se cierran los interruptores S_3 , S_4 , S_5 y S_6 , considerando que la corriente la $[D_p]$ siempre será mayor que $I_c [D_n]$, las corrientes de los DACs pasan por S_3 y S_4 debido a que S_5 está conectado a la entrada de un opamp. La diferencia de estos dos corrientes más alguna otra generada por mismatch es I_{MC} ; de esta forma dicha corriente atraviesa M_C . Durante esta etapa de calibración, el voltaje V_{cal} se almacena en el capacitor C_1 de tal manera que la corriente en el transistor M_C sea I_{MC} debido a que la realimentación lo fuerza. De este modo, I_{MC} determina la diferencia de voltaje que existirá entre el condensador C_1 y C_2 .

Una vez que finaliza la etapa de calibración los DACs, interruptores y A_1 se apagan. Durante la formación del pulso catódico, se activa S_2 y nDAC configura con un código de $D_n = D_p - m$. Idealmente, la diferencia de voltaje entre los capacitores a través del amplificador forma el voltaje V_{ao} que permitirá al transistor M_C generar una corriente igual a I_{MC} . Finalmente, se obtendría que las amplitudes de corriente en I_c e la son iguales.

Adicionalmente, el valor de m es determinado como la diferencia de las amplitudes máximas de los dos DACs y es medido en +/- LSBs.

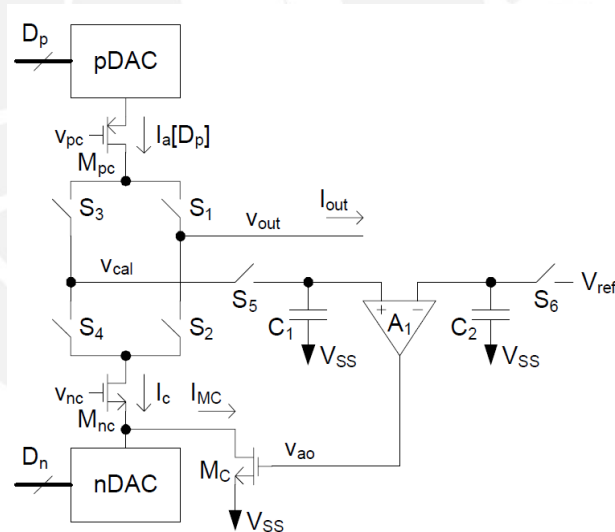


Fig.2.7. Técnica de calibración según la diferencia de corrientes. Se forma una corriente de corrección I_{MC} . [19].

De este modo, la calibración permite obtener una corriente de corrección para la reducción del mismatch de amplitudes entre los pulsos.

Técnica de auto calibración con realimentación negativa para estimulación monopolar

El circuito de calibración, descrito en la referencia [24], propone el uso de un condensador para poder muestrear y almacenar la señal catódica y anódica que serán utilizados para estimular la retina. Dentro de las consideraciones del circuito, se trabaja con una realimentación negativa y 3 señales de corriente que permitirán la reducción del mismatch entre la I_c e I_a . A diferencia de la anterior técnica se utiliza solo un condensador para disminuir los errores por inyección de corriente que se genera al utilizar dos condensadores de muestreo, los cuales aumentan el grado de mismatch.

En la figura 2.8, se muestra el circuito propuesto en la referencia. La corriente catódica (I_c) es generada por la fuente de corriente I_1 ; asimismo la corriente anódica (I_a) es generada sumando la fuente de corriente I_2 y la corriente I_3 que proviene del transistor M_1 . Los componentes A_1 , A_2 , M_1 y M_2 permiten aumentar la resistencia de salida de las señales neuronales lo cual disminuye el nivel de mismatch. Esta técnica opera en 3 etapas las cuales son: calibración, retención y estimulación. En la primera etapa, solo los interruptores SW_1 - SW_3 están cerrados, lo cual activa la realimentación formada por M_1 , M_3 y C_1 ; el voltaje V_1 es detectado y modifica el valor de I_3 hasta que I_c sea igual a I_a ($I_1 = I_2 + I_3$). En la segunda etapa, solo los interruptores SW_4 y SW_5 están cerrados, las corrientes I_1 , I_2 e I_3 mantienen su valor para la siguiente estimulación y minimiza los picos de corriente. En la última etapa, la corriente de estimulación bifásica está lista para conducir un pulso anódico activando los interruptores SW_5 y SW_6 o un pulso catódico activando los interruptores SW_4 y SW_7 .

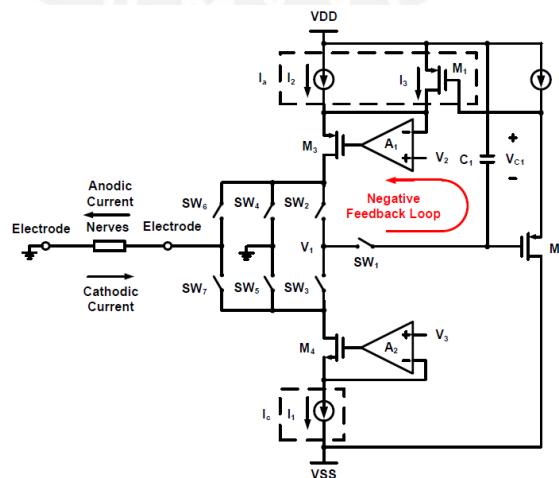


Fig.2.8. Circuito de calibración por medio de realimentación negativa y un condensador de muestreo [24].

Calibración digital

Una diferencia resaltante entre la calibración digital y la analógica es la reducción en el uso de capacitores. La ventaja de no emplear estos capacitores, en cada estimulador, disminuye el área del chip.

Técnica de calibración digital de 2 etapas

Esta técnica de calibración, proviene de la referencia [17], solo necesita ser ejecutada una sola vez, diariamente al prender el implante. Para detectar la corriente de salida se emplea 2 resistencias; R_H , de alta resistividad, cuando la corriente de salida (I_{out}) es baja y R_L , de baja resistividad, cuando I_{out} es alta. El voltaje medido (V_{out}) es comparado con el voltaje de referencia (V_{ref}) para producir una salida digital hacia la lógica local, la cual ajustará las corrientes de los DACs para calibrar el implante. Esto se logra mediante las siguientes etapas:

La primera etapa permite reducir el offset, por fabricación, de la corriente I_{nmos} . Para la medición, la entrada del DAC es un 0 digital y la salida se conecta al comparador mediante R_H ; V_{out} es comparado con V_{ref} . El valor de referencia es $-\Delta V$ debido a que la corriente de salida es negativa. Considerando esto, la corriente de calibración I_{caln} cambia para ajustar la corriente de salida hasta que el comparador conmute, esto permite que el offset se reduzca. Finalmente, el valor de calibración es almacenado en un registro local.

La segunda etapa permite reducir la diferencia entre I_{nmos} e I_{pmos} . Esto se logra midiendo la diferencia de las dos corrientes que se obtiene al activar las dos fuentes utilizando la resistencia R_L a la salida; de modo que la corriente que circula a través de R_L generará un voltaje V_{out} . En este caso, el valor de V_{ref} es 0 V y la corriente de calibración I_{calp} es modificada a fin de reducir la corriente I_{diff} acercado el valor de V_{out} a V_{ref} . Finalmente, el valor de calibración es almacenado en un registro local.

Esta técnica propone el uso de diferentes puntos de calibración en todo su rango, permitiendo que el valor de I_{diff} sea menor, permitiendo que la corriente I_{pmos} se aproxime a I_{nmos} en magnitud.

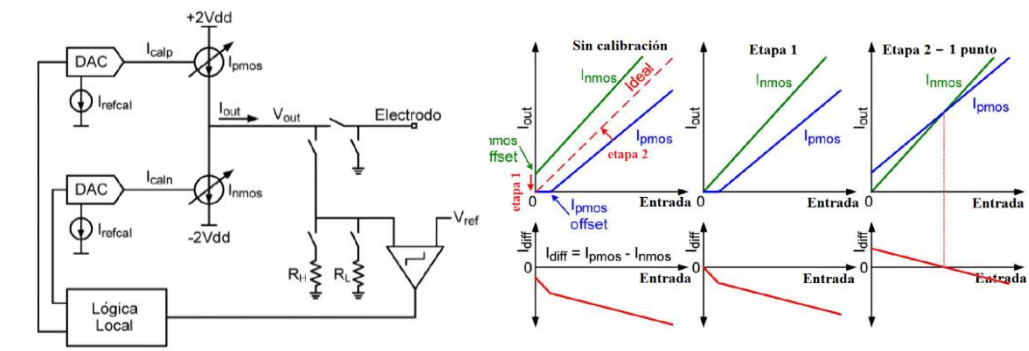


Fig.2.9.Circuito de calibración digital de 2 etapas y gráfico de las magnitudes y diferencia de las dos corrientes en cada etapa de calibración [17].

Calibración Digital y analógica

Técnica de calibración Digital y analógica

La técnica [25] propone combinar los principios de corrección de los dos métodos anteriores para reducir el error de cuantificación en bits menos significativos (calibración digital) y las inyecciones de carga de interruptores y corrientes de fuga de los capacitores de muestreo (calibración analógica). El circuito propuesto tiene dos modos de trabajo. En el modo de estimulación, para generar un pulso anódico se cierra solo S_1 y para generar el catódico solo S_2 . En el modo de calibración, S_1 y S_2 están abiertos inhabilitando el modo de estimulación. Además, la calibración contiene dos modos: la calibración digital y la calibración analógica.

En la calibración digital, S_6 se cierra y S_5 permanece abierto en todo momento. Después, el código D_p genera una corriente I_a en la salida del pDAC. A continuación, la lógica del SAR hace que la corriente de salida del nDAC se ajuste al valor de I_a . Primero, el SAR coloca el bit más significativo (MSB) de la entrada del nDAC en 1 formando I_c y luego detecta la salida del comparador. Si la salida es baja, entonces el bit modificado se coloca en 0 sino permanece con su valor. Luego el mismo proceso se repite con los siguientes bits. Finalmente, cuando la calibración digital termina se obtiene un valor de mismatch menor a un LSB.

En la calibración analógica, S_5 se cierra y S_6 permanece abierto en todo momento. Esto habilita la realimentación analógica para la formación de una corriente auxiliar. Para lograrlo, se emplea un capacitor de muestreo C_s , los transistores M_c y M_f e I_b para formar la realimentación negativa; la cual colocará V_{out} a $V_{cgs} + V_{fgs}$ permitiendo que I_{mc} sea igual a la diferencia de I_a e I_{nc} , esta técnica es parecida al principio

de tiempos entre los pulsos es despreciada, entonces el Qerror sería igual a $(I_a - I_c) \times t_a$.

Para calcular la constante de tiempo de descarga se considera el valor del tiempo que no forma parte en la formación de los pulsos; $\tau_{descarga} = T - t_a - t_c$. En el caso de la otra constante de tiempo, se calcula como $\tau = (R_{sw} + R_s) \times CF$. En esta última ecuación, R_{sw} es la resistencia del interruptor en cortocircuito, R_s es la resistencia del tejido y CF es la capacitancia de la interface.



CAPÍTULO 3

Análisis del circuito de reducción de mismatch

En el presente capítulo se detalla el análisis y consideraciones de la solución propuesta para el circuito de cancelación. Primero se abordará un análisis general de las topologías presentadas en el capítulo anterior lo cual detalla la elección tomada para el desarrollo de este trabajo. Asimismo, se explicará el funcionamiento general del circuito de calibración, así como sus etapas.

3.1 Elección de la topología del trabajo

En el capítulo 2, se abordó el funcionamiento general de las distintas topologías de circuitos de calibración desarrolladas para minimizar el mismatch; estas fueron agrupadas en calibración analógica, digital e híbrida. Los puntos de comparación cualitativos considerados entre las distintas soluciones fueron el almacenamiento de información y circuito de accionamiento. Ya que los resultados en minimizar el mismatch de cada propuesta depende de la tecnología década autor, se realiza un análisis cualitativo general.

En su mayoría, los circuitos analógicos presentados desarrollan estas partes empleando una realimentación en conjunto con un circuito de retención. La realimentación negativa permite obtener una diferencia de amplitud de corriente entre los pulsos de estimulación de corrección y almacenar su valor en un capacitor el cual generará la corriente almacenada al momento de requerirse la formación del pulso catódico. Estas topologías activan el circuito de calibración en cada estimulación a fin de obtener la diferencia necesaria para reducir el mismatch.

Las principales desventajas al emplear capacitores en estos circuitos son el área requerida para su fabricación, las corrientes de fuga y los errores de carga en si mismos. Los capacitores en tecnología CMOS en muchos casos requiere más área en comparación con los transistores y otros elementos. Además, el almacenamiento de carga es temporal y según sus componentes el tiempo de descarga puede requerir parte del periodo de estimulación. En las topologías anteriores se empleaban interruptores en conjunto con las capacitancias lo cual presenta dos inconvenientes; uno es la corriente de fuga debido a la resistencia que existe en los terminales del mismo lo cual degrada la carga almacenada en la etapa de realimentación y el otro

es el error de carga que es añadido en el capacitor al momento de realizarse una conmutación en el interruptor.

Las topologías digitales utilizan circuitos de comparación para modificar una etapa de accionamiento la cual modificará uno de los dos pulsos durante su etapa de generación; esto se consigue mediante la retroalimentación de información digital de su salida. La principal ventaja de estos circuitos es la flexibilidad de almacenamiento digital de información en registros de memoria, conformado por *Flip Flops*, la cual es utilizada en su circuito de accionamiento por medio de la modificación de algún código, amplitud de corriente, tiempo establecido, entre otros. La desventaja de las topologías digitales frente a las analógicas radica la necesidad de convertir la señal analógica en un equivalente digital. Si bien permite almacenar el valor discretizado, requiere de un amplio número de bits para obtener un equivalente preciso y está limitado por el valor analógico de su bit menos significativo (LSB). Esto se ve reflejado en el uso de convertidores SAR para la obtención de la corriente de diferencia o la generación de una señal analógica. No obstante, las calibraciones digitales anteriores, demuestran que el funcionamiento de la etapa de calibración puede ser utilizada una vez para obtener la información necesaria y reutilizarla cuando se requiera para formar los pulsos de estimulación.

La topología Híbrida emplea almacenamiento digital y analógico por lo cual algunas de las ventajas y desventajas estarían presentes en la calibración según el funcionamiento de cada circuito. Sin embargo, la parte analógica emplea capacitores para compensar corriente lo cual manifiesta las anteriores desventajas.

Luego del análisis cualitativo se elige la topología digital principalmente por la ventaja de almacenamiento de información binaria en comparación con los problemas de carga que existe en el uso de capacitores. Adicionalmente, esta información digital se puede reutilizar solo cuando se requiere sin la necesidad de ejecutar el circuito de calibración de forma continua por cada estimulación.

3.2 Circuito de reducción de mismatch propuesto

Los circuitos de calibración de mismatch expuestos en el capítulo anterior se diferencian en la modificación de un parámetro dentro de la generación del pulso para reducir la diferencia de amplitudes de corriente que se envían al electrodo. Algunos métodos de corrección fueron la adición de la corriente en la generación del pulso catódico; modificación del código a la entrada del DAC en el estimulador; almacenamiento de la diferencia de amplitudes a la salida; entre otros. Adicionalmente, existen otras consideraciones como el tiempo utilizado para la

calibración, el lugar donde se ubica el circuito y el control de la etapa de calibración. Todo lo anterior ha sido tomado en cuenta para el planteamiento del circuito de calibración propuesto y su funcionamiento. Sin embargo, antes de abordar la solución se procede a definir un modelo general del circuito de generación de onda para comprender la posición y acción de la etapa correctiva en el circuito propuesto.

3.2.1 Concepto general de la generación de onda

La generación de pulso de estimulación en la prótesis puede englobar varios bloques funcionales para mejorar algún parámetro de la generación, de igual forma cada uno de los circuitos que lo componen presentan diversas topologías. A pesar de esto, se busca generalizar la generación en un concepto básico funcional que permita comprender las correcciones que producirá el circuito de calibración propuesto. Para definir el concepto general se ha tomado en cuenta las etapas de generación encontradas en trabajos anteriores dedicados al funcionamiento de la prótesis epiretinal. Los trabajos [17] y [26] abordan el funcionamiento y diseño de estimuladores de corriente. Para detalle de este trabajo se realiza el concepto general a partir de los funcionamientos básicos requeridos para la formación de los pulsos lo cual esta representado en el diagrama de la figura 3.1.

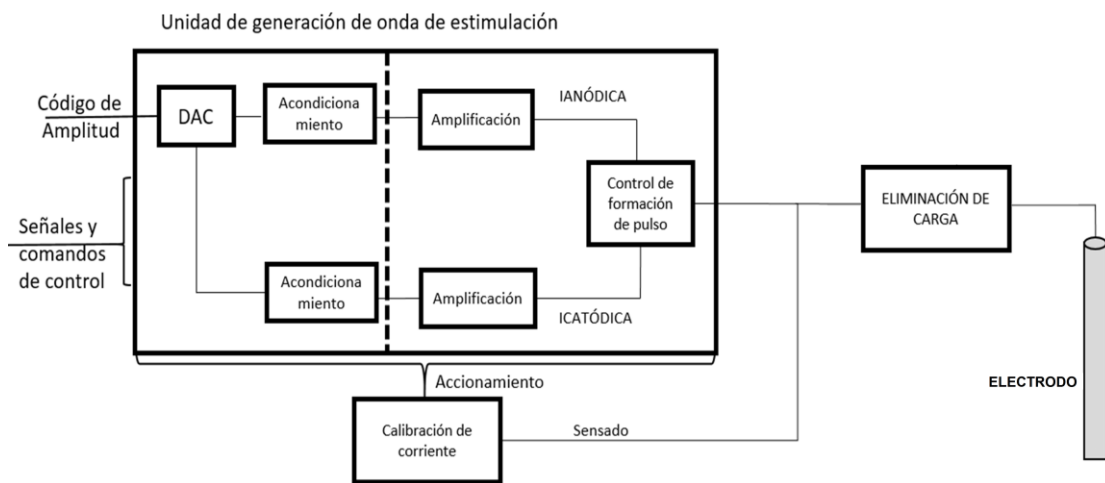


Fig.3.1. Diagrama general de generación de onda, calibración de corriente y eliminación de carga.

En la figura 3.1 se aprecia la generación de onda a partir de un código de amplitud y señales y comandos de control. El primero es utilizado por un DAC de "m" bits el cual se encarga de generar la intensidad de pulso deseada para un canal según la información proveniente del controlador del estimulador. Luego de generar la señal proporcional requerida, existe una etapa de acondicionamiento en la cual la corriente pasa por distintos espejos de corriente y conexiones cascodo a fin de mejorar la señal

y poder reflejarla para la generación anódica y catódica. La línea punteada en el diagrama representa los cambios de niveles observados en distintos trabajos, es decir, por lo general el circuito de generación utiliza dos referencias de bajo voltaje y dos de alto voltaje. Estos últimos suministran la alimentación necesaria para la etapa de amplificación la cual, según la tecnología y diseño, puede generar corrientes de hasta 1mA. Finalmente, la forma de onda se obtiene según señales de control que determinan cuando el pulso anódico, pulso catódico, calibración de corriente o eliminación de carga será ejecutado. Adicional a la etapa de generación se ha colocado un bloque de calibración de corriente el cual se encarga de reducir la diferencia de corrientes del pulso y un bloque de eliminación de carga residual el cual se encarga de eliminar todo rastro de corriente mismatch que quede en el tejido post-estimulación.

3.2.2 Diagrama general del circuito de calibración propuesto

El circuito consiste en generar una corriente de compensación variable que será adicionada a la corriente de salida del DAC antes de ser amplificada. La corriente de compensación se incrementa según el contador de la etapa de control, el cual recibe la comparación entre el mismatch a la salida del estimulador y un valor referencial.

La figura 3.2 muestra el diagrama de bloques del circuito de calibración propuesto, el cual está conformado de los siguientes 3 bloques funcionales: circuito de corriente de compensación variable, el circuito de detección y el circuito de lógica de control. Los bloques de detección y control están ubicados fuera de la generación de onda o estimulador. Mientras que el bloque de corriente de compensación variable está ubicado al interior del estimulador. El diagrama solo considera los bloques DAC, circuito de amplificación y control de forma de onda de la figura 3.1 debido a que están relacionados con la variación de las amplitudes de corriente para la estimulación.

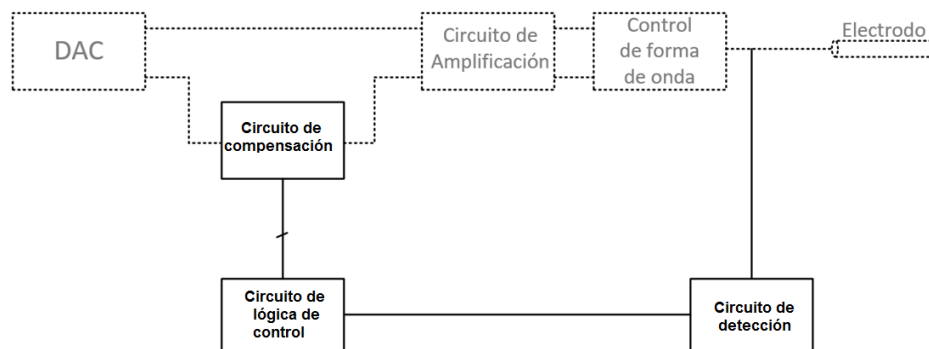


Fig.3.2. Diagrama de bloques de la solución propuesta.

3.2.3 Funcionamiento de calibración de corriente

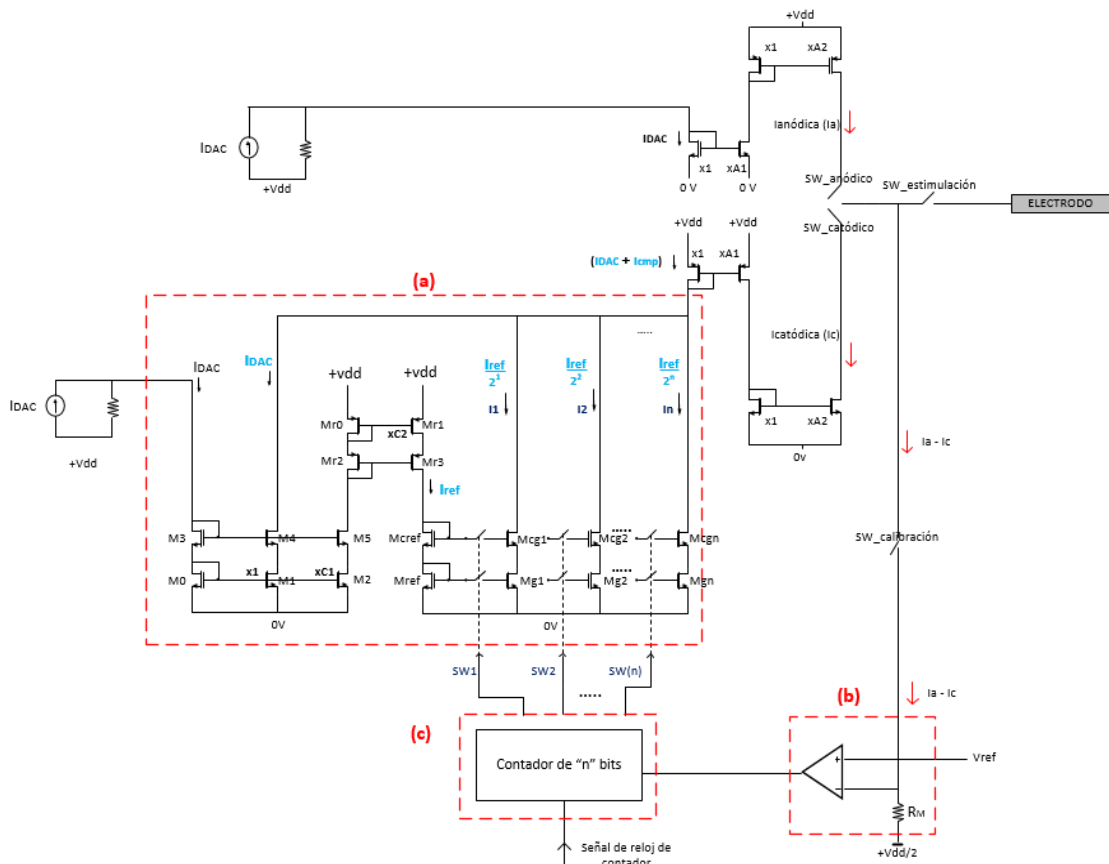


Fig.3.3. Diagrama esquemático general de la solución propuesta. (a) Etapa de corriente de compensación variable. (b) Etapa de detección de la diferencia. (c) Etapa de lógica de control.

Al inicializar la prótesis de retina, se envía una señal que indica el inicio de la etapa de calibración. Esta señal ejecuta la apertura del SW_estimulación y el cierre de los interruptores SW_anódico, SW_catódico y SW_calibración cuyas conexiones se mantienen a lo largo de la etapa de calibración.

El DAC del estimulador recibe el código necesario para generar la amplitud de corriente máxima a la salida. Esta corriente es reflejada para la generación del pulso anódico y catódico independientemente mediante los espejos de corriente en el estimulador. La corriente I_{DAC} destinada al pulso catódico ingresa a la etapa de "corriente de compensación variable" la cual emplea un espejo de corriente cascode NMOS formado por los transistores M0 - M1 - M3 - M4 para reflejar la corriente I_{DAC} a la salida de la etapa. Además, la corriente I_{DAC} es utilizada para formar la corriente referencial I_{ref} . Esta corriente es generada por medio de dos espejos de corriente con un factor de reducción total de $C1 \cdot C2$, en donde el espejo de corriente cascode

NMOS formado por M0 - M3 - M2 - M5 reduce la corriente I_{DAC} en un factor de C1 y el espejo cascado PMOS Mr0 - Mr1 - Mr2 - Mr3 reduce esta corriente en un factor de C2. Una vez definida I_{ref} , los espejos de cascado de compensación forman las corrientes proporcionales a I_{ref} : $I_1, I_2 \dots I_n$; como se observa en la figura 3.3(a). Cada uno de estos espejos en conjunto con la salida de un contador de “n” bits definen la corriente de compensación total (I_{cmp}). Esta corriente consiste en la suma de las corrientes generadas por los espejos de compensación y su valor siempre es menor a I_{ref} . A medida que el contador aumenta la cuenta, I_{cmp} aumenta gradualmente. A la salida de la etapa de ganancia, la corriente I_{cmp} es adicionada a la corriente I_{DAC} reflejada al inicio de la etapa.

Al comienzo de la etapa de calibración, el contador de lógica de control está en cero con lo cual la corriente de compensación (I_{cmp}) es 0 uA debido a que todos los espejos de compensación están desactivados. En ese momento la única corriente que define al pulso catódico es la corriente I_{DAC} , la cual ingresa a la etapa de amplificación del estimulador y genera la corriente catódica a la salida del estimulador (I_c). Del mismo modo, la corriente I_{DAC} destinada para el pulso anódico ingresa a la etapa de amplificación y genera la corriente anódica a la salida del estimulador (I_a). Debido a la conexión de los interruptores al inicio de la calibración, la corriente catódica (I_c) y anódica (I_a) a la salida del estimulador se restan a la salida. Al existir diferencia de amplitudes de corrientes ($I_a - I_c$) debido al mismatch, esta diferencia es conducida a la resistencia de entrada del comparador (R_M), el cual convierte la diferencia en un nivel de tensión para la entrada no inversora del comparador. Este valor es comparado con el nivel de tensión referencial V_{ref} que ingresa en la entrada inversora y permite detectar si la diferencia de corrientes en la entrada no inversora es negativa. Si $I_a > I_c$, el comparador produce un nivel alto, 1, a la entrada de la etapa de lógica de control; lo cual indica que la corriente de compensación variable no es suficiente para reducir la diferencia al nivel deseado. En contraste, si $I_a < I_c$, el comparador produce un nivel bajo, 0; lo cual indica que la corriente de compensación variable corregido la amplitud satisfactoriamente.

La etapa de lógica de control está formada por un contador ascendente de “n” bits cuya salida binaria forma las señales de control que activan y desactivan los interruptores encargados conectar cada una de los “n” espejos de corriente para la formación de la corriente I_{cmp} . Al recibir un 1 proveniente del comparador, la lógica de control deja pasar la señal de reloj del contador aumentando la cuenta inicial de 0 a 1, lo cual modifica las señales a la salida del contador. Esta salida activará solo el

interruptor SW(n) el cual activa el espejo cascado en la posición “n” para generar el mínimo valor de I_{cmp} conocido como LSB.

La corriente I_{cmp} es adicionada a la corriente I_{DAC} del pulso catódico lo cual aumentará la corriente catódica a la salida y reducirá la diferencia de corrientes a la entrada del comparador. En el caso de que el valor actual de I_{cmp} no aumentó lo suficiente la corriente catódica, la diferencia de amplitudes de los pulsos aún será positiva. De ser el caso, el comparador recibe la nueva diferencia y al compararlo con la referencia envía 1 a la salida. Este nivel permite el ingreso de otro flanco de subida del reloj en el contador lo cual coloca la cuenta de 1 a 2 y modifica la conexión de los espejos de compensación. En este caso, se desactiva el espejo de la posición “n” y se activa el de la posición “n-1” lo cual permite que I_{cmp} aumente su valor de corriente a 2LSB. Este procedimiento se repite mientras la diferencia de $I_a - I_c$ es un valor positivo. En el caso que el valor de I_{cmp} permita que el voltaje de la diferencia esté por debajo del valor de V_{ref} , el comparador cambia la salida de 1 a 0 lo cual evita el ingreso del siguiente flanco de subida en el contador y manda una señal para guardar el valor de la cuenta. Al concluir la calibración, la cuenta binaria anterior al valor que produce que $I_c > I_a$ es almacenada en los registros de la unidad de control del estimulador y es utilizada cada vez que se desea generar la corriente catódica. De este modo se carga en el contador el valor de la cuenta hallada en la etapa de calibración para compensar la corriente catódica. Finalmente, cada vez que el estimulador requiera la formación del pulso catódico generará adicionalmente la corriente I_{cmp} cuyo valor depende de la amplitud catódica deseada. El aumento de la amplitud catódica reducirá el mismatch entre pulsos de estimulación reduciendo el aporte de carga residual después de cada estimulación.

3.3 Análisis de las etapas del circuito

3.3.1 Etapa de ganancia de compensación

El funcionamiento de este bloque es aumentar la corriente catódica a la salida del estimulador. El circuito está compuesto de espejos de corriente que permiten reflejar la corriente I_{DAC} a la salida de la etapa y generar una corriente referencial I_{ref} que es utilizada para formar la corriente de compensación variable (I_{cmp}) para aumentar la amplitud catódica.

Esta etapa está formada por “n” circuitos de espejo de corriente cascado, en donde cada uno posee un factor de forma que en conjunto permiten modificar el valor de I_{cmp} desde 0 uA hasta un valor de corrección máximo para el mayor caso de mismatch posible según la tecnología. Para el desarrollo de esta etapa de compensación,

primero se define la variable M%, la cual corresponde al porcentaje de mismatch existente en el estimulador durante la generación del pulso de estimulación. Después, se obtienen las variables y ecuaciones que definen los parámetros con los que trabajará la etapa de compensación. Finalmente, se abordará el análisis de la topología del circuito de espejo de corriente seleccionado, así como las consideraciones del circuito para cada transistor en la etapa de compensación.

Porcentaje de mismatch M%

La diferencia que existe entre los pulsos de estimulación (mismatch) puede ser definido como $I_a - I_c$, donde I_a e I_c son las amplitudes de corrientes anódica y catódica a la salida respectivamente. Sin embargo, esta expresión puede redefinirse en función a los otros bloques que se mostraron en la figura 3.2 y conexiones de la figura 3.3; para lo cual se definen las siguientes variables: la corriente de salida del DAC (I_{outDAC}); la ganancia en la amplificación de corriente anódica formada por espejos de corriente PMOS ($G_{CM,P} = A1 * A2$) y la ganancia en la amplificación de corriente catódica formada por espejos de corriente NMOS ($G_{CM,N} = A1 * A2$).

La corriente generada a la salida del DAC es reflejada por espejos de corriente para la formación de cada pulso según las señales de control. Esta corriente producida en la etapa de bajo voltaje es amplificada por las variables de mencionadas anteriormente en la etapa de alto voltaje para la generación final de las corrientes del estimulador.

$$\text{Sea: } I_a = (I_{outDAC}) * (G_{CM,P}) \text{ e } I_c = (I_{outDAC}) * (G_{CM,N}) \quad (3.0)$$

Para una forma de onda de duración de pulsos de estimulación iguales ($t_{anódico} = t_{catódico}$) se tiene lo siguiente:

$$\text{El mismatch sin calibración} = (I_{outDAC}) * (G_{CM,P} - G_{CM,N}) \quad (3.1)$$

Idealmente, $G_{CM,P}$ y $G_{CM,N}$ tienen el mismo valor lo cual implica un mismatch de 0 uA. Sin embargo, por factores mencionados en el capítulo anterior como los procesos en fabricación de los componentes encargados de generar estas ganancias y otras fuentes de mismatch a lo largo de la unidad de generación, sus valores difieren entre sí. Esta diferencia entre las corrientes de estimulación puede ser expresada como un porcentaje estimado de mismatch que representa el peor caso de la diferencia de amplitudes definido como:

$$M\% = \frac{(I_a - I_c)}{I_a} * 100 \quad (3.2)$$

En la ecuación (3.2) se observa que la expresión de $M\%$ representa el porcentaje de la diferencia de corrientes entre la corriente anódica. Asimismo, se observa que el mismatch está siendo asignado a la generación de la corriente catódica. Esta instancia, ($I_a > I_c$), será considerada a lo largo del trabajo para el análisis y desarrollo del circuito de calibración. No obstante, se debe recordar que los factores de mismatch afectan a ambas generaciones de corriente. Considerando la presencia del porcentaje de mismatch definido en la ecuación (3.2) las expresiones de la amplitud de corriente de cada pulso y el mismatch inicial son las siguientes:

$$I_a = (I_{outDAC}) * (G_{CM_P})$$

$$I_c = (I_{outDAC}) * (G_{CM_N}) * (1 - M\%)$$

$$\text{Mismatch inicial} = (I_{outDAC}) * (G_{CM_N}) * M\% \quad (3.3)$$

Sea I_{cmp} la corriente de compensación variable seleccionada luego de la etapa de calibración, la amplitud de I_c aumentaría al adicionar I_{cmp} al valor de I_{outDAC} . Considerando las expresiones y variables mencionadas anteriormente, las corrientes de estimulación y el mismatch luego de la calibración se expresan de la siguiente forma:

$$I_a = (I_{outDAC}) * (G_{CM_P})$$

$$I_c = (I_{outDAC} + I_{cmp}) * (G_{CM_N}) * (1 - M\%)$$

$$\text{Mismatch con calibración} = (I_{outDAC}) * (G_{CM_P}) - (I_{outDAC} + I_{cmp}) * (G_{CM_N}) * (1 - M\%) \quad (3.4)$$

La ecuación (3.4) demuestra que para un porcentaje de mismatch inicial $M\%$ que degrada la corriente catódica, se utiliza la corriente I_{cmp} para compensar la amplitud.

Ecuaciones y parámetros de la etapa de corriente de compensación variable

En la anterior sección se halló la ecuación (3.4) que define cual será el mismatch al final de la calibración. Se puede observar que para un $M\%$ máximo existirá la mayor degradación del factor de amplificación lo cual requiere que I_{cmp} sea el máximo valor posible que será adicionado a la corriente reflejada I_{outDAC} . Por lo tanto, se necesita diseñar una corriente I_{cmp} máxima que compense el peor caso de mismatch el cual existirá en la formación la máxima amplitud de corriente, es decir, cuando $I_{outDAC} = I_{DAC_max} = I_{aDAC_max}$.

Considerando el valor de $M_{max}\%$ como el mayor porcentaje de mismatch posible en la generación de pulsos según la tecnología empleada en la prótesis, se tiene que para que $I_a = I_c$, el valor de I_{cmp_max} será igual a:

$$(I_{outDAC}) * (G_{CM_P}) = (I_{outDAC} + I_{cmp}) * (G_{CM_N}) * (1 - M_{max}\%), \text{ donde } G_{CM_P} = G_{CM_N}$$

$$I_{cmp_max_ideal} = I_{outDAC} * \frac{1}{1 - M_{max}\%} - I_{outDAC}, \text{ donde } I_{outDAC} = I_{DAC_max}$$

$$I_{cmp_max_ideal} = I_{DAC_max} * \frac{1}{1 - M_{max}\%} - I_{DAC_max} \quad (3.5)$$

El valor de $I_{cmp_max_ideal}$ obtenido en la expresión (3.5) es el valor exacto que se requiere para conseguir un mismatch de 0 uA. Este valor comprenderá de varios decimales lo cual implica que se requeriría una gran exactitud en los transistores que definen esta corriente. Sin embargo, conseguir dicha exactitud puede ser muy ideal considerando los factores de fabricación que afectarían al circuito. Por lo tanto, al tomar en cuenta las limitaciones que puede tener cualquier tecnología CMOS, se opta por redefinir la expresión (3.5) para obtener un valor de I_{cmp_max} que presente menor dificultad de generar. Para esto, la aproximación equivale a la siguiente expresión.

$$I_{cmp_max} = I_{DAC_max} * M_{max}\% \quad (3.6)$$

Esta corriente de compensación es definida para un valor de $M_{max}\%$ e I_{DAC_max} . Sin embargo, el valor de $M\%$ puede ser menor según los factores de mismatch que afecten de distinta forma en cada uno de los estimuladores de la prótesis de resina. Por lo tanto, emplear solo el valor I_{cmp_max} para compensar las corrientes I_c de los otros estimuladores no será suficiente; en el caso que $M\%$ sea menor I_c se compensa de más dejando un mismatch negativo. No obstante, el valor I_{cmp_max} es el máximo valor de corriente necesario para el peor caso, por lo cual se requiere valores menores para poder reducir el mismatch para los casos de $M\% < M_{max}\%$. Por consiguiente, los n espejos de corriente permiten obtener los valores menores de I_{cmp_max} necesarios para cada estimulador.

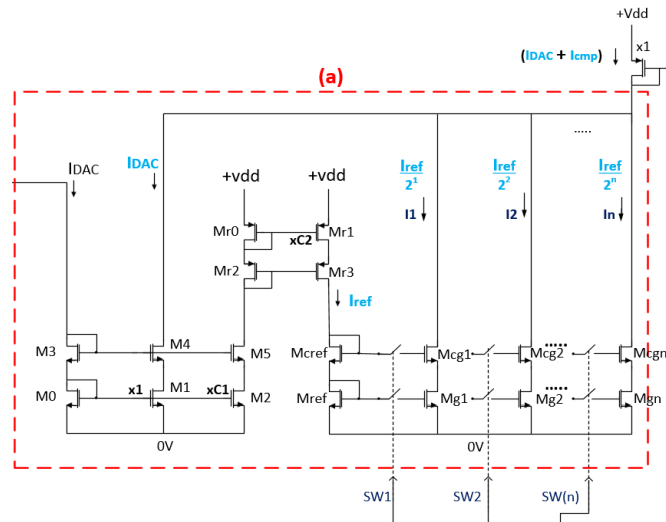


Fig.3.4. Etapa de corriente de compensación variable.

Considerando lo anterior, el arreglo de espejos de corriente utilizados luego de la formación de la corriente I_{ref} permiten obtener valores de corriente que definen la corriente I_{cmp} . Cada uno de estos tiene como entrada una corriente de referencia I_{ref} y refleja una corriente menor a su salida análogo al comportamiento de un DAC. Estos espejos definen en su salida una parte de I_{ref} la cual como se aprecia en la figura 3.4, el espejo en la posición n le corresponde una corriente de salida igual a la siguiente ecuación:

$$I_i = \frac{I_{ref}}{2^i}, i=1, 2, \dots, n \quad (3.7)$$

La copia de las corrientes en factores I_{ref} permite modificar el valor de I_{cmp} adicionado al final de la etapa según la activación o desactivación de estos de los espejos. Utilizando la señal proveniente del contador, la activación sigue la secuencia de conteo ascendente donde el menor bit activa el espejo $Mref - Mgn - Mref - Mcgn$, y el mayor bit activa el espejo $Mref - Mg1 - Mref - Mcg1$. Utilizando las corrientes de la expresión (3.7) y la palabra (cadena de bits) proveniente del contador. Sea $b_1 b_2 b_3 \dots b_n$ la salida del contador donde b_n es el bit menos significativo y b_1 el bit más significativo se tiene la siguiente expresión para I_{cmp} .

$$I_{cmp} = I_1 * b_1 + I_2 * b_2 + I_3 * b_3 + \dots + I_n * b_n \quad (3.8)$$

Considerando, las corrientes de salida de cada espejo y el valor de la cuenta; cada cuenta modifica la conexión de los espejos de corriente aumentando el valor final en $I_{ref}/2^n$ cuyo valor será LSB. Para hallar el valor de LSB del arreglo de espejos se conoce que el máximo valor I_{cmp} corresponde al valor de I_{cmp_max} hallado

anteriormente, lo cual corresponde a la salida en la máxima cuenta. Por ello, el valor de LSB es definido de la siguiente forma:

$$I_{cmp_max} = (2^n - 1) * LSB \quad (3.9)$$

$$LSB = \frac{I_{cmp}}{(2^n - 1)} = \frac{M\% * IDAC}{(2^n - 1)} \quad (3.10)$$

$$LSB = \frac{M_{max}\% * IDAC}{(2^n - 1)} \quad (3.11)$$

Considerando la variable anterior, se puede definir el valor de I_{ref} necesario para poder obtener los pasos de corriente igual LSB definido anteriormente.

$$I_{ref} = 2^n * 1 LSB \quad (3.12)$$

La corriente I_{ref} varía según el valor de I_{DAC} debido a que se forma por un espejo de corriente donde la entrada es la salida del DAC del estimulador. La dependencia de I_{ref} frente a este valor permite que los valores de I_{cmp} así como otros valores de corriente en esta etapa sean modificados según la amplitud de corriente que requiera generar el estimulador. Sin embargo, las proporciones que existen entre estas corrientes se mantendrán según el diseño de la etapa definida por las ecuaciones de la etapa de calibración.

Finalmente, las ecuaciones (3.6), (3.7), (3.11) y (3.12) anteriores definen los valores de corriente necesarios para poder llevar a cabo la compensación de corriente variable. La definición de estos parámetros se define según las características de los transistores CMOS y la forma como están conectados entre sí. El análisis que permitirá observar el comportamiento de estos será abordado en la siguiente sección.

Análisis de transistores en la etapa de compensación

En la figura 3.4 se observa que los transistores utilizados para la generación de las distintas corrientes, que componen la etapa de compensación de corriente variable, forman espejos de corriente en configuración cascode. En su mayoría los espejos utilizados en esta etapa son NMOS con excepción del espejo $Mr0 - Mr1 - Mr2 - Mr3$ el cual utiliza transistores PMOS. Sin embargo, el análisis de la relación de corriente de entrada y salida, impedancia de entrada e impedancia de salida es el mismo, la diferencia radica en los parámetros constantes que definen al NMOS y PMOS.

A continuación, se realiza el análisis de un espejo de corriente cascode NMOS a fin de obtener las expresiones que definen a la configuración. El mismo análisis es

utilizado para poder comprender el funcionamiento y característica de todos los transistores en esta etapa.

Espejo de corriente cascode: Análisis eléctrico y en pequeña señal

A lo largo de este trabajo, se han investigado distintas topologías de configuración de espejos de corriente. La configuración espejo de corriente cascode fue seleccionada para que la resistencia de salida sea alta, su entrada baja en cada espejo y reducir las variaciones de voltaje en su nodo de fuente respecto a variaciones en la salida; estas son características necesarias para una correcta copia de corriente. El siguiente análisis es desarrollado en el modelo cuadrático para enfatizar la relación de los parámetros de ancho (W) y largo (L) de canal de cada transistor en el circuito propuesto.

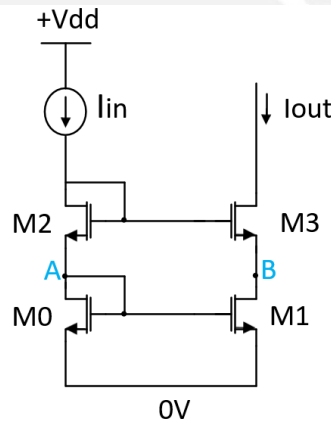


Fig.3.5. Topología espejo de cascode NMOS estándar.

En la figura 3.5, es el circuito espejo de cascode en el cual los transistores M0 y M1 se encargan de definir la relación entre las corrientes I_{in} e I_{out} y el transistor M3 con M2 permiten aumentar la impedancia de salida del espejo.

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + V_{DS} \lambda) \quad (3.13)$$

La expresión (3.13) define la corriente drenador de un transistor NMOS. La relación entre la corriente del transistor M1 y M0 define la proporción entre I_{in} e I_{out} . Además, se observa que en el transistor M0 el voltaje V_{GS} y V_{DS} es igual por la conexión diodo y al voltaje V_{GS} de M1 y M0 es igual.

$$\frac{I_{out}}{I_{in}} = \frac{\left(\frac{W}{L}\right)_1 (1 + V_{DS1} \lambda)}{\left(\frac{W}{L}\right)_0 (1 + V_{DS0} \lambda)} \quad (3.14)$$

La ecuación (3.14) muestra que las corrientes son proporcionales a sus parámetros de dimensiones. Para reducir el efecto de modulación los espejos de corriente se utilizan la misma longitud de canal en los transistores y las proporciones se realizan modificando el ancho. No obstante, la configuración cascodo permite que V_{DS1} y V_{DS0} sean aproximadamente iguales. Para lograr la anterior igualdad, se requiere que $V_A=V_B=V_{GS0}$ lo cual es posible de la siguiente forma:

$$V_{G3} = V_B + V_{GS3} = V_{G2} \quad (3.15)$$

$$V_{G3} = V_{GS0} + V_{GS3} = V_{GS2} + V_{GS0} \quad (3.16)$$

$$V_{GS3} = V_{GS2}, \text{ siendo } V_{G3}=V_{G2} \text{ el valor de } V_A=V_B \quad (3.17)$$

$$V_{DS0} = V_{DS1} \quad (3.18)$$

La igualdad anterior reduce la ecuación (3.14) a una expresión más simplificada que permitirá abordar la relación entre el factor W/L de cada transistor con su salida.

$$\frac{I_{out}}{I_{IN}} = \frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_0} \quad (3.19)$$

Adicionalmente, en la expresión (3.17), para que el valor de V_{GS3} sea igual a V_{GS2} y las corrientes I_{out} e I_{in} sean las corrientes de drenador de M3 y M2 respectivamente; la relación del factor W/L de los transistores sería finalmente la siguiente:

$$\frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_0} = \frac{\left(\frac{W}{L}\right)_3}{\left(\frac{W}{L}\right)_2} \quad (3.20)$$

El análisis en pequeña señal de esta topología permite obtener las expresiones que definen la resistencia de salida y entrada de un espejo. En este modelo se utiliza la resistencia drenador surtidor y la fuente dependiente de V_{gs2} y la transconductancia (gm).

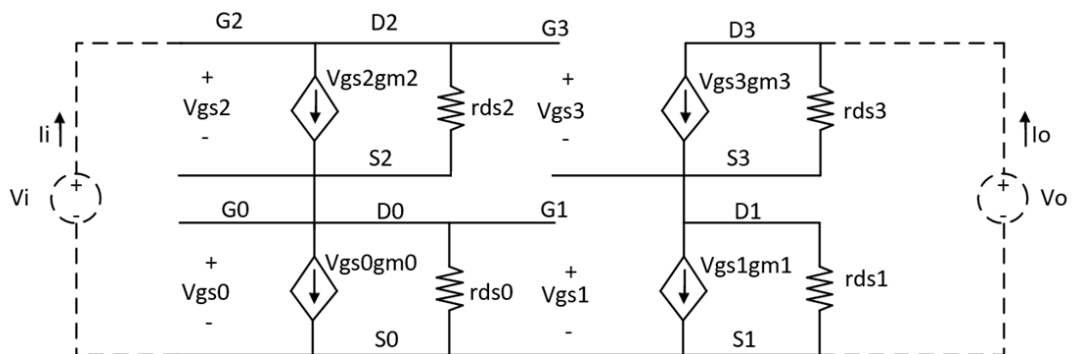


Fig.3.6. Análisis en pequeña señal del espejo de cascodo NMOS estándar.

La impedancia de entrada visto desde el drenador de M2 al surtidor de M0 se calcula utilizando solo el voltaje V_i e I_i de prueba y apaciguando las otras fuentes.

$$\begin{aligned} Z_{in} &= Z_{G2S2} + Z_{G0S0}, & Z_{G2S2} &= Z_{Vgs2gm2} // r_{ds2}, & Z_{G0S0} &= Z_{Vgs0gm0} // r_{ds0} \\ Z_{G2S2} &= (V_{gs2}/v_{gs2gm2}) // r_{ds2}, & Z_{G0S0} &= (V_{gs0}/v_{gs0gm0}) // r_{ds0} \\ Z_{G2S2} &= 1/gm2 // r_{ds2} & Z_{G0S0} &= 1/gm0 // r_{ds0} \\ Z_{in} &= (1/gm2 // r_{ds2}) + (1/gm0 // r_{ds0}) \end{aligned} \quad (3.21)$$

La expresión (3.21) es simplificada tomando en cuenta que $1/gm \ll r_{ds}$.

$$Z_{in} = 1/gm2 + 1/gm0 \quad (3.22)$$

La impedancia de entrada encontrada es una función de las transconductancia de los transistores M2 y M1. Este parámetro es definido por la siguiente expresión:

$$gm = \sqrt{2 * u * Cox \left(\frac{W}{L}\right) * ID} \quad (3.23)$$

La expresión (3.23) muestra que la transconductancia depende de valores muy pequeños como por ejemplo la corriente del drenador. En la expresión 3.22 se observa que Z_{in} es determinado por las inversas de estos parámetros. Sin embargo, la resistividad que define es menor en comparación con su salida.

Para hallar la impedancia de salida visto desde el drenador de M3 y el surtidor de M1 se utiliza el voltaje V_o y corriente I_o de prueba y apaciguando las otras fuentes.

Al no haber voltaje en el lado izquierdo, el voltaje V_{gs3} es igual a $-V_{s3}$ y V_{gs1} es igual a 0. Considerando lo anterior, se tiene la siguiente expresión:

$$\begin{aligned} V_o &= r_{ds3} (I_o - V_{gs3}gm3) + r_{ds1}I_o \\ V_o &= r_{ds3} (I_o - (-V_{s3})gm3) + r_{ds1}I_o \\ V_o &= r_{ds3}I_o + r_{ds3} (r_{ds1}I_o) gm3 + r_{ds1} I_o \\ Z_o &= V_o/I_o = r_{ds3} + r_{ds1} + gm3r_{ds1}r_{ds3} \end{aligned} \quad (3.24)$$

La expresión (3.24) es simplificada tomando en cuenta que $gm3r_{ds1}r_{ds3} \gg r_{ds1}$ o r_{ds3} .

$$Z_{out} = gm3r_{ds1}r_{ds3} \quad (3.25)$$

La expresión anterior define la impedancia que existirá a la salida del espejo cascode, una de las ventajas de esta topología es la gran impedancia de salida que se puede obtener. En la expresión (3.25) se observa que los parámetros que permiten que Z_{out} alcance valores de varios $M\Omega$ corresponden a las resistencias r_{ds} de los transistores M1 y M3. La característica de una impedancia de salida alta es importante para obtener una copia precisa de corriente

Análisis de dimensionamiento por transistores unitarios

Como se mencionó anteriormente, se ha realizado el análisis de solo un espejo cascado debido a que la etapa de compensación está formada por varios de estos espejos de corriente. Sin embargo, luego de comprender como se establece la proporción entre la corriente de entrada y salida en un espejo de corriente, se puede realizar el análisis del dimensionamiento de toda la etapa a fin de obtener una expresión muestre la variación en el área que ocupa el circuito de calibración en función de la variable n .

Para poder definir la variación de área se utiliza el concepto de “transistores unitarios”, cuya cantidad es proporcional al factor de reducción que se desea obtener en cada espejo de corriente. El transistor unitario estará conformado por un transistor NMOS o PMOS, según sea el caso, donde su ancho de canal es W_0 y su largo es L_0 .

Para comprender mejor el concepto se muestra a continuación un espejo de corriente simple donde se requiere un factor de reducción de $I_{out}/I_{in} = M/N$.

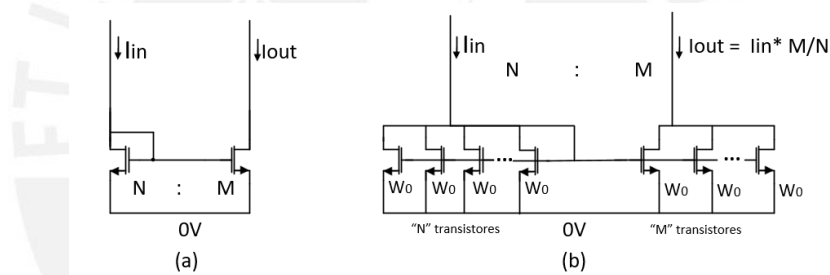


Fig.3.7. (a) espejo de corriente básico ideal con un factor de $1/N$. (b) uso de transistores unitarios para definir el factor de $1/N$.

En la figura 3.7 (b), se observa que, utilizando el concepto de transistores unitarios, para conseguir un factor de M/N en un espejo de corriente básico se utiliza M transistores a la salida y N transistores a la entrada. Principalmente, la variación de la relación M/N se lleva a cabo modificando el ancho total a la entrada y salida debido a que como se mencionó anteriormente, la longitud de canal en todos los transistores en un espejo debe ser igual para reducir el efecto de modulación de canal. Por lo tanto, variación del número de transistores es análoga a la modificación del ancho total de los transistores ideales en la figura 3.7 (a), estos valores reales como 1 um para tecnología CMOS 0.35 puede variar acorde a la aplicación; para casos del análisis se estudiará los factores al aumentar el número de transistores del circuito. Sin embargo, la configuración empleada en el circuito son espejos de corriente cascado, lo cual adiciona dos transistores $M2$ y $M3$ como se observa en la figura 3.5.

La expresión (3.20) indica que, en un espejo cascado, la relación de ancho entre los transistores superiores (M2 y M3) debe ser igual a la relación entre los anchos de los transistores inferiores (M1 y M0) en la figura 3.7. Por lo tanto, en caso que la relación de factores de forma de M0 y M1 sea M/N (M transistores para M1 y N transistores para M0) se utilizarían un múltiplo de M transistores para M3 y un múltiplo de N para M2. La definición del ancho de M3 y M2 se lleva a cabo durante el diseño de los mismos; para el análisis se considera el factor “ α ” que define al número múltiplo de transistores unitarios necesarios para cada M3 y M2. Por lo tanto, para un espejo de corriente cascado se tendrá la siguiente expresión que representa el número de transistores unitarios ($\#TransUnit$) necesario para obtener un factor M/N como relación de corriente de salida sobre entrada (I_{out}/I_{in})

$$\#TransUnit = (M + N) + (\alpha M + \alpha N) = (\alpha + 1)(M + N) \quad (3.25)$$

En la figura 3.8, para la formación de las corrientes I_1, I_2, \dots, I_n se requiere factores de $1/2, 1/4, \dots, 1/2^n$ para un valor de n. Asumiendo que el factor proporcional α de los transistores que permiten la conexión cascado ($M_{cref}, M_{cg1}, \dots, M_{cgn}$) es el mismo en todos los espejos, se observa que para la formación de todas las corriente, el mayor factor de reducción es $1/2^n$. Por lo tanto, se utiliza este factor para definir los transistores unitarios de M_{ref} y M_{cref} y después poder definir los transistores M_{gi} y M_{cgi} de un espejo de corriente en la posición i.

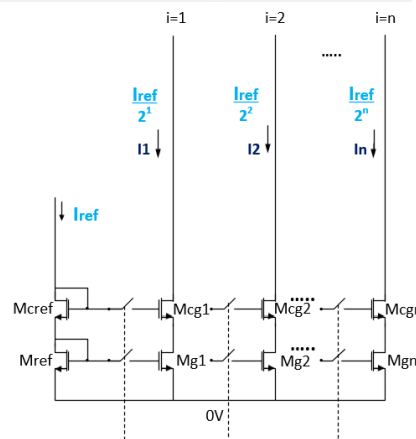


Fig.3.8. Análisis de transistores unitarios para la generación de la corriente I_{cmp} .

El número de transistores unitarios que se utilizarían en M_{cref} y M_{ref} corresponde a la siguiente expresión:

$$\#TransUnit_{Mref} = 2^n \quad (3.26)$$

$$\#TransUnit_{Mcref} = \alpha 2^n \quad (3.27)$$

Una vez definida la rama de transistores compartida (M_{ref} y M_{cref}) de los espejos cascado se procede a definir el número de transistores unitarios necesarios para un espejo de posición i .

$$\#TransUnit_Mgi=2^{n-i} \quad (3.28)$$

$$\#TransUnit_Mcgi=\alpha 2^{n-i} \quad (3.29)$$

Considerando las expresiones (3.26), (3.27), (3.28) y (3.29), se realiza la siguiente sumatoria para definir el total de transistores unitarios que se requieren en esta parte de la etapa de compensación para definir I_{cmp} :

$$\#TransUnit_I_{cmp} = 2_n + \alpha 2^n + \sum_{i=1}^n (1 + \alpha)(2^{n-i}) \quad (3.30)$$

$$\#TransUnit_I_{cmp} = \sum_{i=0}^n (1 + \alpha)(2^{n-i}) \quad (3.31)$$

En el caso del espejo de corriente que refleja la corriente I_{DAC} y el par de espejos que generan la corriente I_{ref} de la figura 3.9, la cantidad de transistores unitarios depende de la proporción que exista entre I_{ref} e I_{DAC} . De la expresión (3.11) y (3.12) se obtiene la expresión que define a I_{ref} por lo cual el factor I_{ref}/I_{DAC} sería el siguiente:

$$\frac{I_{ref}}{I_{DAC}} = \frac{2^n}{I_{DAC}} \frac{I_{cmp \text{ máxima}}}{(2^n - 1)} \quad (3.32)$$

Utilizando la expresión (3.6) la relación de corriente se puede simplificar a la siguiente expresión:

$$\frac{I_{ref}}{I_{DAC}} = \frac{2^n}{(2^n - 1)} * M_{max} \% \quad (3.33)$$

La expresión (3.33) depende del valor de la constante $M_{max} \%$ el cual es utilizado para el diseño de la etapa y depende de la tecnología. Adicionalmente, el factor hallado en (3.33) es separado en dos factores de reducción que corresponde a $C1$ para el espejo cascado NMOS $M0 - M2 - M3 - M5$ y $C2$ para el espejo cascado PMOS $Mr0 - Mr2 - Mr1 - Mr3$. La separación del factor total en estos dos factores parciales reduce la cantidad de transistores unitarios que serían requeridos para formar el factor total en un solo espejo.

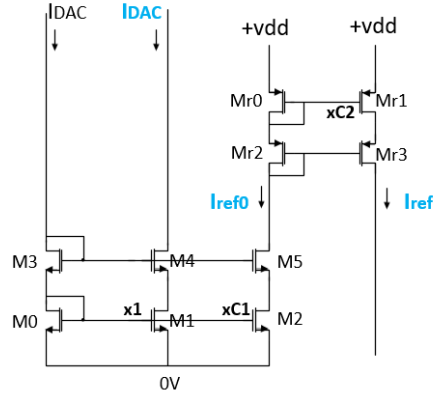


Fig.3.9. Análisis de transistores unitarios para la generación de las corrientes I_{DAC} e I_{ref} .

Para definir la cantidad de transistores unitarios que requiere el espejo que refleja la corriente I_{DAC} a la salida se requiere conocer el factor de C1. Si la relación entre I_{ref0}/I_{DAC} es igual a M/N entonces el número de transistores unitarios del espejo M0 - M1 - M3 - M4 se hallaría de la siguiente forma:

$$\#TransUnit_{M0} = \#T_{U_{M1}} = N \quad (3.34)$$

$$\#TransUnit_{M3} = \#T_{U_{M4}} = \alpha N \quad (3.35)$$

Además, para generar la corriente de referencia parcial I_{ref} el número de transistores unitarios para M2 y M5 estaría definido como:

$$\#TransUnit_{M2} = M \quad (3.36)$$

$$\#TransUnit_{M5} = \alpha M \quad (3.37)$$

Del mismo modo, para definir la cantidad de transistores unitarios que requiere el espejo Mr0 - Mr1 - Mr2 - Mr3 que genera la corriente final I_{ref} se requiere conocer el factor de C2. Si la relación entre I_{ref}/I_{ref0} es igual a P/Q entonces el número de transistores unitarios se hallaría de la siguiente forma:

$$\#TransUnit_{Mr0} = Q \quad (3.38)$$

$$\#TransUnit_{Mr2} = \alpha Q \quad (3.39)$$

$$\#TransUnit_{Mr1} = P \quad (3.40)$$

$$\#TransUnit_{Mr3} = \alpha P \quad (3.41)$$

El factor de reducción total para formar I_{ref} es definido por la ecuación (3.33), en donde su valor depende de n y el máximo valor de mismatch considerado en la tecnología. En el caso de los valores de $C1 = M/N$ y $C2 = P/Q$, los valores de cada

factor deben ser definidos según el factor de reducción total hallado, con el fin de obtener valores enteros pequeños para M, N, P y Q. Considerando lo anterior, el número total de transistores unitarios que se utiliza para generar la corriente I_{DAC} e I_{ref} es definido de la siguiente forma:

$$\begin{aligned} \#TransUnit_{I_{DAC}, I_{ref}} = & \#TransUnit_{M0} + \#TransUnit_{M1} + \#TransUnit_{M3} + \\ & \#TransUnit_{M4} + \#TransUnit_{M2} + \#TransUnit_{M5} + \#TransUnit_{Mr0} + \\ & \#TransUnit_{Mr2} + \#TransUnit_{Mr1} + \#TransUnit_{Mr3} \end{aligned} \quad (3.42)$$

$$\#TransUnit_{I_{DAC}, I_{ref}} = 2 * N (1 + \alpha) + (1 + \alpha) M + (1 + \alpha) Q + (1 + \alpha) P \quad (3.43)$$

$$\#TransUnit_{I_{DAC}, I_{ref}} = (1 + \alpha) (2N + M + Q + P) \quad (3.44)$$

Finalmente, sumando la expresión (3.41) y (3.31) se obtiene el número de transistores unitarios necesarios para formar la etapa de compensación.

$$\#TransUnit_{TOTAL} = \sum_{i=0}^n (1 + \alpha) (2^{n-i}) + (1 + \alpha) (2N + M + Q + P) \quad (3.45)$$



3.3.2 Etapa de detección

El funcionamiento de este bloque consiste en recibir la diferencia de corriente que existe entre los pulsos de estimulación durante la ejecución de la calibración. Esta etapa está conformada por un comparador, una resistencia R_M y un voltaje referencial. Respecto al desarrollo de esta etapa, se busca entender el comportamiento del circuito ante los cambios de nivel del comparador, obtener la expresión que determine el rango de valores que puede tomar la resistencia R_M y definir el voltaje referencial V_{ref} .

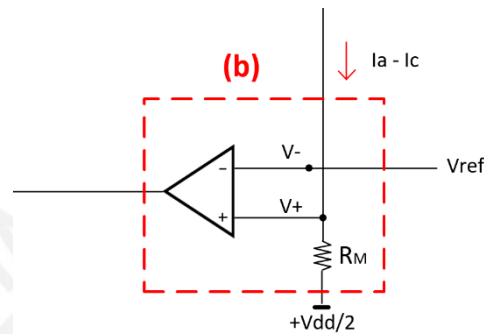


Fig.3.10. Etapa de detección y comparación de la diferencia de corriente entre pulsos a la salida del estimulador.

Esta etapa utiliza la resistencia R_M para convertir la diferencia de corrientes entre pulsos ($I_a - I_c$) en un nivel de voltaje a la entrada del terminal no inversor del comparador (V_+). Este valor de voltaje es comparado por el comparador con el valor V_{ref} que ingresa en la entrada inversora (V_-).

Inicialmente, la diferencia entre pulsos que ingresa en esta etapa, en donde $I_a > I_c$, define un valor de corriente positivo que atraviesa la resistencia R_M . Este valor de corriente en conjunto con R_M define el nivel de voltaje final en la entrada no inversora.

$$V_+ = \frac{+V_{dd}}{2} + (I_a - I_c)R_M \quad (3.46)$$

En la expresión (3.46) se observa que el voltaje en V_+ será mayor a $+V_{dd}/2$ siempre que la corriente anódica supere a la catódica. No obstante, la corriente anódica es un valor constante durante la calibración a diferencia de la corriente catódica la cual aumenta a medida que la corriente de compensación (I_{cmp}) aumenta. Esta variación de I_c llegará a un punto en el cual la corriente será mayor que I_a , en esta condición el valor de V_+ será menor a $+V_{dd}/2$ debido a la diferencia negativa entre pulsos. En esta situación, se requiere detener el paso de la siguiente señal de reloj que aumentará cuenta y almacenar el valor anterior donde $I_a - I_c$ es el menor valor positivo posible.

Considerando la lógica anterior, se requiere que mientras $I_a > I_c$ la salida del comparador (señal S_C) sea un nivel alto y que si $I_c < I_a$ su salida sea un nivel bajo. Este comportamiento se consigue definiendo V_{ref} como $+V_{dd}/2$.

$$\text{Sea, } V_{-} = V_{ref} = \frac{+V_{dd}}{2} \quad (3.47)$$

$$\text{Entonces, } S_C = "1" \text{ para } I_a > I_c; \quad S_C = "0" \text{ para } I_a < I_c \quad (3.48)$$

Para definir el valor de R_M se debe tomar en cuenta el rango de valores de la diferencia de corriente, así como los límites que tiene el comparador. Por un lado, la diferencia entre corrientes varía a partir de un valor inicial de mismatch. Anteriormente, se mencionó que para un valor de $M_{max}\%$, definido por la tecnología, la diferencia entre las corrientes es la máxima posible.

$$(I_a - I_c)_{\text{máximo}} = (I_{DAC} * A1 * A2) * M_{max}\% \quad (3.49)$$

Utilizando la expresión (3.46) y (3.48) se puede determinar un máximo valor de R_M en el cual el voltaje V_+ no supera la alimentación del comparador. El máximo nivel de voltaje que puede alcanzar R_M para cumplir esta condición sería $+V_{dd}/2$

$$R_M < \frac{+V_{dd}}{2} + (I_{DAC_max} * A1 * A2) M_{max}\% \quad (3.50)$$

A pesar de no abordar con detenimiento la estructura interna del comparador, una característica limitante de este es la mínima diferencia de voltaje posible en sus entradas. En caso que la diferencia de estos terminales sea un valor menor al necesario, el comparador generará una salida errónea. Por lo tanto, se considera V_x como la mínima diferencia entre V_+ y V_- para una adecuada comparación (resolución del comparador). Entonces, para una diferencia de corrientes mínima $(I_a - I_c)_{min}$ que debe ser definida, se tiene la siguiente expresión:

$$(I_a - I_c)_{min} = V_x / R_M \quad (3.51)$$

$$\frac{V_x}{(I_a - I_c)_{min}} < R_M \quad (3.52)$$

Finalmente, utilizando la expresión (3.50) y (3.52) se define el rango de valores de R_M en la siguiente expresión:

$$\frac{(I_a - I_c)_{min}}{V_x} < R_M < \frac{+V_{dd}}{2} + (I_{DAC_max} * A1 * A2) M_{max}\% \quad (3.53)$$

En la expresión (3.53) se observa que existe un amplio rango de valores para R_M . La elección de R_M debe considerar que para una resolución V_x , valores grandes de R_M reduce la mínima diferencia de corrientes aceptada por el comparador, es decir que aumenta el rango de corrientes aceptables. No obstante, se debe tomar en cuenta

que el máximo valor de R_M está limitado por parámetros del estimulador, la tecnología y sobre todo el voltaje de alimentación.

3.3.3 Etapa de Lógica de control

Esta etapa utiliza como entradas la señal de la salida del comparador (S_C) y una señal de reloj de “F” Hz para generar las salidas de 2^n señales que controlan las conexiones de los “n” espejos de corriente cascado en la primera etapa utilizando un contador de “n” bits.

En la figura 3.11, se observa el diagrama de la lógica de control digital que permite comprender el funcionamiento de este bloque. El punto V_A y A se encuentran inicialmente en 0, este valor ingresa a un sumador que adiciona un 1 colocando la salida del sumador “S” en 1. Este valor ingresa a un multiplexor para “n” bits de entrada que utiliza la salida del bloque comparador digital (CMP) para colocar V_F en el valor de S o 0. El bloque CMP compara el punto S con el máximo valor de la cuenta para n bits o 2^n decimal; en el caso que sean iguales, la señal que recibe el multiplexor es un 1 binario; de lo contrario será un 0 binario. Al comienzo, estos valores son distintos por lo cual V_F es igual al valor de S.

El punto V_F el cual corresponde a la entrada del registro D de “n” bits y el registro B. Además, V_A corresponde a la entrada del registro A. Los registros A y B de “n” bits mantienen estables los valores de V_F y V_A una vez que pasan para formar los valores de cuenta futura y Actual, respectivamente. El valor de cuenta futura corresponde a la señal de control que reciben los n espejos de compensación, mientras que el valor de cuenta actual corresponde al valor de la cuenta que será almacenada cuando el valor de $I_a - I_c$ sea la menor diferencia positiva posible, es decir S_C igual a 0.

Antes del primer flanco de subida de la señal de reloj, tanto el valor de la cuenta actual como la futura es igual a 0 por lo cual las salidas del bloque de lógica son 0...0 (n bits). En esta situación la diferencia $I_a - I_c$ es el mismatch inicial y es positiva por lo cual el contador recibe la señal S_C igual a 1.

Al momento del primer flanco de subida del reloj, los registros A y B almacenan los valores de V_A y V_F , respectivamente, cuyos valores corresponden a 0 y 1. Entonces, el valor de la cuenta futura corresponde a 1 por lo cual se envían la n señales a la salida que corresponde a un valor binario de 0...01. Del mismo modo, al encontrarse habilitado el registro D ($S_C = 1$) el valor de V_A se actualiza en V_F cuyo valor es 1. Este valor ingresa al sumador en el punto A y es incrementado en 1. La

nueva salida del sumador S es 2, el valor es comparado y al no ser igual a la máxima cuenta de n bits el multiplexor coloca V_F en el valor de S el cual es 2.

Antes del segundo flanco de subida del reloj, se tiene que V_F es 2, V_A es 1, valor de cuenta actual es 0 y valor de cuenta futura es 1. En caso que la señal S_C siga siendo 1, el segundo flanco de subida actualiza los registros A y B con valores de V_A y V_F colocando sus salidas en 1 y 2 respectivamente. Entonces el valor de la cuenta futura corresponde a 2 por lo cual las n señales a las salidas del bloque corresponden al valor binario 00...10. Además, se actualiza el registro D colocando el valor de V_A a V_F cuyo valor es 2, este valor ingresa al sumador en el punto A y se repite el proceso anterior para los siguientes flancos de subida.

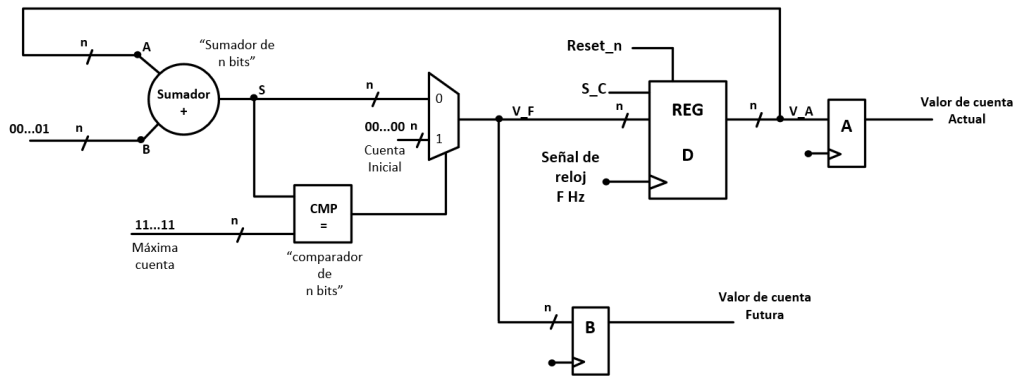


Fig.3.11. Etapa de lógica de control para generar las salidas de control.

El funcionamiento del circuito de calibración finaliza si la señal S_C es 0. Por consiguiente, el valor de la cuenta futura que recibe la etapa de compensación ha conseguido que la corriente I_c sea mayor a la (diferencia negativa). Por lo tanto, el valor de cuenta anterior al de cuenta futura corresponde a la cuenta que permite obtener la mínima diferencia $I_a - I_c$ positiva. Este valor corresponde al valor de cuenta actual que está almacenado en el registro A. El controlador del estimulador recibe la señal de bajo nivel de S_C lo cual indica que se debe almacenar el valor de cuenta actual, abrir los interruptores que permitía obtener la diferencia de corriente y reiniciar los registros. El valor de cuenta actual almacenado será reutilizado para colocar la salida del contador en este valor cada vez que se necesite generar el pulso catódico. Adicionalmente, el controlador debe recibir la señal a la salida del comparador digital CMP el cual indica que se ha llegado a la máxima cuenta. En este caso, la cuenta que debe ser almacenada y utilizada para corregir el mismatch es la máxima cuenta. Del mismo modo, cuando se requiera la formación del pulso catódico, se colocará la salida del contador en este valor de cuenta máxima.

CAPÍTULO 4

Simulaciones y resultados del circuito propuesto

En el presente capítulo se utilizará el software de MATLAB para observar el comportamiento del circuito propuesto según las expresiones y parámetros definidos anteriormente. El fin de estas simulaciones es observar la reducción del mismatch entre los pulsos de estimulación que se obtiene utilizando el circuito propuesto. Además, se observará las variaciones posibles en el área que existiría en el circuito según las consideraciones de algunos parámetros por tecnología y otros definidos por un diseño. Finalmente, se utiliza la herramienta de SIMULINK para obtener un modelo equivalente del comportamiento total del circuito propuesto el cual permite obtener el valor de cuenta (conexión de espejos) necesario para la reducción del mismatch que será almacenado para la generación de pulsos catódicos.

4.1 Mismatch remanente post calibración

En esta simulación, se realizó un script en MATLAB que permite obtener el valor de la cuenta del contador necesaria para generar la mínima diferencia $I_a - I_c$ positiva al finalizar la calibración para distintos porcentajes de mismatch $M\%$. Para el desarrollo del script se utilizaron las expresiones (3.3), (3.4), (3.6) y (3.11) para obtener el mismatch al inicio y final de la calibración. La corriente de estimulación máxima que es asumida para la simulación es de 300 μA en donde el máximo valor de I_{outDAC} es 5 μA y el valor de la etapa de amplificación del estimulador es un factor de 60 (para G_{CMP} y G_{CMN}). La corriente de compensación I_{cmp} al finalizar la calibración corresponde a la cuenta hallada multiplicado por la variable LSB en la expresión (3.11) el cual depende del número de espejos de corriente seleccionado "n". La resolución considerada para el comparador fue de 10 mV y su resistencia para detectar la corriente máxima fue de 183 $\text{k}\Omega$ los cuales determinan la mínima diferencia de corriente detectada por el comparador. Además, se utiliza el valor de corriente de compensación máximo definido en la ecuación (3.6) debido a que la expresión (3.5) requiere una alta precisión en diseño como se mencionó anteriormente. A continuación, se muestran las gráficas del mismatch de corriente inicial vs el final para distintos valores de $M\%$ menores a $M_{\text{max}}\%$ definido como 3% para estas simulaciones.

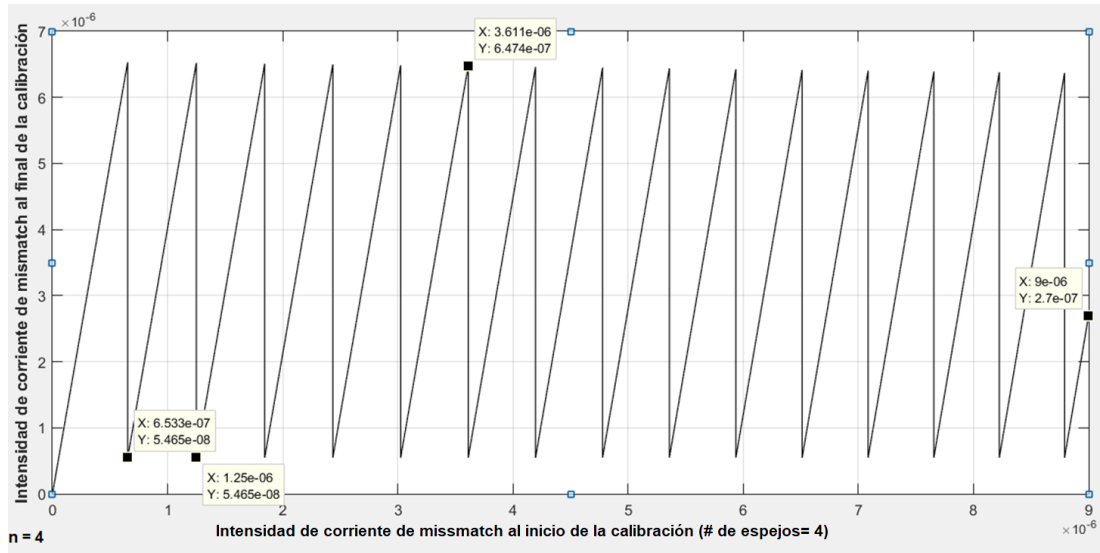


Fig.4.1. Gráfica del mismatch inicial entre pulsos vs el mismatch final obtenido por la calibración para 4 espejos de compensación.

En la figura 4.1, se observa los valores de mismatch final para varios valores de mismatch inicial. En esta gráfica, además de simular para valores de mismatch entre 0 a 3% se utilizó un valor de n igual a 4 para obtener el mismatch a la salida para cada caso. La grafica está formada por 16 rectas en las cuales cada una representa la cuenta requerida para obtener la menor diferencia positiva entre los pulsos de estimulación. Las rectas verticales representan los saltos que se dan de una cuenta a la siguiente es decir aproximadamente entre valores de mismatch de 0 a 0.6533 μA el contador se encuentra en 0, entre valores de mismatch de 0.6533 μA a 1.25 μA el contador se encuentra en 1, y así sucesivamente de forma periódica.

Los valores de corriente de mismatch al final de la calibración están entre 0.05465 μA a 0.647 μA . Considerando el mayor valor de mismatch final y la máxima corriente de estimulación de 300 μA se tiene un porcentaje de mismatch final de 0.216%.

La gráfica anterior corresponde a los valores de mismatch en la formación de la máxima amplitud de pulso para una calibración de $n = 4$ espejos de compensación. Sin embargo, los niveles de mismatch obtenidos al final varían según la cantidad de espejos seleccionada.

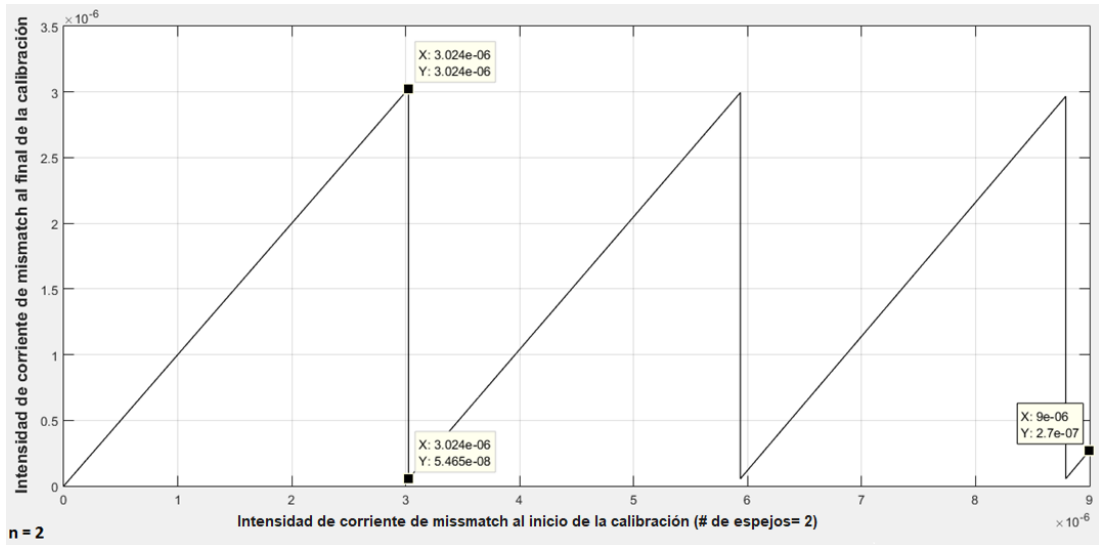


Fig.4.2. Gráfica del mismatch inicial entre pulsos vs el mismatch final obtenido por la calibración para 2 espejos de compensación.

En la figura 4.2, se observa el comportamiento del mismatch al final de la calibración que se obtiene al utilizar 2 espejos de compensación que determinan las 4 rectas finales para valores de mismatch iniciales de 0 a 3%. En este caso, los valores de corriente de mismatch a la salida están entre 0.05465 μA a 3.024 μA , el máximo valor de mismatch para 300 μA corresponde a un porcentaje de 1.008%.

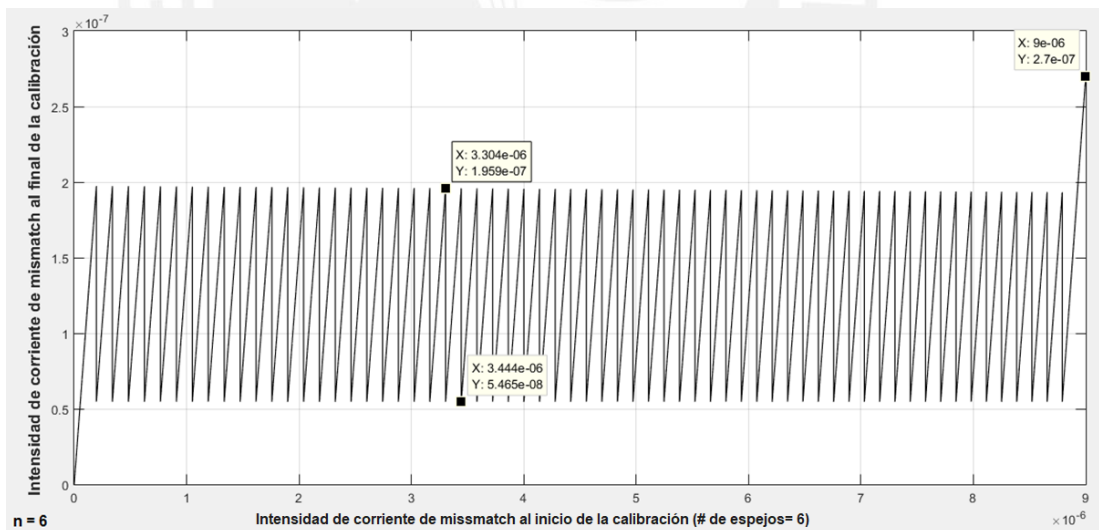


Fig.4.3. Gráfica del mismatch inicial entre pulsos vs el mismatch final obtenido por la calibración para 6 espejos de compensación.

En la figura 4.3, se observa el comportamiento del mismatch al final de la calibración que se obtiene al utilizar 6 espejos de compensación que determinan las 64 rectas finales para valores de mismatch iniciales de 0 a 3%. En este caso, los valores de corriente de mismatch a la salida están entre 0.05465 μA a 0.1959 μA , el máximo valor de mismatch para 300 μA corresponde a un porcentaje de 0.0653%.

En las tres gráficas de simulaciones mostradas anteriormente se puede observar que el mismatch final para un valor inicial de 9 uA corresponde a 0.27 uA en cada simulación. Además, en la figura 4.3 se aprecia mejor la tendencia final hacia el valor de 0.27 uA para 9 uA. La razón por la cual todas las simulaciones tienden a este valor es debido a que la corriente de compensación utilizada para el diseño de esta etapa ha sido calculada con la expresión (3.6) la cual permite obtener el máximo valor aproximado de compensación. En el caso que se utilice la expresión (3.5) para hallar el máximo valor de compensación, las gráficas presentarían una mayor uniformidad en todas las rectas. Sin embargo, como se mencionó en el capítulo anterior, si se utiliza el valor exacto de la expresión (3.5) se requiere de una alta precisión en el diseño. Por lo tanto, se elige el valor obtenido con la expresión (3.6). En el caso que el mismatch al final de la calibración para el mayor porcentaje de mismatch inicial determine la máxima corriente a la salida, el porcentaje de mismatch final para 0.27 uA corresponde a un porcentaje final de 0.09%.

A pesar que aumentar el número de espejos de corriente en la etapa de compensación permite reducir los niveles de mismatch obtenidos al final de la calibración; este aumento requiere de un mayor consumo de área del circuito y precisión para generar cada una de las corrientes que componen la etapa de compensación.

4.2 Variación de “transistores unitarios” de la etapa de compensación

La expresión corresponde al número de transistores unitarios necesarios para poder emplear “n” espejos de compensación en el circuito de calibración.

$$\# \text{TransUnit_TOTAL} = \sum_{i=0}^n (1 + \alpha)(2^{n-i}) + (1 + \alpha)(2N + M + Q + P) \quad (3.45)$$

Anteriormente, se mencionó que para obtener esta cantidad era necesario considerar la definición de las relaciones M/N y P/Q para la formación de la corriente I_{ref} a partir del valor de I_{DAC} . Adicionalmente, se declaró la variable α como la proporción entre los dos pares de transistores en un espejo de corriente cascode.

Para analizar la variación en la cantidad de los transistores unitarios, respecto a la variable “n”, se define a continuación los valores de M/N y P/Q más convenientes para reducir el número de transistores unitarios en cada valor de “n” y se considera el factor de α igual a 1 solo para realizar la comparación. Se debe tomar en cuenta que el factor de reducción total se obtiene a partir de la expresión (3.33) y el valor del porcentaje de mismatch máximo inicial será 3% como en la anterior simulación.

$$\text{Factor total} = \frac{I_{ref}}{IDAC} = \frac{2^n}{(2^n - 1)} * M_{max} \%$$

n	Factor total simplificado	M/N	P/Q
1	3/50	1/5	3/10
2	1/25	1/5	1/5
3	6/175	2/7	3/25
4	4/125	4/5	1/25
5	24/775	4/25	6/31
6	16/525	4/15	4/35
7	96/3175	6/25	16/127
8	64/2125	4/25	16/85

Tabla 4.1. Factores de reducción seleccionados para la formación de cada factor M/N y P/Q

Utilizando las consideraciones anteriores se obtiene la siguiente gráfica que complementa el análisis de dimensionamiento anterior

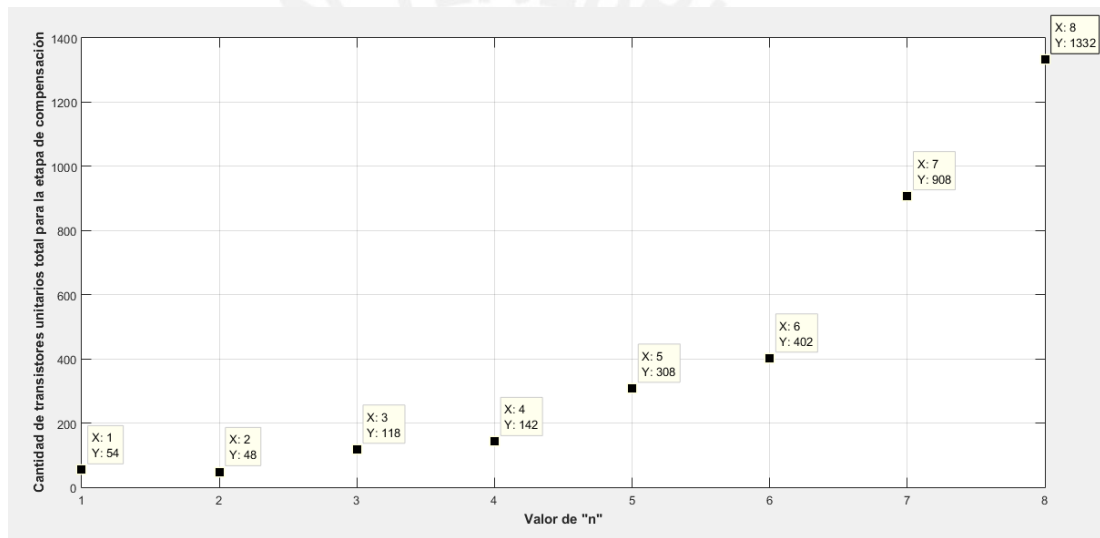


Fig.4.4. Gráfica discreta de la cantidad de transistores unitarios necesarios en la etapa de compensación para utilizar n espejos de compensación.

En la figura 4.4, se observa que a medida que aumenta el número de espejos de compensación, se requiere mayor área para su implementación. Al aumentar el valor de n, el factor total disminuye lo cual requiere una mayor cantidad de componentes para conseguir la precisión deseada. La definición de los factores parciales M/N y P/Q pueden ayudar a disminuir la cantidad de transistores necesarios que se requieren para definir la corriente I_{ref} lo cual se puede observar en los factores utilizados para $n = 2$. Sin embargo, estos factores además de variar con el valor de n, son diferentes según el porcentaje de mismatch máximo seleccionado por la tecnología. Al considerar un porcentaje de mismatch máximo distinto a 3% se obtienen otros valores de factores totales.

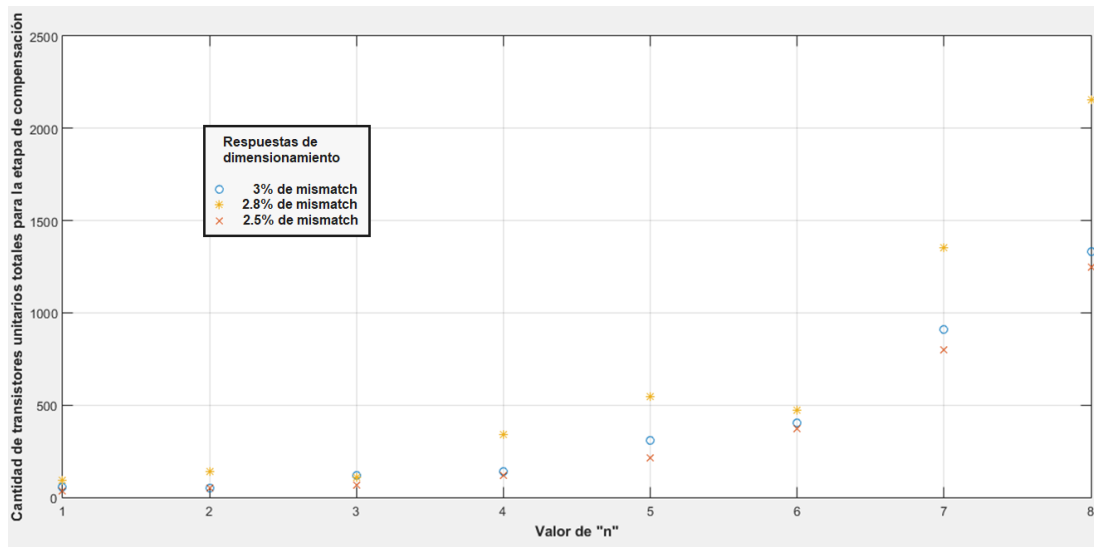


Fig.4.5. Gráfica discreta de la cantidad de transistores unitarios necesarios en la etapa de compensación para utilizar n espejos de compensación para $M_{max}\%$ igual a 2.5%, 2.8% y 3%.

En la figura 4.5, la respuesta del dimensionamiento al asumir valores distintos de $M_{max}\%$. Los círculos azules representan la respuesta del dimensionamiento utilizando 3% como máximo mismatch en la tecnología, similar al de la figura 4.4. Las espas es la gráfica que resulta de asumir un porcentaje de 2.5% y la de asteriscos es la gráfica al asumir un porcentaje de 2.8%. Se aprecia que en cada gráfica a medida que se aumenta el valor de n se requiere un mayor número de transistores unitarios lo cual consumirá el área. Asimismo, cada porcentaje de mismatch máximo modifica los factores totales que se requieren para conseguir la corriente I_{ref} lo cual muestra una dependencia en el factor de mismatch máximo según la tecnología.

4.3 Simulación del funcionamiento del circuito de calibración

Para el desarrollo de esta simulación se ha tomado en cuenta los parámetros de cada etapa para poder modelar el comportamiento del circuito en un equivalente en el Software de SIMULINK y observar el funcionamiento en el cual se utilizan los siguientes valores:

Máximo porcentaje de mismatch en el estimulador	$M_{max}\%$	3%
Factor de amplificación del estimulador	G_{CMN} y G_{CMP}	60
Máxima corriente del DAC	$I_{outDAC,max}$	5uA (4 bits)
Resolución o voltaje mínimo entre las entradas del comparador	Resolución	10mV

Voltaje de alimentación	Vdd	3.3 V
Número de espejos “	n	4
Resistencia para detectar la diferencia de amplitudes	R _M	183 kΩ
Porcentaje de mismatch en el estimulador	M%	2.4%
Frecuencia del reloj del contador	F	10kHz

Tabla 4.2. Valores de los parámetros de la simulación

En el anterior capítulo se mencionó que el circuito propuesto permite almacenar la cuenta del contador con la cual la conexión de los espejos de corriente cascodo de compensación generan la menor diferencia positiva posible entre los pulsos para un valor de M%. Además, se mencionó que el circuito de calibración con la generación de la mayor amplitud de salida ($I_{DAC} = I_{outDAC_max}$); utilizando los valores seleccionados en la tabla 4.2, se define los parámetros de la simulación.

De la expresión 3.3, reemplazando se obtiene:

$$\text{Mismatch_inicial} = M\% * GCM * IDAC\% = 2.4\% * 60 * 5\mu A = 7.2\mu A$$

De la expresión 3.6, reemplazando se obtiene:

$$I_{cmp_max} = I_{cDAC_max} * M_{max}\% = 5\mu A * 3\% = 0.15\mu A$$

De la expresión 3.11, reemplazando se obtiene:

$$LSB = \frac{M_{max}\% * IDAC}{(2^n - 1)} = \frac{3\% * 5\mu A}{(2^4 - 1)} = 0.01\mu A$$

De la expresión 3.12, reemplazando se obtiene:

$$I_{ref} = 2^n * LSB = 0.16\mu A$$

Al iniciar la calibración, se tiene que el contador se encuentra en 0 por lo cual la corriente de compensación I_{cmp} es igual a 0 μA . La corriente catódica a la salida del estimulador en conjunto con la corriente anódica forma el mismatch inicial antes de la calibración de 7.2 μA . En la figura 4.6, el mismatch inicial produce un voltaje en la resistencia R_M el cual coloca la entrada de V+ en un nivel de voltaje de 2.968 V. Debido a que la referencia conectada a V- es igual a 1.65 V, la salida del comparador es colocada en 1 como se puede apreciar en el instante de 0.1 ms en la gráfica 4.7.

Después, en la figura 4.8, la etapa de lógica de control al recibir el nivel alto del comparador y la señal de reloj de 10 kHz aumenta la cuenta de 0 a 1 al detectar el flanco de subida del reloj. Este cambio en la cuenta modifica las conexiones de los espejos de corriente cascode de compensación que aumentarán el valor de la corriente de I_{cmp} de 0 a 0.01 uA (valor de 1 LSB) como se puede observar en la figura 4.9. Esta corriente en conjunto con el valor I_{DAC} reflejado varían la diferencia de corrientes a la salida del estimulador.

De la expresión 3.4, reemplazando se obtiene:

$$I_a - I_c = (5 \text{ uA} * 60) - ((5 \text{ uA} + 0.01) * 60 (1 - 2.4\%)) = 6.6144 \text{ uA}$$

La nueva diferencia entre corrientes es igual a 6.6144uA y al pasar por R_M el valor de la entrada V+ disminuye en 2.86 V aproximadamente. No obstante, este valor es aún mayor a la referencia de 1.65 V por lo cual la salida del comparador permanece en nivel alto.

Al mantenerse este estado, el siguiente flanco de subida ingresará al contador y aumentará la cuenta de 1 a 2 y modifica el valor de la corriente I_{cmp} aumentándola de 0.01uA a 0.02uA para disminuir nuevamente la diferencia entre I_a e I_c . Este proceso se repite hasta el instante 1.13 ms en donde en la figura 4.6 se observa que el voltaje en la entrada V+ es 1.574V lo cual es menor a la entrada V- de 1.65 V. En este instante, la salida del comparador cambia de 1 a 0, esto evita el ingreso de flancos de subida en el contador del circuito. Al no detectarse los flancos de subida la corriente de compensación, así como la cuenta se mantienen en su valor anterior. Asimismo, la señal del comparador en 0 le indica al controlador del estimulador que la etapa de calibración ha concluido y que se debe almacenar el valor anterior a la cuenta futura. En la figura 4.8. se observa que al concluir la calibración el valor de la cuenta futura es 13, este es el valor de la cuenta en el cual la diferencia entre pulsos " $I_a - I_c$ " es negativa. Anteriormente, se mencionó que se desea que el circuito almacene el valor de la cuenta para la cual la diferencia entre $I_a - I_c$ sea el menor valor de corriente positivo de manera que esta corriente remanente sea eliminada posteriormente por el circuito de eliminación de carga residual del estimulador. Por lo tanto, el valor que debe ser almacenado en el registro del controlador es 12; en la figura 3.11 se mostró que este valor corresponde al valor de cuenta actual el cual es almacenado en un registro A del contador para poder ser almacenado en el registro del contador al momento de finalizar la calibración.

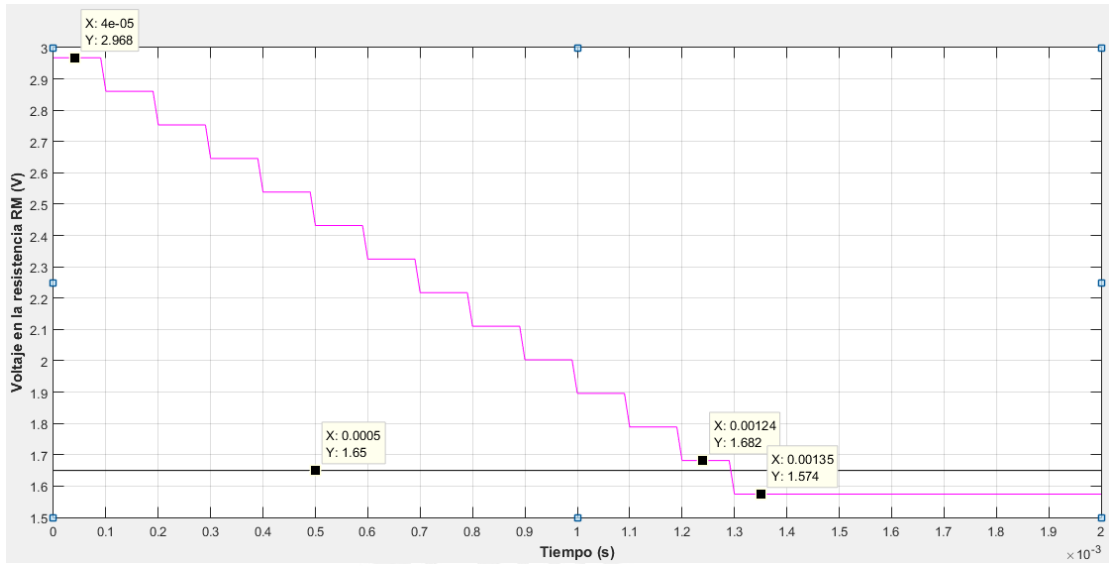


Fig.4.6. Gráfica de las entradas de voltaje en el comparador en donde la señal morada corresponde al voltaje V+ y la negra al voltaje v-.

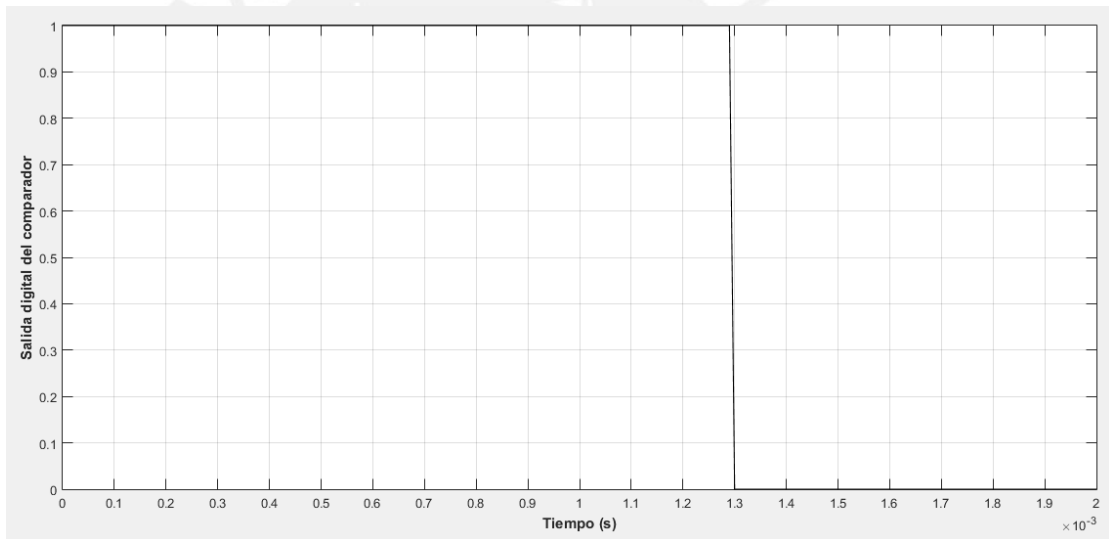


Fig.4.7. Gráfica de la salida del comparador de la etapa de detección.

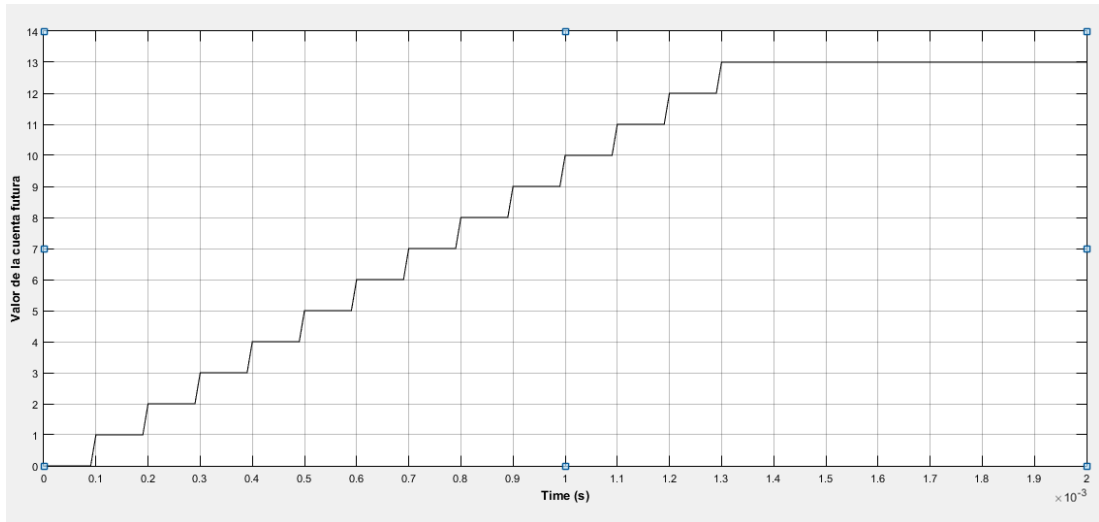


Fig.4.8. Gráfica del valor de cuenta futura del contador durante la calibración.

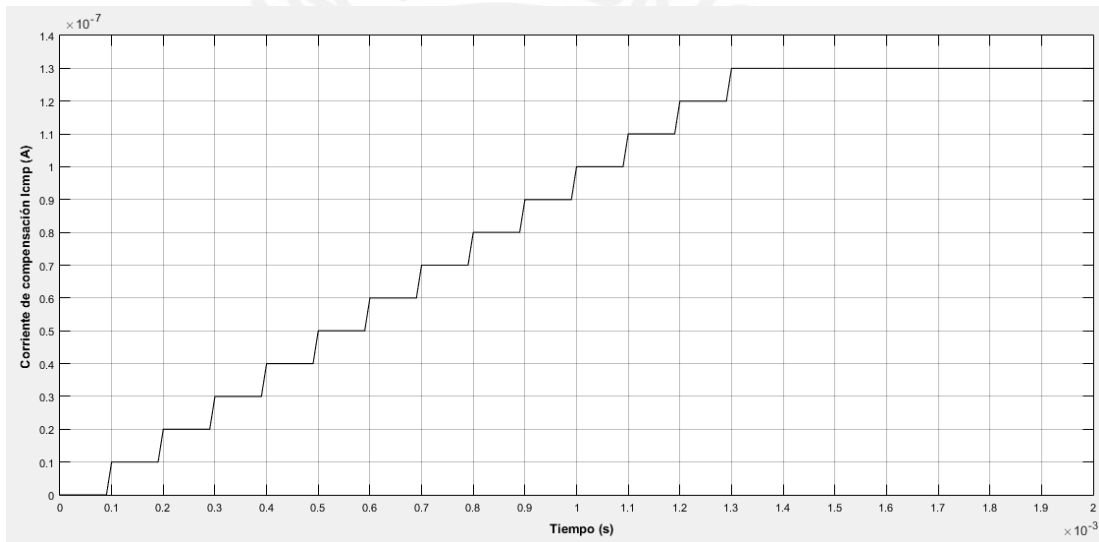


Fig.4.9. Gráfica del valor de la corriente de compensación para el pulso catódico.

El valor de 12 almacenado en los registros del controlador será utilizado al momento de la generación de un pulso catódico. Para este valor, la corriente de compensación equivale a 0.12 μA para la máxima amplitud catódica es decir cuando I_{DAC} es igual a 5 μA . No obstante, la corriente de compensación varía según el valor de la corriente I_{DAC} seleccionado y el mismatch en el estimulador como se muestra en la expresión (3.10). En la siguiente tabla se puede observar cuales serían los nuevos valores de corriente catódica según el valor de I_{DAC} solicitado. Adicionalmente, se muestran los valores corrientes catódica que se obtienen al final en el caso que el mismatch inicial en el estimulador fuera 2.6%, 2.8% y 3%.

Ia (uA)	IDAC (uA)	ICMP (uA) Cuenta: 12	Ic salida (uA) $I_c = (I_{DAC} + I_{cmp})^*$ $G_{CMN} * (1 - M\%)$	Ic salida (uA) M = 2.6% Cuenta:13	Ic salida (uA) M = 2.8% Cuenta:14	Ic salida (uA) M = 3% Cuenta:15
0	0	0	0	0	0	0
20	1/3	0.008	19.98848	19.98648	19.98432	19.982
40	2/3	0.016	39.97696	39.97296	39.96864	39.964
60	1	0.024	59.96544	59.95944	59.95296	59.946
80	4/3	0.032	79.95392	79.94592	79.93728	79.928
100	5/3	0.04	99.9424	99.9324	99.9216	99.91
120	2	0.048	119.93088	119.91888	119.90592	119.892
140	7/3	0.056	139.91936	139.90536	139.89024	139.874
160	8/3	0.064	159.90784	159.89184	159.87456	159.856
180	3	0.072	179.89632	179.87832	179.85888	179.838
200	10/3	0.08	199.8848	199.8648	199.8432	199.82
220	11/3	0.088	219.87328	219.85128	219.82752	219.802
240	4	0.096	239.86176	239.83776	239.81184	239.784
260	13/3	0.104	259.85024	259.82424	259.79616	259.766
280	14/3	0.112	279.83872	279.81072	279.78048	279.748
300	5	0.12	299.8272	299.7972	299.7648	299.73

Tabla 4.3. Nuevos valores de corriente catódica luego post-calibración para M = 2.4% y resultados para M = 2.6%, 2.8% y 3.0%.

De la tabla 4.3 se observa que los valores de corriente catódica conseguidos después de la calibración son cercanos a las amplitudes anódicas. Del mismo modo, en el caso que existe un porcentaje de mismatch mayor, el valor de la cuenta hallado para ese caso permitirá obtener valores de amplitudes catódicas cercanos a las amplitudes anódicas.

Cálculo de la corriente de fuga DC

En el capítulo 2, se presentó el concepto de corriente de fuga DC en el cual se mencionó que, para evitar daños en tejidos y funcionamiento de la prótesis, los valores de corriente de fuga deben ser menores a 100nA. El cálculo de esta corriente depende del modelo que se utilice para representar la capacitancia y resistencia del electrodo utilizado en la prótesis de retina. En este caso, se utilizan los parámetros

definidos en la referencia [17] para analizar la variación de corriente de fuga del mismatch final en comparación con el inicial. Utilizando la expresión (2.1) y los parámetros de la referencia mencionada, para el mayor porcentaje de mismatch de 3% se tiene un valor inicial de 9 uA y un valor final post calibración de 0.27 uA utilizando 4 espejos de cascodo. Para pulsos de estimulación de 100 Hz con una duración de cada pulso de 1ms, un tiempo de descarga de 8ms y una constante de tiempo del electrodo de 3ms; se tiene la siguiente expresión:

$$IDCerror = \frac{(Mismatch * 1ms) * e^{\frac{-8ms}{3ms}}}{1/100}$$

Utilizando la expresión anterior, el valor de IDCerror para 9 uA de mismatch es 62.5 nA. A pesar que este valor es menor a 100 nA, se debe reducir el valor de mismatch debido a que el aporte de carga residual que existe en cada estimulación es excesivo. Por lo tanto, al evaluar el valor de IDCerror para el valor final de mismatch en el mayor caso de mismatch inicial se tiene una corriente de fuga de 1.8 nA. Este valor conseguido es mucho menor que el inicial y permitirá un menor aporte de carga residual en cada ciclo de estimulación y reduce el tiempo asignado para la cancelación de la carga residual. No obstante, este valor depende de los parámetros de la forma de onda de estimulación, así como los parámetros seleccionados para el diseño del circuito de calibración (valor de n, $M_{max\%}$, entre otros).

Conclusiones

El circuito de reducción de mismatch entre pulsos de estimulación permite reducir considerablemente el valor inicial de mismatch inicial al concluir la calibración utilizando el valor de la cuenta hallada en la calibración para la conexión de los espejos de corriente cascode utilizados.

A diferencia de otras investigaciones, en el circuito propuesto no se utiliza una corriente estática para reducir el mismatch, en su lugar se utiliza una corriente de compensación que es proporcional a la corriente del DAC al momento de la estimulación. Esta variación de corriente acorde con la amplitud seleccionada por el DAC permite reducir de manera personalizada el mismatch en cada estimulador.

El circuito de reducción de mismatch propuesto debe ser ejecutado una sola vez antes de la generación de los pulsos de estimulación. No se requiere de utilizar parte del periodo de la formación de onda para obtener la corriente de compensación debido a que el valor almacenado en la calibración puede ser utilizado en cada momento que se requiera la generación del pulso catódico. Esto se logra estableciendo la salida del contador en el valor encontrado anteriormente.

El valor de la corriente de fuga DC que existe en cada estimulación es menor al valor inicial debido a que el circuito reduce la diferencia entre las amplitudes de los pulsos a un valor que permite obtener una corriente de fuga DC menor a 100nA.

Al reducir el valor de mismatch en la formación de cada pulso de estimulación, se minimiza la carga residual aportada por cada estimulación lo cual permite que los tiempos de cancelación de carga residual sean menores o se requiera un menor consumo de potencia para la eliminación de la carga residual.

Las consideraciones del área del circuito aumentan si se desea utilizar un mayor número de espejos de corriente cascode al aumentar el número de transistores unitarios requeridos. Asimismo, el factor total para definir la corriente I_{ref} afectará en las dimensiones del circuito final.

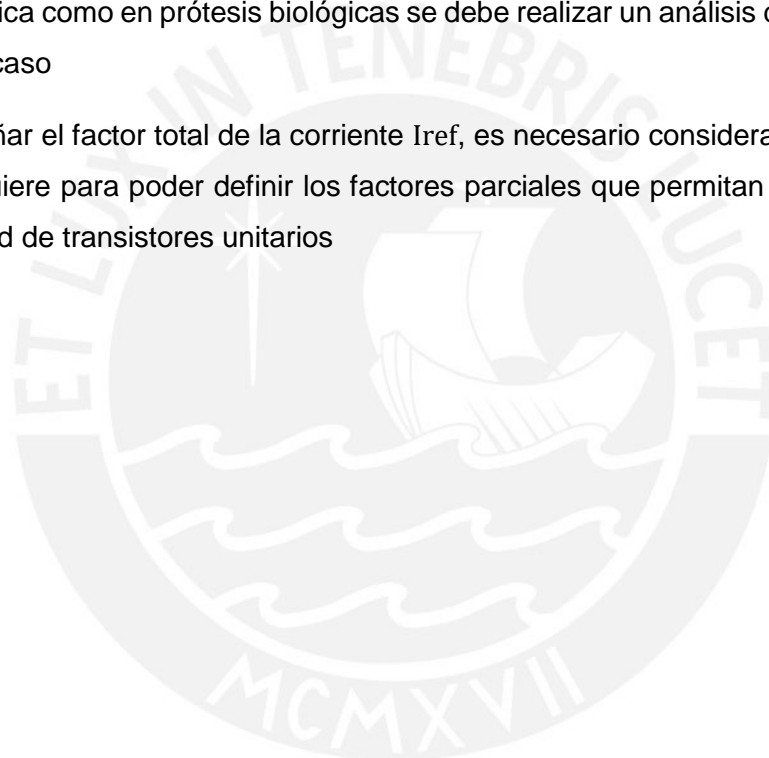
Recomendaciones

Se debe considerar las impedancias de entrada y salida para el diseño de los espejos de cascode a fin de obtener una baja y alta impedancia respectivamente.

La elección de la resistencia R_M dependerá del voltaje V_{dd} que se utilice según la tecnología de desarrollo. Además, su valor debe permitir que el rango de diferencia de corriente entre pulsos sea el adecuado

Las limitaciones de área acorde a la tecnología deben ser consideradas si se desea que el mismatch para cada estimulación sea la menor posible. En caso que el área sea crítica como en prótesis biológicas se debe realizar un análisis de trade-off según sea el caso

Al diseñar el factor total de la corriente I_{ref} , es necesario considerar la precisión que se requiere para poder definir los factores parciales que permitan obtener la menor cantidad de transistores unitarios



Bibliografía

- [1] T. Tomita, "Electrical response of single photoreceptors," in *Proceedings of the IEEE*, vol. 56, no. 6, pp. 1015-1023, June 1968.
- [2] J. Weiland and M. Humayun, "Visual Prosthesis," *Proceedings of the IEEE*, vol. 96, no. 7, pp. 1076 –1084, 2008.
- [3] H. Kolb. (2011). "Simple Anatomy of the Retina" [Fig.1.1]. Consultado 3 Julio 2016, de Webvision. Sitio web: <<http://webvision.med.utah.edu/book/part-i-foundations/simple-anatomy-of-the-retina/>>
- [4] World Health Organization 2014, Fact Sheet N° 282 - Visual impairment and blindness. Consultado 3 de Julio de 2016. <<http://www.who.int/mediacentre/factsheets/fs282/en/>>
- [5] M. Kalloniatis and E. L. Fletcher, "Retinitis pigmentosa: understanding the clinical presentation, mechanisms and treatment options". *Clinical and Experimental Optometry*, vol. 87, pp. 65–80, 2004.
- [6] S. Bresnahan. (2014, junio 24). "'Bionic eye' lets blind man 'see' again". From *Innovations CNN*. Consultado 3 Julio 2016. <<http://edition.cnn.com/2014/06/24/tech/innovation/bionic-eye-blind-man-argus/>>
- [7] S. McHarg, S. J. Clark, A. J. Day, P. N. Bishop, "Age-related macular degeneration and the role of the complement system", *Molecular Immunology*, Vol. 67, Issue 1, pp. 43-50, Sep. 2015.
- [8] MedlinePlus. "Macular degeneration", 2014. Consultado 03 de Julio de 2016. <<https://www.nlm.nih.gov/medlineplus/ency/imagepages/19532.htm>>
- [9] E. Zrenner, "Will Retinal Implants Restore Vision?", *American Association for the Advancement of Science*, Vol.295, no. 5557, pp. 1022 – 1025, 2002.
- [10] M. Ortmanns, A. Rocke, M. Gehrke, and H. J. Tiedtke, "A232-Channel epiretinal stimulator ASIC," *IEEE J. Solid-State Circuits*, vol. 42, no. 12, pp. 2946–2959, Dec. 2007.
- [11] G. Roessler et al., "Implantation and Explantation of a Wireless Epiretinal Retina Implant Device: Observations during the EPIRET3 Prospective Clinical Trial". *Invest. Ophthalmol. Vis. Sci.* 2009; vol.50, 3003-3008. <<http://iovs.arvojournals.org/article.aspx?articleid=2126333>>

[12] Division of Biology and Medicine, Brown University. "Sub-Retinal Implants". Consultado 03 de Julio de 2016.

<http://biomed.brown.edu/Courses/BI108/BI108_1999_Groups/Vision_Team/Sub-retinal.htm>

[13] J. Weiland, W. Liu, and M. Humayun, "Retinal prosthesis," *Annu. Rev. Biomed. Eng.*, vol. 7, pp. 361–401, 2005.

[14] G. J. Suaning, et al., "Discrete cortical responses from multi-site supra-choroidal electrical stimulation in the feline retina," in *Engineering in Medicine and Biology Society (EMBC), 2010 Annual International Conference of the IEEE*, pp. 5879-5882, 2010.

[15] C. Williams, R. Shepherd, Bionics institute. "Optimal implant position for bionic vision". Consultado 03 de julio de 2016.

<<http://www.bionicsinstitute.org/research/bionic-vision/Pages/implanting-bionic-eye.aspx>>

[16] J. Mick., Daily Tech. "Vision Advances Continue With Wireless Retinal Implant, Artificial Compound Eye", 2008. Consultado 03 de Julio de 2016. <<http://www.dailytech.com/Vision+Advances+Continue+With+Wireless+Retinal+Implant+Artificial+Compound+Eye/article11930.htm>>

[17] M. Monge, M. Raj, M. Honarvar Nazari, H. C. Chang, Y. Zhao, J. Weiland, M. Humayun, Y. C. Tai, A. Emami-Neyestanak, "A Fully Intraocular High-Density Self-Calibrating Epiretinal Prosthesis," *IEEE Trans. Biomedical Circuits Syst.*, vol. 7, no. 6, pp. 747-760, Dec. 2013.

[18] H. Chun, Y. Yang and T. Lehmann, "Required matching accuracy of biphasic current pulse in multi-channel current mode bipolar stimulation for safety," 2012 Annual International Conference of the IEEE Engineering in Medicine and Biology Society, San Diego, CA, 2012, pp. 3025-3028.

[19] E. K. F. Lee and A. Lam, "A Matching Technique for Biphasic Stimulation Pulse," 2007 IEEE International Symposium on Circuits and Systems, New Orleans, LA, 2007, pp. 817-820.

[20] RAZAVI, B. "Design of Analog CMOS Integrated Circuits" McGraw Hill.

[21] T. Pimenta, R. Moreno and L. Zoccal (2011). "Rf CMOS Background", *Current Trends and Challenges in RFID*, Prof. Cornel Turcu (Ed.), InTech, DOI:

10.5772/20663. From: <http://www.intechopen.com/books/current-trends-and-challenges-in-rfid/rf-cmos-background>

[22] J. J. Sit and R. Sarpeshkar, "A Low-Power Blocking-Capacitor-Free Charge-Balanced Electrode-Stimulator Chip With Less Than 6 nA DC Error for 1-mA Full-Scale Stimulation," in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 1, no. 3, pp. 172-183, Sept. 2007.

[23] S. J. Daubert, D. Vallancourt and Y. P. Tsvividis, "Current copier cells," in *Electronics Letters*, vol. 24, no. 25, pp. 1560-1562, 8 Dec 1988.

[24] S. Guo and H. Lee, "Biphasic-current-pulse self-calibration techniques for monopolar current stimulation," 2009 IEEE Biomedical Circuits and Systems Conference, Beijing, 2009, pp. 61-64

[25] M. Ren, J. Zhang, L. Wang and Z. Wang, "A novel biphasic-current-pulse calibration technique for electrical neural stimulation," 2014 36th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, Chicago, IL, 2014, pp. 5007-5010.

[26] E. Noorsal, K. Sooksood, H. Xu, R. Hornig, J. Becker and M. Ortmanns, "A Neural Stimulator Frontend With High-Voltage Compliance and Programmable Pulse Shape for Epiretinal Implants," in *IEEE Journal of Solid-State Circuits*, vol. 47, no. 1, pp. 244-256, Jan. 2012.