

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ

FACULTAD DE CIENCIAS E INGENIERÍA



PONTIFICIA
**UNIVERSIDAD
CATÓLICA**
DEL PERÚ

Comparación entre estructuras de linealización de transconductores en tecnología CMOS

Tesis para optar por el título de Ingeniero Electrónico, que presenta el
Bachiller:

Paul Anthony Alfaro Purisaca

ASESOR: MSc. Julio César Saldaña Pumarica

Lima, Agosto del 2012

Resumen

En este trabajo de tesis se presenta el análisis y la comparación de un conjunto de estructuras de linealización de transconductores. Los transconductores son circuitos utilizados en la implementación de filtros integrados analógicos que reemplazan a los resistores los cuales ocupan demasiada área dentro del circuito integrado. En el caso de la adquisición de señales ECG, se requieren de filtros que trabajen en bandas en el orden de mHz a cientos de Hz y eso implica que los valores de transconductancia se encuentren en el orden de los pS a nS. Obtener estos valores de transconductancia manteniendo un rango lineal adecuado representa un gran desafío para el diseñador de este tipo de bloques analógicos, siendo necesario emplear alguna estructura de linealización. Sin embargo, se debe realizar un análisis cuidadoso del efecto de estas estructuras en parámetros como ruido y *offset*.

Un punto importante en esta tesis es el desarrollo de ecuaciones que modelan el comportamiento eléctrico de las estructuras de linealización. Estas permiten obtener de manera rápida y efectiva un amplio panorama de los principales compromisos entre los parámetros de desempeño: transconductancia, rango lineal, ruido, consumo de corriente y *offset*. Cabe mencionar que estas ecuaciones fueron obtenidas utilizando el modelo matemático ACM (*Advanced Compact Mosfet Model*) del transistor MOS. Este modelo es válido en todas las regiones de operación del transistor y en todos los niveles de inversión, es decir, utilizando una única ecuación se puede modelar el comportamiento del transistor en todas las condiciones. Debido a esto, las ecuaciones desarrolladas en esta tesis para las arquitecturas de linealización son válidas para todas las condiciones de polarización de los transistores, lo cual representa un aporte importante del presente trabajo.

Se realizó el análisis de tres estructuras de linealización: par diferencial con resistencias de degeneración, estructura propuesta por Krummenacher y Joehl [1] y la estructura propuesta por Silva Martinez [2]. La especificación de diseño fue que el rango lineal sea el máximo posible para una transconductancia de 10nS y una desviación estándar del *offset* menor a 5mV. El proceso de fabricación considerado para el diseño tiene $0,35\mu\text{m}$ como mínima longitud de canal.

Índice de figuras

1.1. Diagrama de bloques tomado de la referencia [3]	5
1.2. Sistema inalámbrico de detección de ECG para dispositivos portátiles [4]	6
1.3. Amplificador de biopotenciales con ancho de banda controlable [5]	7
2.1. Sentido de la corriente en NMOS y PMOS	10
2.2. Voltaje drenador-surtidor de saturación ($\xi = 0,07$).	11
2.3. Corriente del transistor PMOS operando en la región óhmica. . .	12
2.4. Comparación de los valores de α calculados con los simulados, para $V_{SD} = 30mV$	14
2.5. Variación porcentual del R_{PMOS} en relación a $200k\Omega$	15
2.6. Espejo de corriente.	16
2.7. Desemparejamiento de corriente en función de i_f	18
3.1. Par diferencial simple	21
3.2. Mínimo valor de $\alpha @ 50mV$ en función de GM , para un par diferencial simple	24
3.3. <i>offset</i> para el mínimo valor de $\alpha @ 50mV$ en función de GM , para un par diferencial simple	24
3.4. Ruido RMS para el mínimo valor de $\alpha @ 50mV$ en función de GM , para un par diferencial simple	25
3.5. Par diferencial linealizado con resistencia de degeneración	26
3.6. Mínimo valor de $\alpha @ 300mV$ en función de GM , para un par diferencial linealizado con resistencia de degeneración	28

3.7. Mínimo valor de $\alpha @ 300\text{mV}$ en función de θ , para un par diferencial linealizado con resistencia de degeneración y valor de transconductancia 640nS	29
3.8. Par diferencial linealizado con resistencia de degeneración, conectado a transistores de carga	30
3.9. <i>Offset</i> referido a la entrada del par linealizado, considerando el efecto de los transistores de carga, en función del valor de θ para el caso de máxima linealidad para una transconductancia de 640nS	32
3.10. <i>Offset</i> referido a la entrada del par linealizado, considerando el efecto de los transistores de carga, en función del valor de α para el caso de máxima linealidad para una transconductancia de 640nS	32
3.11. Par diferencial linealizado con estructura propuesta por Krummenacher [1]	33
3.12. Valor de ξ que anula la tercera derivada de la corriente de salida, en función de i_F	34
3.13. Mínimo valor de $\alpha @ 300\text{mV}$ en función de GM , para un par diferencial linealizado con resistencia de degeneración	35
3.14. Par diferencial linealizado con estructura propuesta por Silva Martinez [2]	36
4.1. Transconductor basado en un par diferencial linealizado con resistencias de degeneración	40
4.2. Corriente de salida (I_{out}) y corriente lineal ideal ($I_{lin} = GM V_{in}$) para el transconductor linealizado con resistencias de degeneración	41
4.3. Respuesta en frecuencia de un filtro GM-C basado en el transconductor linealizado con resistencias de degeneración	42
4.4. Transconductor basado en la estructura de linealización propuesta por Krummenacher y Joehl	44
4.5. Corriente de salida (I_{out}) y corriente lineal ideal ($I_{lin} = GM V_{in}$) para el transconductor linealizado con estructura de Krummenacher	45

4.6. Respuesta en frecuencia de un filtro GM-C basado en el transconductor linealizado con estructura de Krummenacher	46
4.7. Transconductor basado en la estructura de linealización propuesta por Silva Martinez	48
4.8. Corriente de salida (I_{out}) y corriente lineal ideal ($I_{lin} = GM V_{in}$) para el transconductor linealizado con estructura de Silva Martinez	49
4.9. Respuesta en frecuencia de un filtro GM-C basado en el transconductor linealizado con estructura de Silva Martinez	50
B.1. Par diferencial simple	59
B.2. Par diferencial linealizado con resistencia de degeneración	62
B.3. Par diferencial linealizado con estructura propuesta por Krummenacher [1]	65
B.4. Par diferencial linealizado con estructura propuesta por Silva Martinez [2]	68

Índice de cuadros

2.1. Parámetros del modelo ACM extraídos para el proceso AMS 0,35 μm	19
3.1. Ecuaciones de diseño del par diferencial simple	22
3.2. Ecuaciones de diseño del par diferencial linealizado con resistencia de degeneración	27
3.3. Ecuaciones de diseño del par diferencial linealizado con estructura de Krummenacher	34
3.4. Ecuaciones de diseño del par diferencial linealizado con estructura de Krummenacher	37
4.1. Dimensiones de los transistores y corriente de polarización para el transconductor basado en par diferencial linealizado con resistencias de degeneración	39
4.2. Dimensiones de los transistores y corriente de polarización para el transconductor basado en la estructura propuesta por Krummenacher y Joehl	43
4.3. Dimensiones de los transistores y corriente de polarización para el transconductor basado en la estructura propuesta por Silva Martinez	47
4.4. Comparación entre estructuras de linealización. Todas fueron diseñadas para 640nS, $offset \leq 5\text{mV}$ y máxima linealidad. Fueron adicionados los espejos que dividen la transconductancia por un factor de 64.	50

Índice general

Introducción	1
1. Sistemas de adquisición de señales ECG	3
1.1. Motivación y estado del arte	3
1.2. Objetivos	8
2. La tecnología CMOS	9
2.1. Modelo ACM del transistor MOSFET	9
2.2. Operación del transistor MOS en la región óhmica	12
2.2.1. Linealidad de $I_D \times V_{SD}$	13
2.2.2. Efecto de las variaciones de proceso	15
2.3. Diseño de un espejo de corriente	15
2.4. Extracción de parámetros del modelo ACM	19
3. Arquitecturas de linealización	20
3.1. Par diferencial simple	21
3.2. Par diferencial linealizado con resistencia de degeneración	26
3.2.1. Análisis de <i>offset</i> considerando el efecto de los transistores de carga	30
3.3. Par diferencial linealizado con estructura propuesta por Krumme- nacher	33
3.4. Par diferencial linealizado con estructura propuesta por Silva Mar- tinez	36

4. Simulaciones y resultados	38
4.1. Estructura con resistencias de degeneración	38
4.2. Estructura de Krummenacher	43
4.3. Estructura de Silva Martinez	47
Conclusiones	51
Recomendaciones	53
Apéndice A – Algunas funciones y sus derivadas	56
A.1. Derivada de función implícita	56
A.2. La función F y sus derivadas	57
A.3. La función H con parámetro “a” y sus derivadas evaluadas en 0	58
Apéndice B – Demostraciones de expresiones presentadas	59
B.1. Transconductancia de un par diferencial simple	59
B.2. Parámetro α de un par diferencial simple	60
B.3. Transconductancia de un par diferencial linealizado con resistencia de degeneración	62
B.4. Parámetro α de un par diferencial linealizado con resistencia de degeneración	63
B.5. Par diferencial linealizado con estructura de Krummenacher	65
B.6. Par diferencial linealizado con estructura propuesta por Silva Martinez	68

Introducción

En estos días la electrónica está contribuyendo con la mejora de la calidad de vida de la población desarrollando dispositivos que interactúan con las señales provenientes del cuerpo humano. La detección temprana de las enfermedades que afectan al corazón, junto con el diagnóstico y seguimiento de estas, es una de las principales razones por las que se requieren dispositivos capaces de medir señales del corazón que sean portátiles, ya que se busca el monitoreo constante de este último y la herramienta más aceptada capaz de realizar esto es el electrocardiograma (ECG). El aumento en la mortalidad debido a este tipo de problemas, ha incrementado la demanda de este tipo de productos notablemente.

Aunque los equipos ECG son muy necesarios, son difíciles de utilizar debido a que tradicionalmente se requieren de cables y electrodos que deben ser adheridos al cuerpo, para poder monitorizar al corazón. Por otro lado, en estos equipos es conveniente integrar la mayor cantidad de funciones en un mismo chip y reducir ampliamente el área de trabajo, teniendo en consideración un consumo eficiente de energía. Es decir, es importante reducir al mínimo el número de componentes externos al circuito integrado.

El mayor problema de estos dispositivos son las interferencias que se pueden percibir al momento de monitorizar las señales. Esto puede ser resuelto si se emplean filtros pasa-bajos, a la entrada del dispositivo, para que eliminen las componentes indeseadas. Para la implementación de los filtros son necesarios los transconductores que reemplazan a las resistencias, ya que estas últimas no son óptimas debido al espacio que ocupan. Sin embargo, para la optimización del filtro, se busca que la relación entre linealidad, offset y ruido sea tal que el transconductor simule el comportamiento de una resistencia, teniendo en cuenta el menor consumo de energía.

El objetivo principal de este trabajo de tesis es optimizar la linealización de tres distintas arquitecturas de transconductores que serán utilizados en los dis-

positivos que obtendrán las señales ECG. Para esto se tendrán que eliminar las componentes de alta frecuencia que causan problemas a la hora de procesar la señal requerida, y mejorar en gran medida la calidad de la señal que se obtiene del corazón.

En el diseño de los tres distintos métodos de linealización de los transconductores, se optimizará cada una de las tres características que influirán al momento de adquirir las señales del ECG: la linealidad, el offset y el ruido. Para lo anterior se tendrá cuidado en el área de trabajo que cubrirá el circuito integrado ya que se busca reducir notablemente esta mediante el uso de transconductores y así mejorar la portabilidad que tenga el dispositivo.

En el capítulo 2 se presenta una revisión del estado del arte en sistemas de adquisición de electrocardiograma y se destaca el constante uso de transconductores en este tipo de sistemas.

El capítulo 3 trata sobre el desarrollo de las ecuaciones que describen el funcionamiento de las estructuras de linealización. También, se muestran curvas basadas en esas ecuaciones que representan una importante herramienta de diseño.

El capítulo 4 muestra el diseño de tres transconductores, con el fin de comparar el desempeño de las estructuras de linealización. Además, se muestran los resultados de simulación.

Finalmente, se presentan las conclusiones.

Las demostraciones de las fórmulas presentadas en el texto están detalladas en los apéndices A y B.

1 Sistemas de adquisición de señales ECG

1.1. Motivación y estado del arte

Avances en la tecnología, comunicación y diseño de circuitos CMOS de baja energía han aumentado considerablemente el interés en equipos biomédicos portátiles. Esto es debido a que se quiere mejorar la calidad de vida de los pacientes, por lo que se necesitan sistemas biopotenciales de adquisición de señales pequeños y sin conexiones. No solo eso sino que también se busca extender las aplicaciones de estos dispositivos hacia los deportes, entretenimiento, confort, entre otros.

Día a día los pacientes en hospitales son conectados a aparatos grandes. Esto no solo provoca que el diagnóstico requiera de largas horas de monitoreo, sino también interrumpe con la rutina diaria del paciente. Es por ello que se realizan cada vez más investigaciones en el uso de sistemas de monitoreo ambulatorio para reducir los puntos en contra del sistema presente.

Un tipo de señal común que se monitorea normalmente son las ondas del electroencefalograma (EEG). Debido a que son de baja amplitud y frecuencia, son susceptibles al ruido flicker generado en los transistores CMOS. Debido a que la señal de amplitud está en el orden de las decenas de μV a las decenas de mV , es un gran reto diseñar circuitos que no sean afectados por el ruido. También, debido a estas características, los artefactos en movimiento influyen en las lecturas, causando un mayor consumo de energía.

Otra manera de resolver los altos costos del cuidado de la salud sería utilizar una serie de sensores en el cuerpo que se conectan a una red inalámbrica. Sin embargo,

hay un problema con el requerimiento de energía si es que se utiliza este tipo de red. Por otro lado, este sistema sirve para monitorear constantemente las señales fisiológicas como las del electrocardiograma (ECG).

Diversas investigaciones en el área de cardiología intervencionista han demostrado la importancia de la detección temprana de anomalías en el funcionamiento del corazón. De acuerdo con la Organización Mundial de la Salud (OMS), las enfermedades del corazón constituyen la principal causa de mortalidad en los países industrializados. Debido al crecimiento de la población, los equipos de monitoreo y diagnóstico en los hospitales, están siendo cada vez más limitados. Debido a esto, hay mucho interés en las iniciativas de la electrónica hacia la salud y así hacer una predicción o diagnóstico que podría salvar una vida.

La actividad del corazón puede ser monitoreada mediante el registro gráfico o electrocardiograma, cuya adquisición constante en largos periodos es posible con el uso de sistemas portátiles. Es por esto que en pacientes con riesgo a sufrir problemas del corazón, un continuo monitoreo de las señales del ECG puede ser mucho más efectivo al momento de salvar la vida de los pacientes.

Con la ayuda de la tecnología de los circuitos integrados, los instrumentos para hacer diagnósticos médicos pueden ser cada vez más compactos para ser usados como dispositivos portátiles. Para asegurar la portabilidad y la durabilidad, los diseñadores deben reducir el consumo de energía al máximo para que la vida útil de la batería se extienda. Así se puede prolongar por mas horas el monitoreo de los pacientes, lo que es vital a la hora de detectar alguna anomalía y poder salvar la vida de estos pacientes.

La prevención de problemas cardiovasculares es muy importante para la salud de los seres humanos, e indiscutiblemente el electrocardiograma es la herramienta más aceptada para detectar y diagnosticar estos problemas. Aunque son muy necesarios, los métodos y sistemas para adquirir señales ECG con la calidad suficiente para que puedan ser usados domésticamente o en otras áreas lejos de un hospital, aun no son comunes. Principalmente es porque los sistemas de adquisición de ECG tradicionales son difíciles de usar, ya que requieren de cables y electrodos pegados al cuerpo.

En la figura 1.1 se presenta el diagrama de bloques de un sistema inalámbrico pa-

ra monitorear las señales del ECG. El amplificador diferencial (DA) recibe señales de electrodos que están adheridos al cuerpo. Esta señal detectada se amplifica y su amplitud es controlada por un amplificador de ganancia programable (PGA). Luego la señal es filtrada y se digitaliza mediante un conversor análogo-digital delta-sigma. Se pasa por un procesador de señales digitales (DSP) para su codificación y que posteriormente sea transmitida por un transmisor inalámbrico hacia una PC para poder obtener un monitoreo constante del estado del paciente.

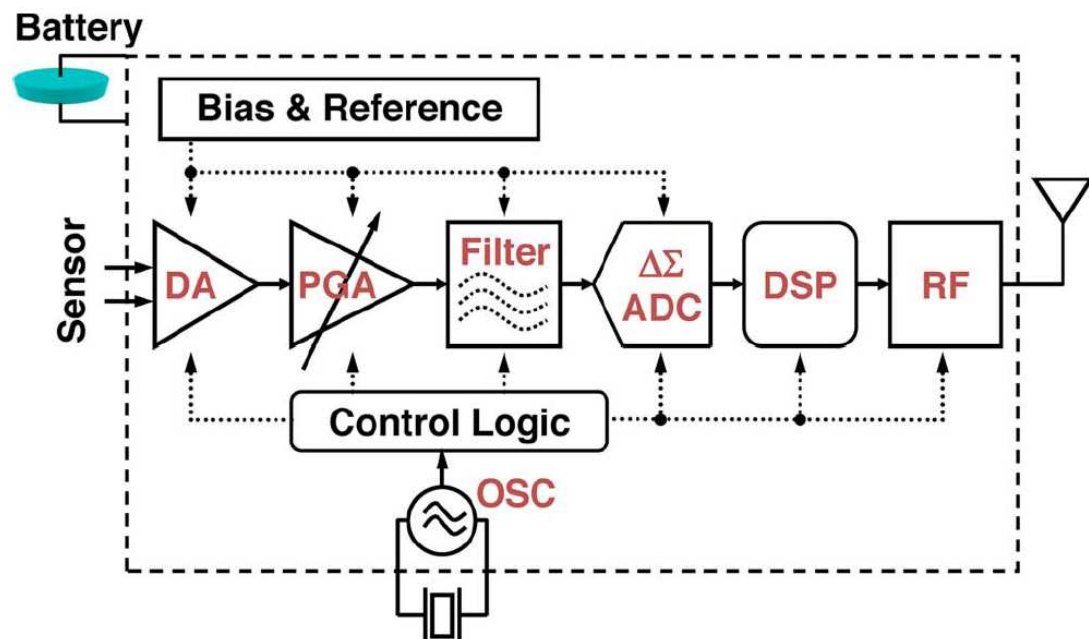


Figura 1.1: Diagrama de bloques tomado de la referencia [3]

Gracias a los circuitos integrados se puede reducir notablemente el tamaño de los dispositivos portátiles utilizados para fines médicos. Para obtener señales de ECG confiables y precisas, se trabaja con dos bloques diferentes, los cuales se pueden ver en la Figura 1.2 [4].

El bloque de la red que registra y procesa la señal, muestra que después de obtener la señal, esta pasa por un filtro pasa bajos para luego ser procesadas. En el bloque de la red que convierte y monitorea la señal se ve un ADC que envía la señal a un procesador de señales ECG, para que una vez digitalizada por el ADC sea comprimida antes de ser enviada. Aquí se ve que también la señal al ser recibida es mostrada en una PC la cual es controlada por el firmware BioZigBee que es implementado para controlar la transmisión y recepción de la señal. El bloque de adquisición de la señal (primer bloque) contiene componentes como

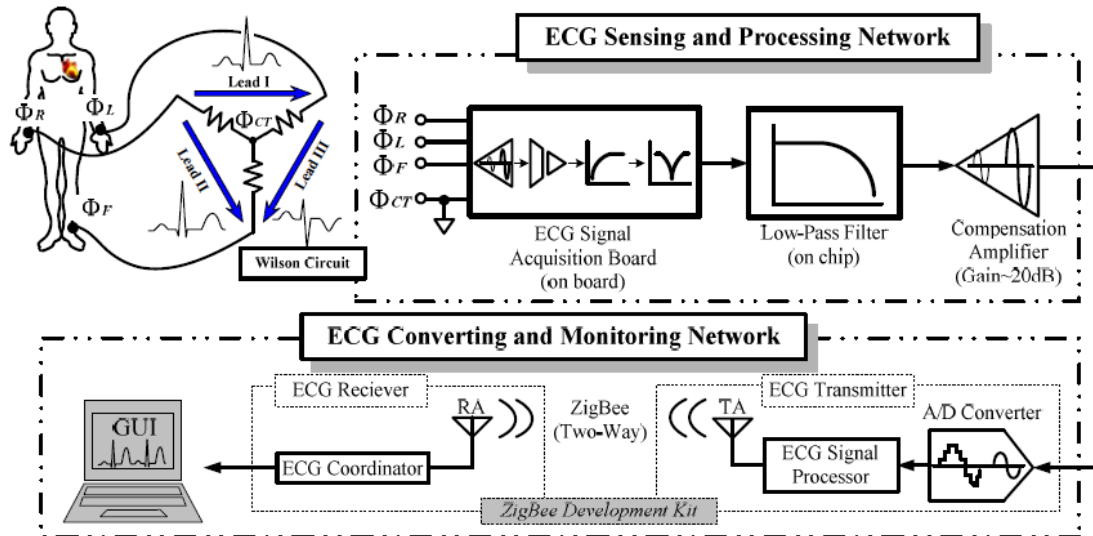


Figura 1.2: Sistema inalámbrico de detección de ECG para dispositivos portátiles [4]

amplificadores de instrumentación, filtros pasa altos, un filtro notch de 60 Hz, y un ajustador de nivel común. Aquí se pre-amplifica la señal hasta los 4 mV [4].

Gran parte de estos dispositivos portátiles requieren de filtros al momento de adquirir la señal, para evitar los distintos tipos de ruido (atenuarlos). Esto debido a que las señales del ECG son de amplitud y frecuencia muy bajas, y debido a los mismos dispositivos es que es muy fácil que el ruido interfiera y no se sepa qué es lo que se está midiendo.

En la figura 1.3 se muestra el amplificador de biopotenciales reportado en la referencia [5] el año 2011. Una pseudo-resistencia MOS-bipolar es usada para implementar un filtro pasa bajos con muy baja frecuencia de corte, así se puede atenuar el ruido flicker proveniente del MOS. Un transistor PMOS está configurado como un diodo PN con polarización inversa para que la pseudo-resistencia se pueda variar. El diodo PN funciona como una fuente de corriente de polarización de subpicoamperios variable. Con esto la frecuencia de corte del filtro puede ser compensada, ya que puede variar debido al proceso, la temperatura, y las variaciones del voltaje [5].

Existen varias maneras de adquirir las señales ECG. Se puede realizar utilizando circuitos integrados de amplificación específica, o utilizando amplificadores analógicos basados en circuitos integrados. Debido a que las señales ECG son muy

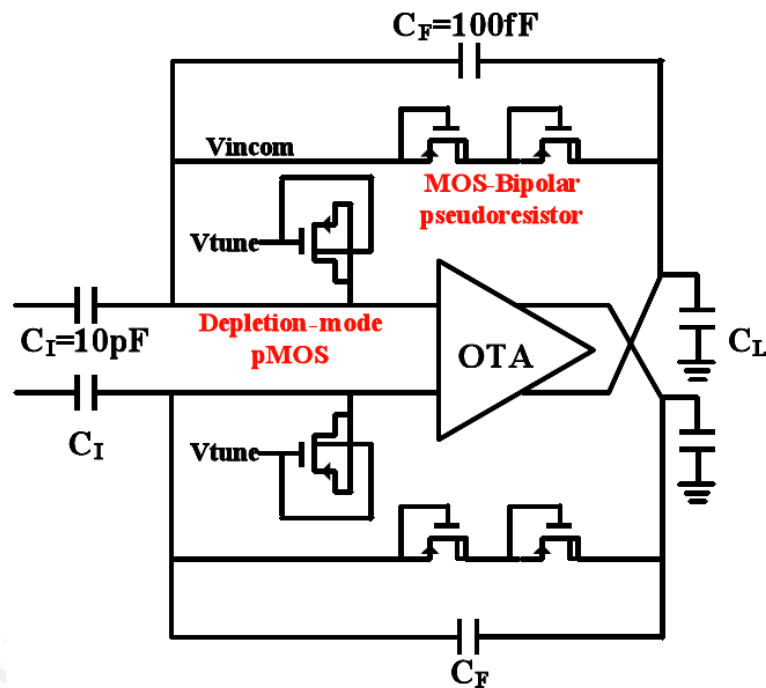


Figura 1.3: Amplificador de biopotenciales con ancho de banda controlable [5]

pequeñas, la interferencia (ruido) es muy grande. A pesar de todo esto, cada vez más se requieren dispositivos más pequeños y de fácil uso. Para esto, el uso de transconductores y pseudo-resistencias es importante si es que se quiere reducir considerablemente el área. Sin embargo, distintos tipos de ruido interfieren al momento de obtener las señales ECG, por lo que es un gran problema el diseño de este tipo de circuitos para poder atenuar correctamente el ruido y obtener la señal lo más clara posible para poder trabajar con ella.

El objetivo principal de este trabajo de tesis es el de optimizar la linealización de los transconductores diseñados, que serán utilizados en los dispositivos que obtendrán las ECG. Para esto, se tendrán que eliminar los componentes de alta frecuencia que causan problemas a la hora de procesar la señal requerida. No se podrá determinar si lo que se está midiendo es lo que realmente se quiere medir, si es que no se realizara esto.

Para lograr lo planteado es necesario convertir la señal analógica a digital por medio de un ADC, pero antes se tendrá que eliminar los problemas que causa el efecto aliasing. Este causa que señales continuas distintas sean indistinguibles cuando se muestran digitalmente, y al suceder esto la señal original no se puede recuperar.

Para la implementación de los amplificadores necesarios por los dispositivos portátiles se podrían utilizar resistencias, ya que su linealidad no varía y, por ende, serían más fáciles de implementar. Sin embargo, la opción de los transconductores es la más utilizada debido al área que ocupa el circuito. Ya que cada vez se requieren dispositivos lo más pequeños posibles para que sean portátiles. Otra característica a favor de los transconductores es que es más sencillo corregir el error que poseen de por sí los dispositivos. Por ejemplo, una resistencia puede ser de $10\Omega \pm 10\%$, con lo cual se ve que no es exactamente 10Ω .

El principal inconveniente al momento de diseñar estos transconductores, es encontrar un punto de equilibrio entre Linealidad, Offset y Ruido. No se pueden obtener las tres cosas a la vez, o en otras palabras, diseñar un transconductor optimizando al máximo cada una de las características nombradas.

1.2. Objetivos

Este trabajo de tesis tuvo como objetivo general el diseño de tres transconductores basados en distintos métodos de linealización, y optimizarlos en cuanto a linealidad, offset y ruido, comparando sus desempeños.

Para el desarrollo de esta tesis se logró cumplir con los siguientes objetivos específicos:

- Diseñar tres transconductores con estructuras de linealización diferentes con transconductancia de 10nS , y con ruido y offset mínimos.
- Para cada caso obtener analíticamente y por simulación curvas que relacionen el coeficiente de linealidad, la transconductancia y el offset.

2 La tecnología CMOS

La tecnología más utilizada en la actualidad para la fabricación de circuitos integrados es la llamada *Complementary Metal Oxide Semiconductor* o brevemente CMOS. En esta tecnología, se utilizan transistores MOS del tipo N y tipo P. En este capítulo, se presentan las ecuaciones básicas que modelan el comportamiento de los transistores MOS.

El modelo del transistor MOS que se emplea en esta tesis para los análisis y los cálculos manuales, es el modelo conocido como *Advanced Compact MOSFET Model*, o simplemente ACM.

2.1. Modelo ACM del transistor MOSFET

En la figura 2.1 se representa el sentido de corriente que será adoptado en este trabajo. En el modelo ACM la corriente del transistor, I_D , es dividida en dos componentes, la componente directa, I_F , y la inversa, I_R :

$$I_D = I_F - I_R \quad (2.1)$$

El modelo requiere de un parámetro denominado corriente de normalización I_S definido como:

$$I_S = \frac{W}{L} I_{SH} \quad (2.2)$$

donde W es el ancho del canal del transistor, L , el largo del canal e I_{SH} , la corriente de normalización laminar ¹.

¹ $I_{SH} = \frac{1}{2} \mu C'_{ox} n \phi_t^2$, donde μ es la movilidad de los portadores, C'_{ox} la capacitancia del óxido por unidad de área, n el factor de rampa y ϕ_t el voltaje térmico

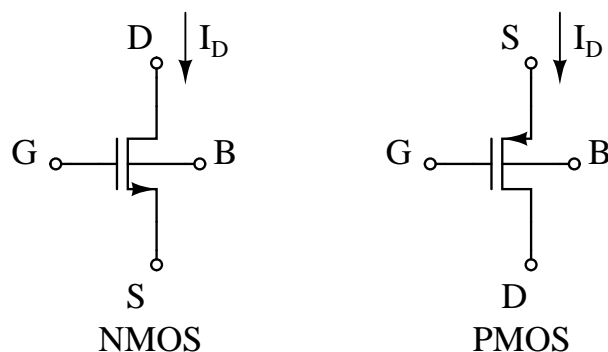


Figura 2.1: Sentido de la corriente en NMOS y PMOS

Se usarán los símbolos I_{SHN} y n_N para parámetros de NMOS, mientras que para PMOS se usarán I_{SHP} y n_P . Dividiendo las corrientes I_F e I_R por I_S se obtienen las versiones normalizadas:

$$i_f = \frac{I_F}{I_S} \quad (2.3)$$

$$i_r = \frac{I_R}{I_S} \quad (2.4)$$

En este modelo la relación entre la corriente y los voltajes en los terminales de un transistor NMOS es definida mediante las ecuaciones (la diferencia de voltaje entre dos terminales X e Y es representada por V_{XY}):

$$\frac{V_{GB} - V_{tn}}{n_N} - V_{SB} = \phi_t [\sqrt{i_f + 1} - 2 + \ln(\sqrt{i_f + 1} - 1)] \quad (2.5)$$

$$\frac{V_{GB} - V_{tn}}{n_N} - V_{DB} = \phi_t [\sqrt{i_r + 1} - 2 + \ln(\sqrt{i_r + 1} - 1)] \quad (2.6)$$

donde V_{tn} es el voltaje umbral del NMOS. Para un transistor PMOS las ecuaciones son las siguientes:

$$\frac{V_{BG} - |V_{tp}|}{n_P} - V_{BS} = \phi_t [\sqrt{i_f + 1} - 2 + \ln(\sqrt{i_f + 1} - 1)] \quad (2.7)$$

$$\frac{V_{BG} - |V_{tp}|}{n_P} - V_{BD} = \phi_t [\sqrt{i_r + 1} - 2 + \ln(\sqrt{i_r + 1} - 1)] \quad (2.8)$$

donde V_{tp} es el voltaje de umbral del PMOS.

Otra expresión que será muy utilizada en este texto es la de la transconductancia de puerta del MOSFET en saturación:

$$g_{mg} = \frac{\partial I_D}{\partial V_G} = \frac{2I_D}{n\phi_t(\sqrt{1 + i_f} + 1)} \quad (2.9)$$

En el modelo ACM, el voltaje drenador-surtidor de saturación es calculado de la siguiente forma:

$$V_{DSsat} = \phi_t \left[\ln \left(\frac{1}{\xi} \right) + (1 - \xi)(\sqrt{i_f + 1} - 1) \right] \quad (2.10)$$

donde ξ es la relación entre las densidades de carga en los extremos del canal. En el modelo ACM se define el nivel de saturación como $(1 - \xi)$.

Con el objetivo de escoger un valor de ξ fueron realizadas simulaciones tipo DC con el modelo BSIM, empleando los parámetros del proceso de fabricación elegido para el diseño de los circuitos presentados en esta tesis. En este trabajo fue elegido el valor de ξ que mejor aproxima el valor calculado de V_{DSsat} mediante la fórmula 2.10 del modelo ACM a los resultados obtenidos mediante simulación con el modelo BSIM. En la figura 2.2 se comparan los valores de V_{DSsat} calculados mediante la expresión 2.10, con los valores obtenidos por simulación. Se observa un error

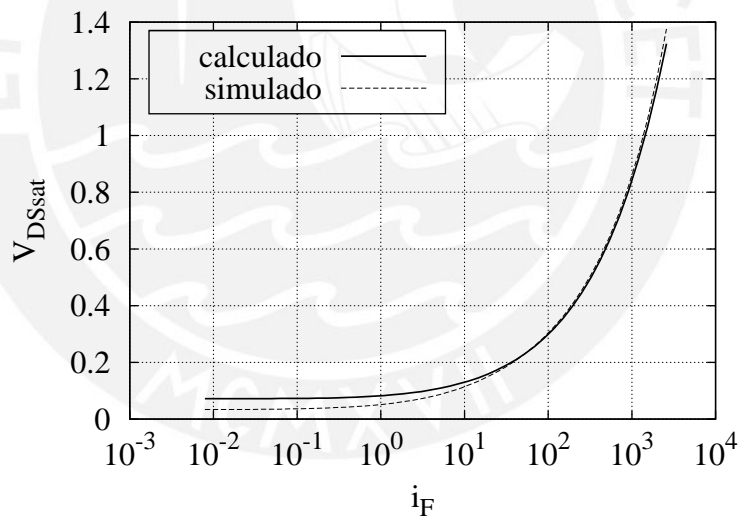


Figura 2.2: Voltaje drenador-surtidor de saturación ($\xi = 0,07$).

mayor en inversión débil, sin embargo la especificación de V_{DSsat} se emplea con mayor frecuencia en el diseño de espejos de corriente, donde como se verá posteriormente el nivel de inversión debe ser moderado o fuerte para minimizar el error debido al desemparejamiento entre dispositivos. Por otro lado, se debe resaltar que con el modelo *Level 1* el error de la fórmula $V_{DSsat} = V_{GS} - V_{th}$ sería mucho mayor, aún en inversión fuerte o moderada. Usando las ecuaciones del modelo ACM, varios circuitos básicos, como espejos de corriente y pares diferenciales, son analizados en [6].

2.2. Operación del transistor MOS en la región óhmica

Es posible encontrar en la literatura, análisis de la operación del MOSFET en la región óhmica tanto en el régimen de inversión débil como en el régimen de inversión fuerte. A continuación, es presentada una análisis unificada que es válida en todos los regímenes de inversión. Será desarrollada una expresión para la resistencia equivalente en el punto de máxima linealidad ($V_{DS} = 0$) y una expresión para cuantificar la no linealidad en otros puntos ($V_{DS} \neq 0$).

En la figura 2.3, se puede observar que la característica $I_D \times V_{SD}$ es aproximadamente una línea reta cuando $V_S \approx V_D$. De acuerdo con las ecuaciones 2.7 y 2.8,

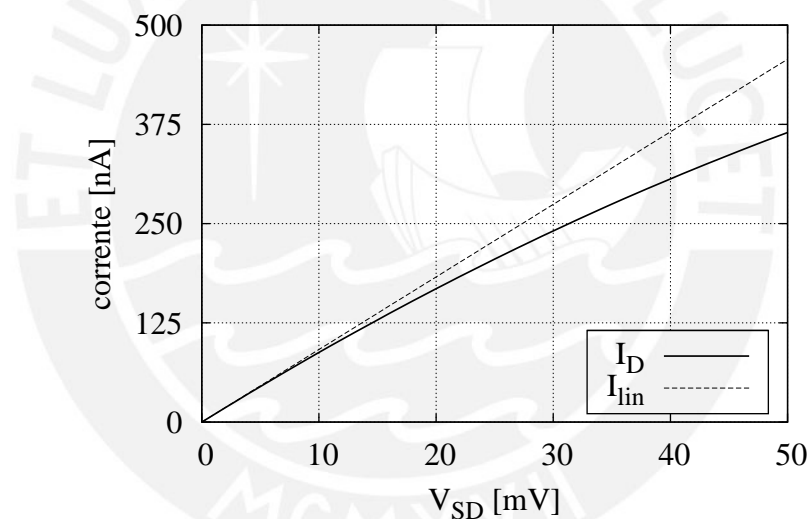


Figura 2.3: Corriente del transistor PMOS operando en la región óhmica.

si $V_S \approx V_D$ entonces $i_f \approx i_r$. Restando 2.8 de 2.7 se obtiene:

$$\frac{V_{SD}}{\phi_t} = \sqrt{i_f + 1} - \sqrt{i_r + 1} - \ln \frac{\sqrt{i_r + 1} - 1}{\sqrt{i_f + 1} - 1} \quad (2.11)$$

Considerando que $i_f \approx i_r$, el argumento del logaritmo natural en la última ecuación es aproximadamente igual a 1. Entonces, se puede afirmar que:

$$\ln \frac{\sqrt{i_r + 1} - 1}{\sqrt{i_f + 1} - 1} \approx \frac{\sqrt{i_r + 1} - 1}{\sqrt{i_f + 1} - 1} - 1 \quad (2.12)$$

y empleando ese resultado se obtiene:

$$\begin{aligned} \frac{V_{SD}}{\phi_t} &= \sqrt{i_f + 1} - \sqrt{i_r + 1} - \left[\frac{\sqrt{i_r + 1} - 1}{\sqrt{i_f + 1} - 1} - 1 \right] \\ \Rightarrow \frac{V_{SD}}{I_D} &= R_{PMOS} \approx \frac{\phi_t}{2I_S(\sqrt{i_f + 1} - 1)} \end{aligned} \quad (2.13)$$

donde R_{PMOS} es la resistencia equivalente del transistor PMOS para $V_{SD} = 0$.

2.2.1. Linealidad de I_D x V_{SD}

La corriente I_{lin} , representada en la figura 2.3, es obtenida con la siguiente ecuación:

$$I_{lin} = \frac{1}{R_{PMOS}} \cdot V_{SD} \quad (2.14)$$

Cuanto mayor el valor de V_{SD} , más se aleja I_D de I_{lin} . Para cuantificar la linealidad de I_D x V_{SD} , se define el siguiente índice de mérito que mide el error relativo entre I_D y I_{lin} para un determinado valor de V_{SD} [7]:

$$\alpha = 100\% \cdot \left| \frac{I_D - I_{lin}}{I_{lin}} \right| \quad (2.15)$$

En el cálculo de α , como en el cálculo de otros parámetros de linealidad como la distorsión armónica de tercer orden, se acostumbra expresar I_D como una serie de potencias [7], [8]. Generalmente se considera hasta la tercera potencia. En este caso tenemos:

$$I_D = \frac{B_1}{1!} V_{SD} + \frac{B_2}{2!} V_{SD}^2 + \frac{B_3}{3!} V_{SD}^3 \quad (2.16)$$

donde

$$B_k = \left. \frac{d^k I_D}{dV_{SD}^k} \right|_{V_{SD}=0} \quad (2.17)$$

A continuación, se presenta el cálculo de α para el caso $V_S = \text{constante}$, o sea, para el caso en que las variaciones de corriente son producidas por variaciones en V_D . Si V_S es constante, entonces, de acuerdo con 2.7, i_f es constante y por lo tanto:

$$\frac{di_r}{dV_{SD}} = -\frac{1}{I_S} \cdot \frac{dI_D}{dV_{SD}} \quad (2.18)$$

luego:

$$B_1 = \frac{2I_S}{\phi_t} \cdot (\sqrt{1+i_f} - 1) \quad (2.19)$$

$$B_2 = -\frac{2I_S}{\phi_t^2} \cdot \frac{\sqrt{1+i_f} - 1}{\sqrt{1+i_f}} \quad (2.20)$$

$$B_3 = \frac{2I_S}{\phi_t^3} \cdot \frac{\sqrt{1+i_f} - 1}{\sqrt{1+i_f}^3} \quad (2.21)$$

reemplazando en 2.15 se obtiene:

$$\alpha = 100\% \cdot \frac{V_{SD}}{2\phi_t\sqrt{1+i_f}} \left(1 - \frac{V_{SD}}{3\phi_t\sqrt{1+i_f}} \right) \quad (2.22)$$

Con el objetivo de validar la expresión 2.22, fueron realizadas simulaciones del tipo *DC sweep*, variando el voltaje V_D . En todas las simulaciones los voltajes V_S y V_B fueron fijadas en $3,3V$, mientras que V_G fue fijado en cada simulación en un valor diferente. Cada valor de V_G define un valor de i_f obtenido con la ecuación 2.7. Fueron obtenidos valores de α para diferentes valores de i_f y para un valor fijo de $V_{SD} = 30mV$. En la figura 2.4 son comparados los valores obtenidos por simulación con los valores obtenidos mediante la expresión 2.22.

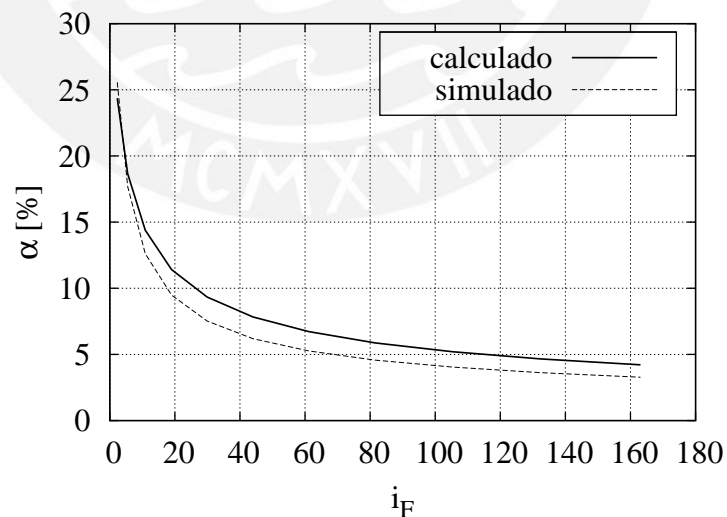


Figura 2.4: Comparación de los valores de α calculados con los simulados, para $V_{SD} = 30mV$

2.2.2. Efecto de las variaciones de proceso

Otro parámetro importante es la variación de la resistencia equivalente debida a variaciones del proceso de fabricación. En la figura 2.5 se presenta la variación porcentual de la resistencia en relación a un valor nominal de $200k\Omega$.

De acuerdo con la figura 2.5, cuanto mayor el nivel de inversión, menor la variación de la resistencia del transistor debida a variaciones de proceso. Normalmente se usa alguna técnica de calibración para corregir las variaciones causadas por el proceso de fabricación. La polarización adecuada del transistor puede disminuir las variaciones de la resistencia y, por lo tanto, el *hardware* requerido para la compensación.

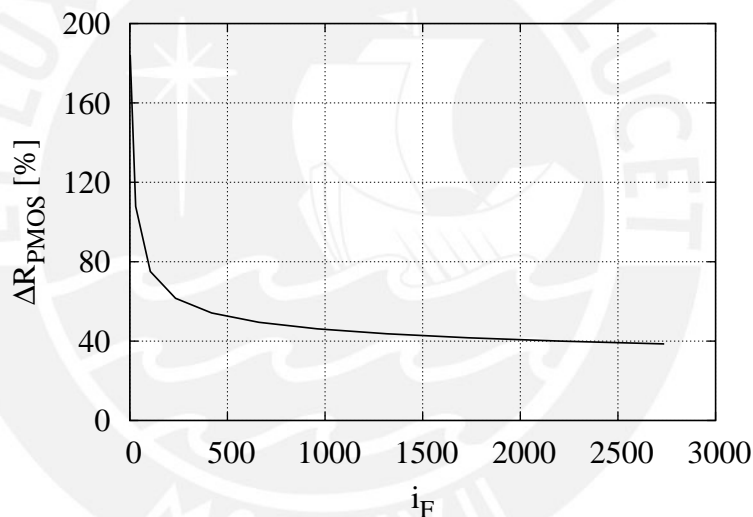


Figura 2.5: Variación porcentual de la R_{PMOS} en relación a $200k\Omega$

2.3. Diseño de un espejo de corriente

La versión más simple del espejo de corriente es presentada en la figura 2.6. La función del circuito es generar en la salida una corriente aproximadamente igual a la corriente de entrada. Una especificación importante es la impedancia de salida, sin embargo en el caso de los circuitos empleados en este trabajo no será considerada esa especificación. Como se verá después, dadas algunas condiciones especiales en las cuales tienen que operar estos circuitos, los valores del largo de canal en los espejos son elevados, por lo tanto, la impedancia de salida

generalmente es elevada. Si en algún caso no se alcanzase el valor de impedancia de salida deseado, se recurriría a otra arquitectura de espejo de corriente.

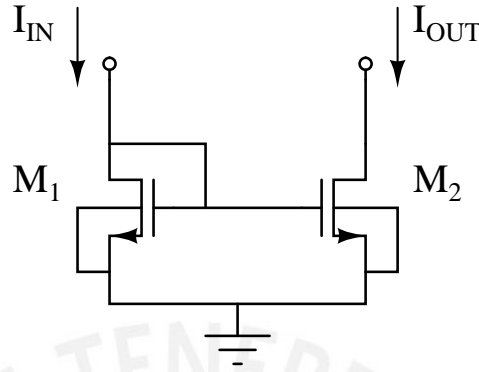


Figura 2.6: Espejo de corriente.

El parámetro de desempeño que se utilizará en los espejos de corriente está relacionado con un fenómeno estadístico conocido como desemparejamiento. Dados dos transistores diseñados con las mismas dimensiones y colocados muy próximos dentro del circuito integrado, se espera que los voltajes de umbral sean iguales. Sin embargo, debido a imperfecciones del proceso de fabricación, existirá una diferencia entre los voltajes de umbral. De la misma forma, ocurren variaciones del parámetro I_{SH} . Para el diseño de espejos de corriente, se deberá tener en cuenta el efecto de esas diferencias (ΔV_t) y (ΔI_{SH}) en el cálculo de la diferencia relativa de las corrientes de entrada y salida ($\Delta I_D/I_D$). Para dos transistores NMOS de dimensiones iguales, como aquellos de la figura 2.6, se cumple la siguiente ecuación:

$$\Delta I_D = \left(\frac{\partial I_D}{\partial V_{tn}} \right) \Delta V_{tn} + \left(\frac{\partial I_D}{\partial I_{SH}} \right) \Delta I_{SH} \quad (2.23)$$

En términos de las desviaciones estándar:

$$\sigma_{\Delta I_D}^2 = \left(\frac{\partial I_D}{\partial V_{tn}} \right)^2 \sigma_{\Delta V_{tn}}^2 + \left(\frac{\partial I_D}{\partial I_{SH}} \right)^2 \sigma_{\Delta I_{SH}}^2 \quad (2.24)$$

De acuerdo con la ecuación 2.5:

$$\frac{\partial I_D}{\partial V_{tn}} = -g_{mg} = -\frac{2I_D}{n_N \phi_t (\sqrt{1 + i_f} + 1)} \quad (2.25)$$

$$\frac{\partial I_D}{\partial I_{SH}} = \frac{I_D}{I_{SH}} \quad (2.26)$$

Sustituyendo la ecuación 2.26 en la ecuación 2.24, se obtiene:

$$\left(\frac{\sigma_{\Delta I_D}}{I_D}\right)^2 = \left(\frac{g_{mg}}{I_D}\right)^2 \sigma_{\Delta V_{tn}}^2 + \left(\frac{\sigma_{\Delta I_{SH}}}{I_{SH}}\right)^2 \quad (2.27)$$

$$\left(\frac{\sigma_{\Delta I_D}}{I_D}\right)^2 = \left(\frac{2}{n_N \phi_t (\sqrt{1+i_f} + 1)}\right)^2 \sigma_{\Delta V_{tn}}^2 + \left(\frac{\sigma_{\Delta I_{SH}}}{I_{SH}}\right)^2 \quad (2.28)$$

Las desviaciones estándar presentes en el lado derecho de la ecuación 2.27 dependen de las áreas de los dispositivos y de la separación entre ellos. Suponiendo que los dispositivos se encuentren muy próximos, el efecto de la separación es mínimo, entonces de acuerdo con [9]:

$$\sigma_{V_{tn}} = \frac{A_{V_{tn}}}{\sqrt{W \cdot L}} \quad (2.29)$$

$$\frac{\sigma_{I_{SH}}}{I_{SH}} = \frac{A_{I_{SH}}}{\sqrt{W \cdot L}} \quad (2.30)$$

donde $A_{V_{tn}}$ y $A_{I_{SH}}$ son los parámetros de desemparejamiento dependientes del área. Sustituyendo en la ecuación 2.28, se obtiene:

$$(W \cdot L) \left(\frac{\sigma_{\Delta I_D}}{I_D}\right)^2 = \left(\frac{2}{n_N \phi_t (\sqrt{1+i_f} + 1)}\right)^2 A_{V_{tn}}^2 + A_{I_{SH}}^2 \quad (2.31)$$

Para una determinada área y considerando un *layout* hecho de tal modo de minimizar los efectos de desemparejamiento [10], el control del diseñador para la desviación estándar de la variación de la corriente es representado en el término g_{mg}/I_D de la ecuación 2.31, el cual es función de i_f .

Como se puede deducir a partir de la ecuación 2.31, cuanto menor el valor de i_f mayor el desemparejamiento de corriente. Esto ocurre debido a la contribución del desemparejamiento del V_{tn} . Para minimizar esa contribución, se acostumbra polarizar los transistores del espejo de corriente con valores suficientemente elevados de i_f . Sin embargo, para valores demasiado elevados, incrementos de i_f no importan mucho pues existe un límite inferior para el desemparejamiento:

$$(W \cdot L) \left(\frac{\sigma_{\Delta I_D}}{I_D}\right)^2 > A_{I_{SH}}^2 \quad (2.32)$$

En la figura 2.7 se presenta la curva de la expresión: $(W \cdot L) \left(\frac{\sigma_{\Delta I_D}}{I_D}\right)$, obtenida por simulación.

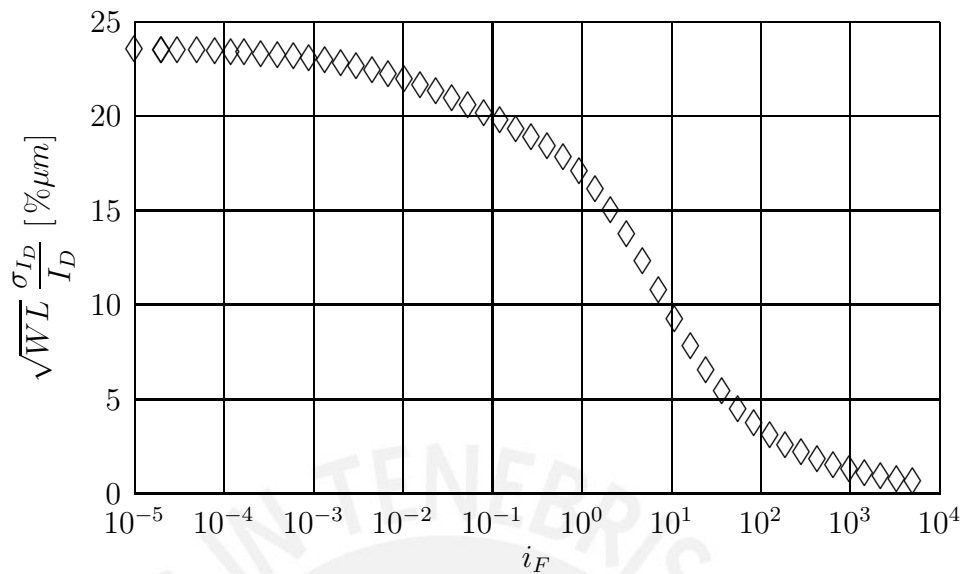


Figura 2.7: Desparejamiento de corriente en función de i_f .

Para un transistor NMOS del proceso de $0,35\mu\text{m}$ del fabricante *Austriamicrosystems* (AMS): $A_{V_{tn}} = 9,5\text{mV} \cdot \mu\text{m}$ y $A_{I_{SH}} = 0,7\% \cdot \mu\text{m}$.

Finalmente es presentado el procedimiento para diseñar un espejo de corriente. Dada la especificación de voltaje de saturación, el valor de i_f es obtenido mediante la ecuación 2.10. Entonces, conocido el valor de i_f y de la corriente que se desea copiar, el valor de W/L es calculado. Sustituyendo el valor de i_f en la ecuación 2.31 y conociendo el valor de desviación de corriente deseado, se calcula el valor de $W \cdot L$.

Por ejemplo, para el proceso de fabricación AMS $0,35\mu\text{m}$, un espejo de $1\mu\text{A}$ con $V_{DSsat} < 0,2\text{V}$ y $\sigma_{I_D}/I_D < 1\%$ es diseñado así: de la ecuación 2.10, para $V_{DSsat} < 0,2\text{V}$ se obtiene $i_f < 37$. Con $I_D = 1\mu\text{A}$, $W/L > 0,15$. De la ecuación 2.31, $W \cdot L > 70\mu\text{m}^2$. Entonces $L = 25\mu\text{m}$ y $W = 4\mu\text{m}$. Con esos valores los resultados de simulación son los siguientes: $V_{DSsat} = 0,2$ y $\sigma_{I_D}/I_D = 0,5\%$

2.4. Extracción de parámetros del modelo ACM

Cuadro 2.1: Parámetros del modelo ACM extraídos para el proceso AMS
0,35 μm

Símbolo	Descripción	Valor		Unidades
		NMOS	PMOS	
V_{t0}	Voltaje Umbral	537	720	mV
I_{SH}	Corriente de normalización laminar	82	21	nA
n	Factor de rampa	1,29	1,26	
C'_{ox}	Capacitancia del óxido por unidad de área	4,5		$fF/\mu\text{m}^2$
N_{ot}	Ruido Flicker	$9,3 \cdot 10^6$	$7,4 \cdot 10^5$	cm^{-2}
N^*		$9,5 \cdot 10^{10}$	$9,3 \cdot 10^{10}$	cm^{-2}
N_{oi}	MOSFET mismatch	$1,2 \cdot 10^{12}$	$2,8 \cdot 10^{12}$	cm^{-2}
A_{ISH}	MOSFET mismatch	0,5	0,7	$\% \mu\text{m}$

3 Arquitecturas de linealización

En este capítulo se analizan estructuras de linealización de transconductores. Dado que esas estructuras sirven para mejorar la linealidad de un par diferencial simple, éste será analizado en primer lugar. Para cada circuito el análisis consistirá de los siguientes pasos:

- Deducción de las ecuaciones que relacionan los parámetros de diseño con los parámetros de desempeño siguientes: transconductancia, no linealidad, *offset* referido a la entrada, ruido térmico y ruido *flicker*.
- Análisis cualitativo de los compromisos entre los parámetros de desempeño.
- Análisis cuantitativo de los compromisos entre los parámetros de desempeño.
- Diseño para un conjunto de especificaciones derivadas de la aplicación a un filtro de segundo orden para adquisición de ECG.

3.1. Par diferencial simple

En la figura 3.1 se muestra el diagrama esquemático de un par diferencial simple.

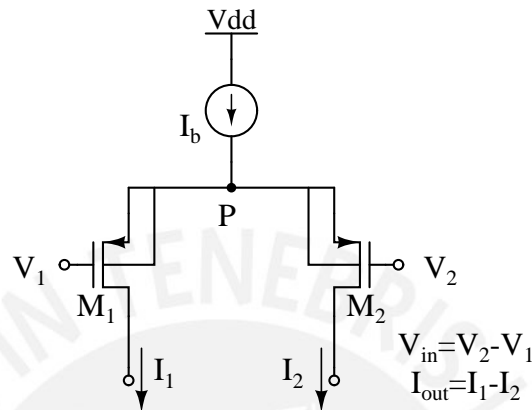


Figura 3.1: Par diferencial simple

En el cuadro 3.1 se enumeran las ecuaciones que relacionan parámetros de diseño con especificaciones del par diferencial simple. Las demostraciones de esas fórmulas se encuentran detalladas en el apéndice B.

A partir de esas ecuaciones pueden sacarse las siguientes conclusiones. Si el valor del coeficiente de no linealidad (α) es especificado, entonces el valor de i_F queda definido. Si, además, se especifica el valor de transconductancia (GM), quedará definida la corriente de polarización del par (Ib). Dado que estarían definidos i_F e Ib , el factor de forma (W/L) quedaría también definido. Estando definido el valor de transconductancia, no se puede hacer nada para disminuir el ruido térmico. Observando la ecuación del ruido flicker, se concluye que con i_F definido, la única forma de disminuirlo es aumentando el área del canal de los transistores. Escogiendo un valor de área que permita alcanzar la especificación de ruido flicker, quedarían definidos los valores de W y L . En caso que la especificación de *offset* no sea alcanzada, sería necesario aumentar el área, es decir W y L deberían aumentar en la misma proporción. Se puede observar también, que la linealidad y el *offset* dependen de manera contraria del factor i_F , es decir, un aumento de ese parámetro mejora la linealidad (disminuye α) y al mismo tiempo empeora el *offset* (aumenta V_{os}).

Cuadro 3.1: Ecuaciones de diseño del par diferencial simple

Especificación	Símbolo	Ecuación
Transconductancia	GM	$\frac{I_b}{n \phi_t (\sqrt{1 + i_F} + 1)}$
No linealidad	α	$\frac{V_{in}^2}{24 n^2 \phi_t^2} \frac{3 \sqrt{1 + i_F} - 1}{\sqrt{1 + i_F}^3}$
Offset	V_{os}	$\frac{1}{\sqrt{WL}} \sqrt{2 \frac{N_{oi}}{N^{*2}} n^2 \phi_t^2 \psi(i_F) + \frac{A_{ISH}^2}{2} \left(\frac{I_b}{GM}\right)^2}$
Ruido Térmico	V_{nth}	$\sqrt{\frac{8 k T \Delta f}{3 GM}}$
Ruido Flicker	V_{nf}	$\sqrt{\frac{q^2 N_{ot}}{W L C_{ox}^2} \frac{\Delta f}{f} \psi(i_F)}$
	$\psi(i_F)$	$\left(\frac{1 + \sqrt{1 + i_F}}{2}\right)^2 \frac{\ln(1 + i_F)}{i_F}$

Como es demostrado en la tesis de la referencia [11], usando estructuras de linealización y de división de corriente es posible obtener los siguientes parámetros: $GM=10nS$, $\alpha@300mV=1\%$, $V_{os}=15mV$ y $V_n=75\mu V$, donde V_n es el ruido rms total (ruido térmico más ruido *flicker*). En ese trabajo fue escogido un factor de 64 para la división de transconductancia, por lo tanto la transconductancia del par simple equivalente es $64 \cdot 10nS=640nS$. Ese valor de α para 300mV equivale a $\alpha=0,03\%$ para 50mV.

Para un valor de $\alpha@50mV=0,03\%$ se obtiene $i_F=970$. Para este valor de i_F y $GM=640nS$ se obtiene $I_b=670nA$. Conocidos los valores de i_F e I_b se calcula $W/L=1/64$. Este factor de forma impone limitaciones a las posibles estructuras de *layout* del par diferencial. Para minimizar los efectos de las variaciones entre los parámetros de los transistores de un par diferencial, y con eso disminuir el *offset*, algunas estructuras de *layout* son recomendadas [10]. En este trabajo se

adoptará una estructura que consiste de 16 transistores unitarios, 8 para cada transistor del par diferencial.

Por otro lado, el proceso de fabricación elegido para esta tesis acepta dimensiones mínimas de $0,35 \mu\text{m}$, y para el caso particular de circuitos analógicos el fabricante recomienda no usar ese valor mínimo debido a la sensibilidad a variaciones de proceso. Por tal motivo para esta tesis se elige $1 \mu\text{m}$ como dimensión mínima. En relación a dimensiones máximas, el fabricante no ofrece alguna recomendación específica, sin embargo menciona que el proceso fue caracterizado para diferentes tamaños de transistores, entre los cuales la longitud máxima es de $10 \mu\text{m}$. Por ese motivo se adopta en esta tesis ese límite superior para la longitud de canal. Con estas elecciones no es posible obtener un factor de forma de $W/L = 1/64$, o sea no es posible alcanzar el valor de transconductancia y el valor de linealidad especificados en la referida tesis con un par diferencial simple.

El análisis anterior puede resumirse de la siguiente manera: “para valores reducidos de transconductancia no es posible obtener niveles elevados de linealidad”. El mínimo valor posible de α corresponde al máximo valor de i_F , el cual queda determinado por el mínimo valor de W/L (que en este caso es $8/10$) para un GM dado como puede comprobarse a través de la siguiente ecuación, la cual puede demostrarse a partir de la ecuación de transconductancia de el cuadro 3.1

$$\frac{GM}{W/L} = \frac{2ISH}{n\phi_t} (\sqrt{1+i_F} - 1) \quad (3.1)$$

Para comprender mejor estas relaciones de manera cuantitativa, en la figura 3.2 se presenta un gráfico que relaciona el mínimo factor no lineal ($\alpha @ 50\text{mV}$) en función de GM . También es interesante investigar los valores de *offset* y ruido para tales valores mínimos de $\alpha @ 50\text{mV}$. En la figura 3.3 se muestran esos valores.

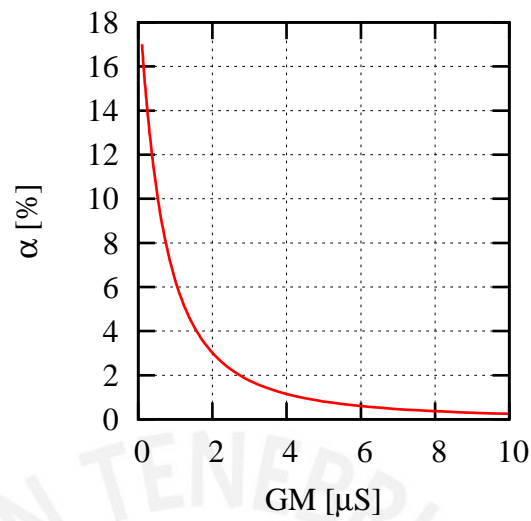


Figura 3.2: Mínimo valor de $\alpha @ 50\text{mV}$ en función de GM , para un par diferencial simple

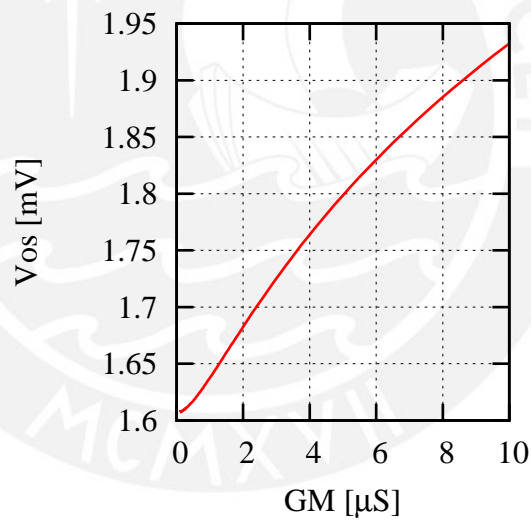


Figura 3.3: *offset* para el mínimo valor de $\alpha @ 50\text{mV}$ en función de GM , para un par diferencial simple

Para evaluar el desempeño del circuito en relación a ruido, se calculó el ruido integrado de un filtro de primer orden que usa el par diferencial simple como elemento activo. Para cada valor de GM , se consideró el mínimo valor posible de α y para esa condición se calculó el ruido rms total (térmico más *flicker*). El resultado está presentado en la figura 3.4.

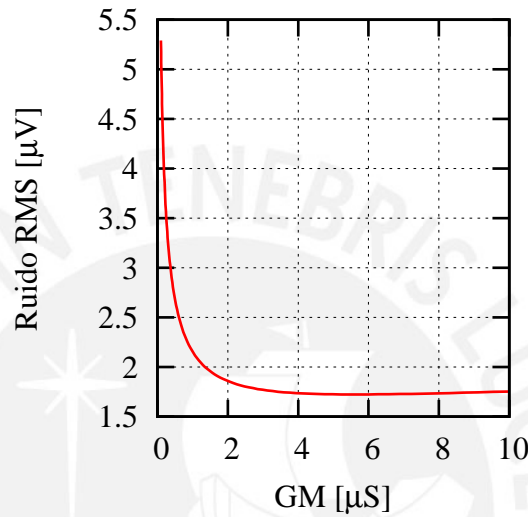


Figura 3.4: Ruido RMS para el mínimo valor de α @ 50mV en función de GM , para un par diferencial simple

3.2. Par diferencial linealizado con resistencia de degeneración

Como se observó en el caso del par diferencial simple, se podían alcanzar niveles de linealidad comparables a los de la tesis [11] solo en rangos de entrada diferencial de 50mV. A continuación se verá cómo, la inclusión de resistencias de degeneración mejora el desempeño del par en relación a la linealidad, pudiendo alcanzar los niveles mencionados en la citada tesis para rangos de hasta 300mV.

En la figura 3.5 se muestra el par diferencial linealizado con resistencias de degeneración. En la práctica estas resistencias de degeneración son substituidas por transistores que operan en la región óhmica.

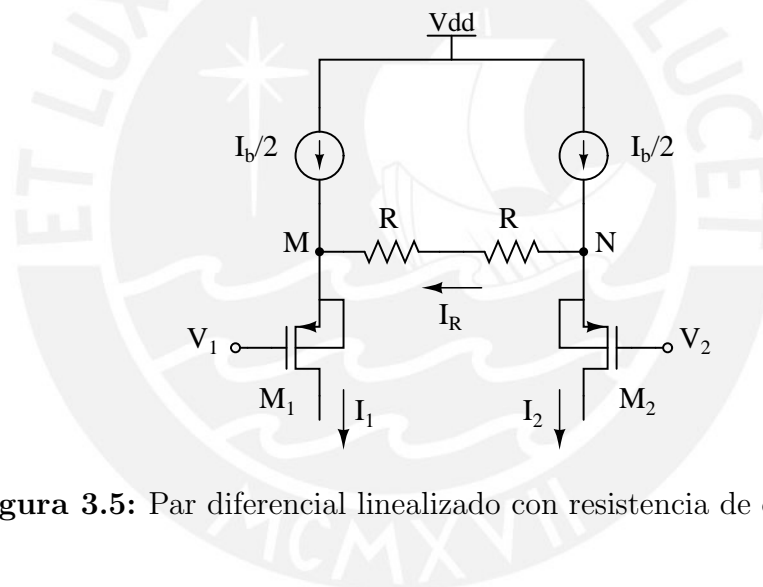


Figura 3.5: Par diferencial linealizado con resistencia de degeneración

En el cuadro 3.2 se presentan las ecuaciones que ayudan al diseño de un par linealizado con resistencias de degeneración. Es importante resaltar que el desarrollo de estas ecuaciones es un aporte de la presente tesis, el cual complementa el trabajo iniciado y reportado en la tesis [11]. Las demostraciones de estas ecuaciones se encuentran detalladas en el apéndice B.

Cuadro 3.2: Ecuaciones de diseño del par diferencial linealizado con resistencia de degeneración

Especificación	Símbolo	Ecuación
Transconductancia	GM_{parR}	$\frac{1}{R + \frac{1}{GM_{par}}}$
No linealidad	α_{parR}	$\frac{\alpha_{par}}{\theta^3}$ $\theta = \frac{GM_{par}}{GM_{parR}}$
Offset	V_{os}	$\frac{1}{\sqrt{WL}} \sqrt{2 \frac{N_{oi}}{N^{*2}} n^2 \phi_i^2 \psi(i_F) + \frac{A_{ISH}^2}{2} \left(\frac{I_b}{GM}\right)^2}$
Ruido Térmico	V_{nth}	$\sqrt{8kT \left(\frac{1}{3GM_{par}} + R\right) \Delta f}$
Ruido Flicker	V_{nf}	$\sqrt{\frac{q^2 N_{ot}}{WLC_{ox}^2} \frac{\Delta f}{f} \psi(i_F)}$ $\psi(i_F) = \left(\frac{1 + \sqrt{1 + i_F}}{2}\right)^2 \frac{\ln(1 + i_F)}{i_F}$

A partir de las ecuaciones de el cuadro 3.2 se deducen importantes conclusiones. La transconductancia del par linealizado (GM_{parR}) es menor en relación a la transconductancia del par diferencial simple (GM_{par}), por lo tanto el coeficiente θ definido como GM_{par}/GM_{parR} es mayor que 1. El coeficiente de no linealidad (α_{parR}), es menor en comparación al del par diferencial simple (α_{par}), ya que para calcular el primero hay que dividir el segundo por el factor θ , que es mayor a 1, elevado al cubo.

El ruido térmico es incrementado, ya que en este caso se adiciona el ruido de las resistencias de degeneración. Así, mientras mejor sea la linealidad, por un aumento de R y un correspondiente aumento de θ , mayor será el ruido térmico de este circuito. La inclusión de las resistencias no incrementa el ruido flicker de este circuito, por lo cual la única forma de disminuirlo continúa siendo aumentar el área de los transistores.

Para una mejor compresión de estas relaciones, en la figura 3.6 se presentan las curvas del parámetro α_{parR} en función de la transconductancia (GM_{parR}) para tres valores del parámetro θ . Cada punto de una curva representa el mínimo valor de α_{parR} para cada valor de transconductancia. Como se puede observar, a mayor valor de θ , mejor la linealidad.

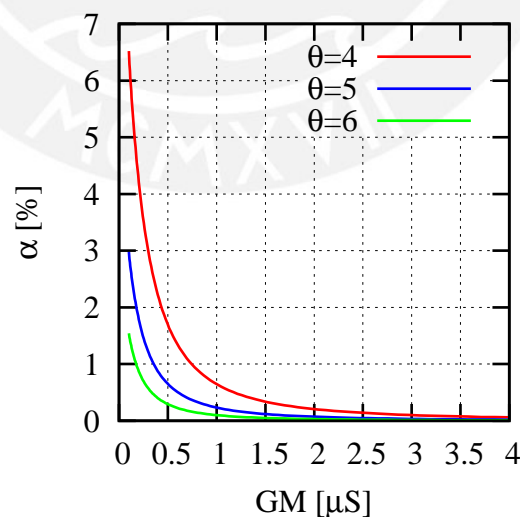


Figura 3.6: Mínimo valor de α @ 300mV en función de GM , para un par diferencial linealizado con resistencia de degeneración

Un aumento de θ significa un aumento de R como se puede deducir de la definición de θ , por lo tanto, aumentos de linealidad por medio de aumentos de θ implican aumentos en el ruido térmico, por lo cual se debe tomar cuidado al usar ese procedimiento de mejora de linealidad.

Con el objetivo de buscar un diseño similar al presentado en la tesis [11], se elaboró una gráfica que relaciona α_{parR} con θ para un valor de transconductancia de 640nS. Esta gráfica está presentada en la figura 3.7.

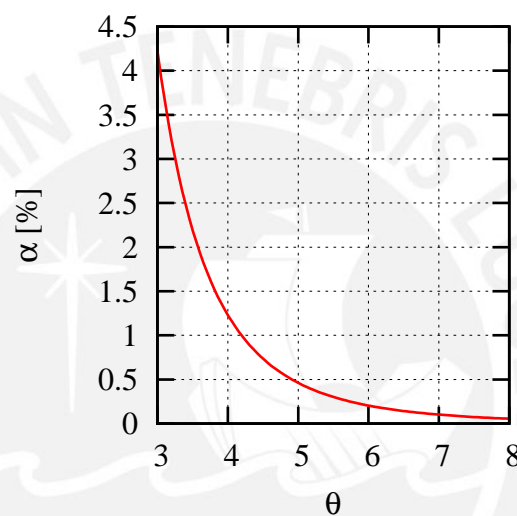


Figura 3.7: Mínimo valor de α @ 300mV en función de θ , para un par diferencial linealizado con resistencia de degeneración y valor de transconductancia 640nS

Esta curva, obtenida mediante las ecuaciones desarrolladas en la presente tesis, comprueba los resultados de la tesis citada anteriormente. Es decir, para un valor de $\theta = 5$ se obtiene un coeficiente de no linealidad de $\alpha_{parR} < 1\%$. Cabe resaltar entonces, que esa curva y las respectivas ecuaciones representan una herramienta que permite obtener diseños de manera rápida sin necesidad de recurrir a iteraciones con el simulador.

3.2.1. Análisis de *offset* considerando el efecto de los transistores de carga

Para analizar el *offset* en un par diferencial linealizado con resistencias de degeneración, es necesario considerar el efecto de los transistores de carga, pues, como se verá más adelante, su contribución al *offset* se ve afectada por el factor θ . Entonces la elección del valor de θ debe considerar ese efecto en el *offset*.

En la figura 3.8 se muestra el par diferencial linealizado junto con los transistores de carga M_3 y M_4 . La función de estos transistores en un transconductor simétrico es la de transmitir la corriente de salida del par diferencial hacia una etapa de salida del transconductor.

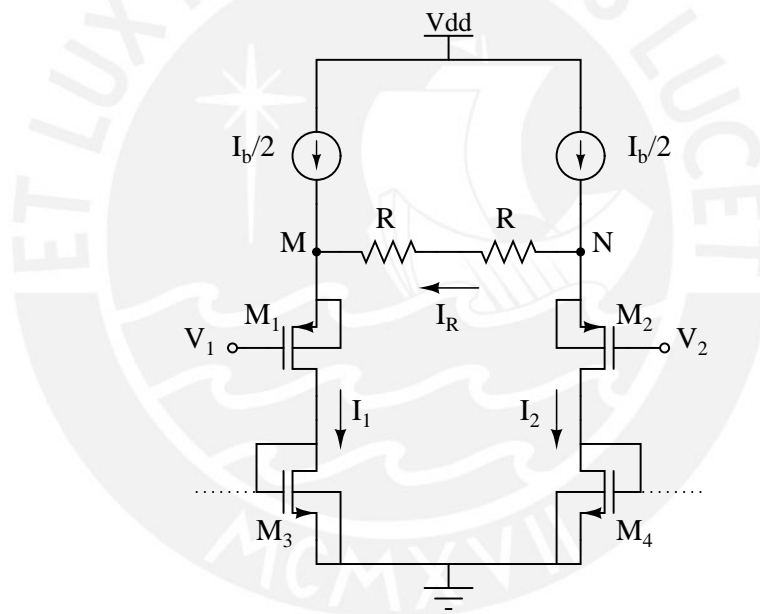


Figura 3.8: Par diferencial linealizado con resistencia de degeneración, conectado a transistores de carga

Como fue mencionado en el capítulo anterior, el *offset* es el resultado de las variaciones entre parámetros de dispositivos que idealmente serían idénticos. Para analizar el aporte de los transistores M_3 y M_4 se supondrá que no existen diferencias entre los parámetros de los transistores M_1 y M_2 . En ese caso, cuando el voltaje de entrada V_{in} sea 0, las corrientes I_1 e I_2 serán iguales a $I_b/2$. Es decir no existirá aporte de los transistores del par diferencial al *offset*.

Debido a las diferencias entre parámetros de M_3 y M_4 , existirá una diferencia entre los voltajes en sus compuertas, lo cual causará una diferencia entre las corrientes que esos transistores copian hacia la salida, y por lo tanto un *offset*. Para representar ese *offset* como el voltaje que es necesario aplicar a la entrada para que la corriente de salida sea 0, esa diferencia entre los voltajes en las compuertas se puede representar como una diferencia relativa entre las corrientes de drenador de M_3 y M_4 . De acuerdo con [9], esa diferencia relativa ($\Delta I_d/I_d$) dependerá solo de la diferencia entre parámetros de proceso, pero no dependerá de la corriente de polarización ($I_b/2$). En adelante, se representará a la desviación estándar de esa diferencia relativa mediante la variable δ_r . Entonces, si la corriente de polarización es $I_b/2$, la (desviación estándar) diferencia entre la corrientes I_1 e I_2 será $\delta_r I_b/2$. Finalmente, para representar esa diferencia como un voltaje de entrada, se obtiene:

$$V_{OSload} = \frac{\delta_r I_b}{2 GM_{parR}} \quad (3.2)$$

o, en función de θ :

$$\begin{aligned} V_{OSload} &= \frac{\delta_r I_b}{2 GM_{par}} \theta \\ \Rightarrow V_{OSload} &= \frac{\delta_r}{2} n_P \phi_t (\sqrt{1 + i_F} + 1) \theta \end{aligned} \quad (3.3)$$

de donde se obtiene la importante conclusión que al aumentar θ , lo cual mejora la linealidad, aumenta el *offset*.

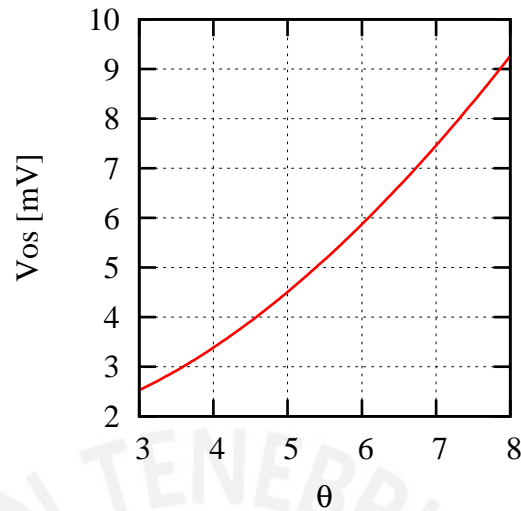


Figura 3.9: *Offset* referido a la entrada del par linealizado, considerando el efecto de los transistores de carga, en función del valor de θ para el caso de máxima linealidad para una transconductancia de 640nS

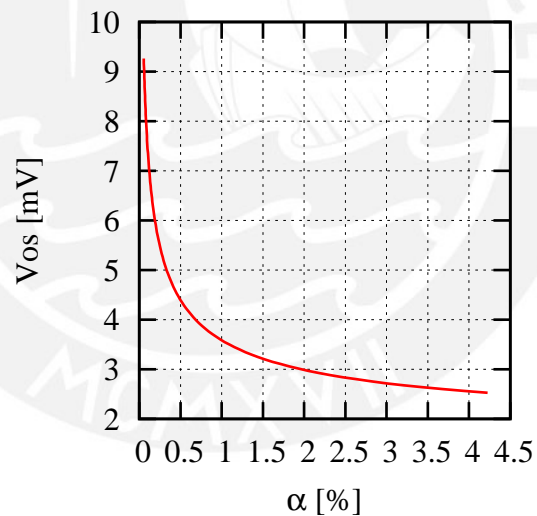


Figura 3.10: *Offset* referido a la entrada del par linealizado, considerando el efecto de los transistores de carga, en función del valor de α para el caso de máxima linealidad para una transconductancia de 640nS

3.3. Par diferencial linealizado con estructura propuesta por Krummenacher

En 1988, François Krummenacher y Norbert Joehl reportaron una estructura de linealización [1] basada en el principio de degeneración de fuente explicado en la sección anterior. En la figura 3.11 se presenta el diagrama esquemático de dicha propuesta. Los transistores M_A y M_B realizan la función de degeneración de fuente-

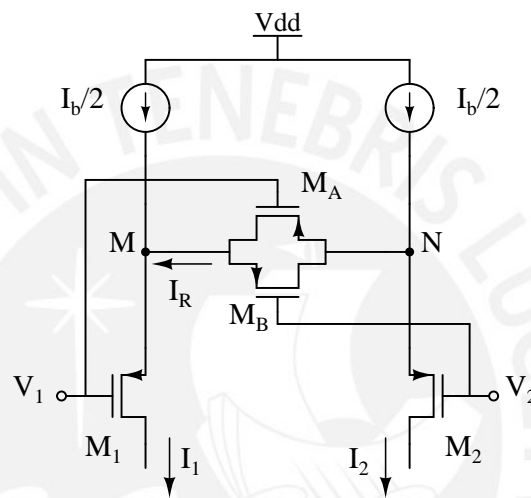


Figura 3.11: Par diferencial linealizado con estructura propuesta por Krummenacher [1]

te. En el artículo presentado por Krummenacher y Joehl se presenta un análisis basado en la ecuación cuadrática de la corriente del transistor, y se consideran por separado los casos de operación en región óhmica y región de saturación para los transistores M_A y M_B . Una de las conclusiones presentadas fue que existe una relación óptima entre los factores de forma de M_1 y M_A para la cual se obtiene el máximo rango lineal.

En la presente tesis, se presenta un análisis basado en el modelo ACM de dicho circuito (ver apéndice B). Gracias a la característica continua de este modelo, no es necesario separar el análisis en casos de operación en óhmica o en saturación. Se presentan expresiones para la transconductancia y para la tercera derivada de la corriente de salida. En particular, la ecuación del segundo parámetro, permite diseñar el circuito para una condición de máxima linealidad. Igualando la tercera derivada de la corriente de salida a 0, se obtiene la relación óptima mencionada en el artículo de Krummenacher y Joehl.

Cuadro 3.3: Ecuaciones de diseño del par diferencial linealizado con estructura de Krummenacher

Especificación	Símbolo	Ecuación
Transconductancia	GM_{parK}	$\frac{2GM_{par}}{\xi + 1}$ $\xi = 1 + \frac{S_1}{2S_A}$
Tercera Derivada de la corriente de salida	$GM3_{parK}$	$A (\xi^2 - \xi + 1 - 3\sqrt{1+i_F})$ $A = \frac{GM_1^3}{16IS_1^2} \frac{1}{\sqrt{1+i_F}^3 (\sqrt{1+i_F} - 1)^2}$

En el cuadro 3.3 se presentan las ecuaciones mencionadas anteriormente. La ecuación de la transconductancia es idéntica a la obtenida por Krummenacher y Joehl, sin embargo en esta tesis fue obtenida aplicando el modelo ACM que es válido en todos los niveles de inversión. Otro aporte importante de esta tesis es la ecuación para $GM3_{parK}$. Usando esta ecuación se puede obtener el valor de ξ que permite anular la tercera derivada de la corriente de salida en función de i_F . En la figura 3.12 se muestra dicha dependencia.

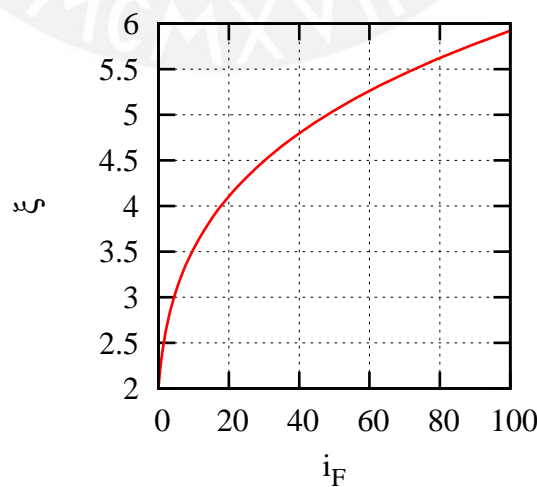


Figura 3.12: Valor de ξ que anula la tercera derivada de la corriente de salida, en función de i_F

En la figura 3.13 se muestra el error relativo de la corriente de salida (relativo a la corriente lineal ideal), en función del parámetro ξ para un transconductor de 640nS con estructura de Krummenacher.

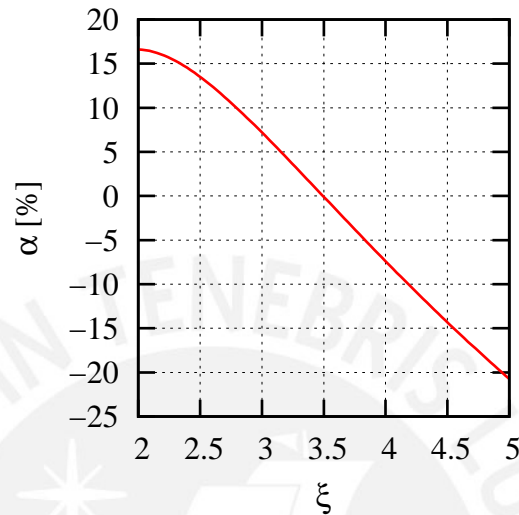


Figura 3.13: Mínimo valor de α @ 300mV en función de GM , para un par diferencial linealizado con resistencia de degeneración

En cuanto al ruido y al *offset*, en este caso son válidas las mismas conclusiones que fueron presentadas para el caso general de degeneración de fuente.

3.4. Par diferencial linealizado con estructura propuesta por Silva Martinez

Una manera simple de implementar la resistencia de degeneración es utilizar un transistor que opera en la región óhmica. Si la tensión de compuerta de ese transistor se mantiene fija, su resistencia equivalente será sensible a las variaciones de tensión de modo común de entrada. Una solución a este problema fue propuesta por Silva Martínez en 1999 [2].

En la figura 3.14 se muestra la estructura reportada por Silva Martínez.

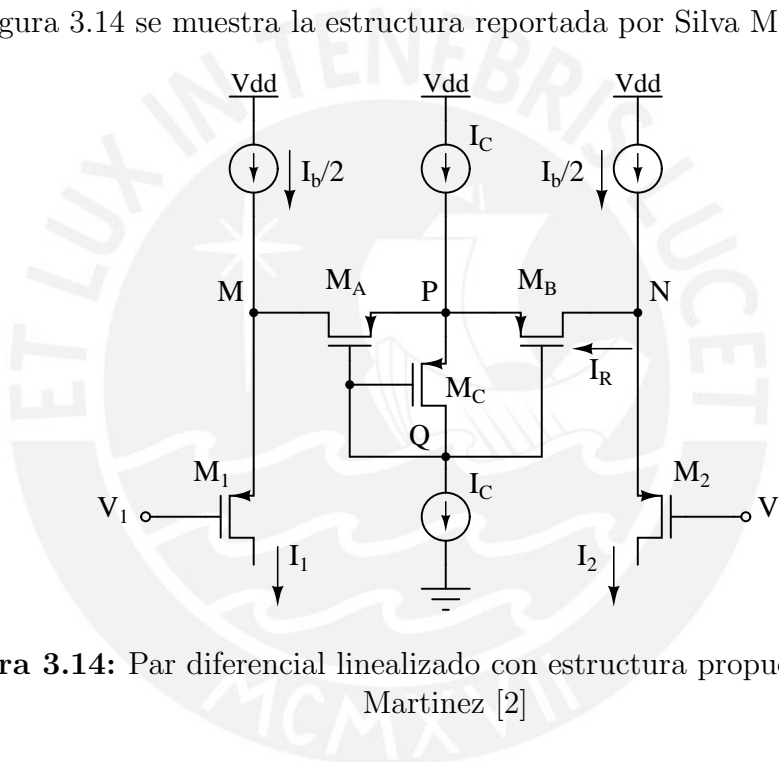


Figura 3.14: Par diferencial linealizado con estructura propuesta por Silva Martinez [2]

La estructura presentada en [2] busca implementar transistores trabajando en región óhmica para sustituir las resistencias de degeneración de la arquitectura presentada anteriormente, tal y como se presentó en la arquitectura propuesta por Krummenacher.

En el artículo se llega a la conclusión que la resistencia equivalente depende del voltaje en modo común de entrada. Como solución a esta dependencia, Silva Martínez propone implementar 2 transistores en región óhmica, junto con la estructura IC-MC-IC que se observa en la figura 3.14. Una variación en el voltaje de modo común, provocará que el potencial en P varie; por ende, la resistencia equivalente y la transconductancia dependerán en gran manera de estas variaciones. Analizando se deduce que el voltaje de las compuertas (punto Q) de los

transistores en óhmica están relacionados con el voltaje de sus surtidores (punto P) debido a la influencia del transistor MC que se encuentra conectado como un diodo. Habrá un voltaje fijo en las compuertas de los transistores (Q) ya que I_c es una corriente fija y si ocurre una variación en el potencial de P, se verá la misma variación en el potencial de Q manteniendo constante la diferencia de potencial entre estos 2 puntos. Esto reducirá el efecto que produce la variación del voltaje en modo común en la resistencia efectiva de los transistores, porque sus parámetros de polarización no variarán. Como resultado se obtendrá un valor de transconductancia poco sensible ante cambios del voltaje en modo común de entrada.

Cuadro 3.4: Ecuaciones de diseño del par diferencial linealizado con estructura de Krummenacher

Especificación	Símbolo	Ecuación
Transconductancia	GM_{parM}	$\frac{1}{\frac{1}{GM_C} + \frac{1}{GM_{par}}}$
No linealidad	α_{parM}	$\alpha_{par} \frac{1}{\theta^3} + \alpha_{MC} \left(1 - \frac{1}{\theta}\right)^3$ $\theta = \frac{GM_{par}}{GM_{parM}}$

4 Simulaciones y resultados

En este capítulo, se presentan los resultados de simulación de tres transconductores. Cada uno presenta una estructura de linealización diferente. Además de la estructura de linealización, se incluyen también los espejos de corriente que permiten generar la corriente de salida por un único terminal del circuito. También se aplica la técnica de división de corriente con la cual se logra dividir la transconductancia del par diferencial entre 64.

Los transconductores fueron diseñados para cumplir con especificaciones adecuadas para su uso en un filtro pasa bajos de un canal de adquisición de Electrocardiograma, las cuales fueron tomadas de la referencia [11]. El objetivo del diseño fue obtener una transconductancia de 10nS, una desviación estándar del *offset* referido a la entrada menor o igual a 5mV, y con esas condiciones obtener la máxima linealidad posible.

4.1. Estructura con resistencias de degeneración

En la figura 4.1 se muestra el diagrama esquemático del transconductor basado en un par linealizado con resistencias de degeneración. Por simplicidad no se muestran los transistores que implementan las fuentes de corriente. Puede observarse que cada transistor del par diferencial está dividido en 8 transistores idénticos, y solo uno de ellos transmite la corriente hacia la etapa de salida. De esta forma, se obtiene una división de la transconductancia por 8. Similarmente cada uno de los transistores que reciben la corriente del par diferencial está dividido en 8 transistores, de forma que solo un octavo de la corriente total es copiada hacia la etapa de salida. De esta forma, se obtiene otra división por 8 de la transconductancia.

Como consecuencia al final se tiene una división por 64 de la transconductancia. Entonces para obtener un transconductor de 10nS basta diseñar un par diferencial de 640nS. Como fue discutido en el capítulo anterior, a mayor valor de transconductancia es más fácil cumplir especificaciones de linealidad y *offset*.

Cuadro 4.1: Dimensiones de los transistores y corriente de polarización para el transconductor basado en par diferencial linealizado con resistencias de degeneración

Dispositivo	Parámetro	Símbolo	Valor	Unidades
Par Diferencial	Ancho Unitario	WP	10	μm
	Largo Unitario	LP	10	μm
Resistor de degeneración	Resistencia	R	1.1	$\text{M}\Omega$
Espejo NMOS	Ancho Unitario	WN	20	μm
	Largo Unitario	LN	20	μm
Espejo PMOS	Ancho Unitario	WP2	20	μm
	Largo Unitario	LP2	20	μm
Polarización	Corriente	I _b	170	nA

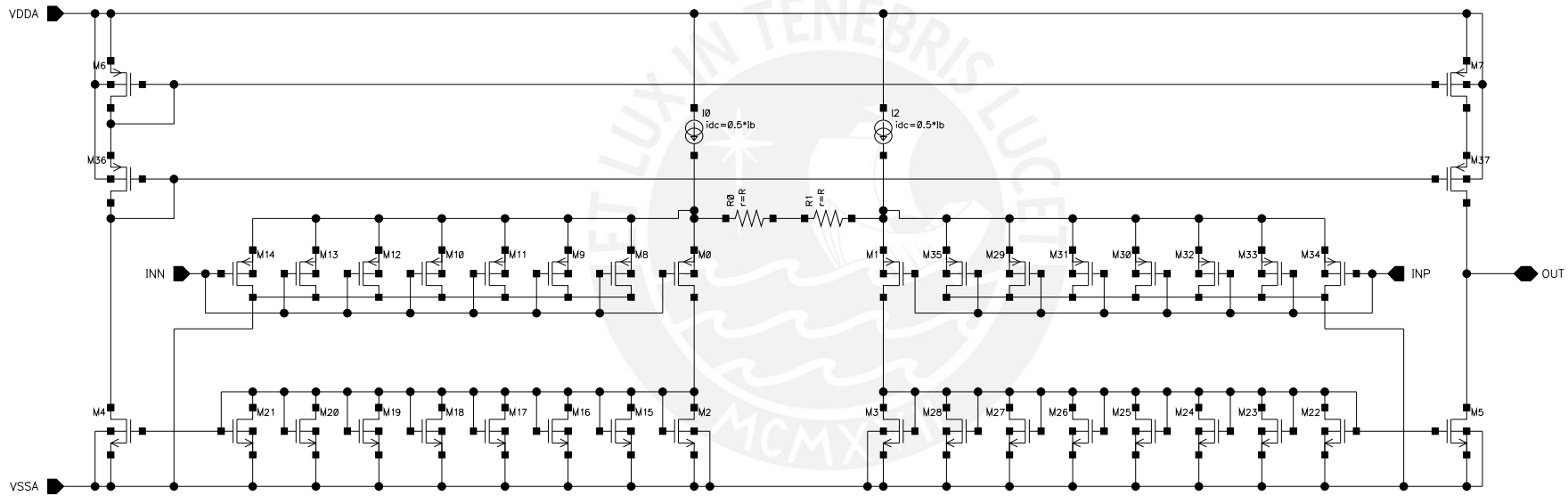


Figura 4.1: Transconductor basado en un par diferencial linealizado con resistencias de degeneración

En el cuadro 4.1 se presentan las características básicas de los transistores, su ancho y su largo, que nos ayudan a empezar el diseño de cada transistor. Se está utilizando un máximo de $10 \mu\text{m}$ para el largo del canal y $1 \mu\text{m}$ como mínima dimensión aceptable de cada transistor que conforma el par diferencial linealizado, tal y como se explicó en el capítulo anterior. Cabe resaltar que se están utilizando una resistencia de $1.1 \text{ M}\Omega$ y una corriente de polarización (I_b) de 170 nA para poder llegar a las especificaciones descritas al inicio de este capítulo.

En la figura 4.2 se observa la gráfica de la corriente de salida vs. el voltaje de entrada (línea discontinua), junto con la corriente lineal ideal (línea continua). El resultado de implementar el transconductor visto en la figura 4.1 en un filtro de primer orden se observa en la figura 4.3. Con este gráfico se aprecia la respuesta en frecuencia de este filtro y la atenuación en la banda de rechazo, esta según la referencia [11] a una frecuencia de 9.6 kHz .

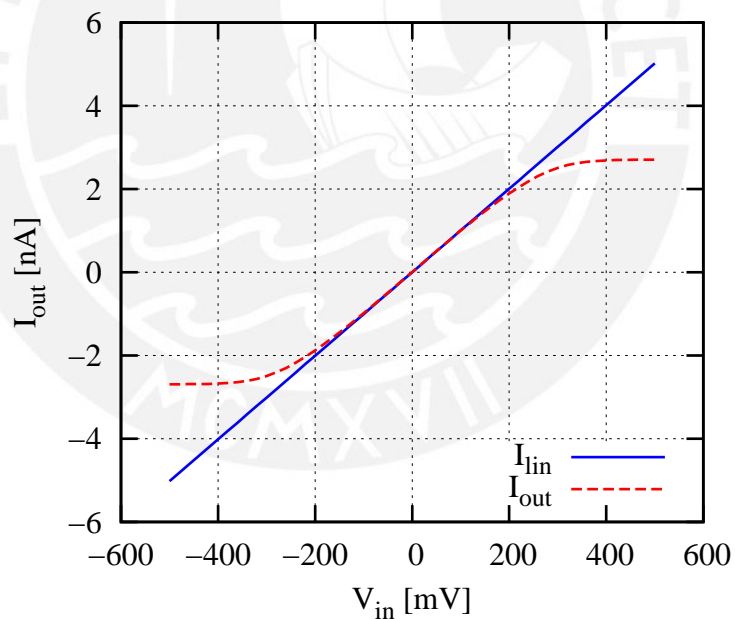


Figura 4.2: Corriente de salida (I_{out}) y corriente lineal ideal ($I_{lin} = GM V_{in}$) para el transconductor linealizado con resistencias de degeneración

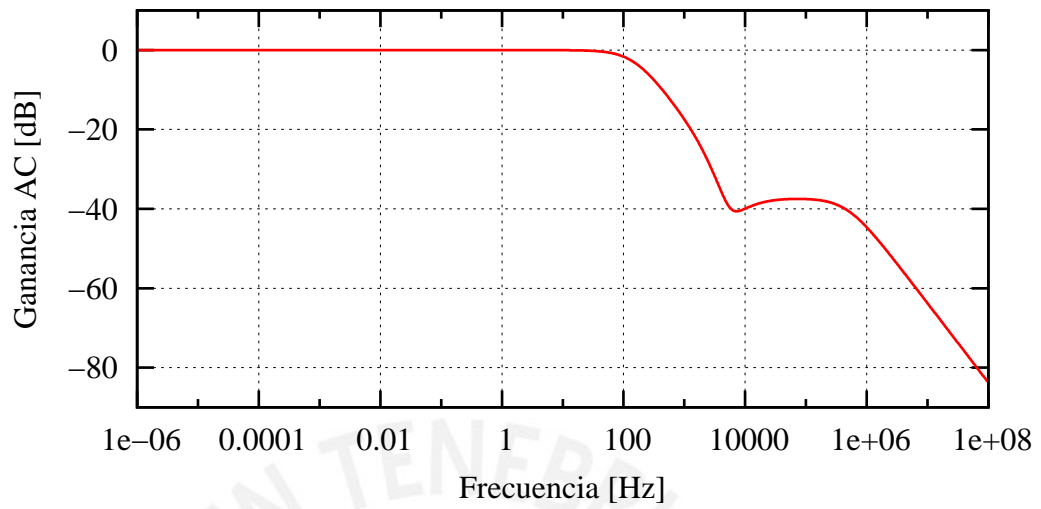


Figura 4.3: Respuesta en frecuencia de un filtro GM-C basado en el transconductor linealizado con resistencias de degeneración

4.2. Estructura de Krummenacher

En la figura 4.4 se muestra el diagrama esquemático del transconductor basado en la estructura de linealización que propusieron Krummenacher y Joehl. Se observa el cambio de las resistencias de degeneración que estaban en serie por un par de transistores en paralelo. Esto se explica con detalle en el capítulo anterior, en el cual se ve que estos transistores trabajan en la región óhmica para poder simular las resistencias. Cabe mencionar que el valor del voltaje en las compuertas de estos transistores, tal y como se muestra, ayuda en el análisis y diseño del transconductor.

Cuadro 4.2: Dimensiones de los transistores y corriente de polarización para el transconductor basado en la estructura propuesta por Krummenacher y Joehl

Dispositivo	Parámetro	Símbolo	Valor	Unidades
Par Diferencial	Ancho Unitario	WP	4	μm
	Largo Unitario	LP	10	μm
Transistor de degeneración	Ancho Unitario	WR	8	μm
	Largo Unitario	LR	10	μm
Espejo NMOS	Ancho Unitario	WN	20	μm
	Largo Unitario	LN	20	μm
Espejo PMOS	Ancho Unitario	WP2	20	μm
	Largo Unitario	LP2	20	μm
Polarización	Corriente	I _b	90	nA

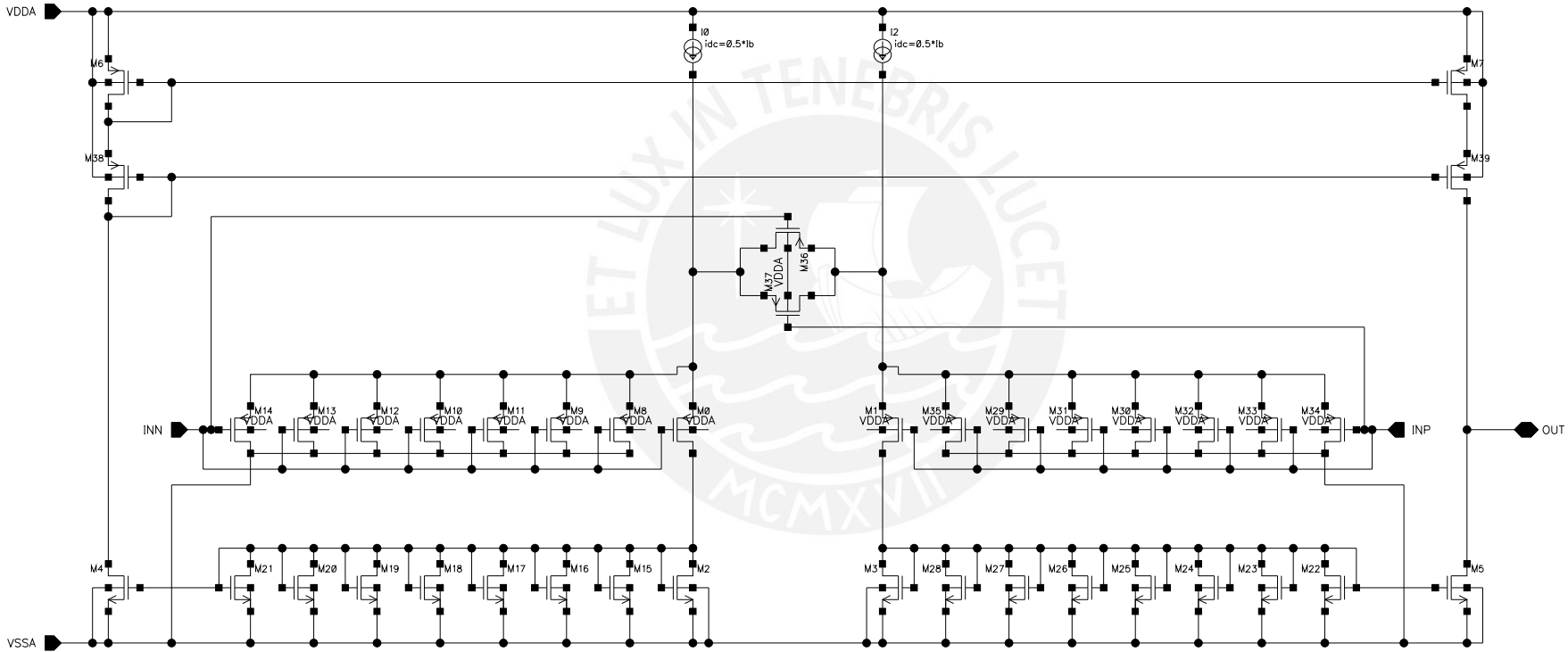


Figura 4.4: Transconductor basado en la estructura de linealización propuesta por Krummenacher y Joehl

En el cuadro 4.2 se observan los mismos valores ya explicados para la arquitectura anterior. El Par Diferencial presenta un Ancho menor que el del caso anterior, lo cual es bueno ya que se quiere que el área no aumente demasiado. Las medidas de Transistor de degeneración son adecuadas ya que de por sí ocupa menos área que una resistencia. Por último, se observa que necesita de una corriente de polarización mucho menor en comparación con la arquitectura anterior.

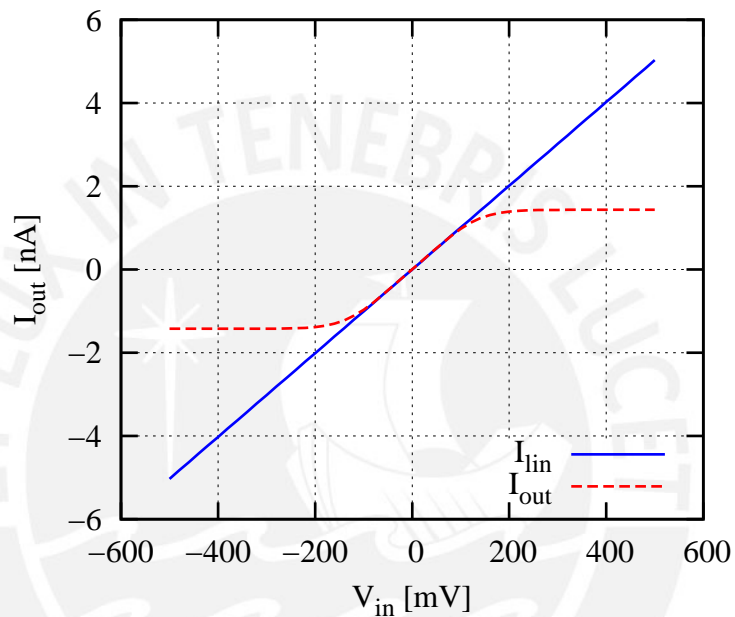


Figura 4.5: Corriente de salida (I_{out}) y corriente lineal ideal ($I_{lin} = GM V_{in}$) para el transductor linealizado con estructura de Krummenacher

Para la comparación se muestran las gráficas de la Figura 4.5 y la Figura 4.6. Se puede apreciar, en la gráfica de I_{out} vs. V_{in} , que el rango lineal no mejora, en otras palabras se reduce. En la gráfica de la respuesta en frecuencia del filtro de primer orden (GM-C) se observa mayor atenuación en la banda de rechazo.

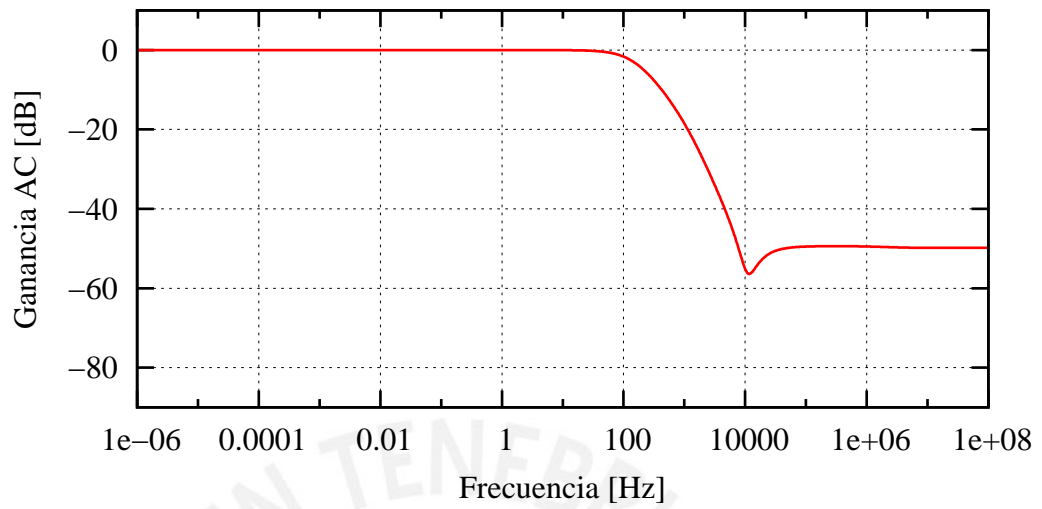


Figura 4.6: Respuesta en frecuencia de un filtro GM-C basado en el transistor linealizado con estructura de Krummenacher

4.3. Estructura de Silva Martinez

En la Figura 4.7 se muestra el esquemático del transconductor basado en la estructura de linealización propuesto por Silva Martinez en [2]. Al igual que en la estructura anterior, se busca cambiar las resistencias de degeneración por transistores trabajando en la región óhmica. Sin embargo, se observa una estructura adicional cuyo funcionamiento es explicado en el capítulo anterior y básicamente ayuda a obtener un valor de transconductancia poco sensible ante cambios de voltaje en modo común de entrada.

Cuadro 4.3: Dimensiones de los transistores y corriente de polarización para el transconductor basado en la estructura propuesta por Silva Martinez

Dispositivo	Parámetro	Símbolo	Valor	Unidades
Par Diferencial	Ancho Unitario	WP	10	μm
	Largo Unitario	LP	10	μm
Transistor de degeneración	Ancho Unitario	WC	1	μm
	Largo Unitario	LC	10	μm
Espejo NMOS	Ancho Unitario	WN	20	μm
	Largo Unitario	LN	20	μm
Espejo PMOS	Ancho Unitario	WP2	20	μm
	Largo Unitario	LP2	20	μm
Polarización	Corriente	I_b, I_c	150	nA

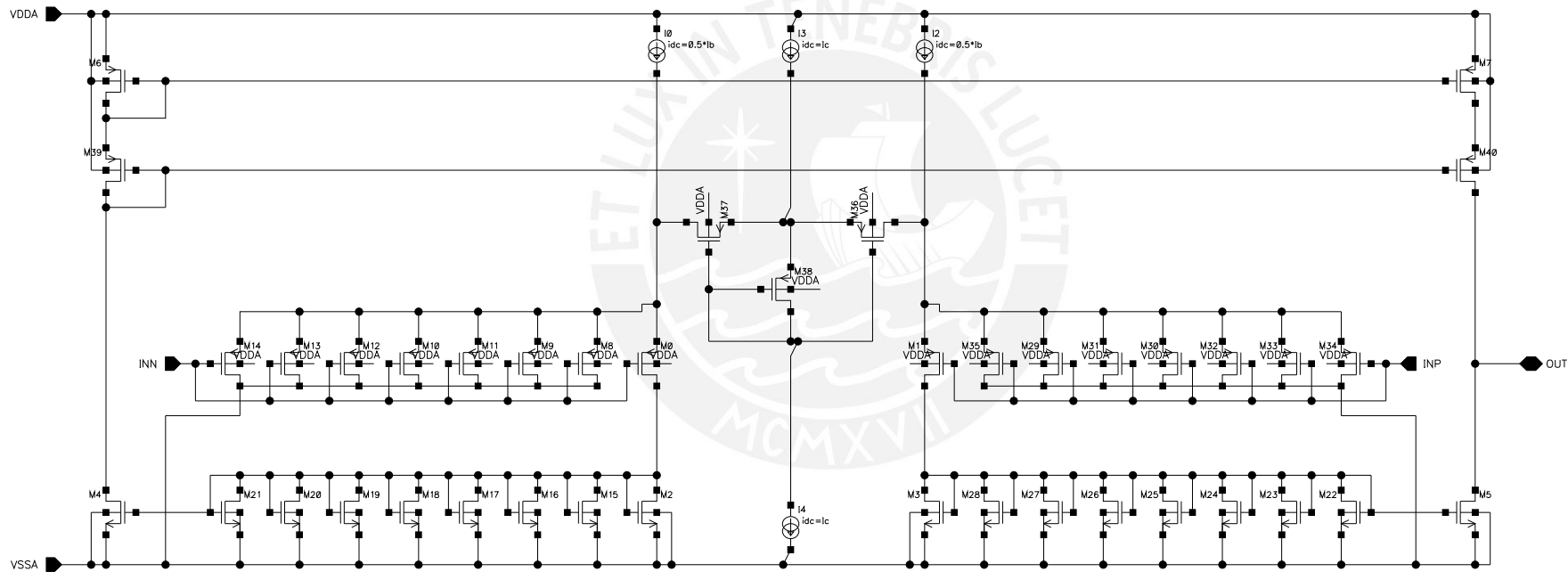


Figura 4.7: Transconductor basado en la estructura de linealización propuesta por Silva Martinez

En el cuadro 4.3 se tienen las dimensiones de cada transistor. Al compararlas con los valores de las arquitecturas anteriores, se puede notar que necesita una corriente de polarización muy parecida a la de la estructura con resistencias de degeneración. Por otro lado, se observa que el transistor de degeneración utiliza un ancho igual al mínimo valor que se utiliza en esta tesis, y que las dimensiones del Par Diferencial no son peores en comparación a las otras estructuras.

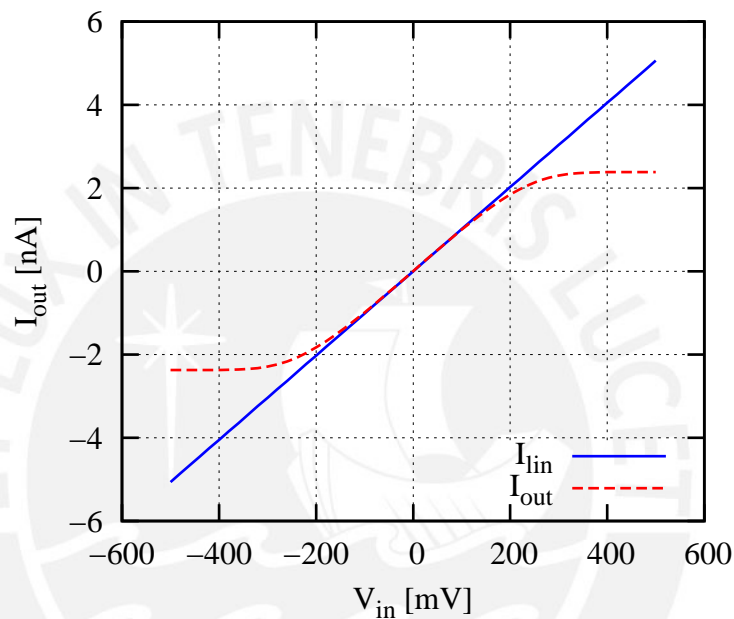


Figura 4.8: Corriente de salida (I_{out}) y corriente lineal ideal ($I_{lin} = GM V_{in}$) para el transconductor linealizado con estructura de Silva Martinez

Los resultados de la simulación son mostrados en la Figura 4.8, donde se observa que esta estructura posee un mejor rango lineal comparable con la obtenida con la estructura con resistencias de degeneración. La respuesta en frecuencia de un filtro de primer orden basado en esta arquitectura es mostrada en la Figura 4.9. Comparando cada estructura, es notable que hay una mayor atenuación en la banda de rechazo con la arquitectura propuesta por Silva Martinez.

En el cuadro 4.4 se pueden sacar conclusiones con mayor facilidad, debido a que se comparan distintas especificaciones de cada estructura vista en este capítulo. Claramente se deduce que hay un mayor consumo de corriente por parte de la estructura propuesta por Silva Martinez (parM), que la estructura de Krumm-nacher (parK) presenta un menor valor de ruido RMS y que la estructura con resistencias de degeneración presenta el mejor rango lineal entre las 3 estructuras

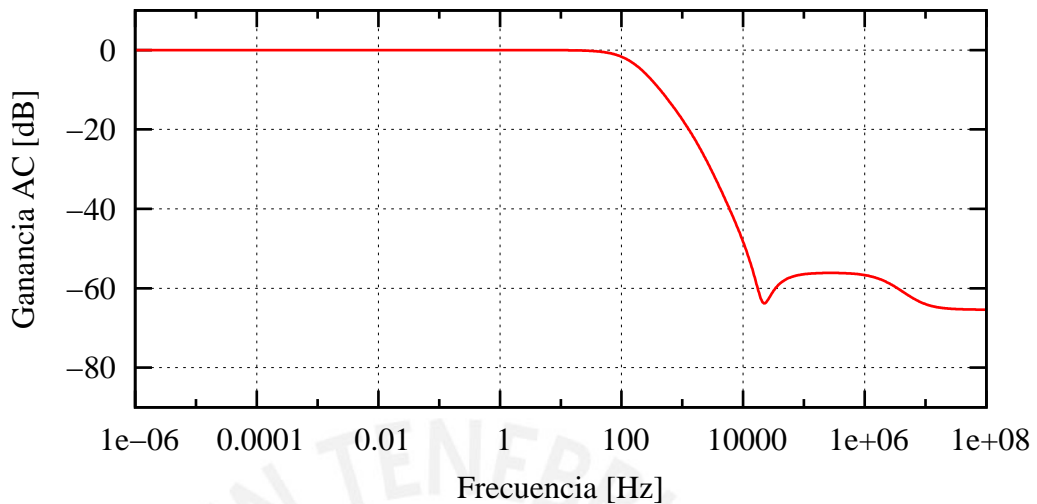


Figura 4.9: Respuesta en frecuencia de un filtro GM-C basado en el transconductor linealizado con estructura de Silva Martinez

presentadas.

Cuadro 4.4: Comparación entre estructuras de linealización. Todas fueron diseñadas para 640nS, $offset \leq 5\text{mV}$ y máxima linealidad. Fueron adicionados los espejos que dividen la transconductancia por un factor de 64.

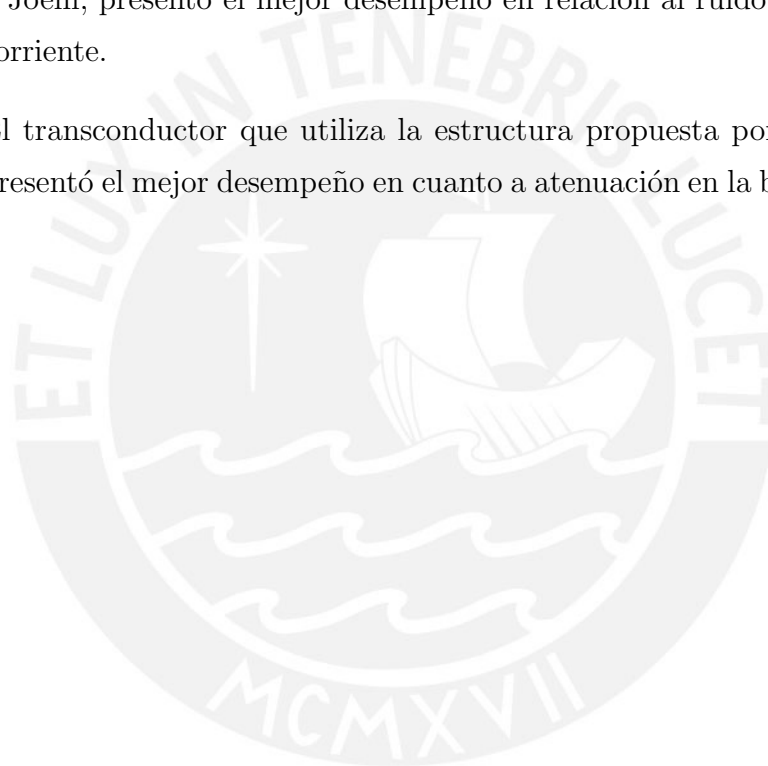
Estructura	GM [nS]	Offset [mV]	Rango lineal [mV]	Ruido RMS [μV]	Consumo [nA]	Atenuación [dB]
parR	10	4,8	190	72	173	37
parK	10	4,4	110	55	91	50
parM	10	5,0	160	67	300	56

Conclusiones

- Fueron analizadas tres estructuras de linealización de transconductores. En base a estos análisis fueron diseñados tres transconductores con especificaciones óptimas para su uso en el filtrado de señales de Electrocardiograma.
- Para cada transconductor fueron desarrolladas ecuaciones de diseño en base a un modelo continuo del transistor MOSFET, conocido como ACM (*Advanced Compact MOSFET*). Uno de los principales aportes de esta tesis radica en la presentación de esas ecuaciones de diseño, ya que a diferencia de las reportadas anteriormente, en este caso las ecuaciones son válidas en todos los niveles de inversión de los transistores.
- En el caso de estructuras que utilizan transistores en lugar de resistores para realizar la linealización del par diferencial, las ecuaciones desarrolladas en esta tesis son válidas en todas las regiones de operación. Debido a ello, a diferencia de trabajos anteriores, no es necesario separar el análisis en el caso de operación en región óhmica y el caso de operación en región de saturación.
- Las ecuaciones presentadas en esta tesis, demostradas en los apéndices A y B, permitieron establecer procedimientos de diseño para los transconductores. Esto permitió comparar el desempeño de esos transconductores.
- Con el fin de comparar el desempeño de los tres transconductores y aprovechando las fórmulas presentadas en el capítulo 3, se realizó el diseño de los tres teniendo como especificaciones que la transconductancia sea 10nS, que la desviación estándar del *offset* relativo a la entrada sea menor que 5mV y que con esas condiciones el rango lineal sea el máximo posible.
- La comparación de los transconductores diseñados se realizó tomando en cuenta el consumo de corriente, el ruido y las capacitancias parásitas introducidas. Las capacitancias parásitas fueron medidas por medio de su efecto en la respuesta en frecuencia de un filtro basado en los transconductores.

El parámetro utilizado para medir el efecto de las capacitancias parásitas fue la mínima atenuación en la banda de rechazo del filtro.

- El transconductor que utiliza resistores como elementos de linealización presentó mejor desempeño en cuanto a rango lineal, pero presentó el peor desempeño en ruido, consumo de corriente y atenuación en la banda de rechazo.
- El transconductor que utiliza la estructura propuesta por Krummenacher y Joehl, presentó el mejor desempeño en relación al ruido y al consumo de corriente.
- El transconductor que utiliza la estructura propuesta por Silva Martinez, presentó el mejor desempeño en cuanto a atenuación en la banda de rechazo.



Recomendaciones

- Para una adecuada selección de la estructura de linealización, se recomienda definir un orden de prioridad de las especificaciones, pues como se ha demostrado en esta tesis algunas especificaciones no son compatibles con otras y obtener el mejor desempeño en relación a todas las especificaciones al mismo tiempo es prácticamente imposible.
- Con el objetivo de dar continuidad al trabajo que se inició con las tesis de las referencias [11], [12] y que fue extendido con la presente tesis, se recomienda proponer como trabajos futuros el diseño de un amplificador de instrumentación de bajo ruido para la etapa de adquisición del Electrocardiograma, y el conversor Análogo Digital para enviar el ECG a una etapa de procesamiento digital.
- Se sugiere enviar a fabricar un canal de adquisición de ECG uniendo los circuitos presentados en esta tesis y en las tesis anteriormente mencionadas, dejando disponibles terminales de *test* para poder realizar medidas a los bloques por separado.

Referencias

- [1] KRUMMENACHER, F.; JOEHL, N. A 4-MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning. *IEEE Journal of Solid-State Circuits*, v. 23, n. 3, p. 750–758, jun. 1988.
- [2] SILVA-MARTÍNEZ, J.; SOLÍS-BUSTOS, S. Design considerations for high performance very-low-frequency filters. In: *Proc. IEEE Int. Symp. Circuits and Systems (ISCAS'99)*. [S.l.: s.n.], 1999. p. 648–651.
- [3] TEO, T. H. et al. A 700-uW Wireless Sensor Node SoC for Continuous Real-Time Health Monitoring. *IEEE Journal of Solid-State Circuits*, v. 45, n. 11, p. 2292–2299, nov. 2010.
- [4] SU, Y.-C. et al. Wireless ECG detection system with low-power analog front-end circuit and bio-processing ZigBee firmware. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2010, Paris. *Proceedings...* Paris: IEEE, 2010. v. 1, p. 1216–1219.
- [5] TRAKIMAS, M.; HWANG, S.; SONKUSALE, S. Low Power Asynchronous Data Acquisition Front End for Wireless Body Sensor Area Network. In: INTERNATIONAL CONFERENCE ON VLSI DESIGN, 2011, Madras. *Proceedings...* Madras: IEEE, 2011. v. 1, p. 244–249.
- [6] SCHNEIDER, M. C.; GALUP-MONTORO, C. *CMOS Analog Design Using All-Region Mosfet Modeling*. 1. ed. Cambridge: Cambridge University Press, 2010.
- [7] ARNAUD, A.; GALUP-MONTORO, C. Pico-A/V range CMOS transconductors using series-parallel current division. *Electronics Letters*, Los Alamitos, CA, USA, v. 39, n. 18, p. 1357–1358, sep. 2003.
- [8] RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. 1. ed. New York, NY: McGraw-Hill, 2001.
- [9] PELGROM, M. J. M.; DUINMAIJER, A. C. J.; WELBERS, A. P. G. Matching properties of MOS transistors. *IEEE Journal of Solid State Circuits*, v. 24, n. 5, p. 1433–1440, oct. 1989.
- [10] HASTINGS, A. *The Art of ANALOG LAYOUT*. 1. ed. Upper Saddle River, New Jersey 07458: Prentice Hall, 2001.

- [11] VARELA, F. Diseño en CMOS de un filtro pasa-bajo con frecuencia de corte de 150Hz para la adquisición de señales de electrocardiograma . In: *Tesis de Pregrado en Ingeniería Electrónica. Pontificia Universidad Católica del Perú.* [S.l.: s.n.], 2010. p. 1–59.
- [12] CASTILLO, L. D. Diseño de un amplificador operacional clase AB en tecnología CMOS. In: *Tesis de Pregrado en Ingeniería Electrónica. Pontificia Universidad Católica del Perú.* [S.l.: s.n.], 2012. p. 1–62.



Apéndice A – Algunas funciones y sus derivadas

A.1. Derivada de función implícita

En algunos casos, conociendo una función $x = f(y)$ es necesario obtener las derivadas de y con respecto a x . Denotando con f_1 , f_2 y f_3 a la primera, segunda y tercera derivadas de f , se cumplen las siguientes relaciones.

La primera derivada de y respecto a x :

$$\frac{dy}{dx} = \frac{1}{f_1(y)} \quad (\text{A.1})$$

La segunda derivada de y respecto a x :

$$\frac{d^2 y}{dx^2} = -\frac{f_2(y)}{f_1^3(y)} \quad (\text{A.2})$$

La tercera derivada de y respecto a x :

$$\frac{d^3 y}{dx^3} = -\frac{f_3(y)}{f_1^4(y)} + 3\frac{f_2^2(y)}{f_1^5(y)} \quad (\text{A.3})$$

En el diseño de transconductores, se encuentra frecuentemente funciones f tales que $f(0) = 0$ y $f_2(0) = 0$. Para esos casos se cumplen:

$$\left. \frac{dy}{dx} \right|_{x=0} = \frac{1}{f_1(0)} \quad (\text{A.4})$$

$$\left. \frac{d^2 y}{dx^2} \right|_{x=0} = 0 \quad (\text{A.5})$$

$$\left. \frac{d^3 y}{dx^3} \right|_{x=0} = -\frac{f_3(0)}{f_1^4(0)} \quad (\text{A.6})$$

A.2. La función F y sus derivadas

En la expresión para la corriente de drenador del modelo ACM, aparece la siguiente función:

$$F(x) = \sqrt{1+x} - 2 + \ln(\sqrt{1+x} - 1) \quad (\text{A.7})$$

La primera derivada de esa función es:

$$F_1(x) = \frac{dF(x)}{dx} = \frac{1}{2(\sqrt{1+x} - 1)} \quad (\text{A.8})$$

La segunda derivada es:

$$F_2(x) = \frac{d^2F(x)}{dx^2} = \frac{-1}{4\sqrt{1+x}(\sqrt{1+x} - 1)^2} \quad (\text{A.9})$$

La tercera derivada es:

$$\begin{aligned} F_3(x) &= \frac{1}{8\sqrt{1+x}^3(\sqrt{1+x} - 1)^2} + \frac{1}{4\sqrt{1+x}^2(\sqrt{1+x} - 1)^3} \\ \Rightarrow F_3(x) &= \frac{3\sqrt{1+x} - 1}{8\sqrt{1+x}^3(\sqrt{1+x} - 1)^3} \end{aligned} \quad (\text{A.10})$$

Otra expresión que será útil en las demostraciones posteriores es:

$$\frac{F_3(x)}{F_1(x)} = \frac{3\sqrt{1+x} - 1}{4\sqrt{1+x}^3(\sqrt{1+x} - 1)^2} \quad (\text{A.11})$$

A.3. La función H con parámetro “ a ” y sus derivadas evaluadas en 0

La función H con parámetro “ a ” es la siguiente:

$$H(a, x) = F(a + x) - F(a - x) \quad (\text{A.12})$$

Su primera derivada con respecto a x es:

$$\begin{aligned} H_1(a, x) &= F_1(a + x) + F_1(a - x) \\ \Rightarrow H_1(a, 0) &= 2 F_1(a) = \frac{1}{\sqrt{1+a}-1} \end{aligned} \quad (\text{A.13})$$

Su segunda derivada es:

$$\begin{aligned} H_2(a, x) &= F_2(a + x) - F_2(a - x) \\ \Rightarrow H_2(a, 0) &= 0 \end{aligned} \quad (\text{A.14})$$

Su tercera derivada es:

$$\begin{aligned} H_3(a, x) &= F_3(a + x) + F_3(a - x) \\ \Rightarrow H_3(a, 0) &= 2 F_3(a) = \frac{3\sqrt{1+a}-1}{4\sqrt{1+a}^3(\sqrt{1+a}-1)^3} \end{aligned} \quad (\text{A.15})$$

Apéndice B – Demostraciones de expresiones presentadas

B.1. Transconductancia de un par diferencial simple

En la figura B.1 se muestra un par diferencial simple.

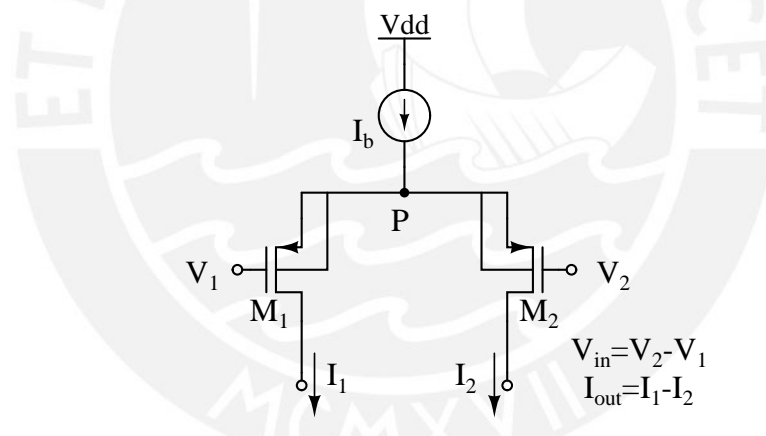


Figura B.1: Par diferencial simple

La transconductancia es definida como:

$$GM = \left. \frac{d I_{out}}{d V_{in}} \right|_{V_{in}=0} \quad (B.1)$$

Tomado como referencia la figura B.1 se pueden escribir las siguientes ecuaciones:

$$\begin{aligned}
 V_{BG1} - |V_{tp}| &= n_P \phi_t F(i_{F1}) \\
 V_{BG2} - |V_{tp}| &= n_P \phi_t F(i_{F2}) \\
 \Rightarrow V_{BG1} - V_{BG2} &= n_P \phi_t (F(i_{F1}) - F(i_{F2})) \\
 \Rightarrow V_{in} &= n_P \phi_t (F(i_{F1}) - F(i_{F2})) \quad (B.2)
 \end{aligned}$$

Derivando con respecto a V_{in} se obtiene:

$$\frac{1}{n_P \phi_t} = F_1(i_{F1}) \frac{d i_{F1}}{d V_{in}} - F_1(i_{F2}) \frac{d i_{F2}}{d V_{in}} \quad (\text{B.3})$$

y como $i_{F1(2)} = \frac{I_b + (-)I_{out}}{2 IS}$, evaluando la ecuación en $V_{in} = 0$ se obtiene:

$$\begin{aligned} \frac{1}{n_P \phi_t} &= \frac{1}{2 (\sqrt{1+i_F} - 1)} \frac{GM}{2 IS} - \frac{1}{2 (\sqrt{1+i_F} - 1)} \frac{-GM}{2 IS} \\ \Rightarrow GM &= \frac{I_b}{n_P \phi_t (\sqrt{1+i_F} + 1)} \end{aligned} \quad (\text{B.4})$$

B.2. Parámetro α de un par diferencial simple

Para obtener este parámetro se utiliza la siguiente aproximación de Taylor:

$$I_{out} = GM V_{in} + \frac{1}{6} \left. \frac{d^3 I_{out}}{d V_{in}^3} \right|_{V_{in}=0} V_{in}^3 \quad (\text{B.5})$$

El parámetro $\alpha @ V_{in}$ es definido así [7]:

$$\alpha = \frac{GM V_{in} - I_{out}}{GM V_{in}} \quad (\text{B.6})$$

Reemplazando (B.5) en (B.6) se obtiene:

$$\alpha = -\frac{V_{in}^2}{6 GM} \left. \frac{d^3 I_{out}}{d V_{in}^3} \right|_{V_{in}=0} \quad (\text{B.7})$$

Derivando la ecuación (B.3) respecto a V_{in} se obtiene:

$$F_2(i_{F1}) \left(\frac{d i_{F1}}{d V_{in}} \right)^2 + F_1(i_{F1}) \frac{d^2 i_{F1}}{d V_{in}^2} = F_2(i_{F2}) \left(\frac{d i_{F2}}{d V_{in}} \right)^2 + F_1(i_{F2}) \frac{d^2 i_{F2}}{d V_{in}^2} \quad (\text{B.8})$$

evaluando esta ecuación en $V_{in} = 0$ se obtiene:

$$\left. \frac{d^2 I_{out}}{d V_{in}^2} \right|_{V_{in}=0} = 0 \quad (\text{B.9})$$

Derivando la ecuación (B.8) respecto a V_{in} y evaluando el resultado en $V_{in} = 0$:

$$\begin{aligned}
 F_3(i_F) \frac{GM^3}{8 IS^3} + \frac{F_1(i_F)}{2 IS} \left. \frac{d^3 I_{out}}{d V_{in}^3} \right|_{V_{in}=0} &= -F_3(i_F) \frac{GM^3}{8 IS^3} - \frac{F_1(i_F)}{2 IS} \left. \frac{d^3 I_{out}}{d V_{in}^3} \right|_{V_{in}=0} \\
 \Rightarrow \left. \frac{d^3 I_{out}}{d V_{in}^3} \right|_{V_{in}=0} &= -\frac{F_3(i_F)}{F_1(i_F)} \frac{GM^3}{4 IS^2} \\
 \alpha &= \frac{V_{in}^2 GM^2}{24 IS^2} \frac{F_3(i_F)}{F_1(i_F)} \quad (B.10)
 \end{aligned}$$

Finalmente se reemplazan GM las derivadas de la función F y se obtiene:

$$\begin{aligned}
 \alpha &= \frac{V_{in}^2}{24 IS^2} \frac{I_b^2}{n_P^2 \phi_t^2 (\sqrt{1+i_F} + 1)^2} \frac{3\sqrt{1+i_F} - 1}{4\sqrt{1+i_F}^3 (\sqrt{1+i_F} - 1)^2} \\
 \Rightarrow \alpha &= \frac{V_{in}^2}{24 n_P^2 \phi_t^2} \frac{3\sqrt{1+i_F} - 1}{\sqrt{1+i_F}^3} \quad (B.11)
 \end{aligned}$$

B.3. Transconductancia de un par diferencial linealizado con resistencia de degeneración

Para el par diferencial linealizado con resistencia de degeneración, mostrado en la figura B.2, se adoptarán las mismas convenciones del par simple, es decir $I_{out} = I_1 - I_2$ y $V_{in} = V_2 - V_1$. Dado que $I_1 = 0,5 Ib + I_R$ e $I_2 = 0,5 Ib - I_R$, se concluye que $I_R = I_{out}/2$.

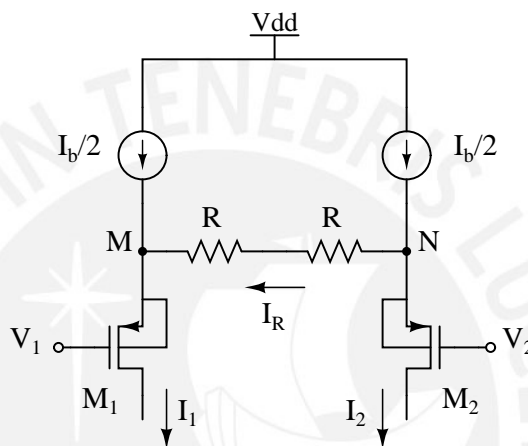


Figura B.2: Par diferencial linealizado con resistencia de degeneración

Para ese circuito son válidas las siguientes ecuaciones:

$$\begin{aligned}
 V_M - V_1 - |V_{tp}| &= n_P \phi_t F(i_{F1}) \\
 V_N - V_2 - |V_{tp}| &= n_P \phi_t F(i_{F2}) \\
 \Rightarrow V_{in} - I_{out} R &= n_P \phi_t (F(i_{F1}) - F(i_{F2}))
 \end{aligned} \tag{B.12}$$

El lado derecho de esta ecuación, considerándola como función de Ib e I_{out} es idéntica al lado derecho de la ecuación (B.2) del par diferencial simple. Si se derivan ambos lados de la ecuación (B.2) respecto a I_{out} y se evaluar el resultado para $I_{out} = 0$, se obtiene la inversa de la transconductancia del par simple. Entonces, derivando respecto a I_{out} ambos lados de la ecuación (B.12) y evaluando

B.4 Parâmetro α de un par diferencial linealizado con resistencia de degeneración 63

el resultado para el caso $V_{in} = 0$ se obtiene:

$$\begin{aligned} \frac{1}{GM_{parR}} - R &= \frac{1}{GM_{par}} \\ \Rightarrow GM_{parR} &= \frac{1}{R + \frac{1}{GM_{par}}} \end{aligned} \quad (B.13)$$

donde GM_{par} es la transconductancia de un par simple y GM_{parR} es la transconductancia del par linealizado cuyos transistores tienen las mismas dimensiones y la misma corriente de polarización que el par simple de transconductancia GM_{par} . Es decir:

$$GM_{par} = \frac{I_b}{n_P \phi_t (\sqrt{1 + i_F} + 1)} \quad (B.14)$$

siendo $i_F = \frac{I_b}{2IS}$ e $IS = ISHP \frac{W}{L}$. Finalmente, podemos escribir la transconductancia del par linealizado de la siguiente forma:

$$GM_{parR} = \frac{1}{R + \frac{n_P \phi_t (\sqrt{1 + i_F} + 1)}{I_b}} \quad (B.15)$$

B.4. Parâmetro α de un par diferencial linealizado con resistencia de degeneración

Al igual que en el caso del par diferencial simple, es necesario calcular la tercera derivada de la corriente con respecto al voltaje de entrada evaluada en la condición $V_{in} = 0$.

Derivando la ecuación (B.12) sucesivamente dos veces con respecto a V_{in} :

$$\begin{aligned} \frac{1 - \frac{dI_{out}}{dV_{in}} R}{n_P \phi_t} &= F_1(i_{F1}) \frac{di_{F1}}{dV_{in}} - F_1(i_{F2}) \frac{di_{F2}}{dV_{in}} \\ \Rightarrow -\frac{R}{n_P \phi_t} \frac{d^2 I_{out}}{dV_{in}^2} &= G(i_{F1}) - G(i_{F2}) \end{aligned} \quad (B.16)$$

donde:

$$G(x) = F_2(x) \left(\frac{dx}{dV_{in}} \right)^2 + F_1(x) \frac{d^2 x}{dV_{in}^2} \quad (B.17)$$

B.4 Parâmetro α de un par diferencial linealizado con resistencia de degeneración 64

Derivando la ecuación (B.16) con respecto a V_{in} y evaluando el resultado en $V_{in} = 0$:

$$\begin{aligned}
 -\frac{R}{n_P \phi_t} \left. \frac{d^3 I_{out}}{dV_{in}^3} \right|_{V_{in}=0} &= F_3(i_F) \frac{GM_{parR}^3}{4IS^3} + \frac{F_1(i_F)}{IS} \left. \frac{d^3 I_{out}}{dV_{in}^3} \right|_{V_{in}=0} \\
 \Rightarrow \left. \frac{d^3 I_{out}}{dV_{in}^3} \right|_{V_{in}=0} &= -\frac{F_3(i_F) \frac{GM_{parR}^3}{4IS^3}}{\frac{R}{n_P \phi_t} + \frac{F_1(i_F)}{IS}} \\
 \Rightarrow \alpha_{parR} &= \frac{V_{in}^2}{6 GM_{parR}} \frac{F_3(i_F) \frac{GM_{parR}^3}{4IS^3}}{\frac{R}{n_P \phi_t} + \frac{F_1(i_F)}{IS}} \\
 \Rightarrow \alpha_{parR} &= \alpha_{par} \left(\frac{GM_{parR}}{GM_{par}} \right)^3 \tag{B.18}
 \end{aligned}$$

B.5. Par diferencial linealizado con estructura de Krummenacher

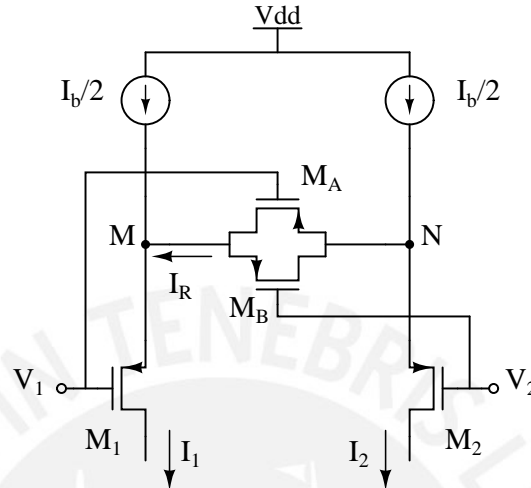


Figura B.3: Par diferencial linealizado con estructura propuesta por Krummenacher [1]

Definiendo el sentido de corriente del transistor M_A de N a M, y el sentido de la corriente de M_B de M a N, se tiene:

$$\begin{aligned} I_A - I_B &= I_R \\ \Rightarrow I_A - I_B &= \frac{I_{out}}{2} \end{aligned} \quad (B.19)$$

Usando las definiciones de corriente directa y reversa del modelo ACM, se cumplen:

$$\begin{aligned} I_A &= I_{FA} - I_{RA} \\ I_B &= I_{FB} - I_{RB} \\ \Rightarrow I_A - I_B &= (I_{FA} - I_{FB}) - (I_{RA} - I_{RB}) \\ \Rightarrow \frac{I_{out}}{2} &= (I_{FA} - I_{FB}) - (I_{RA} - I_{RB}) \\ \Rightarrow IS_1 i_{out} &= IS_A (i_{FA} - i_{FB}) - IS_A (i_{RA} - i_{RB}) \end{aligned} \quad (B.20)$$

Aplicando la ecuación del modelo unificado de corriente ACM a los transistores

M_1 y M_A (solo corriente reversa):

$$\frac{V_{DD} - V_1 - |V_{tp}|}{n_P} - (V_{DD} - V_M) = \phi_t F(i_{F1})$$

$$\frac{V_{DD} - V_1 - |V_{tp}|}{n_P} - (V_{DD} - V_M) = \phi_t F(i_{RA})$$

de donde se deduce que:

$$i_{RA} = i_{F1} \quad (\text{B.21})$$

similarmente se obtiene:

$$i_{RB} = i_{F2} \quad (\text{B.22})$$

Reemplazando en la ecuación (B.20):

$$IS_1 i_{out} = IS_A (i_{FA} - i_{FB}) - IS_A (i_{F1} - i_{F2})$$

$$\Rightarrow IS_1 i_{out} = IS_A (i_{FA} - i_{FB}) - IS_A 2 i_{out}$$

entonces:

$$i_{FA} - i_{FB} = 2 \xi i_{out} \quad (\text{B.23})$$

donde $\xi = 1 + \frac{S_1}{2 S_A}$.

Escribiendo ahora las ecuaciones para las corrientes directas de M_A y M_2 se tiene:

$$\frac{V_{DD} - V_1 - |V_{tp}|}{n_P} - (V_{DD} - V_N) = \phi_t F(i_{FA})$$

$$\frac{V_{DD} - V_2 - |V_{tp}|}{n_P} - (V_{DD} - V_N) = \phi_t F(i_{F2})$$

restándolas se obtiene:

$$V_{in} = n_p \phi_t (F(i_{FA}) - F(i_{F2})) \quad (\text{B.24})$$

análogamente:

$$V_{in} = n_p \phi_t (F(i_{F1}) - F(i_{Fb})) \quad (\text{B.25})$$

Derivando respecto a V_{in} las ecuaciones (B.23), (B.24) y (B.25) se obtienen sistemas de ecuaciones de las cuales se despejan:

$$GM_1 = \left. \frac{d I_{out}}{d V_{in}} \right|_{V_{in}=0} = 2 \frac{GM_{par}}{\xi + 1}$$

$$GM_3 = \left. \frac{d^3 I_{out}}{d V_{in}^3} \right|_{V_{in}=0} = \frac{GM_1^3}{16 IS_1^2} \frac{1}{\sqrt{1+i_F^3} (\sqrt{1+i_F} - 1)^2} (\xi^2 - \xi + 1 - 3\sqrt{1+i_F})$$



B.6. Par diferencial linealizado con estructura propuesta por Silva Martinez

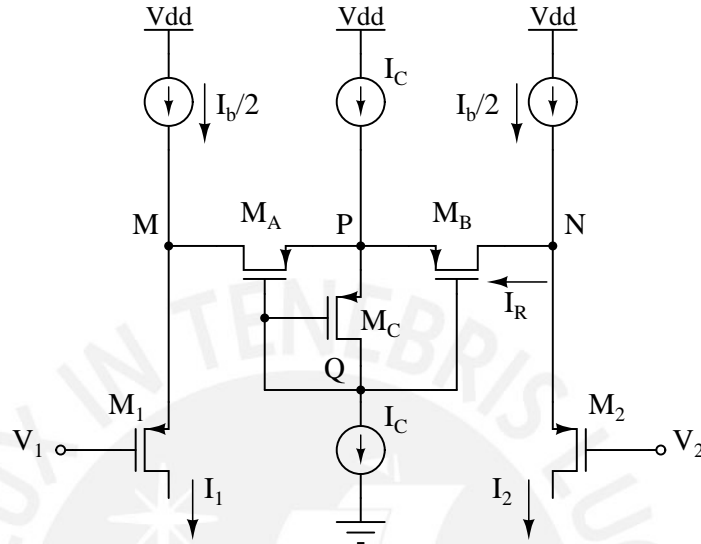


Figura B.4: Par diferencial linealizado con estructura propuesta por Silva Martinez [2]

En este circuito los transistores M_A , M_B y M_C són iguales. Notando además que esos tres transistores comparten la compuerta y el surtidor, se obtiene: $I_{FA} = I_{FB} = I_{FC}$.

De la igualdad anterior y las siguientes relaciones entre corrientes:

$$I_A = I_{FA} - I_{RA} = \frac{I_{out}}{2} \quad (B.26)$$

$$I_B = I_{FB} - I_{RB} = -\frac{I_{out}}{2} \quad (B.27)$$

se deducen:

$$i_{RA} = i_{FC} - \zeta i_{out} \quad (B.28)$$

$$i_{RB} = i_{FC} + \zeta i_{out} \quad (B.29)$$

donde $\zeta = S_1/S_A$.

Restando las ecuaciones del modelo unificado de corriente ACM aplicado a los transistore M_1 y M_2 se obtiene:

$$V_{in} = n_P \phi_t (H(i_{FC}, \zeta i_{out}) + H(i_F, i_{out})) \quad (B.30)$$

que es función de I_{out} . Para explicitar la dependencia con la corriente de salida se define la función:

$$J(I_{out}) = n_P \phi_t (H(i_{FC}, \zeta i_{out}) + H(i_F, i_{out})) \quad (B.31)$$

y así se tiene $V_{in} = J(I_{out})$. A continuación se determinan las derivadas de J evaluadas en la condición $V_{in} = 0$:

$$J_1(0) = \frac{n_P \phi_t}{2 I S_A} H_1(i_{FC}, 0) + \frac{n_P \phi_t}{2 I S_1} H_1(i_F, 0) \quad (B.32)$$

$$J_3(0) = \frac{n_P \phi_t}{8 I S_A^3} H_3(i_{FC}, 0) + \frac{n_P \phi_t}{8 I S_1^3} H_3(i_F, 0) \quad (B.33)$$

Usando estas relaciones se demuestra que:

$$GM_{parM} = \frac{1}{\frac{1}{GM_C} + \frac{1}{GM_{par}}} \quad (B.34)$$

$$\alpha_{parM} = \alpha_{par} \frac{1}{\theta^3} + \alpha_{MC} \left(1 - \frac{1}{\theta^3}\right) \quad (B.35)$$