

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ  
FACULTAD DE CIENCIAS E INGENIERÍA



PONTIFICIA  
**UNIVERSIDAD**  
**CATÓLICA**  
DEL PERÚ

DISEÑO DE UN CONTROLADOR DE CORRIENTE PARA UN  
NEUROESTIMULADOR EN UNA PROTESIS EPIRETINAL

Tesis para optar el Título de Ingeniero Electrónico, que presenta el bachiller:

**Juan Andrés Rojas Raymundo**

ASESOR: Ph.D. Manuel Alejandro Monge Osorio  
CO-ASESOR: Ing. Erick Leonardo Raygada Vargas

Lima, Septiembre del 2018

A mis padres, por su apoyo incondicional en el logro de mis metas.

A mi hermana, por la motivación a siempre querer ser mejor.

A mis asesores, por compartir conocimientos muy valiosos e incentivar el desarrollo de este trabajo.

Al Grupo de Microelectrónica, por encaminar nuestro interés académico hacia el mundo de los semiconductores.

A mi abuelo, por su inefable perseverancia en el éxito académico y laboral de sus hijos y nietos, su legado.

# Resumen

Las enfermedades de degeneración macular y retinosis pigmentaria afectan directamente a la retina, provocando la pérdida de células fotorreceptoras, denominadas bastones y conos, encargadas de la transformación de señales luminosas provenientes del entorno en señales eléctricas que son interpretadas en el cerebro como imágenes. Estas enfermedades son de interés porque provocan la pérdida de células cuyo funcionamiento se puede reemplazar por dispositivos electrónicos, ya que utilizan cargas eléctricas como portadoras de información.

El presente trabajo de tesis se centra en el diseño de un controlador de corriente como circuito integrado en un neuroestimulador que forma parte de un sistema de mayor complejidad, denominado prótesis epiretinal. Las entradas del circuito a diseñar son señales digitales, que determinarán la forma de onda de corriente a generar, y corrientes de referencia para establecer la resolución del controlador de corriente.

El diseño se basa en una topología de espejos de corriente SCCT (*Self Cascade Composite Transistor*) como estructura base de Conversores Digital-Analógico colocados directamente a la salida del controlador de corriente, distribuidos en ramas LSB, 2LSB, 4LSB y 8 LSB, con la posibilidad de compartir un circuito de polarización entre los canales locales.

Se ha utilizado transistores de 5 V de la tecnología AMS (Austria Micro Systems) 0.35  $\mu\text{m}$ . La carga utilizada para simular el circuito es un modelo de electrodo de impedancia de 30 k $\Omega$  en serie con 100 nF. El circuito fue probado utilizando el simulador SPECTRE en el software de diseño de circuitos integrados CADENCE.

El presente trabajo permitió generar una forma de onda bifásica de corriente máxima de 55  $\mu\text{A}$ , con un rango de voltaje a la salida de  $\pm 2.2$  V. La disipación de potencia del circuito se encuentra entre 10.2  $\mu\text{W}$  y 72.2  $\mu\text{W}$ , dependiendo de la etapa de forma de onda en que se encuentre. El área ocupada por la disposición física del circuito es de 0.006408  $\text{mm}^2$ .

## TEMA DE TESIS PARA OPTAR EL TÍTULO DE INGENIERO ELECTRÓNICO

Título : Diseño de un controlador de corriente para un neuroestimulador en una prótesis epiretinal

Área : Microelectrónica # 1383

Asesor : Manuel Monge/ Erick Raygada (Co-asesor)

Alumno : Juan Andrés Rojas Raymundo

Código : 20110863

Fecha : 30/06/2017



### Descripción y Objetivos

La visión ha sido considerada por muchos años como uno de los sentidos más importantes para el ser humano, y es que, a través de la historia, nos ha servido como el principal medio para obtener información del entorno y poder interactuar con este de manera óptima. Lamentablemente, existen enfermedades degenerativas, que limitan o eliminan esta capacidad al provocar la pérdida de las células fotorreceptoras en la retina. Casualmente, la ingeniería y la medicina han hallado soluciones integrales para solventar dicho problema: las prótesis de retina. El desarrollo de estas se ha podido dar gracias a los avances en microelectrónica, biomateriales, procesos de fabricación y de cirugía. Uno de los elementos esenciales de la prótesis de retina es el estimulador de células retinales o neuroestimulador, el cual se encarga de la generación y control de las ondas de corriente eléctrica que serán inyectadas en la retina a través de electrodos, para provocar la percepción de imágenes en el cerebro. Dentro de los requerimientos principales a ser alcanzados por la ingeniería para este controlador de corriente están: el bajo consumo de energía, soportar altos valores de voltaje a la salida y la reducción del área del circuito integrado a implementar. Con ello se podría incrementar el número de electrodos y, gracias a ello, mejorar la resolución de las imágenes que llegan al cerebro para que los pacientes puedan lograr tareas más complejas, como el reconocimiento de rostros y la lectura. El objetivo de la presente tesis es diseñar un controlador de corriente que optimice los procesos de generación y control de corrientes eléctricas e induzca un impulso eléctrico deseado en la retina con el fin de transmitir al cerebro las imágenes capturadas por una cámara, y así devolver la capacidad de ver a pacientes con enfermedades de degeneración macular. El diseño se basa en una topología de espejos de corriente Cascodo como estructura base de Convertidores Digital-Analógico colocados directamente a la salida del controlador de corriente, con un rango de voltajes de salida para corrientes de estimulación de 50  $\mu$ A, que permitan un control del punto de operación en base a la polarización de los transistores, compartiendo un circuito de polarización entre los canales locales. El circuito se implementó utilizando transistores de 5 V de la tecnología AMS 0.35  $\mu$ m en el software Cadence de diseño de circuitos integrados.

MÁXIMO 50. PÁGINAS





## TEMA DE TESIS PARA OPTAR EL TÍTULO DE INGENIERO ELECTRÓNICO

Título : Diseño de un controlador de corriente para un neuroestimulador en una prótesis epiretinal

### Índice

Resumen

Introducción

1. El neuroestimulador para prótesis epiretinal
2. El controlador de corriente
3. Diseño del controlador de corriente
4. Resultados y simulaciones

Conclusiones

Recomendaciones

Bibliografía

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ  
FACULTAD DE CIENCIAS E INGENIERÍA

M. Sc. Ing. MIGUEL ANGEL CATANO SÁNCHEZ  
Coordinador de la Especialidad de Ingeniería Electrónica

# Índice general

|   |           |
|---|-----------|
| Índice de Tablas  | VI        |
| Índice de Figuras   | VIII      |
| Introducción  | 1         |
| <b>1. El Neuroestimulador para Prótesis Epiretinal</b>  | <b>2</b>  |
| 1.1. Pérdida de células fotorreceptoras por enfermedades de degeneración de retina . . . . .                          | 4         |
| 1.2. Estimulación de la retina mediante pulsos eléctricos . . . . .   | 5         |
| 1.3. Desafíos en ingeniería para los neuroestimuladores de prótesis epiretinales . . . . .                            | 7         |
| <b>2. El Controlador de Corriente</b>   | <b>10</b> |
| 2.1. Estado del Arte . . . . .  | 10        |
| 2.1.1. El proyecto Argus II de Second Sight . . . . .   | 10        |
| 2.1.2. El proyecto EPI-RET-3 del consorcio EPI-RET y el Ministerio de Educación e Investigación de Alemania . . . . . | 11        |
| 2.1.3. Controlador de Corriente con alto voltaje a la salida para una prótesis epiretinal . . . . .                   | 13        |
| 2.1.4. Controlador de Corriente con monitoreo y demultiplexación de salidas . . . . .                                 | 14        |
| 2.1.5. Espejos de Corriente de bajo voltaje headroom para un Controlador de Corriente . . . . .                       | 16        |

|   |           |
|---|-----------|
| 2.2. Cuadro comparativo de parámetros utilizados en trabajos previos . . .          | 17        |
| <b>3. Diseño del Controlador de Corriente</b>                                       | <b>18</b> |
| 3.1. Funcionamiento del Controlador de Corriente . . . . .                          | 19        |
| 3.2. Especificaciones . . . . .   | 20        |
| 3.3. Topología propuesta . . . . .  | 22        |
| 3.3.1. Diagrama de bloques y diagrama esquemático . . . . .                         | 22        |
| 3.3.2. Transistor compuesto o Self Cascode Composite<br>Transistor (SCCT) . . . . . | 24        |
| 3.3.3. Conversor Digital-Análogo en modo corriente . . . . .                        | 25        |
| 3.3.4. Circuitos de control digital . . . . .                                       | 26        |
| 3.4. Análisis en larga señal . . . . .  | 27        |
| 3.4.1. Rango de voltaje y corriente a la salida . . . . .                           | 28        |
| 3.4.2. Compromisos entre parámetros involucrados en la<br>onda de salida . . . . .  | 30        |
| 3.4.3. Impedancia de salida . . . . .   | 33        |
| 3.5. Dimensionamiento . . . . .   | 37        |
| <b>4. Resultados y simulaciones</b>   | <b>38</b> |
| 4.1. Simulación DC . . . . .  | 38        |
| 4.1.1. Punto de operación . . . . .   | 38        |
| 4.1.2. Curva característica . . . . .   | 39        |
| 4.2. Simulación transitoria . . . . .   | 41        |
| 4.3. Disipación de potencia . . . . .   | 42        |
| 4.4. Slew rate . . . . .  | 45        |
| 4.5. Disposición física del Controlador de<br>Corriente . . . . .                   | 46        |
| <b>Conclusiones</b>   | <b>48</b> |

Recomendaciones

49

Bibliografía

50





# Índice de tablas

|  |    |
|--|----|
| 2.1. Cuadro comparativo de especificaciones utilizadas en el estado del arte                                   | 17 |
| 3.1. Especificaciones para el diseño del Controlador de Corriente . . . . .                                    | 20 |
| 3.2. Regiones de operación del transistor . . . . .  | 27 |
| 3.3. Parámetros eléctricos de la tecnología $0.35 \mu\text{m}$ 5V [25] . . . . .                               | 28 |
| 3.4. Compromiso entre dimensiones y requerimientos de los transistores .                                       | 33 |
| 3.5. Compromiso entre dimensiones e impedancia de salida en rama LSB .   | 36 |
| 3.6. Dimensionamiento de transistores de que conforman espejo de corriente SCCT LSB para PDAC y NDAC . . . . . | 37 |
| 3.7. Dimensionamiento de interruptores . . . . .   | 37 |
| 4.1. Punto de operación de transistores saturados en ramas LSB . . . . .                                       | 39 |
| 4.2. Curvas de transferencia y rangos de salida de NDAC y PDAC . . . . .                                       | 39 |
| 4.3. Desempeño de NDAC y PDAC . . . . .  | 39 |
| 4.4. Comparación de ventajas y desventajas entre topologías SCCT y HSCCM                                       | 41 |
| 4.5. Parámetros de la forma de onda generada a la salida . . . . .   | 41 |
| 4.6. Disipación de potencia durante fases de la onda de estimulación . . .                                     | 45 |

# Índice de figuras

|   |    |
|---|----|
| 1.1. Prótesis Epiretinal [3]. . . . .   | 3  |
| 1.2. Concepto del neuroestimulador basado en la percepción de Fosfenos [5].   | 3  |
| 1.3. Efecto en la visión, denominado “túnel”, causado en un paciente con RP [9] . . . . .   | 4  |
| 1.4. Efecto en la visión causado en un paciente con DMAE [9] . . . . .  | 5  |
| 1.5. Onda de corriente bifásica para la estimulación eléctrica de la retina [11]  | 6  |
| 2.1. Componente Interno del sistema de prótesis de retina Argus II [16]. .  | 11 |
| 2.2. Componente Externo del Sistema de prótesis de retina Argus II. [16].   | 11 |
| 2.3. Implante Intraocular del proyecto EPI-RET-3 [20] . . . . .   | 12 |
| 2.4. Diagrama de bloques del estimulador [21] . . . . .   | 12 |
| 2.5. Arquitectura del Controlador de Corriente propuesto por <i>Chen et al.</i> [15] . . . . .  | 13 |
| 2.6. Forma de onda a la salida del controlador de corriente y <i>layout</i> del mismo [15]. . . . .   | 14 |
| 2.7. Controlador de Corriente con monitor de salida y demultiplexor 1:4 [10]  | 15 |
| 2.8. Implementación del (a) espejo de corriente de bajo consumo e (b) interruptor de alto voltaje [11] . . . . .                                  | 16 |
| 3.1. Funcionamiento del Controlador de Corriente o <i>Current Driver</i> . . . .  | 19 |
| 3.2. Diagrama de bloques del Controlador de Corriente . . . . .   | 22 |
| 3.3. Diagrama Esquemático del Controlador de Corriente . . . . .  | 23 |
| 3.4. (a) Topología de transistor compuesto o SCCT-Self Cascode Composite Transistor (b) Espejo de corriente simple utilizando topología SCCT [26] | 24 |

|   |    |
|---|----|
| 3.5. (a) Técnica para incrementar precisión de la copia de corriente al evitar duplicar ancho del transistor [27] (b) Técnica aplicada al NDAC del controlador de corriente . . . . . | 25 |
| 3.6. Circuito de conmutación de rama PDAC [28] . . . . .  | 26 |
| 3.7. (a) Puerta NOT (b) Interruptor complementario [27] . . . . .   | 26 |
| 3.8. Etapa de salida del Controlador de Corriente . . . . .   | 28 |
| 3.9. Voltaje umbral del transistor NMOS-PMOS vs. Temperatura . . . . .  | 30 |
| 3.10. Voltaje umbral del transistor NMOS-PMOS vs. diferencia de potencial entre sustrato y surtidor . . . . .   | 31 |
| 3.11. Topología SCCT y factor de forma de transistores [26] . . . . .   | 33 |
| 3.12. Compromisos existentes entre dimensiones de transistores y voltaje $V_{GS}$   | 34 |
| 3.13. Controlador de Corriente con fuentes de corriente no ideales . . . . .  | 34 |
| 3.14. Compromisos existentes entre dimensiones de transistores e impedancia de salida . . . . .   | 36 |
| 4.1. Curva característica de espejos de corriente HSCCM y SCCT . . . . .  | 40 |
| 4.2. Curva característica del controlador de corriente HSCCM y SCCT . . . . .   | 40 |
| 4.3. Forma de onda bifásica de corriente simulada en el modelo de electrodo   | 42 |
| 4.4. Forma de onda bifásica de voltaje simulada en el modelo de electrodo   | 42 |
| 4.5. Potencia entregada por fuente $V_{DD}$ . . . . .   | 43 |
| 4.6. Potencia entregada por fuente $V_{SS}$ . . . . .   | 43 |
| 4.7. Potencia consumida por el electrodo durante el periodo de estimulación   | 44 |
| 4.8. Disipación de potencia en el controlador de corriente . . . . .  | 45 |
| 4.9. Velocidad de cambio de la corriente catódica de salida del circuito . . . . .  | 46 |
| 4.10. Disposición física del controlador de corriente . . . . .   | 47 |

# Introducción

La visión ha sido considerada por muchos años como uno de los sentidos más importantes para el ser humano, y es que a través de la historia, ha servido como el principal medio para obtener información del entorno y poder interactuar con este de manera óptima. Lamentablemente, existen enfermedades degenerativas que limitan o eliminan esta capacidad al provocar la pérdida de las células fotorreceptoras, diferentes de los defectos refractivos como la miopía o la presbicia. Casualmente, la ingeniería y la medicina han hallado soluciones integrales para solventar dicho problema: las prótesis de retina. El desarrollo de estas se ha podido dar gracias a los avances en microelectrónica, materiales, procesos de fabricación y cirugía.

Uno de los elementos esenciales del dispositivo de remplazo de retina es el estimulador del nervio óptico o neuroestimulador, el cual se encarga de la generación y control de las ondas de corriente eléctrica que serán inyectadas en la retina a través de electrodos, para provocar la percepción de imágenes en el cerebro. Dentro de los requerimientos principales a ser alcanzados por la ingeniería para este controlador de corriente están el bajo consumo de energía, altos valores de voltaje a la salida y la reducción del espacio ocupado por el circuito. Con ello se podría incrementar el número de electrodos y, gracias a ello, mejorar la resolución de las imágenes que llegan al cerebro para que los pacientes puedan lograr tareas más complejas, como el reconocimiento de rostros y la lectura.

El objetivo del presente trabajo es diseñar un controlador de corriente que optimice los procesos de generación y control de la forma de onda a ser inducida en un modelo de electrodo, de manera que permita un rango de voltaje a la salida acorde al modelo de electrodo elegido, presente una alta impedancia de salida, en el orden de los  $M\Omega$ , con el fin de acercarse al comportamiento de una fuente ideal de corriente, y que consuma poca área en el chip, menor a  $0.02 \text{ mm}^2$ , para incrementar la cantidad de canales.

# Capítulo 1

## El Neuroestimulador para Prótesis Epiretinal

Debido a la imposibilidad de detener o invertir el proceso de destrucción de células fotorreceptoras causado por enfermedades de degeneración de retina, surge la propuesta del neuroestimulador para prótesis epiretinal, cuyo principal aporte consiste en la estimulación eléctrica del tejido neuronal en la superficie de la retina mediante la inyección de ondas de corriente eléctrica bifásicas que generen un impulso eléctrico en las células ganglionares y provoquen la sensación de la vista. Estas ondas de corriente son generadas por un circuito denominado Controlador de Corriente, el cual será explicado con mayor detalle en el siguiente capítulo. El neuroestimulador forma parte de un sistema más complejo llamado prótesis de retina o prótesis visual [1] [2], que tiene como objetivo restaurar parcialmente la visión en personas que sufren de ceguera al convertir una imagen a señales eléctricas mediante un dispositivo de video, procesarla mediante un circuito externo o implantable y generar estímulos eléctricos que serán aplicados a la retina mediante un arreglo de microelectrodos posicionados cerca de la zona macular.

De manera particular, se ha elegido la prótesis epiretinal como el sistema en el cual se integrará el circuito que será diseñado en la presente tesis, ya que los requerimientos en ingeniería para ambos son comunes en muchos puntos, los cuales serán explicados en la sección 1.3. *Desafíos en ingeniería para los neuroestimuladores de prótesis epiretinales*. La denominación epiretinal alude a la ubicación espacial del arreglo de microelectrodos para la estimulación, que en este caso se posará en la superficie de la retina, a diferencia de las configuraciones subretinal y supracoroidal que implican otra ubicación de los microelectrodos. La Fig. 1.1 sirve de ejemplo para el concepto de prótesis epiretinal, la cual está conformada por tres etapas: una cámara de video, un receptor y el arreglo de microelectrodos. Es necesario mencionar que el receptor representa el conjunto de circuitos electrónicos que se intenta con mayor esfuerzo mejorar y está compuesto de muchas otras etapas, entre ellas, el neuroestimulador.

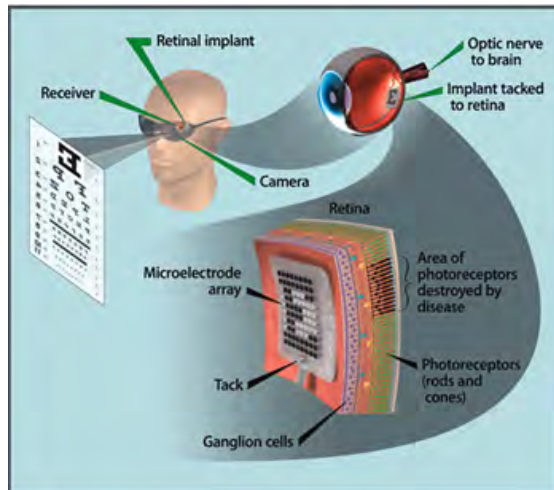


Figura 1.1: Prótesis Epiretinal [3].

El neuroestimulador tiene como función principal: estimular de manera controlada la zona macular y las células ganglionares por medio de microelectrodos que aplican cargas eléctricas para provocar polarización del tejido e impulsos eléctricos que serán enviados por el nervio óptico y el quiasma hacia el cerebro, a manera de información [4]. La visión prostética simulada y la caracterización del entorno por medio de “spots” de luz que se reconocen en el cerebro debido al número limitado de electrodos utilizados para la estimulación dan lugar al fenómeno de los Fosfenos, los cuales conforman una representación de lo que posiblemente es percibido por los pacientes con implantes de prótesis epiretinal. La agudeza de la visión se puede relacionar proporcionalmente al número de electrodos y la precisión en la generación de ondas de estimulación, como lo ejemplifica la Fig. 1.2 al incrementar dichos parámetros de izquierda a derecha.



Figura 1.2: Concepto del neuroestimulador basado en la percepción de Fosfenos [5].

La mayor problemática que comprenden estos dispositivos, debido a que implican insertar un circuito electrónico en un organismo vivo, está asociada a tres indicadores: disipación de potencia, dado que una mayor potencia implica mayor calor que puede



dañar al tejido del paciente; rango de voltaje a la salida, que debe ser acorde al valor de resistencia de los electrodos; y área, con el fin de reducir el tamaño del chip que será implantado en el paciente. Estos parámetros, además de algunos otros relacionados a la generación de la onda de corriente bifásica como umbrales de corriente de estimulación y ancho de banda, forman la base para la creación de los requerimientos de diseño, los cuales serán acordes a las características electrofisiológicas de la retina para no exacerbar el estado del organismo y servirán para la elección de configuraciones de MOSFETs (Metal Oxide Semiconductor Field Effect Transistors).

## 1.1. Pérdida de células fotorreceptoras por enfermedades de degeneración de retina

Entre las múltiples enfermedades que causan ceguera en las personas a nivel mundial, nos centramos particularmente en aquellas que causan la pérdida de células fotorreceptoras en la retina, conos y bastones, de manera degenerativa en un periodo de tiempo. También denominadas enfermedades de degeneración de retina, consisten básicamente en dos tipos: Degeneración Macular Asociada a la Edad (DMAE) y Retinosis Pigmentaria (RP).

La DMAE se ubica como el primer causante de ceguera en países industrializados y tercera a nivel mundial [6]. En el Perú, se identificaron 2229 casos durante el año 2014 [7], lo que representa una frecuencia diaria de 6 pacientes con DMAE y convierte a dicha enfermedad en el diagnóstico con mayor frecuencia en pacientes que acuden al servicio de retina del Ministerio de Salud, principalmente a personas de edad superior a los 50 años. La DMAE implica la pérdida de la visión central debido a lesiones degenerativas en la zona macular de la retina. Ello conlleva a la pérdida de conos y bastones pero no de otras capas de células neuronales presentes en la retina.

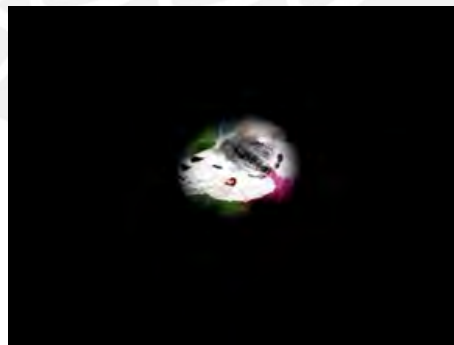


Figura 1.3: Efecto en la visión, denominado “túnel”, causado en un paciente con RP [9]

La RP es una enfermedad de carácter genético que conlleva a un número de deficiencias oculares que provocan la pérdida de células fotorreceptoras en la retina,



Figura 1.4: Efecto en la visión causado en un paciente con DMAE [9]

con una reincidencia promedio de 1 en cada 3500 individuos [2]. Dicho grupo de enfermedades degenerativas se caracterizan por una pérdida lenta y progresiva de la visión, que afecta, al menos en sus etapas iniciales y a diferencia de la DMAE, a la visión nocturna y periférica, conduciendo en algunos casos a la ceguera. Es frecuente la aparición de acúmulos de pigmento en el fondo del ojo [8]. Sin embargo, al igual que en la DMAE, después de la muertes de las células fotorreceptoras, la RP no destruye las células ganglionares ni bipolares, entre otras, que se encargan del filtrado y transporte al nervio óptico de las señales fisicoquímicas o eléctricas que representan la imagen capturada.

Debido a que las enfermedades de degeneración de retina solo implican la desaparición de las células fotorreceptoras, es posible restaurar la visión al simular o reemplazar los conos y bastones mediante estimulación eléctrica para generar impulsos eléctricos en las células restantes de la retina que puedan transportar dichas señales al cerebro por el nervio óptico.

## 1.2. Estimulación de la retina mediante pulsos eléctricos

El objetivo de inyectar una carga eléctrica al tejido de la retina es generar una variación de voltaje  $\Delta V$  que polarice a la neurona o célula ganglionar para provocar un disparo o impulso eléctrico en una región de la zona macular, logrando la función de las células fotorreceptoras perdidas. Para alcanzar la meta propuesta es necesario implementar una forma de onda de corriente bifásica, como la descrita en la Figura 1.5, que pueda inyectar y luego retirar una carga eléctrica en el tejido con la mayor precisión posible, dado que el excedente de carga restante en el tejido puede provocar daño celular por efectos colaterales como electrólisis, formación de gas y corrosión de los electrodos.

La cantidad de carga inyectada debe ser controlada, es decir, ambas ondas anódica

y catódica,  $A_a$  y  $A_c$  respectivamente en la Figura 1.5, deben ser lo más parecidas posibles para evitar acumulación de carga en el tejido. Este es un requerimiento que se mencionará a lo largo de toda la tesis, puesto que implica la modificación de otros parámetros. La cantidad de carga inyectada se asocia, por ejemplo, al umbral de corriente de estimulación, que se explica como la mínima corriente necesaria para generar un estímulo en la retina y provocar un Fosfeno en la percepción visual. Este umbral puede variar entre algunas decenas de  $\mu A$  [2] [10] y debe ser elegido con el mayor rigor posible ya que implica en gran medida la disipación de potencia.

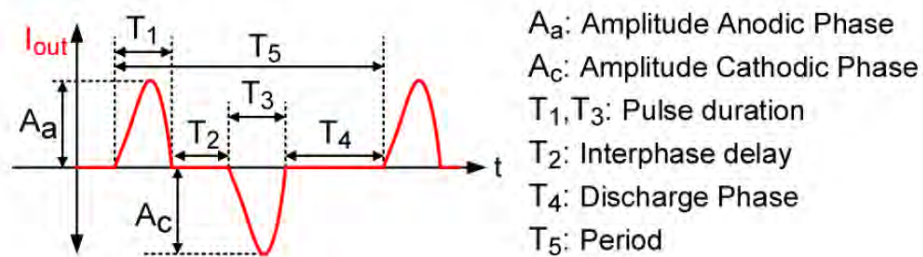


Figura 1.5: Onda de corriente bifásica para la estimulación eléctrica de la retina [11]

De la misma manera, la duración de cada una de las fases debe ser considerada, puesto que pueden modificar la disipación de potencia, la acumulación de cargas y la eficiencia en la estimulación. La propuesta de elegir una forma de onda más flexible [10]- [12], surge con la posibilidad de incrementar la eficiencia en la estimulación, reducir el alto voltaje requerido a la salida y reducir los umbrales de corriente de estimulación. Esta flexibilidad se representa en: el orden que se inyectan las cargas, primero la onda catódica y luego la anódica por ejemplo; si la forma de onda es no rectangular o asimétrica, como por ejemplo, gaussiana o exponencial; la frecuencia de los pulsos o periodo de la onda; entre otros.

Una forma de conseguir los umbrales de corriente y carga de estimulación consiste en la estimulación de células ganglionares con trenes de pulsos cuya amplitud varía desde un valor pequeño y se incrementa poco a poco hasta conseguir una respuesta en acción potencial de la célula en el 50% de los pulsos aplicados [12]. Asimismo, se pueden modificar parámetros de la forma de onda de corriente para alcanzar una optimización en la estimulación, como la duración de fases, intervalos entre fases, polaridad, frecuencia y asimetría, considerada como la diferencia entre las formas de onda catódica y anódica. Por lo pronto, se conoce que existe una mayor respuesta de actividad neuronal a partir de una mínima carga cuando se aplica primero la onda catódica y la duración del primer pulso es muy pequeño, de aproximadamente  $60 \mu s$  [12].

Por otro lado, ambos parámetros de corriente de estimulación y duración de los periodos de cada fase convergen con otros que son de máximo interés para la estructuración de los requerimientos de diseño. Uno muy importante es el voltaje de

alimentación, el cual, a pesar de consistir en uno fijo, debe asumir los gastos en consumo de voltaje de cada uno de los elementos a implementar en el circuito, como lo son el Controlador de Corriente, los electrodos y las características de cada uno.

$$V_{DDP,min} = I_{stim}R_E + \frac{I_{stim}T_{stim}}{C_E} + V_{headroom} \quad (1.1)$$

En la ecuación 1.1 propuesta por [10] podemos observar que efectivamente la definición de los parámetros de la forma de onda, corriente de estimulación  $I_{stim}$  y periodo de la onda de estimulación  $T_{stim}$ , repercuten en el consumo de voltaje de otros elementos, como el del voltaje *headroom* del controlador de corriente, que se explicará más adelante, y el voltaje mínimo de alimentación  $V_{DDP,min}$ . También se puede observar que el modelo de impedancia elegida para el electrodo implica un gran incremento en el voltaje mínimo de alimentación. De ahí que muchos diseñadores buscan incrementar el máximo rango de voltaje a la salida y disminuir el consumo de voltaje de los espejos o fuentes de corrientes a la salida del Controlador de Corriente, denominado *headroom*.

Como hemos podido explicar, la forma de onda, que es el componente principal de la estimulación de retina mediante cargas eléctricas, está caracterizada por parámetros cuyo diseño es muy importante para el desarrollo de un Controlador de Corriente. Consecuentemente, estos parámetros son muy difíciles de definir, considerando el entorno biológico en el que se trabaja que consiste básicamente en las capacidades electrofisiológicas del tejido de la retina. Por ello, existen limitaciones que han sido descubiertas en el proceso de desarrollo e implementación de prótesis de retina y su experimentación *in vivo* e *in vitro* que deben ser explicadas para ser consideradas a la hora de generar una lista de requerimientos de las topologías que se utilizarán en el Controlador de Corriente.

### 1.3. Desafíos en ingeniería para los neuroestimuladores de prótesis epiretinales

Para poder listar las limitaciones que presenta un neuroestimulador, es necesario acotar las diferencias en requerimientos entre los tipos de prótesis epiretinal, subretinal y supracoroidal. En una prótesis subretinal, donde el arreglo de electrodos se encuentra debajo de la retina y remplazando el espacio que solía ser ocupado por los conos y bastones, la estimulación se realiza mediante un implante pasivo, el cual consiste en la activación de fotodiodos por recepción de fotones de luz y amplificación de señales para enviarlas a los electrodos. Por otro lado, la prótesis epiretinal se basa en la conversión de señales de imágenes digitales, provenientes de un sistema de cámara, a formas de onda bifásicas como la explicada en la sección previa. Por último, la prótesis supracoroidal, ubicada entre la esclerótica y la coroides, implica el

implante de dos electrodos: un arreglo a ubicarse en un espacio de la esclerótica y otro electrodo de retorno en la cavidad del vítreo, el cual implica el diseño de un nuevo bloque de señales de retorno [13]. En base a las descripciones básicas presentadas, podemos notar que el diseño a tratar en la presente tesis va enfocado a una prótesis epiretinal, ya que se utilizara una única estructura de electrodos de estimulación y se convertirán señales digitales provenientes de un sistema de imágenes a la forma de onda de corriente bifásica deseada, sin utilizar fotodiodos ni implantes pasivos.

Una de las limitaciones más importantes a considerar es la disipación de potencia. Esta ha sido descrita en base a tres factores: tamaño de los electrodos, impedancia del medio biológico y requerimientos de salida del neuroestimulador [2]. Los primeros dos factores determinan la carga final a la salida del Controlador de Corriente, mientras que el último factor implica el proceso de generación de la onda de estimulación. Además de los factores mencionados, es necesario considerar otros como la potencia mínima de saturación de los bloques internos al Controlador de Corriente [1] y el consumo de potencia en telemetría, donde este último no será trabajado en el presente diseño. Se considera un nivel de seguridad en el consumo de potencia, pues el incremento de la corriente que fluye dentro de un componente electrónico genera un incremento en la temperatura del entorno adyacente, el cual puede causar daño neuronal en la retina. Por lo pronto, se considera un incremento mayor a  $1^{\circ}\text{C}$  como dañino, lo cual implica un límite de seguridad de 3 mA y, ello a la vez, un límite en disipación de potencia de 77.8 mW [14].

El problema de las altas impedancias causadas por el entorno biológico y el electrodo es que se necesita un mayor rango de voltaje para poder inducir en ellas una corriente de estimulación. A este requerimiento se le denomina *Voltage Compliance* y tiene que ver con el rango de voltaje a la salida del Controlador de Corriente. Este parámetro se puede volver menos exigente en el caso que los electrodos representen una impedancia más pequeña, como de  $\pm 2.5$  V para electrodos de 20 K $\Omega$  y 160 nF [11]. Consecuentemente, la reducción del voltaje a la salida en este último caso implica una limitación en la máxima corriente que se puede generar en la forma de onda de estimulación, por lo que se recomienda un rango de voltaje a la salida de  $\pm 10$  V debido a los electrodos de 30 K $\Omega$  [2]. Ahora que se sabe que el interfaz generado por el electrodo y el tejido neuronal de la retina está conformado por una impedancia resistiva y capacitiva, se vuelve necesario diseñar una respuesta en frecuencia optima, para lo cual se deben conocer todos los valores de capacitancia generados por dicho interfaz, así como de las capacitancias parasitas presentes en los MOSFET's. Esto puede convertirse en un gran limitante de ancho de banda, el cual permitirá ciertas frecuencias de ondas que se desean generar.

Otro limitante importante es el área ocupada por el implante. Cabe resaltar que existen muchos elementos que conforman a un neuroestimulador, además del Controlador de Corriente que se desea diseñar. Entre ellos, se considera a los elementos fuera del chip como capacitores y diodos, biomaterial de encapsulamiento de electrónicos como los polímeros, bobinas de inducción y comunicación, arreglo de electrodos, además de los otros bloques del neuroestimulador que comparten espacio en el chip

con el Controlador de Corriente. Más aún, el tamaño de los implantes de retina se encuentra limitado por las pequeñas incisiones que se pueden realizar en el globo ocular, de un máximo de 5 mm [1]. Por ejemplo, el límite en espacio ocupado recomendado para una prótesis epiretinal de 1024 canales de estimulación es de  $8 \times 8 \text{ mm}^2$  [10]. Asimismo, se puede observar que existe una tendencia en la reducción del área ocupada por los chips diseñados para las prótesis epiretinales e incremento de la cantidad de canales de estimulación, de  $5.3 \times 5.1 \text{ mm}^2$  en el 2010 [15] a  $3.1 \times 4.5 \text{ mm}^2$  en el 2013 con el doble de número de canales de estimulación [11].

También se puede observar que muchos implantes desarrollados presentan baja resolución, en el sentido que no permiten una alta cantidad de electrodos. Por ello, se busca mejorar la capacidad de empaquetamiento tanto como disminuir el espacio ocupado en el chip por los canales de estimulación y Controladores de Corriente. Esto hace un llamado nuevamente a la reducción del área ocupada y, para este nuevo caso, al incremento de la densidad de electrodos en el arreglo de estimulación [1]. Ciertamente existen prótesis de retina que han alcanzado altas densidades de electrodos pero con un tiempo de vida útil menor a 1 año, por lo que la duración del implante se vuelve un limitante de los neuroestimuladores. Este se puede incrementar utilizando mejores tecnologías de empaquetamiento. Existen limitantes dentro del Controlador de Corriente que pueden generar cierta imperfección en la generación de la forma de onda de corriente deseada. Por un lado, se encuentran los errores dinámicos, como el tiempo de establecimiento, y estáticos, como el error de desplazamiento y error de ganancia, dentro del conversor digital análogo. Por otro lado, los espejos de corriente pueden generar un limitante en la ganancia deseada al encontrarse una transconductancia fija para cada etapa.



# Capítulo 2

## El Controlador de Corriente

La estrategia a utilizar para la estimulación de la retina se basa en pulsos de corriente que serán generados por todas las etapas en conjunto que conforman al controlador de corriente. De ahí, podemos observar que el único objetivo del circuito a diseñar será la generación de la forma de onda bifásica explicada en el Capítulo 1. Para esto, existen arquitecturas que han sido propuestas y simuladas, por lo que un estudio de los parámetros utilizados por ellos se vuelve indispensable para poder generar requerimientos acordes a las necesidades actuales. A continuación se presenta una revisión de los principales Controladores de Corriente desarrollados en los últimos cinco años.

### 2.1. Estado del Arte

#### 2.1.1. El proyecto Argus II de Second Sight

Argus II consiste en un sistema de prótesis de retina (RPS o *Retinal Prosthesis System* en inglés) patentado por la compañía *Second Sight* de desarrollo, fabricación y venta de prótesis visuales implantables para personas que sufren de ceguera provocada por enfermedades de degeneración de retina [16]. El sistema se encuentra compuesto por una parte externa y un implante que se ubica en el globo ocular. El componente externo lo conforma una cámara de video montada en unos lentes y una Unidad de Procesamiento de Video o VPU por sus siglas en inglés. El implante contiene un arreglo epiretinal de 60 microelectrodos, de  $200\ \mu\text{m}$  de diámetro cada uno, un encapsulado de electrónicos y una bobina de recepción de datos o antena. La forma de onda que se genera para conseguir la estimulación eléctrica consiste en una del tipo bifásica donde la onda bifásica catódica ocurre antes de la anódica, con balance de carga para evitar efectos adversos por generación de gas o electrólisis y con monitoreo de la excursión de voltaje e impedancia en electrodos para poder realizar estudios a largo plazo de la variación de estos parámetros [17].

La regulación en la venta y producción de este sistema de prótesis de retina permitió una gran cantidad de pruebas in vivo en personas ciegas que fueron confirmando la portabilidad, estabilidad y larga duración del implante. Por lo pronto, en el 2012 se realizó un estudio para evaluar la seguridad y utilidad de la prótesis en ciegos con alta degeneración de retina. Por ello, se realizaron pruebas de agudeza visual, como localización de objetos y detección de movimiento en pacientes con el dispositivo implantado, y de prueba de utilidad, como la ubicación de una puerta en una sala y el seguimiento de una línea, consiguiendo resultados satisfactorios con umbrales de estimulación en promedio menores a  $1 \text{ mC/cm}^2$  y con menores eventos adversos [18]. Asimismo se confirmó la capacidad de indentificación de letras y lectura de palabras cortas con una mínima separación entre letras para pacientes con el sistema implantado, en un rango de tiempo alcanzado de 6 a 221 segundos para cada paciente [19]. Con ellos se confirma la funcionalidad hasta 34 meses luego de la implantación.

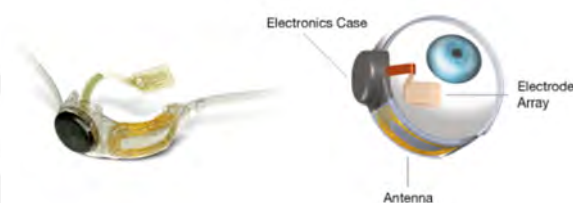


Figura 2.1: Componente Interno del sistema de prótesis de retina Argus II [16].



Figura 2.2: Componente Externo del Sistema de prótesis de retina Argus II. [16].

### 2.1.2. El proyecto EPI-RET-3 del consorcio EPI-RET y el Ministerio de Educación e Investigación de Alemania

EPI-RET-3 es un sistema de implante de retina intraocular seguro y eficiente que consta de una parte extraocular y un implante intraocular. El implante extraocular lo conforma una computadora con un software para la estimulación, una unidad de transmisión basada en un FPGA o *Field Programmable Gate Array*, un amplificador clase E y una bobina de transmisión o antena. El implante intraocular posee una

bobina de recepción y una unidad de estimulación conectados a un arreglo de electrodos para la estimulación mediante un micro cable [20]. En la Fig. 2.3 se muestra la disposición física del implante intraocular y la distribución de la bobina de recepción, los chips de recepción y estimulación y el arreglo de electrodos para la estimulación en el empaquetado de polímero.

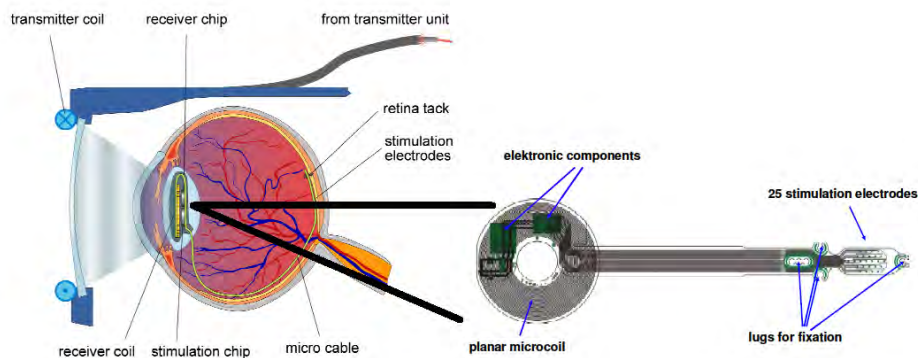


Figura 2.3: Implante Intraocular del proyecto EPI-RET-3 [20]

El objetivo del chip de estimulación es generar ondas de duración y amplitud específicas según un umbral mínimo de corriente para causar la sensación de fosfenos en el cortex visual. Para ello, se ha logrado un máximo de entrega de carga de  $95 \text{ mC/cm}^2$ , con un umbral promedio de estimulación de  $15 \text{ } \mu\text{C/cm}^2$ . El chip posee un tamaño de  $4 \text{ mm}^2$  y alcanzó una salida de corriente de estimulación máxima de  $330 \text{ } \mu\text{A}$ . Sin embargo, los rangos generados, en la forma de onda, de duración de fases y amplitud fueron  $[27 - 1526] \text{ } \mu\text{s}$  y  $[0 - 100] \text{ } \mu\text{A}$ , respectivamente. Para entender mejor el funcionamiento del estimulador, podemos observar el diagrama de bloques en la Fig. 2.4. En él se utiliza una fuente de corriente programable para conseguir la amplitud de onda deseada para la estimulación [21]. De la misma manera se puede elegir el ancho del pulso, por lo que al final se presenta un máximo de 500 Hz de frecuencia de pulsos.

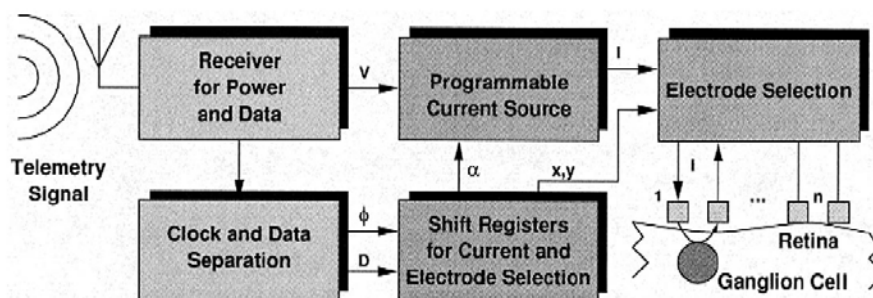


Figura 2.4: Diagrama de bloques del estimulador [21]

### 2.1.3. Controlador de Corriente con alto voltaje a la salida para una prótesis epiretinal

*Chen et al.* [15] propuso un controlador de corriente que permitía un mejor uso del área dentro del chip utilizando una técnica para aprovechar el área en desuso formada por las tres capas de metal. Asimismo, utilizando un modelo de electrodo con baja impedancia, se consiguió un umbral de corriente de estimulación bajo y por lo tanto, menor disipación de potencia de los estimuladores. El rango de voltaje a la salida es de  $\pm 10$  V para la estimulación, aunque en realidad se posee  $\pm 12$  V y 2 V se utilizan como Headroom Voltage o voltaje de saturación de los transistores de salida. Se consiguieron 256 canales de estimulación, de los cuales cada uno posee un Controlador Digital Local o LDC por sus siglas en inglés y un Controlador de Corriente, cuyo circuito esquemático se muestra en la Fig. 2.5.

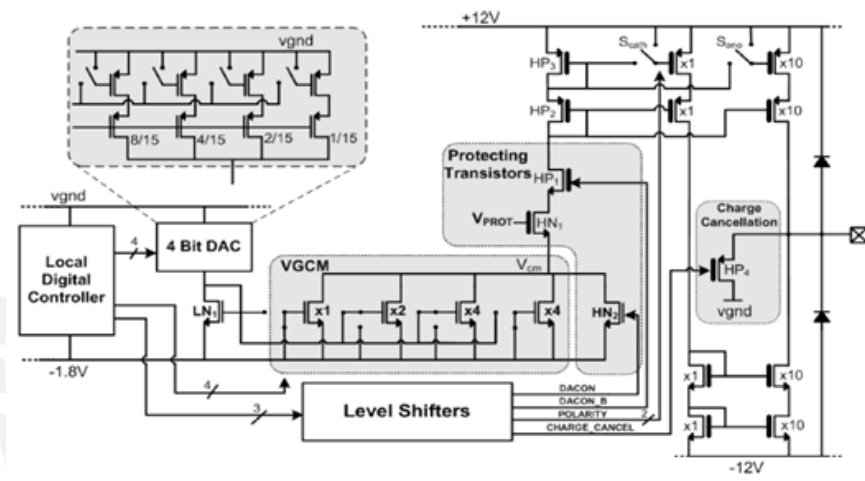


Figura 2.5: Arquitectura del Controlador de Corriente propuesto por *Chen et al.* [15]

En la Fig. 2.5 se pueden distinguir 6 etapas, además del LDC, que conforman al Controlador de Corriente: un DAC o Conversor Analógico Digital, un VGCM o Espejo de Corriente de Ganancia Variable, transistores de protección, Level Shifters, transistor de cancelación de carga y una etapa de salida con transistores de alto voltaje. En general, los parámetros de la forma de onda son interpretados por el DAC, VGCM y Level Shifters en base a las señales digitales del LDC. Luego la etapa de salida de transistores de alto voltaje inyectan la carga al electrodo y consumen 2 V del rango  $\pm 12$  V para saturación. La liberación de carga acumulada por asimetría de la onda bifásica se consigue mediante el transistor HP4 en modo fuertemente triodo, es decir que el voltaje  $V_{DS}$  tiende a 0 V, y una señal proveniente del LDC. Para reducir el área ocupada se utilizaron transistores de bajo voltaje en el DAC, VGCM y LDC, los cuales son diez veces más pequeños que los transistores de alto voltaje.

El Conversor Digital Análogo posee una corriente de referencia de  $0.33 \mu\text{A}$ , una resolución de 4 bits y puede generar a la salida una señal entre 0 y  $5 \mu\text{A}$ . Se puede

observar que la proporción en escala completa que ofrece cada rama del DAC para la generación de la corriente es de  $\frac{1}{15}$ ,  $\frac{2}{15}$ ,  $\frac{4}{15}$  y  $\frac{8}{15}$ . Esta corriente es luego copiada por LN1 en el VGCM, la cual posee una ganancia de entre  $1X$  y  $10X$ , por lo que la onda de corriente puede alcanzar hasta aquí un máximo de  $50 \mu A$ . Los transistores de protección HN1, HN2 y HP1 protegen al VGCM de los altos voltajes presentes en la etapa de salida del Controlador de Corriente. Esta última etapa genera ambos pulsos catódico y anódico, cuyo orden es gobernado por dos bits de polaridad provenientes del LDC y se reflejan en los interruptores Scath y Sano. Asimismo posee una ganancia de  $10X$  por lo que a la salida se puede obtener un rango máximo de  $500 \mu A$  en la onda de corriente de estimulación.

En la Fig. 2.6 se puede observar el alto rango de voltaje a la salida medido y el layout o distribución física de los bloques diseñados dentro del Controlador de Corriente, utilizando la técnica de efficient pad para aprovechar  $100 \mu m \times 100 \mu m$  de las tres capas de metal.

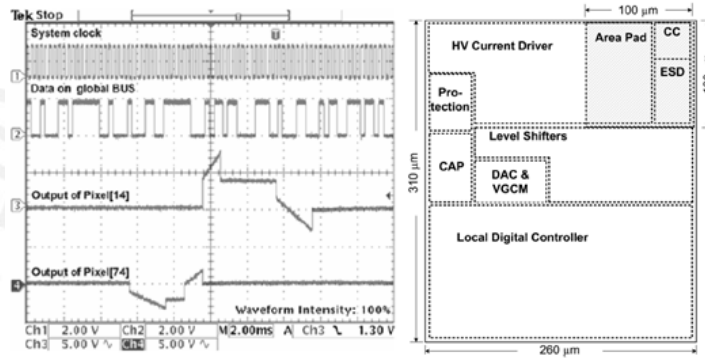


Figura 2.6: Forma de onda a la salida del controlador de corriente y *layout* del mismo [15].

#### 2.1.4. Controlador de Corriente con monitoreo y demultiplexación de salidas

Noorsal *et al.* [10] diseñó un Controlador de Corriente con duración de pulso programable y alto rango de voltaje a la salida, pero además con monitoreo del voltaje a la salida para conseguir una fuente de voltaje adaptable a las necesidades de carga y corriente de estimulación. Cada Controlador de Corriente genera 4 salidas para 4 electrodos mediante un demultiplexor, mide  $0.2 \text{ mm}^2$  y posee un rango de voltaje a la salida máximo de  $\pm 20 \text{ V}$  y una salida máxima de  $1 \text{ mA}$ .

La conversión de las señales digitales con información de la forma de onda estimulante a señales analógicas se consigue mediante un DAC de 2 referencias de corriente o LSB ( $0.8 \mu A / 3.2 \mu A$ ) de 6 bits: 5 bit para la resolución del DAC y 1 bit para la

selección del bit menos significativo o LSB por sus siglas en inglés. Existe un bit extra para la elección de ganancia del Espejo de Corriente en la etapa de salida, de 5X o 10X. A la salida podemos obtener, por lo tanto, 4 rangos de corriente de estimulación: 4-124  $\mu\text{A}$ , 8-248  $\mu\text{A}$ , 16-496  $\mu\text{A}$  y 32-992 [22]. Además del DAC implementado, existen Level Shifters, una fuente de corriente con alto rango de voltaje, un monitor de rango de voltaje a la salida y un demultiplexor 1:4 para que cada canal pueda estimular 4 electrodos.

La arquitectura del Controlador de Corriente propuesto se muestra en la Fig. 2.7. Los transistores de salida M1 y M3 se encuentran en modo triodo fuerte para reducir el voltaje headroom y permitir variaciones en la corriente de salida modificando únicamente los voltajes de sus puertas mediante una configuración de Espejos de Corriente Cascado Regulado junto con los transistores M1m y M3m que también se encuentran en modo triodo fuerte. De esta manera también se consigue una impedancia de salida alta. Para incrementar la precisión en la forma de onda bifásica se utiliza la técnica gain boosting, por la cual VDS1 y VDS3 llegan a ser iguales. A pesar de ello, existen errores de precisión debido al voltaje umbral  $V_{TH}$  cuando existen pequeñas corrientes a la salida, y proporcionales a  $V_{SAT}$  o  $V_{DS}$  cuando se trata de corrientes grandes y los transistores se encuentran en la región lineal. Por protección contra descargas electrostáticas, el sustrato de los transistores M2 y M4 se encuentran conectados a VSS y VDDP respectivamente.

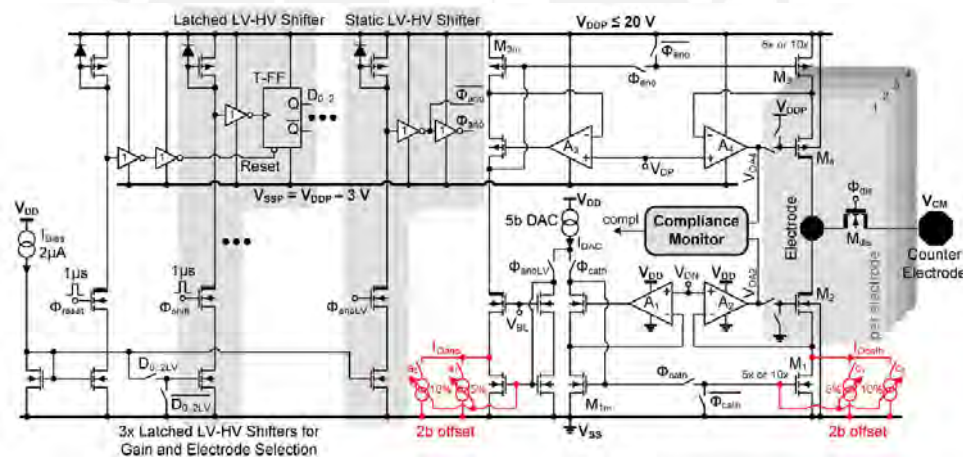


Figura 2.7: Controlador de Corriente con monitor de salida y demultiplexor 1:4 [10]

El monitoreo se lleva a cabo mediante un mecanismo de realimentación del Cascode Regulado para la detección del nivel de voltaje a la salida a base de 2 inversores CMOS. Si el Controlador de Corriente está funcionando fuera del rango de voltaje requerido, el monitor permite que esto se pueda identificar para modificar la fuente de voltaje a la salida. El demultiplexor se implementa con 2 biestables Toggle o Flip-Flop T Level Shifters y el control de ganancia del Espejo de Corriente también utiliza un T-FF. Los Level Shifter sirven para controlar la corriente anódica de salida, ya que se necesita pasar de bajos a altos voltajes, como  $V_{DDP}$  y  $V_{SSP}$ .



### 2.1.5. Espejos de Corriente de bajo voltaje headroom para un Controlador de Corriente

Con el objetivo de permitir un mayor rango de voltaje a la salida a pesar de una operación en bajo voltaje ( $\pm 2.5$  V), *Monge et al.* [11] utilizó una configuración de espejos de corriente que alcanzaba un alto valor de impedancia a la salida y bajo voltaje *headroom* o de consumo a la salida. Sin embargo, este incremento en el rango de voltaje de salida implica un incremento en el error debido a asimetría, por lo que se utilizó un circuito de auto calibración para cada canal. Asimismo, el interruptor de alto voltaje utilizado también puede limitar el voltaje a la salida del Controlador de Corriente, con el fin de no sobrepasar un máximo de 2.5 V en el voltaje que será aplicado a los electrodos. Ambos circuitos propuestos se pueden observar en la Fig. 2.8.

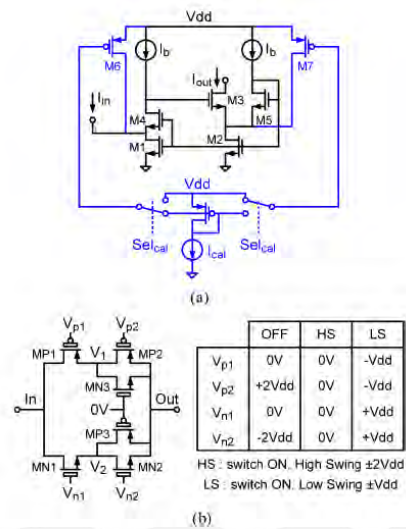


Figura 2.8: Implementación del (a) espejo de corriente de bajo consumo e (b) interruptor de alto voltaje [11]

A pesar que los transistores de alto voltaje sirven para el límite de voltaje a la salida, estos acumulan una carga debido al efecto cuerpo durante el retardo entre fases y la fase de descarga. Para poder eliminar esta carga acumulada, se utiliza un interruptor que se cierra previo a la estimulación. La etapa de salida está conformada por 6 transistores I/O de 2.5 V. Los transistores de los extremos deben recibir un voltaje cercano a  $V_{DD}$  y  $V_{SS}$ , ya que los espejos de corriente que generan las ondas catódica y anódica consumen dichos voltajes, por lo que para asegurar la saturación de ellos es necesario colocar  $V_{DD}$  y  $V_{SS}$  en las puertas de ellos. Los otros transistores de alto voltaje reciben un voltaje apropiado para evitar alcanzar voltajes entre sus terminales mayores al límite que pueden soportar, durante cada una de las fases anódica y catódica.

## 2.2. Cuadro comparativo de parámetros utilizados en trabajos previos

En el cuadro 2.1 se muestran los parámetros utilizados en trabajos previos para el diseño de un Controlador de Corriente. Estos serán utilizados como referencia para establecer las especificaciones del circuito a diseñar.

Para el presente trabajo se eligió la topología *SCCT* o *Self-Cascode Composite-Transistor* [26] con el fin de reducir el consumo de área ocupada por los pixeles de estimulación en el chip, manteniendo valores de impedancia y rango de voltaje a la salida altos, como en el caso de *Monge et al.* [11]. En la sección 3.3. *Topología propuesta* se brindan mayores detalles del motivo de la elección.

Tabla 2.1: Cuadro comparativo de especificaciones utilizadas en el estado del arte

| Parámetro   | Chen et al.[15]                                   | Noorsal et al.[10]                           | Monge et al.[11]                                     |
|---|---|--|--|
| Topología utilizada   | Múltiples voltajes mediante <i>Level Shifters</i> | Espejos de corriente Cascodo Triodo Regulado | Espejos de corriente de bajo voltaje <i>headroom</i> |
| Número de canales   | 256   | 1024   | 512  |
| Área de un pixel de estimulación (Controlador de corriente, calibración y lógica local) | 0.08034 mm <sup>2</sup>                           | 0.05875 mm <sup>2</sup>                      | 0.0169 mm <sup>2</sup>                               |
| Umbral de estimulación  | 100 $\mu A$                                       | -  | -  |
| Modelo de electrodo   | 10 K $\Omega$ + 100 nF                            | 3.46 K $\Omega$ + 110 nF                     | 30 K $\Omega$ + 100 nF                               |
| Electrodos por Canal  | 1   | 4  | 1  |
| Rango de Voltaje a la Salida  | $\pm 10$ V  | $\pm 10$ V                                   | $\pm 2.4$ V  |
| Resolución de DAC   | 4 bit   | 6 bit  | 5 bit  |
| $I_{REF}$   | 0.33 $\mu A$                                      | 0.8 - 3.2 $\mu A$                            | 1 $\mu A$  |
| Error INL/DNL   | 0.16 LSB / 0.16 LSB                               | -  | -  |
| Ganancia del espejo de corriente  | 1X - 10X  | -  | -  |
| Ganancia de la etapa de salida  | 10X   | 5X/10X                                       | -  |
| Error de simetría   | 2.9%  | 15%  | 2.24%  |
| Velocidad de datos  | 2 Mbps  | 968 Kbps                                     | 20 Mbps  |
| Disipación de potencia  | 1.45 mW @ 100 $\mu A$                             | 1.16 mW @ 20 V / 0.41 mW @ 5 V               | 15 mW @ 50 $\mu A$                                   |
| Tecnología CMOS   | 0.18 $\mu m$ 32 V                                 | 0.35 $\mu m$ 50 V                            | 65 nm 1.2 V / 2.5 V                                  |

# Capítulo 3

## Diseño del Controlador de Corriente

En el presente capítulo se explicará la elección, análisis y diseño de la topología propuesta para cumplir con los requerimientos que han sido elegidos en base al estudio realizado en los capítulos anteriores. Se presenta el funcionamiento básico del controlador de corriente en la primera sección de este capítulo. Las especificaciones se muestran en la segunda sección. Asimismo, se discute el tipo de simulación necesaria para poder definir las dimensiones del circuito y verificar su desempeño. En la tercera sección se presentan las topologías que van a ser utilizadas, el diagrama de bloques y el diagrama esquemático del controlador de corriente. En la cuarta sección se realiza el análisis en larga señal, donde son consideradas las condiciones bajo las cuales los transistores entran en las diferentes regiones de operación, se analiza la impedancia de salida y los compromisos entre diferentes parámetros del transistor. Finalmente, se presenta el dimensionamiento de los transistores que componen cada bloque del sistema propuesto.

El proceso de diseño de circuitos integrados seguido corresponde a la metodología obtenida de [23], donde: el primer paso corresponde a la definición de requerimientos del circuito, entradas y salidas del sistema; el segundo paso, al cálculo manual de parámetros utilizando una ecuación del transistor; tercero, al conjunto de simulaciones que permitan ajustar los parámetros calculados hasta alcanzar especificaciones; cuarto, diseño de layout o disposición física del circuito. Asimismo, existen pasos adicionales, como simulación post-layout, fabricación de prototipo, pruebas y correcciones en el prototipo, y por último, producción.

Para realizar los cálculos de punto de operación y dimensionamiento de transistores, el modelo cuadrático del transistor ha sido considerado porque permite relacionar fácilmente los parámetros de factor de forma y corriente en el drenador y se puede realizar un análisis de trade-offs de manera más intuitiva. El modelo de transistor utilizado en las simulaciones es el BSIM3v3 level 53 (Berkeley Short-Channel IGFET Model 3 version 3) (IGFET- Insulated Gate Field-Effect Transistor) desarrollado por

el BSIM Research Group de la Universidad de California [24], ya que es el modelo que permite el uso de la tecnología ams 0.35  $\mu\text{m}$  en el programa de simulación SPECTRE con un modelo SPICE compatible para predecir el funcionamiento del circuito [25]. El modelo de transistor utilizado en nuestra topología soporta 5 V entre sus terminales debido a que posee una puerta de mayor grosor denominada mid-oxide de 15 nm típicamente, lo que incrementa su voltaje umbral. El nombre del modelo en la tecnología utilizada es NMOSM o PMOSM. El circuito fue implementado utilizando el entorno de trabajo *Virtuoso* y simulado mediante la herramienta *Spectre Circuit Simulator* de Cadence.

### 3.1. Funcionamiento del Controlador de Corriente

La idea de inyectar y retirar una carga del tejido neuronal de la retina, simbolizado como una impedancia, se ejemplifica en la Fig. 3.1. El funcionamiento básico del circuito a diseñar corresponde al de la activación alternada de una fuente de corriente anódica y otra catódica, cuyo valor de corriente se pueda controlar de manera digital según la forma de onda que se desea inducir en un determinado punto del arreglo de electrodo. Este mismo modelo se aplicará a cada canal, asociado a un electrodo, que componga el neuroestimulador y debe asegurar bajos niveles de consumo de potencia y área, ya que estos parámetros incrementarán linealmente con el número de canales a ser implementados, los cuales pueden llegar a miles según el estado del arte.

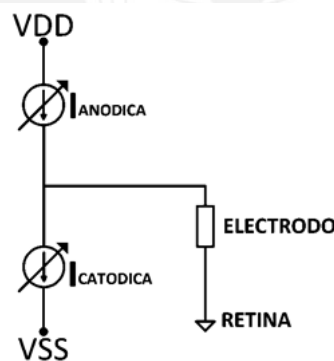


Figura 3.1: Funcionamiento del Controlador de Corriente o *Current Driver*

A pesar que las fuentes de corriente utilizadas deberían ser ideales, en nuestro diseño no lo son. Es por ello que la impedancia de salida a alcanzar por el controlador de corriente debe ser muy alta y está relacionada directamente al valor de la impedancia del interfaz electrodo-retina. Sin embargo, la elección de dicho requerimiento no puede tomarse en función de esta única necesidad, puesto que existen otros condicionantes como el rango de voltaje permitido a la salida y consumo de área que limitaran los posibles valores a ser alcanzados. Estos compromisos existentes entre los parámetros de diseño serán estudiados en las siguientes secciones.

## 3.2. Especificaciones

Para poder definir los requerimientos, es necesario constatar las entradas y salidas de todo el circuito a diseñar. En primer lugar, se contará con 4 bits digitales de entrada para definir la amplitud de la onda de corriente a generar a la salida, tanto para el caso anódico (BP0, BP1, BP2 y BP3) como para el catódico (BN0, BN2, BN2 y BN3), y 1 bit (CK) para activar la descarga del electrodo cuando no existe estimulación positiva o negativa. En segundo lugar, para la polarización de los transistores se cuenta con una corriente de entrada de referencia (IREFP para onda anódica e IREFN para onda catódica), la cual, en nuestro caso particular, ha sido elegida igual a la corriente mínima generada a la salida del circuito, es decir la corriente de LSB (*Least Significant Bit* o *Bit Menos Significativo*), con el fin de evitar una rama extra de ganancia en el circuito de copia de corriente. Las fuentes de voltaje son  $V_{DD}$  y  $V_{SS}$ , dado que se tomara 0V como voltaje de referencia en la retina. En la etapa de salida, la forma de onda se generara por el pin de salida (OUT), que se conectara al electrodo, y se tendrá el pin del voltaje de referencia de la retina (RETINA), para la etapa de descarga.

Tabla 3.1: Especificaciones para el diseño del Controlador de Corriente

| Requerimiento                  | Mínimo | Máximo | Valor fijo | Unidades                          |
|--------------------------------|--------|--------|------------|-----------------------------------|
| Rango de voltaje a la salida   | -2.2   | 2.2    |            | V                                 |
| Rango de corriente a la salida | -55    | 55     | -          | $\mu\text{A}$                     |
| Impedancia de salida           | 1.5    |        |            | $\text{M}\Omega$                  |
| Voltaje <i>headroom</i>        |        | 0.4    |            | V                                 |
| Disipación de potencia         |        | 1      |            | mW                                |
| Resolución DAC                 |        |        | 4          | bits                              |
| Modelo de electrodo            |        |        | 30 / 100   | $\text{K}\Omega$ / nF             |
| Corriente de referencia        |        |        | 3.67       | $\mu\text{A}$                     |
| Voltaje de alimentación        |        |        | $\pm 2.5$  | V                                 |
| Área                           |        | 0.02   |            | $\text{mm}^2$                     |
| Slew rate                      | 5      |        |            | $\frac{\mu\text{A}}{\mu\text{S}}$ |

La Tabla 3.1 muestra los rangos de valores que los parámetros del circuito a diseñar deben cumplir. Los requerimientos que han sido seleccionados para el presente diseño provienen del estudio realizado con respecto a los controladores de corriente que ya han sido desarrollados [10] [11] [15], y el *Cuadro comparativo de especificaciones*

*utilizadas en el estado del arte* presentado en la Tabla 2.1. El rango de corriente y la resolución de los conversores digital analógico a utilizar se tomaron debido al umbral de estimulación de las celular ganglionares discutido en [12] y los valores que ya han sido utilizados en otros trabajos. La corriente de referencia de entrada al circuito se obtuvo en base al requerimiento del rango de corriente y resolución de cada DAC a implementar. Debido a que el interfaz electrodo-retina representa una impedancia alta, cuyo modelo fue elegido en base a un electrodo Platino/Iridio de  $100\ \mu\text{m}$  de diámetro utilizado en [11], entonces para cumplir con un rango de corriente de  $55\ \mu\text{A}$  a la salida, se necesita un rango de voltaje que permita este flujo de carga. La elección del modelo de transistor utilizado se relaciona a este rango de voltaje deseado.

El voltaje de alimentación para todo el circuito es elegido en base al rango de voltaje deseado a la salida y el voltaje máximo permitido entre los terminales de los transistores, es decir, va relacionado a la tecnología. Por ello, es elegida la tecnología AMS  $0.35\ \mu\text{m}$  *mid-oxide* con un rango de  $5\ \text{V}$  entre los terminales del transistor. Se debe tomar en cuenta que en otros trabajos se utilizaron valores mayores de alimentación, así como múltiples niveles, debido a que: los transistores utilizados eran modelos *High Voltage* y permitían un mayor rango de voltaje entre sus terminales; mayores valores de corriente a ser inducidos en el electrodo; ganancias múltiples en la copia de corriente a la etapa de salida; y modelos de electrodo con impedancias más altas. Son elegidos dos niveles de alimentación porque se va a inyectar y retirar una carga en un tejido orgánico cuyo valor de potencial electrostático promedio es  $0\ \text{V}$ , y para poder inducir una corriente entrante y otra saliente en la carga que simboliza el electrodo es necesario producir un voltaje positivo o negativo a la salida del circuito, respectivamente.

Para realizar el análisis de un circuito que trabaja con señales digitales y analógicas, es necesario realizar dos tipos de simulaciones. En primer lugar, el análisis en larga señal por medio de simulaciones DC permitirá obtener el punto de operación deseado de cada transistor, para asegurar una polarización que cumpla con los requerimientos establecidos (bajo voltaje de saturación, corriente de polarización debida). Asimismo, se podrán encontrar las dimensiones necesarias para asegurar una impedancia de salida alta. Para ello, se tiene que observar el comportamiento de los parámetros que se desean optimizar mientras se realiza un barrido de valores de otro parámetro controlable, como las dimensiones del transistor o el voltaje puerta-surtidor. En segundo lugar, es necesario realizar también una simulación transitorio para poder medir el desempeño del controlador de corriente al generar la forma de onda deseada donde se pueda observar la diferencia entre el cambio en la salida para un intervalo de tiempo ideal y real. Esto se analizará más adelante mediante el *slew rate*, que consiste en el cambio permitido de voltaje/corriente por unidad de tiempo. Finalmente, se podrá generar la forma de onda deseada, utilizando los valores de bits y periodos correctos, recomendados en [12].



### 3.3. Topología propuesta

Se ha diseñado un Controlador de Corriente en base a la generación de la forma de onda bifásica por medio de un PDAC y NDAC en modo corriente para la onda anódica y catódica respectivamente. Ambos conversores de señal digital a analógica han sido implementados por espejos de corriente simple utilizando la topología de Transistor Compuesto o SCCT (*Self Cascode Composite Transistor*). Para permitir el control por medio de las señales digitales provenientes del Controlador Digital Local, el cual no se implementa en la presente tesis, se han utilizado transistores de 5V de canal corto en la tecnología  $0.35 \mu\text{m}$  a manera de interruptores, cuyo estado de abierto o cerrado depende de una señal digital en la puerta del transistor. Para desactivar alguno de los conversores mientras el otro se encuentra generando la forma de onda, se han utilizado puertas NOT o inversores que puedan generar la señal digital negada correspondiente.

#### 3.3.1. Diagrama de bloques y diagrama esquemático

En el diagrama de bloques de la Fig. 3.2 se observan ambos circuitos de polarización BIAS NMOSM y BIAS PMOSM que definen el punto de operación de los transistores de salida en los conversores.

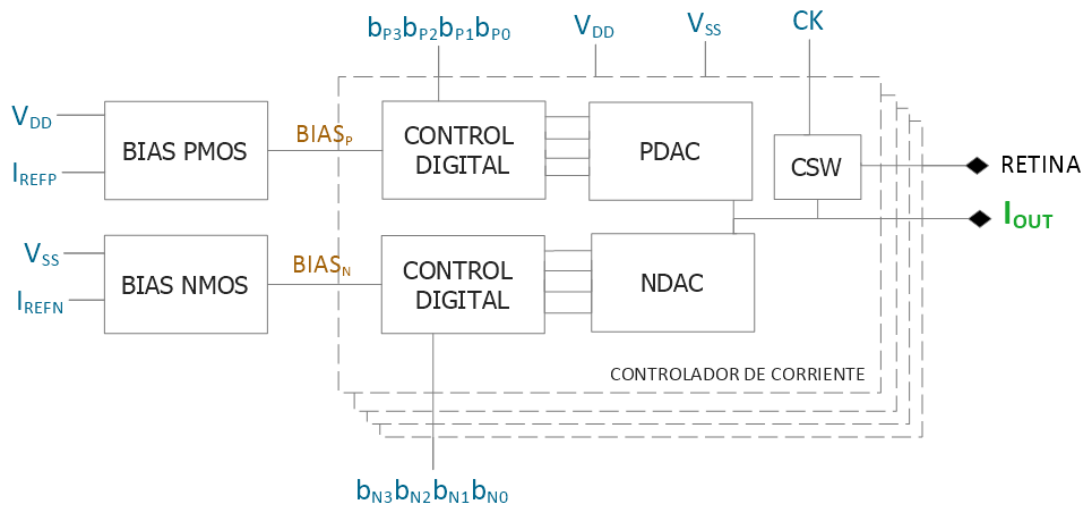


Figura 3.2: Diagrama de bloques del Controlador de Corriente

Por medio de compuertas NOT e interruptores, que conforman los bloques de CONTROL DIGITAL, se permite la activación de los transistores en los conversores PDAC y NDAC, al conmutar la puerta de ellos entre el voltaje de polarización BIAS y la alimentación  $V_{DD}$  o  $V_{SS}$ . Los parámetros de color azul representan las entradas y fuentes del Controlador de Corriente, los de color marrón son voltajes internos

que han sido generados y utilizados en el mismo circuito, y finalmente el parámetro de color verde representa la salida del sistema. Dado que el circuito de polarización puede ser compartido por más de un canal, existe la posibilidad de implementar más canales (controladores de corriente) para más electrodos con el fin de incrementar la resolución del neuroestimulador. Se ha utilizado un modelo de electrodo como una carga compuesta por una resistencia de 30 K $\Omega$  en serie con un condensador de 100 nF [11].

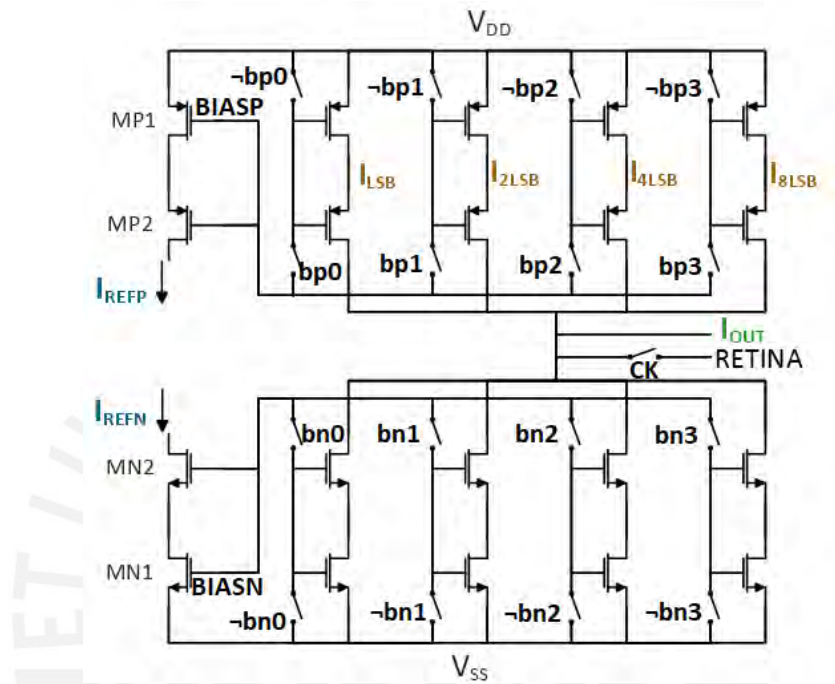


Figura 3.3: Diagrama Esquemático del Controlador de Corriente

En el diagrama esquemático de la Fig. 3.3 se puede observar la implementación de los bloques del controlador de corriente a nivel transistor. Los transistores MN1, MN2, MP1 y MP2 forman los circuitos de polarización, mientras que los demás transistores conforman las ramas de los conversores PDAC y NDAC que generan diferentes niveles de corriente. Se pueden diferenciar 4 niveles de corriente en función a los 4 bits de resolución que recibe cada conversor para generar la forma de onda bifásica. Para la activación y desactivación de las ramas de los conversores, se han colocado interruptores controlados por los bits de entrada, que polarizan o no a la rama indicada al conmutar la puerta de los transistores del conversor entre el voltaje BIAS y la fuente  $V_{DD}$  o  $V_{SS}$ .

### 3.3.2. Transistor compuesto o Self Cascode Composite Transistor (SCCT)

Se ha elegido la topología SCCT de transistor compuesto para los espejos de corriente simple que componen a los conversores, ya que combina las ventajas de un arreglo cascode de alta impedancia de salida y un espejo simple con bajo voltaje headroom, lo que permite utilizarlo en aplicaciones de bajo voltaje, que en nuestro caso se traduce en un mayor rango de voltaje a la salida. Otra ventaja que ofrece dicha topología, es la reducción en el consumo de área dentro del dispositivo, como se demuestra en [26], y es expresado en el Capítulo 4, sección 4.5. *Disposición física del controlador de corriente.*

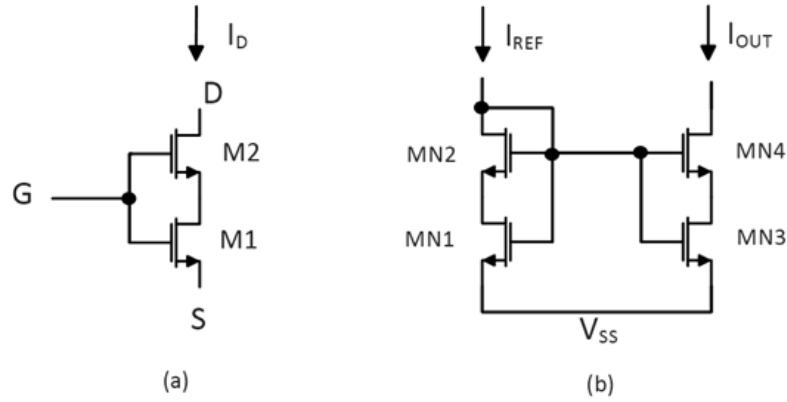


Figura 3.4: (a) Topología de transistor compuesto o SCCT-Self Cascode Composite Transistor (b) Espejo de corriente simple utilizando topología SCCT [26]

El transistor compuesto, mostrado en la Fig. 3.4(a), está conformado por M1 y M2. Dado que comparten la misma puerta y la misma corriente en el drenador, asumiendo un voltaje fijo de surtidor en M1, podemos analizar las regiones de operación de ambos transistores a partir de las siguientes ecuaciones, asociadas a la activación de los transistores y la relación entre los voltajes  $V_{GS}$ .

$$V_{GS2} - V_{TH2} > 0 \quad (3.1)$$

$$V_{GS1} - V_{TH1} > 0 \quad (3.2)$$

$$V_{GS1} - V_{DS1} = V_{GS2} \quad (3.3)$$

Dado que el transistor M2 tiene el sustrato conectado al surtidor de M1, y por el efecto cuerpo, podemos deducir las siguientes ecuaciones:

$$V_{SB2} = V_{DS1} \quad (3.4)$$

$$V_{TH2} > V_{TH1} \quad (3.5)$$

$$V_{DSAT1} \approx V_{GS1} - V_{TH2} > V_{DS1} \quad (3.6)$$

Como el voltaje  $V_{SB2}$  es diferente de 0, entonces  $V_{TH2}$  incrementa por el efecto cuerpo. Como consecuencia, en la ecuación 3.6 se puede observar que el voltaje  $V_{DS1}$  es menor al necesario para que el transistor pueda estar en saturación, con lo que queda demostrado que M1 se encuentra en la región triodo.

Asimismo, como dicho voltaje  $V_{DS1}$  puede ser muy pequeño, se demuestra que el voltaje de saturación necesitado a la salida del circuito es  $V_{DSAT2}$ . El factor de forma del transistor M2 suele elegirse  $m$  veces el factor de forma del transistor M1, como parte de la topología SCCT [26]. Es por ello que la elección de  $\frac{W}{L}$  para el transistor M1 y la elección de  $m$  se discutirán con mayor detalle en la sección 3.4. *Análisis en larga señal*, así como el cálculo del voltaje de saturación y el voltaje *headroom*.

El espejo de corriente utilizando la topología SCCT se muestra en la Fig. 3.4(b). Los transistores MN1 y MN2 conforman la rama de polarización y se encuentran en una configuración diodo, por lo que definirán el punto de operación de la rama de salida conformada por MN3 y MN4, mediante el voltaje *Overdrive* ( $V_{OV}$ ). Las ramas de polarización NMOS y PMOS conforman los bloques BIAS de la Fig. 3.2.

### 3.3.3. Conversor Digital-Análogo en modo corriente

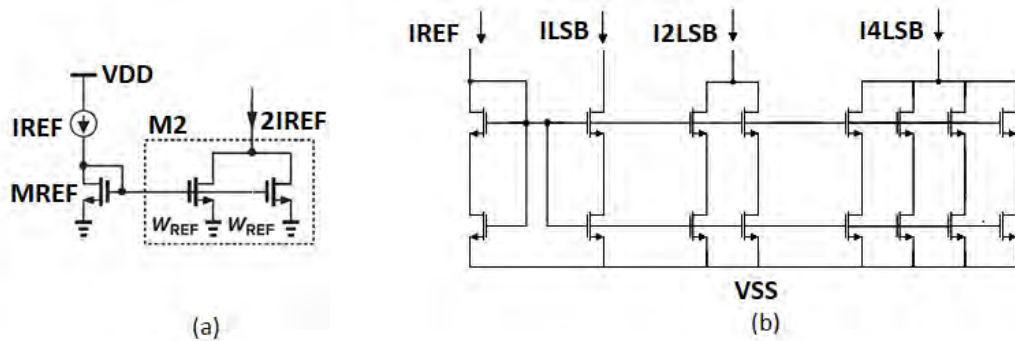


Figura 3.5: (a) Técnica para incrementar precisión de la copia de corriente al evitar duplicar ancho del transistor [27] (b) Técnica aplicada al NDAC del controlador de corriente

Los conversores PDAC y NDAC están compuestos por etapas de salida del espejo de corriente simple SCCT, donde las ramas que implicaban mayor corriente (múltiplos 2X, 4X y 8X de LSB) fueron implementadas utilizando una técnica para incrementar precisión en la copia. Dado que se ha elegido mantener el largo del transistor constante, con el fin de reducir *mismatch* para los que comparten mismo voltaje en la puerta,

y como el ancho de los transistores no está definido precisamente, por los efectos de *side-diffusion* y *corners* [27], entonces se utiliza una rama de ganancia unitaria que se repite para poder alcanzar la ganancia de corriente deseada, como se muestra en la Fig. 3.5.

### 3.3.4. Circuitos de control digital

Con el fin de permitir el control digital de la fuente de corriente a partir de bits digitales provenientes de un circuito previo, denominado Controlador Digital Local, se ha adoptado el circuito de conmutación descrito en [32], mostrado en la Fig. 3.6.

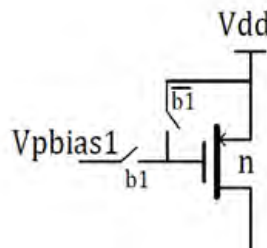


Figura 3.6: Circuito de conmutación de rama PDAC [28]

Se utiliza un MOSFET para cada interruptor, conmutando la puerta entre dos niveles lógicos, con el fin de forzar al transistor a ingresar a las regiones de Saturación o corte, según la necesidad del circuito. Dado que se necesita el valor negado de un bit de entrada, se implementó una puerta NOT utilizando la topología conformada por un transistor NMOSM y un PMOSM, como se muestra en la Fig. 3.7(a).

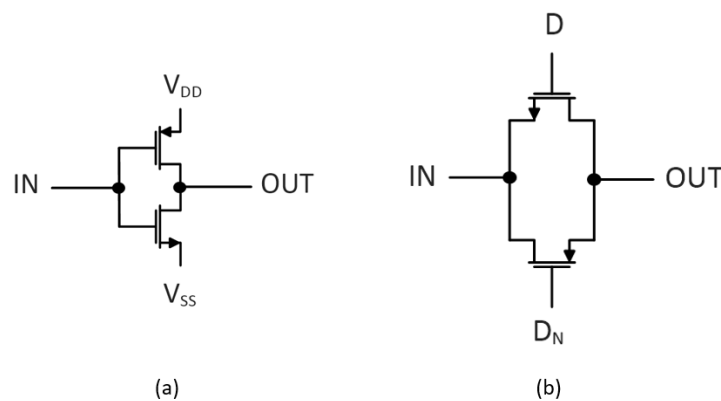


Figura 3.7: (a) Puerta NOT (b) Interruptor complementario [27]

Dado que a la salida del circuito se encuentran voltajes que varían entre  $-2.2$  V y  $+2.2$  V, es necesario considerar un interruptor que permita un alto rango de voltaje

entre sus terminales, es decir, un mayor swing, para poder realizar la descarga del electrodo en la última etapa de la forma de onda de estimulación. Por ello, se coloca a la salida del circuito, en paralelo al electrodo, un interruptor complementario, el cual es gobernado por la señal  $D$  (Discharge) y  $D_N$ , valor negado de la misma.

### 3.4. Análisis en larga señal

En esta sección se estudiará los puntos de operación del transistor, los parámetros involucrados en el diseño y los compromisos existentes entre dichos parámetros para alcanzar las especificaciones definidas en la sección 3.2. Los transistores que se van a diseñar en la presente tesis pueden encontrarse en tres regiones de operación: corte, triodo o saturación. Según el modelo cuadrático del transistor, podemos definir las tres ecuaciones que gobiernan el punto de operación para las tres regiones de operación:

Tabla 3.2: Regiones de operación del transistor

| Región     | Condición                  | Corriente en el drenador   |
|------------|----------------------------|--|
| Corte      | $V_{GS} < V_{TH}$          | $I_D \approx 0$  |
| Triodo     | $V_{DS} < V_{GS} - V_{TH}$ | $I_D = \mu_N C_{OX} \frac{W}{L} [(V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2]$     |
| Saturación | $V_{DS} > V_{GS} - V_{TH}$ | $I_D = \frac{1}{2}\mu_N C_{OX} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$ |

En la región de corte, la corriente en el drenador es cercana a cero y puede estar en el orden de los pA o fA. En la región triodo, el comportamiento de la corriente con respecto a  $V_{DS}$  es cuadrático. En la región saturación, la corriente es constante para valores de  $V_{DS}$  menores a 5 V.

Los parámetros que son definidos por la tecnología son:  $\mu_N$  movilidad de los portadores de carga,  $C_{OX}$  capacitancia del óxido,  $V_{TH}$  voltaje umbral o threshold y  $\lambda$  coeficiente de modulación de canal. En la Tabla 3.3, el Gain Factor KPN es el producto  $\mu_N C_{OX}$  para el caso NMOS, y de manera análoga KPP para el caso PMOS. El voltaje umbral puede cambiar dependiendo del comportamiento de otros parámetros. En esta oportunidad, estudiaremos la variación del voltaje umbral para dos casos: variación de la temperatura y efecto cuerpo. Para el caso de temperatura se mostrara una grafica  $V_{TH}$  vs. Temperatura, mientras que para efecto cuerpo, vamos a analizar cuales transistores del diseño son afectados y qué medidas se van a tomar para asegurar el punto de operación deseado.

Los parámetros que pueden ser diseñados son: W ancho del transistor y L largo del transistor. A consecuencia de la elección de dichas dimensiones y siguiendo la

Tabla 3.3: Parámetros eléctricos de la tecnología  $0.35 \mu\text{m}$  5V [25]

| Parámetro           | Mínimo | Típico | Máximo | Unidad                   |
|---------------------|--------|--------|--------|--------------------------|
| Mid-oxide Thickness | 14     | 15     | 16     | nm                       |
| $V_{THN}$           | 0.60   | 0.70   | 0.80   | V                        |
| $V_{THP}$           | -0.85  | -0.97  | -1.09  | V                        |
| $K_{PN}$            | 80     | 100    | 120    | $\mu\text{A}/\text{V}^2$ |
| $K_{PP}$            | 25     | 31     | 37     | $\mu\text{A}/\text{V}^2$ |

ecuación del punto de operación, se pueden fijar voltajes  $V_{GS}$  para el caso de espejos de corriente, mientras que  $V_{DS}$  vendrá definido por el terminal drenador del transistor o salida del circuito. Las dimensiones tienen un compromiso con la impedancia de salida, como se demostrará posteriormente.

### 3.4.1. Rango de voltaje y corriente a la salida

Dado el modelo del transistor utilizado, que permite 5V entre sus terminales y se menciona al inicio de este capítulo, podemos definir los voltajes de alimentación  $V_{DD} = 2.5\text{V}$  y  $V_{SS} = -2.5\text{V}$ , que a su vez limitan el rango de voltaje a la salida pero evitan que los transistores puedan ser dañados en la configuración cascode. En la Fig. 3.8 se observan los transistores que se encuentran a la salida del circuito, para el caso LSB del convertor.

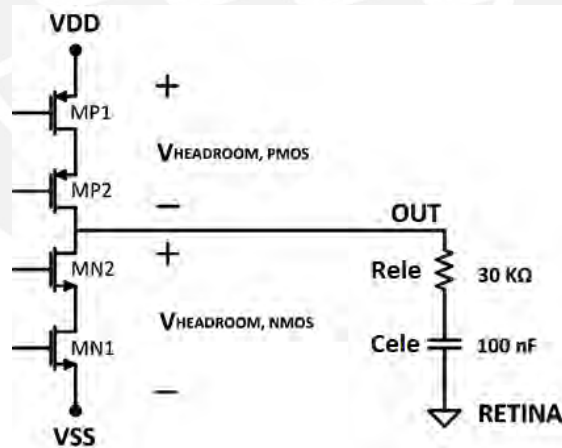


Figura 3.8: Etapa de salida del Controlador de Corriente

El voltaje máximo y mínimo que se puede entregar al electrodo, cuyo modelo está conformado por una resistencia  $R_{ele}$   $30 \text{ K}\Omega$  y capacitancia  $C_{ele}$   $100 \text{ nF}$  en serie, está definido por

$$V_{OUT,MAX} = V_{DD} - V_{HEADROOM,PMOS} \quad (3.7)$$

$$V_{OUT,MIN} = V_{SS} + V_{HEADROOM,NMOS} \quad (3.8)$$

Los voltajes *headroom* se asocian al voltaje de saturación y su diseño será explicado más adelante. Considerando los valores máximos en voltaje que se pueden alcanzar a la salida, obtenemos la expresión para hallar los valores máximos de corriente a la salida.

$$I_{OUT,MAX} = \frac{V_{OUT,MAX}}{R_{ele}} = \frac{V_{DD} - V_{HEADROOM,PMOS}}{R_{ele}} \quad (3.9)$$

$$I_{OUT,MIN} = \frac{V_{OUT,MIN}}{R_{ele}} = \frac{V_{SS} + V_{HEADROOM,NMOS}}{R_{ele}} \quad (3.10)$$

Sin embargo, estos valores son instantáneos y no toman en consideración el periodo de estimulación. Dada la carga y descarga de la capacitancia incluida en el modelo de electrodo  $C_{ele}$ , una corriente de salida constante y un periodo de estimulación  $t$  entonces podemos definir el voltaje de salida en función del tiempo

$$V_{OUT} = V_{R_{ele}} + V_{C_{ele}} \quad (3.11)$$

$$V_{OUT(t)} = I_{OUT} \times R_{ele} + \frac{I_{OUT} \times t}{C_{ele}} \quad (3.12)$$

donde  $V_{R_{ele}}$  es el voltaje en la resistencia del electrodo y  $V_{C_{ele}}$  es el voltaje en la capacitancia. Es por ello que el voltaje de salida está limitado por tres parámetros del controlador de corriente: corriente de salida, voltaje de saturación y carga del electrodo. El período de onda anódica/catódica y el modelo del electrodo no forman parte del diseño, sino que son tomados de las referencias mostradas en el capítulo anterior. Si se tienen 0.3 V de *headroom* (se demostrará en las siguientes subsecciones) y un periodo de estimulación de 1 ms, podemos alcanzar un máximo de voltaje a la salida de  $\pm 2.2$  V:

$$V_{OUT(1ms)} = I_{OUT} \times 30K\Omega + \frac{I_{OUT} \times 1ms}{100nF} = 2.2V \quad (3.13)$$

$$I_{OUT} = 55\mu A \quad (3.14)$$

Existe un compromiso entre los parámetros involucrados en el voltaje de salida y la impedancia de salida, que a su vez está relacionada al consumo de área. Es por ello que en las siguientes subsecciones se analizarán los parámetros involucrados en la corriente y voltaje de salida, los diferentes compromisos que existen entre ellos y cómo se priorizará cada parámetro al momento de elegir dimensiones de los transistores.



### 3.4.2. Compromisos entre parámetros involucrados en la onda de salida

Dada la topología Espejo de Corriente Simple SCCT, se analizarán tres parámetros involucrados en la onda de salida: voltaje umbral, voltaje *headroom* e impedancia de salida. Los dos primeros parámetros se encuentran asociados a la elección de VGS mediante el dimensionamiento de los transistores de polarización. El requerimiento de impedancia de salida ayudaría a definir la longitud del transistor mínima. Para el voltaje umbral, se han realizado ambos análisis de variación con respecto a la temperatura y con respecto al efecto cuerpo.

Para el caso de temperatura, se pudo observar que existe una variación en el voltaje umbral, en el orden de los milivoltios. La Fig. 3.9 es una simulación de barrido de temperatura donde podemos apreciar la relación inversa que existe entre ambos parámetros, lo cual se vuelve algo favorable para temperaturas corporales, entre 36.5 °C y 37.5 °C, ya que al reducir el voltaje umbral del transistor, existe menos probabilidad que el transistor se apague. Para nuestro diseño, se considera que la temperatura mínima corporal se dará por un caso de hipotermia grave, con un valor de 30 °C.

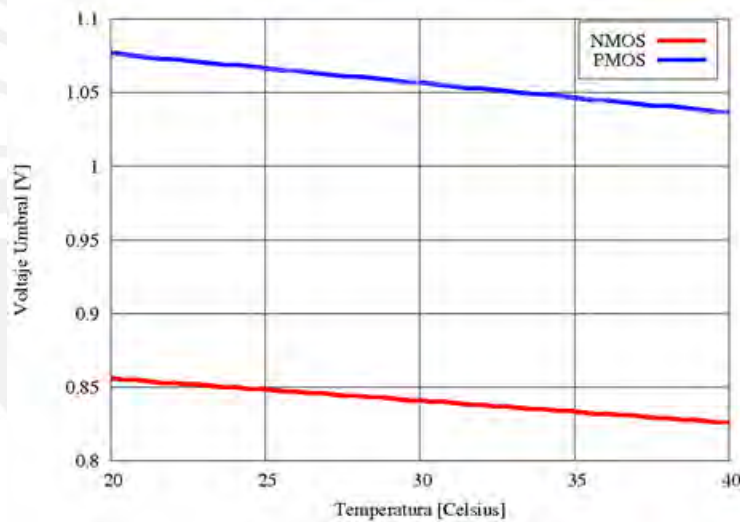


Figura 3.9: Voltaje umbral del transistor NMOS-PMOS vs. Temperatura

Para el caso de efecto cuerpo, es necesario estudiar la relación entre el voltaje sustrato-surtidor y voltaje umbral. Este efecto provoca una variación en el voltaje umbral cuando el voltaje sustrato-surtidor  $V_{SB} \neq 0$ . En el presente diseño se ha decidido conectar todos los sustratos NMOSM a un mismo material *p-well* cuyo potencial es el más negativo del circuito, con el fin de reducir el voltaje umbral y facilitar el diseño de anillos de guarda en *layout*. Sin embargo, para aquellos transistores NMOSM cuyo surtidor no se encuentra conectado a dicho voltaje, caso MN2 y MN4 en Fig. 3.4(b), existirá un  $V_{SB}$  diferente de cero. En la ecuación 3.15, obtenida de [27], se puede observar la alteración que genera el efecto cuerpo en el voltaje umbral.

$$V_{THN} = V_{TH0} + \gamma(\sqrt{2\phi_F + V_{SB}} - \sqrt{|2\phi_F|}) \quad (3.15)$$

En la Fig. 3.10 se muestra el incremento que se genera en el voltaje umbral a medida que  $V_{SB}$  va incrementando. Esto se realizó mediante una simulación de barrido de valores de voltaje en el sustrato, mientras el surtidor se mantiene constante.

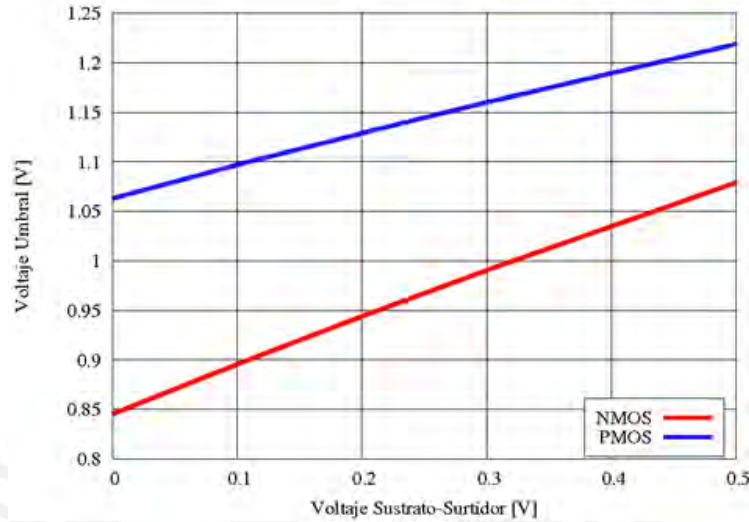


Figura 3.10: Voltaje umbral del transistor NMOS-PMOS vs. diferencia de potencial entre sustrato y surtidor

En base a los dos criterios que han sido discutidos, es conveniente dimensionar los transistores del espejo de corriente simple SCCT con el fin de conseguir un  $V_{GS}$  robusto que superen el máximo voltaje umbral a consecuencia de los cambios de temperatura corporal y voltaje en el sustrato. Podemos expresar dichos criterios en las ecuaciones 3.16 y 3.17.

$$V_{GS} > V_{TH,MAX} \quad (3.16)$$

$$V_{TH,MAX} = MAX[V_{TH(BajaTemp.)}, V_{TH(BodyEffect)}] \quad (3.17)$$

Dado que en la topología espejo de corriente simple SCCT, el transistor que no sufre de efecto cuerpo se encuentra en la región triodo, entonces el voltaje  $V_{SB}$  inducido en el otro transistor es pequeño y el efecto cuerpo es menor. Sin embargo, como se demostrará después en la sección 4.1.1. *Punto de operación*, se sabe que el voltaje sustrato-surtidor puede alcanzar valores de 0.2 V y 0.25 V, lo cual implica voltajes umbrales mayores a los que se pueden provocar por variación de temperatura. Luego, decimos que el voltaje umbral máximo se provocara por el efecto cuerpo.

$$V_{THP,MAX} = 1.15V \quad (3.18)$$

$$V_{THN,MAX} = 0.98V \quad (3.19)$$

Para analizar el voltaje *headroom*, debemos considerar más a detalle la definición de saturación del transistor y la etapa de salida del espejo de corriente simple SCCT. Existen dos condiciones para que el transistor funcione en la región de saturación:

$$V_{GS} > V_{TH} \quad (3.20)$$

$$V_{DS} > V_{GS} - V_{TH} = V_{OV} \quad (3.21)$$

donde el voltaje  $V_{OV}$  representa la diferencia  $V_{GS}-V_{TH}$ . Esto se debe a que, físicamente, debe existir un canal *invertido* en el transistor, donde los portadores mayoritarios han sido invertidos con el fin de permitir el flujo de electrones del drenador al surtidor en el caso NMOSM, lo cual se logra cuando  $V_{GS}$  supera el voltaje umbral. Luego, para que la corriente sea casi independiente del voltaje drenador-surtidor, como en una fuente de corriente ideal, es necesario que ocurra el efecto *pinch-off* en el canal invertido que se generó previamente. Este efecto ocurre cuando el voltaje  $V_{DS}$  es mayor  $V_{OV}$ , y suele denominarse saturación del transistor. Mientras la impedancia de salida sea mayor, entonces el comportamiento del espejo de corriente será más parecido al de una fuente ideal de corriente, con una corriente de salida constante para un rango de voltajes de salida.

El voltaje de saturación  $V_{DSAT}$  se define como el mínimo voltaje  $V_{DS}$  para que el transistor ingrese a la región de saturación cuando existe una corriente fija en el transistor,  $I_D > 0\mu A$ . Sin embargo, como se mostró en la Fig. 3.8, la denominación *headroom* se asocia a ambos transistores en la etapa de salida, tanto para NMOSM como para PMOSM. En el primer capítulo, ya se mencionaba que el termino *headroom* se refiere al consumo de voltaje a la salida. Para el controlador de corriente, es el parámetro que limitara el rango de voltaje a la salida. Se definen entonces ambos voltajes *headroom* para caso NMOSM y PMOSM de la Fig. 3.8:

$$V_{HEADROOM,NMOS} = V_{DSAT2N} + V_{DS1N} \approx V_{DSAT2N} \quad (3.22)$$

$$V_{HADROOM,PMOS} = V_{DSAT2P} + V_{DS1P} \approx V_{DSAT2P} \quad (3.23)$$

Como sabemos,  $V_{DS1}$  para ambos casos es un voltaje muy bajo ya que se trata de transistores en la región triodo. Sin embargo, se pueden reducir los voltajes  $V_{DSAT2}$  mediante la reducción del voltaje  $V_{OV}$ , es decir de  $V_{GS}$ . Podemos resumir las consideraciones se tomaran en cuenta para la elección de dicho  $V_{GS}$  en la rama polarización:

- Menor headroom, y VOV, posible para incrementar el rango de voltaje a la salida

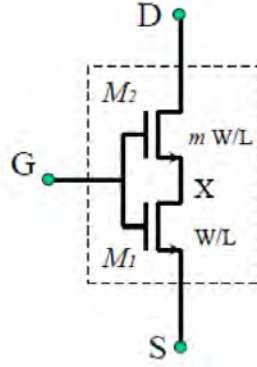


Figura 3.11: Topología SCCT y factor de forma de transistores [26]

- Robusto frente a variaciones de  $V_{TH}$  provocadas por temperatura y efecto cuerpo

En la Fig. 3.11 podemos observar que el transistor en saturación M2 tiene  $m$  veces el ancho de M1. Podemos deducir, según las ecuaciones de corriente en la Tabla 3.2, los compromisos existentes entre las dimensiones de cada transistor y las consideraciones que se han mencionado previamente, presentados en la Tabla 3.4. Se ha asumido que existe una corriente fija en ambos transistores, que  $V_{DS1}$  es muy pequeño y que no hay modulación de canal en M2.

Tabla 3.4: Compromiso entre dimensiones y requerimientos de los transistores

| Transistor | Compromiso                               | Requerimiento                            |
|------------|--|--|
| M1         | $\uparrow \frac{W}{L} \downarrow V_{OV}$ | Mayor rango de voltaje a la salida       |
| M2         | $\uparrow m \downarrow V_{OV}$           |  |
| M1         | $\downarrow \frac{W}{L} \uparrow V_{OV}$ | Robusto frente a variaciones de $V_{TH}$ |
| M2         | $\downarrow m \uparrow V_{OV}$           |  |

Para una longitud del transistor constante  $L = 1\mu m$ , se ha realizado una simulación de barrido del ancho del transistor y de  $m$ , con el fin de observar los compromisos mencionados en la Tabla 3.4, utilizando al voltaje puerta-surtidor  $V_{GS}$  como referencia.

### 3.4.3. Impedancia de salida

En una fuente de corriente siempre se percibe una impedancia en paralelo asociada a dicha fuente. En una fuente de corriente ideal, dicha impedancia tiene un valor infinito, mientras que en una fuente de corriente real, la impedancia asociada tiene un

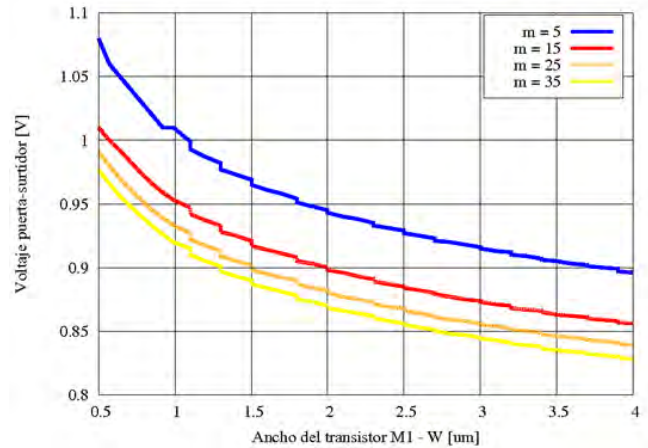


Figura 3.12: Compromisos existentes entre dimensiones de transistores y voltaje  $V_{GS}$

valor finito. Debido al comportamiento del Controlador de Corriente como una fuente de corriente no ideal o real, podemos graficar el circuito esquemático considerando las resistencias asociadas a cada rama, como se muestra en la Fig. 3.13.

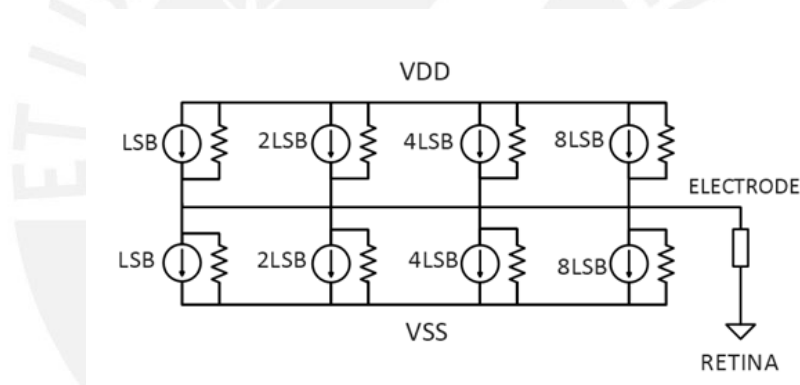


Figura 3.13: Controlador de Corriente con fuentes de corriente no ideales

Cada resistencia presenta un diferente valor, dado que la corriente en cada rama es diferente. En este caso, mientras la corriente en la rama sea mayor, como en el caso de la fuente 8LSB, entonces la impedancia de salida asociada será menor. Asumiendo dimensiones y corrientes fijas en los transistores, las resistencias asociadas a las ramas del PDAC son menores que las del NDAC, dado que la movilidad de huecos en PMOSM es menor que la movilidad de electrones en NMOSM, por lo que este último presenta un mejor acercamiento a una fuente ideal de corriente. Por ello, para mantener una simetría en el comportamiento de PDAC y NDAC con respecto a la corriente a la salida, las dimensiones elegidas para el PDAC serán mayores al NDAC, como se podrá observar en la sección Layout.

A partir de este punto, nos podemos hacer la pregunta: ¿Cuál es la resistencia

interna que se necesita para cada fuente no ideal de corriente? Con el objetivo de maximizar el rendimiento de la fuente de corriente, hemos considerado en la presente tesis que la impedancia de salida a alcanzar por el circuito debe ser 50 veces la impedancia del electrodo. Dado que solo se activara un DAC a la vez, el  $R_{OUT}$  mostrado es el requerimiento para PDAC y NDAC. Considerando la técnica de la Fig. 3.5, tenemos que en cada convertidor existirán 15 ramas LSB, por lo que también se puede definir el requerimiento de impedancia de salida para cada rama.

$$R_{OUT} > 50R_{electrodo} \rightarrow R_{OUT} > 1.5M\Omega \quad (3.24)$$

$$\frac{R_{OUT,LSB}}{15} > R_{OUT} \rightarrow R_{OUT,LSB} > 22.5M\Omega \quad (3.25)$$

Dado el modelo en pequeña señal del transistor y considerando el efecto de Modulación de Canal o *Channel-Length Modulation*, podemos obtener la impedancia de salida de un espejo de corriente simple mediante la derivación del voltaje  $V_{DS}$  con respecto a la corriente en el drenador

$$r_o = \frac{\partial V_{DS}}{\partial I_D} \approx \frac{1}{I_D \lambda} \quad (3.26)$$

En nuestro caso, cada rama LSB se encuentra conformada por dos transistores en serie, cuya impedancia de salida típica se representaría como  $g_{m2}r_{o2}r_{o1}$ , si es que ambos transistores se encontraran en la región de saturación [27]. Sin embargo, para el caso de la topología SCCT se hace un nuevo análisis de impedancia de salida [26], dado que un transistor se encuentra saturado y otro en la región triodo:

$$\begin{aligned} R_{OUT,LSB} &= g_{m2}r_2r_1 - r_2 - r_1 \\ &= (m-1) \times r_2 \\ &= (m-1) \times \frac{1}{\lambda_2 I_D} \end{aligned} \quad (3.27)$$

Donde el valor obtenido se cumple para  $m \gg 1$ . Dado que la corriente en la rama LSB es fija y tomando en cuenta que  $\lambda$  es proporcional a  $\frac{1}{\lambda}$  [27], podemos establecer la relación que existe entre las dimensiones del transistor, la impedancia de salida y el consumo de área, mostrado en la Tabla 3.5.

De esta manera, podemos concluir que el dimensionamiento del transistor M2 se encuentra asociado al requerimiento de impedancia de salida del controlador de corriente, mientras que el dimensionamiento de M1 se asocia al requerimiento de rango de voltaje a la salida. En la Fig. 3.14, podemos observar los rangos de impedancia de salida que se pueden alcanzar mediante la variación del parámetro L2 y m, a partir

Tabla 3.5: Compromiso entre dimensiones e impedancia de salida en rama LSB

| Transistor | Compromiso                                       | Requerimiento              |
|------------|--|----------------------------|
| M2         | $\uparrow L \downarrow \lambda_2 \uparrow r_2$   | Mayor impedancia de salida |
| M2         | $\uparrow m \uparrow R_{OUT,LSB}$                |                            |
| M2         | $\downarrow L \uparrow \lambda_2 \downarrow r_2$ | Menor consumo de área      |
| M2         | $\downarrow m \downarrow R_{OUT,LSB}$            |                            |

de una corriente fija y factor de forma  $\frac{W}{L} = 0.5$ . Se ha establecido un voltaje de salida constante de  $-1$  V con el fin de asegurar la saturación del transistor M2 de salida y apreciar la impedancia de salida cuando el controlador de corriente se comporta como una fuente de corriente cercana a la ideal.

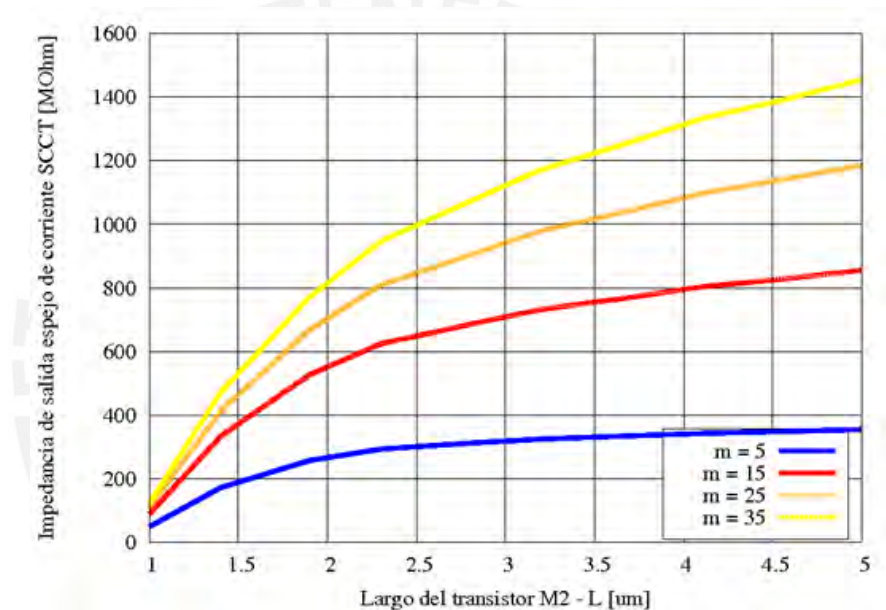


Figura 3.14: Compromisos existentes entre dimensiones de transistores e impedancia de salida

Para los casos de menor largo del transistor  $L = 1\mu m$ , se observa en la Fig. 3.14 que las impedancias de salida que se pueden alcanzar superan el requerimiento del controlador de corriente, como  $48.44M\Omega$  para  $m = 5$  y  $88.71M\Omega$  para  $m = 15$ , razón por la cual se pueden utilizar valores pequeños de longitud y  $m$  para satisfacer el requerimiento de impedancia de salida. Luego, decimos que el incremento de las dimensiones vendrá dado por el requerimiento de rango de voltaje a la salida y elección de un  $V_{GS}$  robusto.

De esta manera, podemos apreciar por primera vez el *trade-off* o compromiso que existe entre el rango de voltaje a la salida y la impedancia de salida, a partir de

una relación constante de factor de forma  $\frac{W}{L} = 0.5$ . A medida que se obtiene una mayor impedancia de salida mientras L aumenta entonces el rango de voltaje a la salida aumenta porque W aumenta, pero el voltaje  $V_{GS}$  se reduce y puede ser inferior a  $V_{TH}$ . De manera similar, al incrementar m entonces ambos impedancia de salida y rango de voltaje a la salida incrementan, pero VGS puede caer debajo de  $V_{TH}$ . Los criterios de elección de las dimensiones son principalmente: asegurar un rango de voltaje a la salida  $\pm 2.2V$  o mayor, conseguir una impedancia de salida igual o mayor a  $22.5M\Omega$  por cada rama LSB y reducir el consumo de área.

### 3.5. Dimensionamiento

Siguiendo los criterios mencionados previamente, y habiendo realizado las simulaciones correspondientes para el caso complementario de espejo de corriente SCCT PMOSM, se han dimensionado los transistores que conforman las ramas LSB del PDAC y NDAC, como se muestra en la Tabla 3.6.

Tabla 3.6: Dimensionamiento de transistores de que conforman espejo de corriente SCCT LSB para PDAC y NDAC

| Transistor | m  | W ( $\mu m$ ) | L ( $\mu m$ ) | Factor de forma |
|------------|----|---------------|---------------|-----------------|
| MN1        |    | 0.5           | 1             | 0.5             |
| MN2        | 15 | 7.5           | 1             | 7.5             |
| MP1        |    | 2             | 1             | 2               |
| MP2        | 8  | 16            | 1             | 16              |

Para el caso de los circuitos de control digital como la puerta NOT, los interruptores y el interruptor complementario, se ha realizado el dimensionamiento mostrado en la Tabla 3.7. Dado que se encuentran operando en corte y saturación, y que su comportamiento transitorio puede tener una variación rápida debido a que dependen de la velocidad de cambio de los bits de entrada, se ha elegido el mínimo largo que ofrece la tecnología *mid-oxide* pero con un factor de forma de 4 y 8 para NMOSM y PMOSM, respectivamente.

Tabla 3.7: Dimensionamiento de interruptores

| Transistor | W ( $\mu m$ ) | L ( $\mu m$ ) | Factor de forma |
|------------|---------------|---------------|-----------------|
| NMOS       | 2             | 0.5           | 4               |
| PMOS       | 4             | 0.5           | 8               |



# Capítulo 4

## Resultados y simulaciones

A continuación se presentan las formas de onda bifásica que se han generado a la salida del Controlador de Corriente diseñado en el capítulo anterior. Para ello, se utilizó la herramienta *Spectre* de *Cadence*, con la cual se pudo realizar simulaciones DC para hallar el punto de operación de los transistores y disipación de potencia en todo el circuito, simulaciones transitorias para observar la forma de onda de corriente y voltaje en un periodo definido, y hallar el *slew rate* o velocidad máxima de cambio de corriente. Finalmente, se muestra la disposición física de los transistores en una propuesta de *layout*.

### 4.1. Simulación DC

#### 4.1.1. Punto de operación

El objetivo de la simulación DC del circuito es demostrar que los transistores se encuentran polarizados en el punto de operación deseado. Ello implica el cumplimiento de los requerimientos para saturación de los transistores, explicado en la sección 3.2. *Especificaciones*. En esta oportunidad mostraremos los puntos de operación de los transistores de las 4 etapas: transistores de salida en NDAC, en PDAC, en los circuitos de polarización y en los circuitos de lógica digital.

En la tabla 4.2 se pueden observar los valores de corriente simulados en las ramas que componen a los convertidores NDAC y PDAC. En la tabla 4.3 se presentan los indicadores de desempeño de los convertidores, como impedancia de salida, rango de voltaje de salida y *headroom*. Para el caso de voltaje máximo a la salida y *headroom* se ha considerado un error de 1% en la corriente generada a la salida para realizar el cálculo de *slew rate* y acorde a la referencias [10] [11] [15]. Para la impedancia de salida simulada en cada convertidor se consideró un voltaje constante a la salida de 1V para PMOS y de -1V para NMOS.

Tabla 4.1: Punto de operación de transistores saturados en ramas LSB

| Transistor | $I_D(\mu A)$ | $V_{OV}(V)$ | $V_{GS}(V)$ | $V_{TH}(V)$ | $V_{HR}(V)$ |
|------------|--------------|-------------|-------------|-------------|-------------|
| MN1        | 3.673        | 0.463       | 1.227       | 0.764       | 0.29457     |
| MN2        | 3.673        | 0.0676      | 1.014       | 0.9464      | 0.29457     |
| MP1        | 3.67         | 0.453       | 1.54        | 1.087       | 0.4068      |
| MP2        | 3.67         | 0.117       | 1.269       | 1.152       | 0.4068      |

Tabla 4.2: Curvas de transferencia y rangos de salida de NDAC y PDAC

| ETAPA           | $I_D(\mu A)$ |
|-----------------|--------------|
| NDAC LSB        | 3.673        |
| NDAC 2LSB       | 7.346        |
| NDAC 4LSB       | 14.692       |
| NDAC MSB        | 29.384       |
| NDAC Full Scale | 55.095       |
| PDAC LSB        | 3.67         |
| PDAC 2LSB       | 7.34         |
| PDAC 4LSB       | 14.68        |
| PDAC MSB        | 29.36        |
| PDAC Full Scale | 55.05        |

Tabla 4.3: Desempeño de NDAC y PDAC

| DAC SCCT | Impedancia de salida ( $M\Omega$ ) | Headroom (V) | Maximo voltaje a la salida (V) |
|----------|------------------------------------|--------------|--------------------------------|
| NMOS     | 5.77                               | 0.31851      | -2.18149                       |
| PMOS     | 3                                  | 0.44404      | 2.05596                        |

#### 4.1.2. Curva característica

Para poder obtener la curva  $I_{OUT}$  vs.  $V_{OUT}$ , se realizó un barrido de voltajes a la salida desde 0 V hasta  $\pm 2.5$  V, mientras se medía la corriente de salida, tanto para el caso de la topología SCCT como la topología cascode *High Swing Cascode Current Mirror* (HSCCM), con el fin de comparar ambos desempeños y definir ventajas y desventajas de la propuesta en el presente trabajo. Dicho análisis ha sido llevado a cabo tanto en PMOS como en NMOS para un espejo de corriente de ganancia unitaria, utilizando la corriente de referencia LSB del DAC, como se muestra en la Fig. 4.1. Las dimensiones utilizadas fueron elegidas de tal manera que la suma del área total

sea igual para ambas topologías.

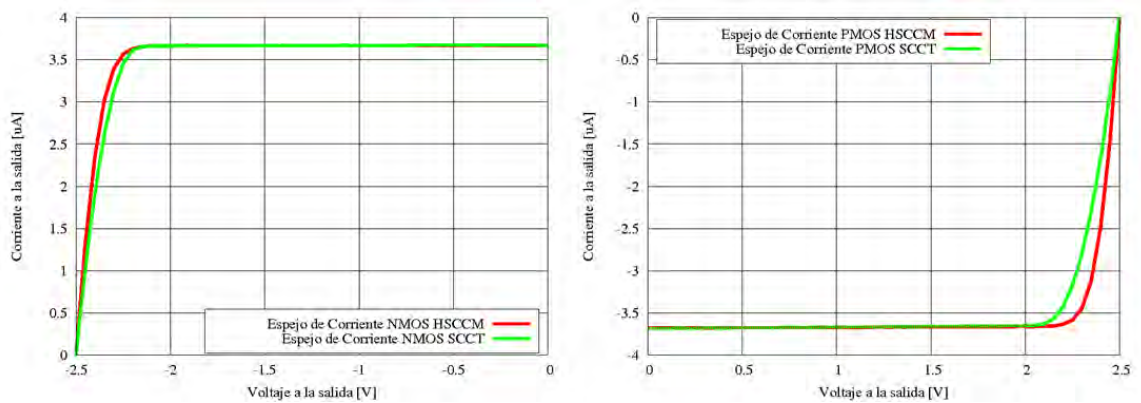


Figura 4.1: Curva característica de espejos de corriente HSCCM y SCCT

Asimismo, para el caso del DAC, se han obtenido las curvas características utilizando ambas topologías, mostradas en la Fig. 4.2 . Con ello, se puede observar el desempeño del controlador de corriente final tanto para el lado del PDAC como del NDAC. En este caso, las dimensiones utilizadas fueron diferentes, ya que el controlador de corriente HSCCM fue dimensionado en un trabajo previo, mientras que en la propuesta SCCT se realizó una optimización en el consumo de área.

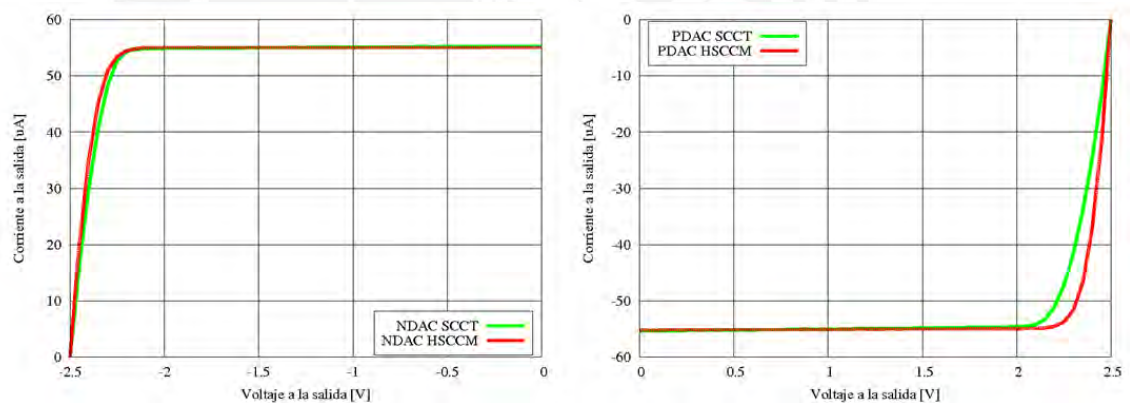


Figura 4.2: Curva característica del controlador de corriente HSCCM y SCCT

En base a las simulaciones realizadas para el caso SCCT y HSCCM, tanto PMOS como NMOS, y considerando ambos circuitos de espejo de corriente simple y controlador de corriente final, podemos realizar una comparación de ventajas y desventajas que cada topología presenta.

Tabla 4.4: Comparación de ventajas y desventajas entre topologías SCCT y HSCCM

| <b>Topología</b>                                 | <b>Ventajas</b>  | <b>Desventajas</b>  |
|--|--|---|
| <i>High Swing<br/>Cascode Current<br/>Mirror</i> | Mayor impedancia de salida. Menor voltaje headroom, mayor rango de voltaje a la salida.                      | Mayor consumo de área.  |
| <i>Self Cascode<br/>Composite<br/>Transistor</i> | Reducción de consumo de área, manteniendo la impedancia de salida y rango de voltaje a la salida, similares. | Ligeramente menor impedancia de salida. Mayor voltaje headroom, menor rango de voltaje a la salida para el caso PMOS. |

## 4.2. Simulación transitoria

En esta oportunidad, se ha generado una forma de onda bifásica con los parámetros mostrados en la Tabla 4.5. Se han considerado algunos valores recomendados en [12], como la secuencia retiro/entrega de carga eléctrica, frecuencia de y periodos de estimulación. Con el fin de observar el desempeño del controlador de corriente, se simuló la forma de onda utilizando la máxima corriente que se puede generar a la salida.

Tabla 4.5: Parámetros de la forma de onda generada a la salida

|   |   |
|---|---|
| <b>Tipo de forma de onda</b>              | Catódica-anódica<br>( <i>cathodic-first</i> ) |
| <b>Frecuencia de estimulación</b>         | 60 Hz   |
| <b>Periodo de estimulación</b>            | 16.67 ms                                      |
| <b>Periodo de onda catódica y anódica</b> | 1 ms (cada una)                               |
| <b>Intervalo entre fases</b>              | 0.1 ms  |
| <b>Periodo de descarga</b>                | 14.57 ms                                      |
| <b>Corriente de salida</b>                | $\pm 55 \mu A$                                |

En la Fig. 4.3 se observa la forma de onda de corriente a la salida del circuito propuesto. La corriente entregada y retirada del modelo de electrodo se encuentran constantes durante los periodos de estimulación anódica y catódica.

Dado que el modelo de electrodo actúa como un elemento de carga y descarga, se puede observar en la Fig. 4.4 que la magnitud de voltaje se acumula dentro de cada periodo de estimulación anódica y catódica. A pesar de ello, la magnitud de

corriente a la salida se mantiene constante, comportamiento similar al de una fuente de corriente ideal.

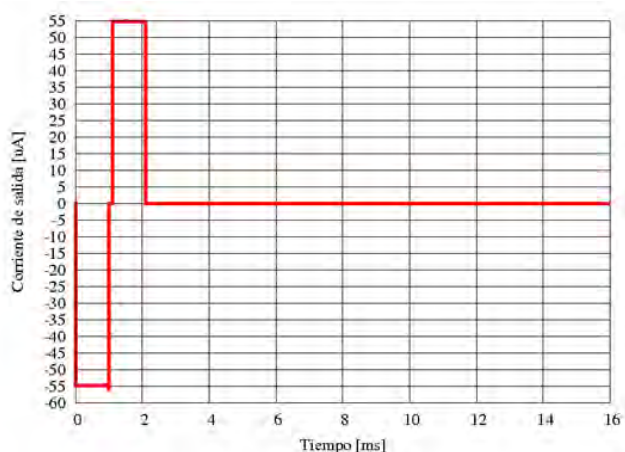


Figura 4.3: Forma de onda bifásica de corriente simulada en el modelo de electrodo

Durante el intervalo entre fases, no se activa ningún convertor ni interruptor. Por ello, existe una carga remanente que se puede apreciar en la Fig. 4.4 entre el tiempo  $1ms$  y  $1.1ms$ . En el periodo de descarga, el interruptor complementario se cierra y permite retirar toda carga remanente en el modelo de electrodo durante  $14.57ms$ .

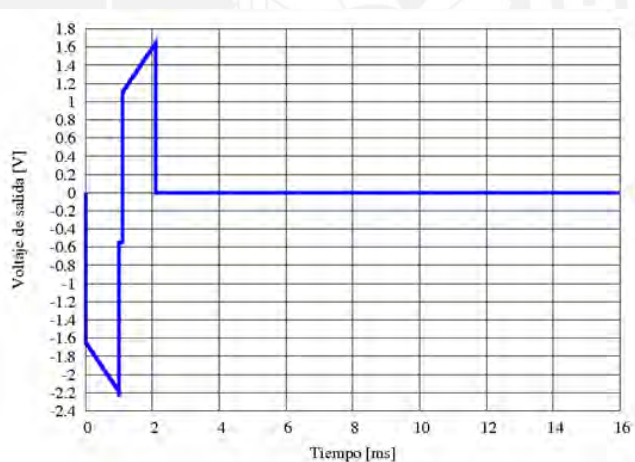


Figura 4.4: Forma de onda bifásica de voltaje simulada en el modelo de electrodo

### 4.3. Disipación de potencia

Dada la forma de onda bifásica, existen transistores que se encontraran activados y otros apagados durante una u otra etapa. Esto se debe a que estamos utilizando

diferentes transistores para inyectar que para retirar la carga del electrodo. A partir del análisis transitorio realizado, podemos hallar la disipación de potencia en el controlador de corriente. La potencia total entregada al circuito se calcula como la suma de las potencias entregadas por  $V_{DD}$  y  $V_{SS}$ . La potencia disipada se encuentra en las fuentes de referencia, el modelo de electrodo y el controlador de corriente.

$$P_{ENTREGADA} = P_{VDD} + P_{VSS} \quad (4.1)$$

$$P_{DISIPADA} = P_{CONTROLADORDECORRIENTE} + P_{ELECTRODO} + P_{IREF} \quad (4.2)$$

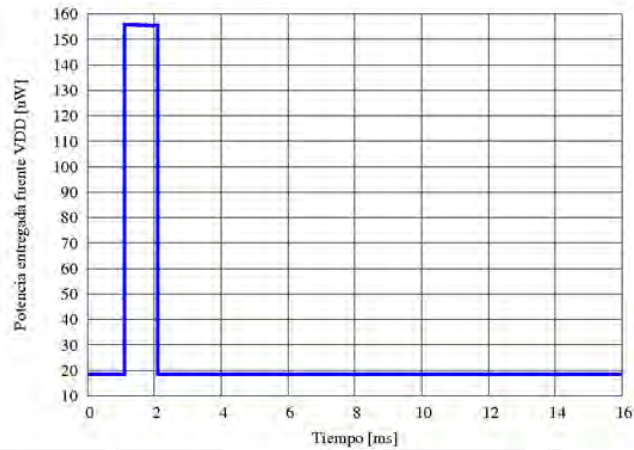


Figura 4.5: Potencia entregada por fuente  $V_{DD}$

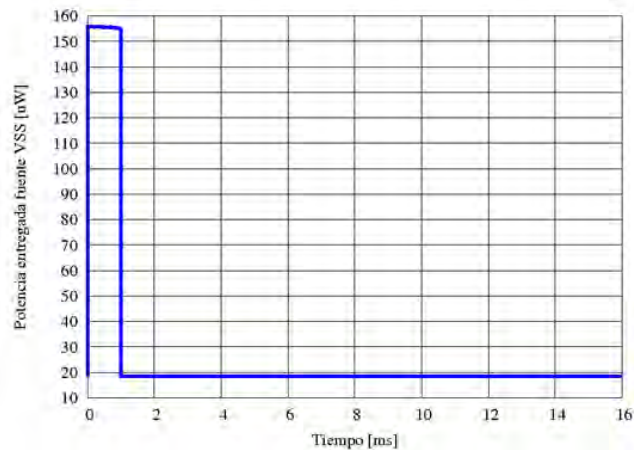


Figura 4.6: Potencia entregada por fuente  $V_{SS}$

En la Fig. 4.5 y 4.6 se observa que la potencia entregada por cada fuente se asocia al tipo de onda que se está generando, ya que la fuente  $V_{DD}$  aporta principalmente a la onda anódica o de inyección de carga, mientras que la fuente  $V_{SS}$  se encarga del retiro de carga u onda catódica.

La suma de las potencias entregadas por  $V_{DD}$  y  $V_{SS}$  es la potencia total entregada. Sin embargo, esta no es la potencia disipada en el controlador de corriente. Para ello, debemos considerar la potencia disipada en el electrodo, mostrada en la Fig. 4.7, y en las fuentes de corriente, que actúan como cargas. Para el caso del electrodo, toda la potencia disipada se concentra en las etapas de onda catódica y anódica, de 1 ms cada una. Para el caso de las fuentes de corriente de referencia, la disipación de potencia de puede hallar observando el punto de operación del circuito de polarización, dado que se encuentra activado independientemente de la forma de onda, por lo cual es constante. En el caso de la corriente de referencia del NDAC, se disipa  $13.8 \mu W$ , mientras que para la referencia de PDAC,  $12.7 \mu W$ . La sumatoria de ambas representa la potencia  $P_{IREF}$  en la ecuación mostrada al inicio de esta sección.

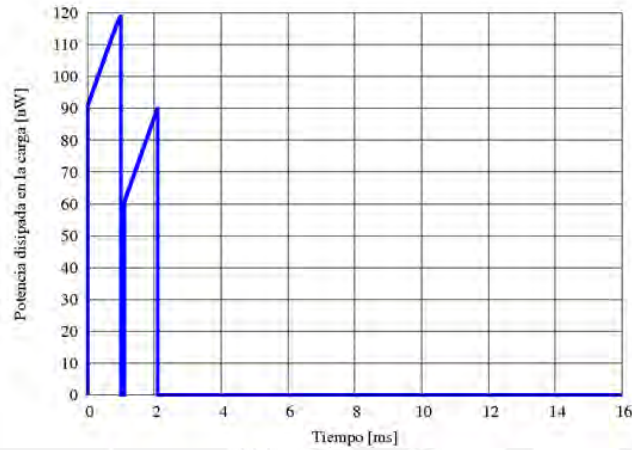


Figura 4.7: Potencia consumida por el electrodo durante el periodo de estimulación

Una vez conocidos ambos valores de potencia total entregada y potencia total disipada en el electrodo y fuentes de referencia, podemos hallar la potencia total consumida por el controlador de corriente mediante la siguiente ecuación:

$$P_{CONTROLADORDECORRIENTE} = P_{ENTREGADA} - P_{ELECTRODO} - P_{IREF} \quad (4.3)$$

En la Fig. 4.8 de potencia disipada en el controlador de corriente se observa el resultado de la ecuación. Para cada onda anódica y catódica, la disipación de potencia decrece, dado que el modelo de electrodo presenta un comportamiento de carga y descarga, por lo cual la potencia disipada por el circuito al inicio es mayor, y a medida que el electrodo se va cargando, la potencia disipada disminuye.

Debido a que se desea analizar la disipación de potencia durante cada periodo de la forma de onda, hemos procedido a hallar los promedios durante cada fase, y se muestran en la Tabla 4.6.

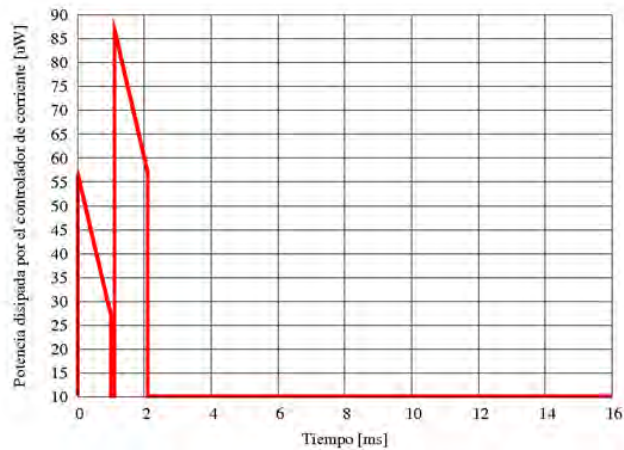


Figura 4.8: Disipación de potencia en el controlador de corriente

De acuerdo a la Ecuación 4.3, la Tabla 4.6 ha sido separada en potencia disipada en el modelo de electrodo, fuentes de corriente de referencia y controlador de corriente.

Tabla 4.6: Disipación de potencia durante fases de la onda de estimulación

| ETAPA         | Modelo de electrodo ( $\mu\text{W}$ ) | Fuente de referencia ( $\mu\text{W}$ ) | Controlador de corriente ( $\mu\text{W}$ ) |
|---------------|---------------------------------------|--|--|
| Onda catódica | 104.93                                | 26.5                                   | 42.52                                      |
| Onda anódica  | 75.35                                 | 26.5                                   | 72.19                                      |
| Descarga      | 0                                     | 26.5                                   | 10.2                                       |

#### 4.4. Slew rate

Se ha medido la velocidad máxima a la que puede cambiar la salida del circuito, para el caso de máxima corriente, con el fin de medir la máxima velocidad de cambio a la salida del controlador de corriente. En la Fig. 4.9 se observa que, para el caso de la onda catódica, la salida se establece constante a partir de 220 ns, mientras que para la onda anódica, se establece a partir de los 300 ns, por lo que la salida puede cambiar de manera parecida a las formas de onda que se suelen generar para estimular la retina, en el rango de los 50 Hz – 5 KHz [12].



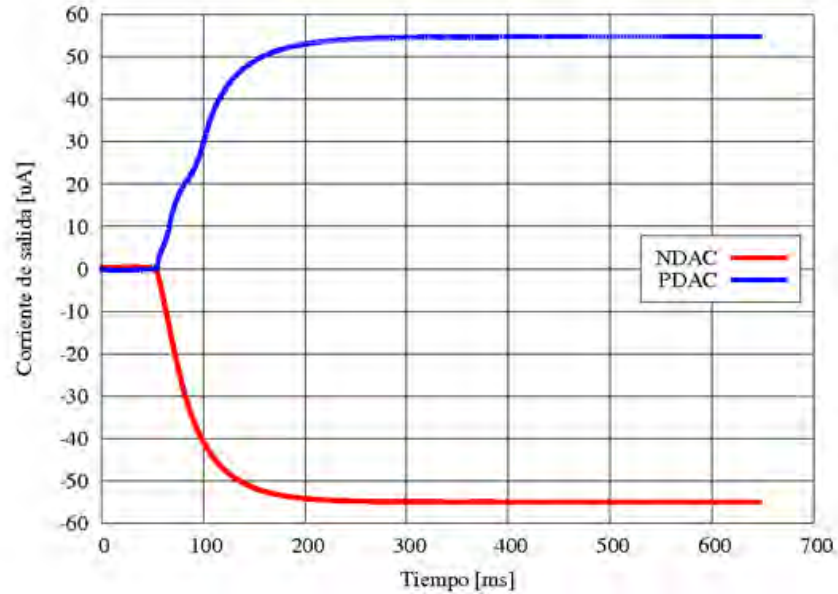


Figura 4.9: Velocidad de cambio de la corriente catódica de salida del circuito

## 4.5. Disposición física del Controlador de Corriente

Ambos conversores NMOS y PMOS han sido diseñadas mediante interdigitación [29] para reducir el área ocupada por cada par de transistores que conforman cada rama LSB. Los circuitos de polarización han sido separados de acuerdo a NMOSM o PMOSM, al igual que los circuitos de control lógico digital, con el fin de reducir área y compartir anillos de guarda. El interruptor complementario de descarga se encuentra conectado al potencial de la retina y la salida del controlador de corriente. La Fig. 4.10 muestra la disposición física del Controlador de Corriente o *Layout*, donde las etapas PDAC, NDAC, BIAS, control digital y descarga han sido resaltadas en rojo para diferenciar los anillos de guarda.

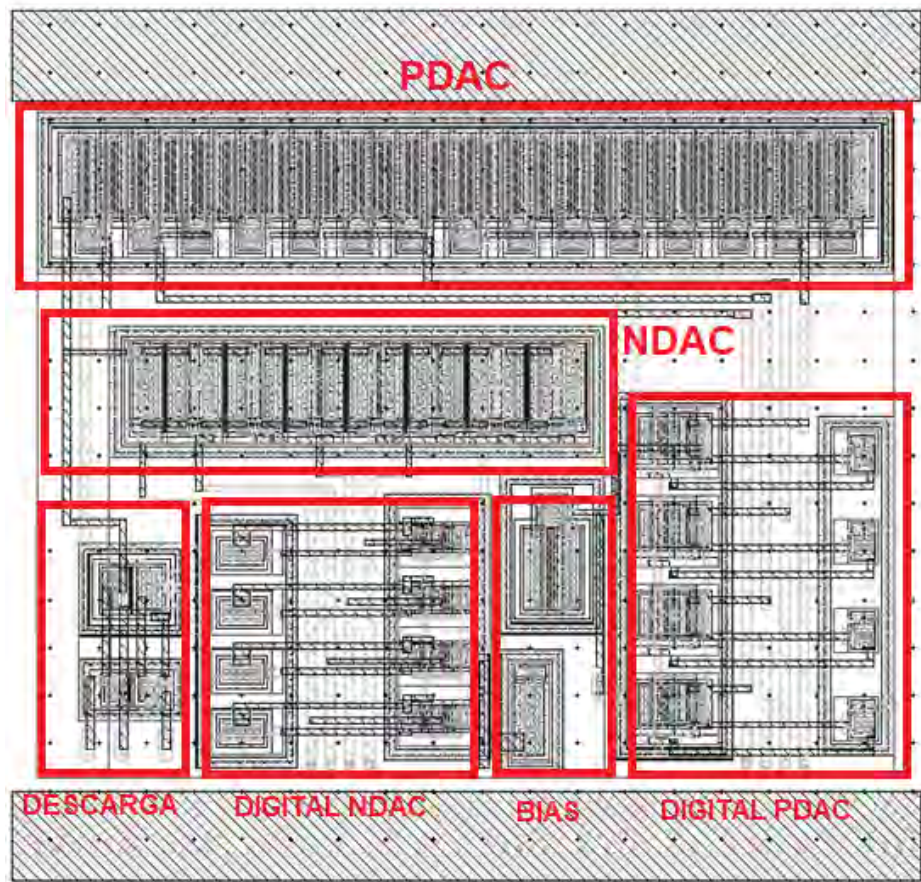


Figura 4.10: Disposición física del controlador de corriente

# Conclusiones

Se ha propuesto un controlador de corriente para un neuroestimulador de prótesis epiretinal basado en un PDAC y NDAC colocados directamente a la salida, con el fin de reducir el consumo de potencia que se suele presentar en etapas intermedias como espejos de corriente de ganancia variable. Se utilizó el transistor de 5 V que ofrecía la tecnología AMS 0.35  $\mu\text{m}$  para incrementar el rango de voltaje a la salida. En comparación con la topología cascodo que fue propuesta en un diseño anterior, denominado HSCCM, la principal ventaja que ofrece este nuevo diseño con la topología de transistor compuesto SCCT, es la reducción en el consumo de área, manteniendo altos valores de impedancia y rango de voltaje a la salida, de manera que se satisfagan los requerimientos establecidos.

El área del controlador de corriente se redujo de 0.012  $\text{mm}^2$  a 0.006408  $\text{mm}^2$ , lo que representa un ahorro cercano al 50% del área. En comparación con los trabajos presentados en el estado del arte [10] [11] [15], se consiguió una menor área para el pixel de estimulación, considerando que en otros trabajos se utilizaron tecnologías de menor tamaño.

Utilizando el modelo de electrodo de 30  $K\Omega$  + 100 nF, se consiguió generar una forma de onda bifásica con un máximo valor de corriente a la salida de 55  $\mu\text{A}$ . El *slew rate* mostrado en los resultados es suficiente para generar el tipo de forma de onda requerido por las prótesis epiretinales, presentado en el estado del arte [10] [11] [15].

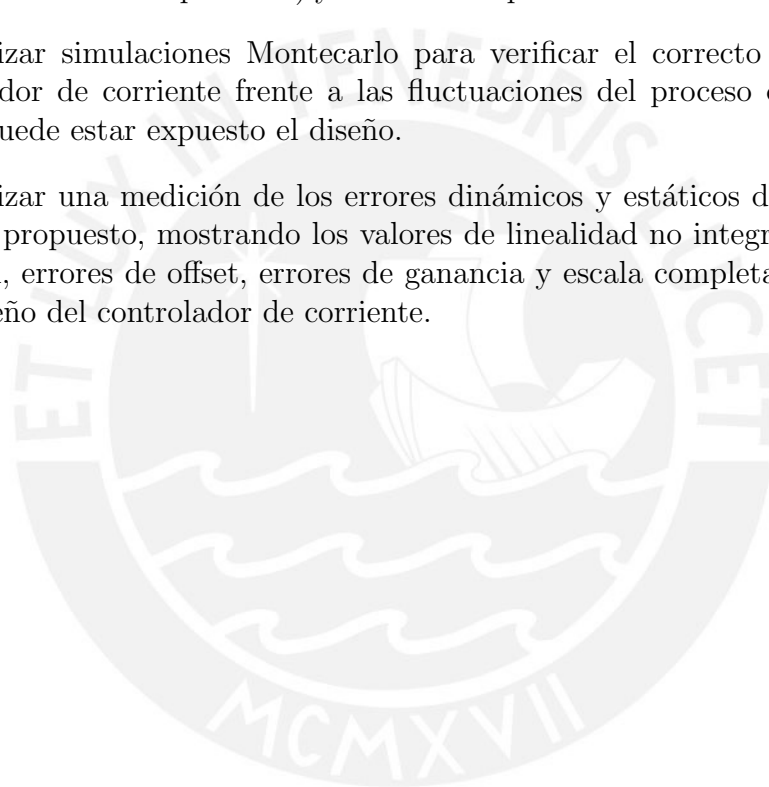
Existe un compromiso entre impedancia de salida, rango de voltaje a la salida y consumo de área que se puede manejar por la elección de las dimensiones y la topología. Se priorizó el rango de voltaje a la salida, ya que la impedancia de salida cumplía los requerimientos para valores mínimos de longitud y la reducción de área se consiguió mediante la elección de la topología SCCT.

# Recomendaciones

Para reducir el consumo de potencia, se pueden activar los circuitos de polarización solo en el periodo de la forma de onda en que se necesitan. Asimismo, se puede incrementar el número de canales locales o etapas de salida que comparten el mismo circuito de polarización, de manera que se reduce la disipación de potencia a nivel global. Es necesario considerar un máximo número de canales que se pueden generar para incrementar la eficiencia en disipación de potencia (más canales por una menor disipación relativa de potencia) y mantener la precisión en forma de onda de corriente.

Realizar simulaciones Montecarlo para verificar el correcto funcionamiento del controlador de corriente frente a las fluctuaciones del proceso de fabricación a las cuales puede estar expuesto el diseño.

Realizar una medición de los errores dinámicos y estáticos del convertidor digital-análogo propuesto, mostrando los valores de linealidad no integral, linealidad no diferencial, errores de offset, errores de ganancia y escala completa para comprobar el desempeño del controlador de corriente.



# Bibliografía

- [1] J. D. Weiland and M. S. Humayun, "Retinal Prosthesis", *IEEE Transactions on biomedical engineering*, vol. 61, no. 5, pp. 1412-1424, 2014.
- [2] J. D. Weiland and M. S. Humayun, "Visual Prosthesis", *Proceedings of the IEEE*, vol. 96, no. 7, pp. 1076-1084, 2008.
- [3] U.S. Department of Energy Office of Science, "Artificial Retina Project," 07 February 2013. [Online]. Available: <http://artificialretina.energy.gov/about.shtml> [Accessed 19 April 2016].
- [4] L. Testut and O. Jacob, *Anatomia Topografica*, Barcelona: Salvat, 1972.
- [5] S. C. Chen, G. J. Suaning, J. W. Morley and N. H. Lovell, "Simulating prosthetic vision: II. Measuring functional capacity", *Vision Research*, pp. 2329-2343, 2009.
- [6] World Health Organization, "Priority eye diseases: Age-related macular degeneration," [Online]. Available: <http://www.who.int/blindness/causes/priority/en/index7.html> [Accessed 03 07 2016].
- [7] Instituto Nacional de Oftalmología, "Análisis de la situación de la salud 2014," Ministerio de Salud, Lima, 2015.
- [8] E. Fernandez, *Retinosis Pigmentaria Preguntas y Respuestas*, Elche: Prismatic Arts Grafiques, 2007.
- [9] U.S. Department of Energy Office of Science, "Artificial Retina Project: Retinal Diseases Age Related Macular Degeneration and Retinitis Pigmentosa," 17 05 2012. [Online]. Available: <http://artificialretina.energy.gov/diseases.shtml> [Accessed 03 07 2016].
- [10] E. Noorsal, K. Sooksood, H. Xu, R. Hornig and M. Ortmanms, "A Neural Stimulator Frontend with High-Voltage Compliance and Programmable Pulse Shape for Epiretinal Implants", *IEEE Journal of Solid-State Circuits*, vol. 47, no. 1, pp. 244-256, 2012.

- [11] M. Monge, M. Raj, M. Honarvar Nazari, H.-C. Chang, J. D. Weiland and M. S. Humayun, "A Fully Intraocular High-Density Self-Calibrating Epiretinal Prosthesis", *IEEE Transactions on Biomedical Circuits and Systems*, vol. 7, no. 6, pp. 747-760, 2013.
- [12] A. E. Hadjinicolaou, C. O. Savage, N. V. Apollo, D. J. Garrett, S. L. Cloherty, M. R. Ibbotson and B. J. O'Brien, "Optimizing the Electrical Stimulation of Retinal Ganglion Cells", *IEEE Transactions on neural systems and rehabilitation engineering*, vol. 23, no. 2, pp. 169-178, 2015.
- [13] T. Fujikado, M. Kamei and H. Sakaguchi, "Clinical Trial of Chronic Implantation of Suprachoroidal-Transretinal Stimulation System for Retinal Prosthesis", *Sensors and Materials*, vol. 24, no. 4, pp. 181-187, 2012.
- [14] Y.-K. Lo, K. Chen, P. Gad and W. Liu, "A Fully-Integrated High-Compliance Voltage SoC for Epi-Retinal and Neural Prostheses", *IEEE Transactions on Biomedical Circuits and Systems*, vol. 7, no. 6, pp. 761-771, 2013.
- [15] K. Chen, Z. Yang, L. Hoang, J. Weiland, M. Humayun and W. Liu, "An Integrated 256-Channel Epiretinal Prosthesis", *IEEE Journal of Solid-State Circuits*, vol. 45, no. 9, pp. 1946-1956, 2010.
- [16] Second Sight, "Second Sight," 2016. [Online]. Available: <http://www.secondsight.com/>. [Accessed 09 07 2016].
- [17] D. D. Zhou, J. D. Dorn and R. J. Greenberg, "THE ARGUS® II RETINAL PROSTHESIS SYSTEM: AN OVERVIEW, in *2013 IEEE International Conference on Multimedia and Expo Workshops (ICMEW)*, San Jose, CA, 2013.
- [18] M. S. Humayun, J. D. Dorn, L. da Cruz, G. Dagnelie, J.-A. Sahel, P. E. Stanga and A. V. Cideciyan, "Interim Results from the International Trial of Second Sight's Visual Prosthesis", *Ophthalmology*, vol. 119, no. 4, pp. 779-788, 2012.
- [19] L. da Cruz, B. Coley, J. Dorn, F. Merlini, E. Filley, M. Humayun and R. Greenberg, "The Argus II epiretinal prosthesis system allows letter and word reading and long term function in patients with profound vision loss", *BJO Online First*, pp. 1-5, 2013.
- [20] W. Mokwa, M. Goertz, C. Koch, I. Krisch, H. Trieu and P. Walter, "Intraocular Epiretinal Prosthesis to Restore Vision in Blind Humans, in *30th Annual International IEEE EMBS Conference*, Vancouver, 2008.
- [21] M. Schwarz, L. Ewe, R. Hauschild, B. Hosticka, J. Huppertz, S. Kolnsberg, W. Mokwa and H. Trieu, "Single Chip CMOS imagers and flexible microelectronic stimulators for a retina implant system", *Sensors and Actuators A Physical*, vol. 83, pp. 40-46, 2000.

- [22] M. Ortmanns, A. Rocke, M. Gehrke and H.-J. Tiedtke, "A 232-Channel Epiretinal Stimulator ASIC", *IEEE Journal of Solid-State Circuits*, vol. 42, no. 12, pp. 2946-2959, 2007.
- [23] R. J. Baker, CMOS Circuit Design, Layout and Simulation, New Jersey: John Wiley & Sons, 2010.
- [24] BSIM Group, "BSIM3, University of California, [Online]. Available: <http://bsim.berkeley.edu/models/bsim4/bsim3/>. [Accessed 18 Noviembre 2016]
- [25] austriamicrosystems, "0.35 um CMOS C35 Process Parameters Rev. 06.", austriamicrosystems, Unterpremstätten, 2008.
- [26] G. Garayar Leyva, "Tópicos de Diseño Analógico de Circuitos Integrados", CASPUCP, Lima, 2017.
- [27] B. Razavi, Design of Analog CMOS Integrated Circuits, New York: Mc Graw Hill Education, 2017.
- [28] D. Caetano, J. Fernandes and M. Piedade, "A Multibias DAC for a Cortical Micro-electrode Stimulator", in *12th Conference on Ph. D. Research in Microelectronics and Electronics (PRIME)*, Lisbon, Portugal, 2016.
- [29] C. Saint and J. Saint, IC Mask Design: Essential Layout Techniques, United States of America: McGraw-Hill, 2002.
- [30] S. Cerida Rengifo, M. Monge Osorio and E. Raygada Vargas, *Diseño de un amplificador de señales neuronales de bajo ruido y bajo consumo de potencia*, Lima: Pontificia Universidad Católica del Perú, 2014.