

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ

FACULTAD DE CIENCIAS E INGENIERÍA



PONTIFICIA
UNIVERSIDAD
CATÓLICA
DEL PERÚ

**DISEÑO DE UN AMPLIFICADOR DIFERENCIAL DE DIFERENCIAS
PARA EL FILTRADO DE SEÑALES NEURONALES**

Tesis para optar el Título de Ingeniero Electrónico, que presenta el bachiller:

Jorge Vicente De la Cruz Marin

ASESOR: Carlos Silva Cárdenas

Lima, 18 de Febrero del 2012

Resumen

El presente trabajo consiste en el diseño de un amplificador diferencial de diferencias (DDA) para la etapa de filtrado de un sistema de adquisición de señales neuronales en un circuito integrado implantable. El bloque analógico se realizó utilizando la tecnología AMS $0.35 \mu m$ en el software *CADENCE*. La metodología usada fue la denominada *TOP-DOWN* que consiste básicamente en iniciar el diseño con la definición de los parámetros a nivel sistema y descender progresivamente de nivel hasta dimensionar cada transistor y definir el *layout* del circuito. Una característica importante de esta metodología es que los niveles superiores definen los requerimientos para el siguiente nivel. El segundo objetivo importante es mostrar un flujo de diseño para circuitos integrados donde se utilizan las herramientas de *CADENCE*. Con esto se busca presentar una documentación que muestre el procedimiento usado a nivel industrial en el desenvolvimiento de circuitos integrados.

Es importante mencionar que la principal motivación de realizar este circuito para cumplir los objetivos de la tesis es dar continuación a un proyecto del grupo de microelectrónica que consiste en el desenvolvimiento de un sistema de adquisición de señales neuronales. Algunas partes del proyecto general ya fueron realizadas por tesis de la universidad y junto con este bloque se completa la parte del filtro pasabanda.

El flujo de diseño se desarrollo paso a paso. Primero, se obtuvo las especificaciones del DDA en base a la simulación del macromodelo en el filtro pasabanda con componentes ideales. Luego, con los resultados obtenidos, se determinó los requerimientos de frecuencia, puntos de operación y respuesta en tiempo del circuito. Posteriormente, se dimensionó cada transistor asegurando que el amplificador cumpla con los requerimientos propuestos (modelo nominal y de Montecarlo). De la misma forma que con el esquemático, se validó el *netlist* del *layout* simulando los principales parámetros del amplificador y del filtro. Los resultados más relevantes de la simulación del *netlist* del circuito extraído del *layout* son los siguientes: potencia de $5.26 \mu W$ ($@ V_{DD} = 3.3$), tensión de offset de $163.89 \mu V$ y $10.38 \mu V_{rms}$ de ruido integrado en la banda de paso. Con estos datos, se observa un equilibrio entre la potencia consumida y el ruido integrado del amplificador, que normalmente es muy difícil de conseguir por el diseñador.



Introducción

La medicina y ciencias de la salud han evolucionado de manera sorprendente por las investigaciones que se realizan en estos campos pero también por los aportes que desde otras áreas del conocimiento científico y tecnológico se realizan. La adquisición de señales neuronales es un gran aporte para la medicina moderna y su uso en el diagnóstico de enfermedades de la médula espinal, control de prótesis y electroestimulación solo representan un campo que tiende a ampliarse.

La presente tesis muestra el diseño de un amplificador diferencial de diferencias que se requiere en el bloque de filtrado de un dispositivo médico implantable para un sistema de adquisición de señales neuronales. Se evidencian los principales inconvenientes que existen para su desarrollo, las alternativas de implementación y los requerimientos de diseño a nivel electrónico. Además se muestra el flujo de diseño de circuitos integrados analógicos y se detalla en las herramientas que se usó en cada paso.

En el capítulo uno se desarrollan los tópicos: características eléctricas de las señales neuronales y el concepto de sistemas de adquisición. En el capítulo dos se mencionan las topologías que se han implementado para este tipo de sistemas de adquisición y se muestran en un cuadro comparativo. El siguiente capítulo desarrolla la teoría del transistor MOS y se muestran los principales parámetros de diseño, las configuraciones más básicas de amplificadores, los modelos usados para la simulación del transistor, los parámetros de medición de los amplificadores y las ecuaciones del amplificador diferencial de diferencias (DDA). El diseño del DDA se desarrolla en el capítulo cuatro, donde se presenta el flujo de diseño de circuitos integrados analógicos. Además, en este capítulo, se dimensiona y elabora el *layout* de cada transistor para cumplir con los requerimientos del sistema. Por último, en el capítulo cinco, se presentan las simulaciones (*post-layout*) que validan el diseño del DDA en el filtro pasabanda.

Índice

1	Características de las señales neuronales y sistemas de adquisición	8
1.1	Señales Neuronales	8
1.1.1	Descripción del funcionamiento de las señales neuronales	9
1.1.2	Principales características eléctricas	9
1.2	Sistema de adquisición y acondicionamiento de señales	10
1.2.1	Partes de un sistema de adquisición y acondicionamiento de señales	10
1.2.2	Requerimientos de un circuito de acondicionamiento de señales neuronales	11
2	Circuitos de acondicionamiento de señales neuronales utilizados en dispositivos médicos implantables	12
2.1	Dispositivos médicos implantables	12
2.1.1	Problemas por limitaciones o consideraciones con los dispositivos médicos implantables	13
2.2	Topologías de circuitos de acondicionamiento de señales neuronales	13
2.2.1	Topología propuesta en [1]	13
2.2.2	Topología propuesta en [2]	14
2.2.3	Topología propuesta en [3]	14
2.2.4	Topología propuesta en [4]	15
2.3	Elección de la topología	16
3	Bloques básicos para el procesamiento analógico de señales	17
3.1	Dispositivos Pasivos	17
3.1.1	Resistor	17
3.1.2	Capacitor	20
3.2	Transistor MOSFET	20
3.2.1	Capacitor MOS	20

3.2.2	Estructura del MOSFET	21
3.2.3	Principio de funcionamiento	23
3.2.4	Voltaje Umbral	24
3.2.5	Ecuaciones características y modelo de pequeña señal	25
3.2.6	Niveles de inversión	26
3.3	Parámetros de medición de un amplificador	27
3.3.1	Ganancia	27
3.3.2	Respuesta en frecuencia	27
3.3.3	Factor de Rechazo al modo común (CMRR)	28
3.3.4	Factor de Rechazo a la interferencia de la fuente (PSRR)	28
3.3.5	Offset	29
3.3.6	Potencia	29
3.4	Variaciones de proceso, temperatura, y tensión	29
3.4.1	Modelos de Esquinas (<i>corners</i>) del transistor MOSFET	29
3.4.2	Variación estadística (Simulación de Montecarlo)	30
3.5	Amplificadores de primera etapa	30
3.6	Espejos de corriente	31
3.7	Amplificadores diferenciales	32
3.8	Amplificador diferencial de diferencias	34
3.8.1	Ecuaciones características	35
4	Diseño del amplificador diferencial de diferencias	38
4.1	Objetivos	38
4.1.1	Objetivos Generales	38
4.1.2	Objetivos Específicos	38
4.2	Flujo de Diseño de circuitos integrados analógicos	39
4.3	Definición de la tecnología y extracción de parámetros	41
4.4	Filtro Pasabanda	41
4.4.1	Macromodelo del DDA	43
4.4.2	Requerimientos eléctricos del DDA	43
4.5	Dimensionamiento de los transistores	45
4.6	<i>Layout</i>	48
4.6.1	DDA	50
4.7	Extracción del netlist	54

5 Simulación y resultados	55
5.1 Simulación DC	57
5.1.1 Punto de operación	57
5.1.2 Linealidad	58
5.2 Simulación AC	59
5.2.1 Diagrama de Bode	59
5.2.2 Ruido	60
5.2.3 CMRR	61
5.2.4 PSRR	62
5.3 Efecto de la variación de proceso en el amplificador	63
5.4 Efecto de la simulación <i>post-layout</i> en los parámetros del amplificador	67
5.5 Simulación del filtro pasabanda	70



Índice de figuras

1.1	La neurona y sus partes	9
1.2	Potenciales generados en una neurona	10
1.3	Diagrama de bloques de un sistema de adquisición y acondicionamiento de señales [5]	10
2.1	Estructura del amplificador propuesto en [1]	14
2.2	Estructura del amplificador propuesto en [2]	14
2.3	Estructura del amplificador propuesta en [3]	15
2.4	Estructura del amplificador propuesto en [4]	15
3.1	Corte Transversal de resistores integrados. Imagen extraída de [6]	18
3.2	Corte Transversal de resistores integrados(De arriba a abajo: Resistencia de difusión N+, difusión P+, polisilicio uno y polisilicio dos). Figuras extraídas de [6]	18
3.3	Imagen extraída de [6]	19
3.4	Problema térmico. Imagen extraída de [6]	19
3.5	Capacitores integrados. Imagen extraída de [6]	20
3.6	Partes de un capacitor MOS (a la izquierda) y un capacitor MOS con una fuente $V_{GB} > 0$ (a la derecha)	21
3.7	Variación de la carga en el sustrato en función del potencial de superficie y el potencial de superficie en función del voltaje externo V_{GB}	22
3.8	Transistor MOS tipo-n	22
3.9	Representación de dos transistores MOS tipo-p y tipo-n en una tecnología de un solo sustrato	23
3.10	Transistor MOSFET en corte, óhmica y saturación respectivamente (de izquierda a derecha).	23
3.11	Diagrama de flujo sobre el uso del V_{th} para determinar las zona de operación del transistor	24

3.12 Modelo en pequeña señal del transistor MOSFET sin considerar efectos de segundo orden	26
3.13 Modelo en pequeña señal del transistor MOSFET con efectos de segundo orden [7]	26
3.14 Log(ID) vs. Vds. Imagen extraída de [8]	27
3.15 Respuesta en frecuencia de un amplificador. En ella se muestra gráficamente el margen de fase (MF) y de ganancia (MG).	28
3.16 Circuito esquemático de un amplificador surtidor común y su modelo en pequeña señal [7]	31
3.17 Circuito esquemático de un amplificador seguidor surtidor y su modelo en pequeña señal [7]	31
3.18 Representación ideal de un circuito de copia de corriente	32
3.19 Espejo de corriente simple	32
3.20 Surtidor común como etapa simple y su forma diferencial	33
3.21 Surtidor común como etapa simple, completamente diferencial y salida simple	33
3.22 Símbolo del DDA	34
3.23 Topología de un amplificador diferencial de diferencias básico	34
3.24 Voltajes que limitan la excursión de la señal en el circuito	35
3.25 Modelo equivalente en pequeña señal	36
3.26 Modelo de transistores con ruido	37
4.1 Flujo de diseño del DDA	40
4.2 $\frac{gm}{ID}$ vs. $\frac{ID}{W/L}$	41
4.3 Filtro pasabanda utilizado en [4]	42
4.4 Macromodelo simple de un DDA con dos polos	43
4.5 Simulación del filtro pasabanda con dispositivos ideales excepto el DDA que cuenta con dos polos	44
4.6 Topología PMOS para el DDA	46
4.7 Proceso de fabricación CMOS. Imagen extraída de [7]	49
4.8 Esquema inicial para iniciar el <i>layout</i>	50
4.9 Diseño físico de los transistores M1, M2, M3 y M4 del DDA	51
4.10 Diseño físico de los transistores de polarización del DDA	52
4.11 Diseño físico de los transistores de la carga activa del DDA	52
4.12 Diseño físico del transistor M9 y M11 del DDA	52
4.13 <i>layout</i> del DDA	53

4.14	Ampliación de la vista del <i>layout</i> extraído	54
5.1	Esquemático del DDA elaborado en el software <i>Virtuoso esquematic</i>	55
5.2	Esquemático elaborado para la simulación AC del amplificador	56
5.3	Esquemático elaborado para la simulación DC del amplificador	56
5.4	Esquemático elaborado para la simulación del filtro pasa-banda	57
5.5	Vin vs. Vout para una un seguidor de voltaje	59
5.6	Magnitud y fase de la respuesta en frecuencia del amplificador en lazo abierto .	60
5.7	Ruido equivalente en la entrada del circuito	61
5.8	Factor de Rechazo al modo común en función de la frecuencia	62
5.9	Factor de rechazo a la interferencia de la fuente en función de la frecuencia . .	63
5.10	Variación estadística del margen de fase, offset, ruido equivalente a la entrada y potencia	64
5.11	Curvas de la variación de Montecarlo	65
5.12	Variación estadística del CMRR	66
5.13	Curvas de la variación estadística del CMRR	67
5.14	Diferencia entre la simulación a nivel esquemático y <i>post-layout</i> en la respuesta de frecuencia y ruido	67
5.15	Variación estadística del margen de fase, offset, ruido equivalente a la entrada y potencia	68
5.16	Variación estadística del CMRR	69
5.17	Curvas de la variación estadística del CMRR usando el <i>netlist post-layout</i> . . .	70
5.18	Simulación a nivel esquemático (azul) y <i>post-layout</i> (rojo) de la respuesta en frecuencia del filtro	71
5.19	Histograma de la simulación de Montecarlo de la respuesta en frecuencia del filtro	72
5.20	Curvas de la simulación de Montecarlo de la respuesta en frecuencia del filtro .	73
5.21	Simulación en tiempo del <i>netlist post-layout</i> del filtro	74

Capítulo 1

Características de las señales neuronales y sistemas de adquisición

Actualmente, uno de los grandes retos de los investigadores es ayudar a los pacientes que sufrieron de la amputación de alguna extremidad. Por esto, el estudio de las señales neuronales es una actividad importante para la medicina ya que se utiliza la información proveniente del sistema nervioso y se usa en aplicaciones de estimulación eléctrica funcional e interfaces maquina cerebro [9]. Por ejemplo, se utilizan prótesis que emulan el movimiento del miembro y que reaccionan a estímulos externos. Estos aparatos deben ser capaces de recibir, enviar, codificar e interpretar las señales del cerebro para formar un lazo cerrado [4].

El cerebro utiliza las neuronas y los nervios para enviar información hacia todo el cuerpo. Por tanto, la interpretación de estas señales es indispensable para controlar un aparato con nuestros pensamientos. Para este propósito se utiliza una computadora y un sistema de adquisición de señales, la computadora para el procesamiento y el sistema de adquisición para transformar las señales del dominio analógico al digital [10].

El presente capítulo tiene como objetivo mostrar las características eléctricas de las señales neuronales, definir los sistemas de adquisición y acondicionamiento de señales de forma general, y listar los requerimientos de un sistema de adquisición y acondicionamiento de señales neuronales.

1.1 Señales Neuronales

La neurona, unidad funcional más pequeña del sistema nervioso, esta compuesta por las siguientes partes: Cuerpo (también llamado *soma*), Axón y Dendritas (Ver Fig. 1.1). Las funciones complejas del sistema nervioso son consecuencia de la interacción entre redes de

neuronas y su comunicación. A continuación se detallará en el principio de funcionamiento de las señales neuronales y luego se especificarán sus principales características eléctricas.

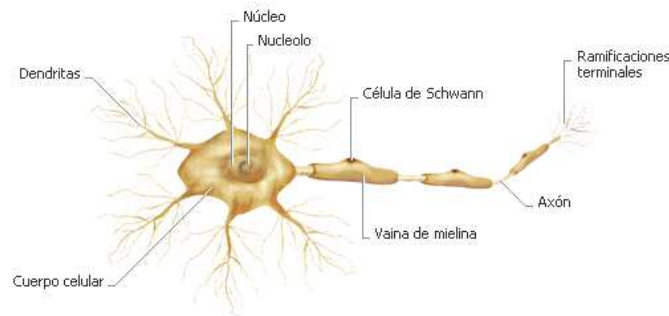


Figura 1.1: La neurona y sus partes

1.1.1 Descripción del funcionamiento de las señales neuronales

El principio de funcionamiento de las señales neuronales se basa en la diferencia de concentraciones de iones entre los espacios intra y extra celulares. El potencial que se produce a lo largo de la membrana celular de las neuronas se debe a la diferencia de las concentraciones de iones de sodio y potasio (Na^+ y K^+ respectivamente). El estado de reposo se caracteriza porque no envía señales y el potencial interior es negativo con respecto al potencial exterior (aproximadamente $-70mV$).

La neurona inicia una comunicación cuando se genera una corriente despolarizada que varía el potencial de reposo. Al producirse un estímulo, se abren los canales de sodio y el potencial interior se vuelve más positivo (Este potencial se llama *potencial de acción*), lo que indica que se está transmitiendo información por el Axón. Después de la comunicación, se cierran los canales de Sodio, abriendo solo los canales de potasio y permitiendo la despolarización (la figura 1.2 muestra gráficamente este proceso) del espacio intracelular. Es importante resaltar que el potencial de acción tiene una duración promedio de $1mS$ y el rango de tensión es desde $-40mV$ (Potencial Umbral) hasta $60mV$.

1.1.2 Principales características eléctricas

Las principales características eléctricas de la señal neuronal son: nivel de voltaje de la señal y el rango de frecuencias de la información. El valor pico a pico de una señal neuronal es de $120mV$ y el rango de frecuencias es de 100 a $5000Hz$. Estas señales son adquiridas por medio

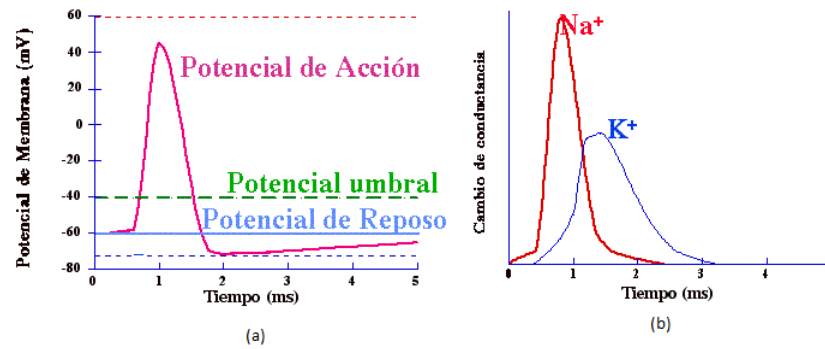


Figura 1.2: Potenciales generados en una neurona

de un sensor (electrodo), el cual afecta el nivel de voltaje reduciendo su amplitud pico a $1\mu V$ y $10\mu V$ (valor a la entrada del circuito de acondicionamiento) aproximadamente.

1.2 Sistema de adquisición y acondicionamiento de señales

Un sistema de adquisición y acondicionamiento de señales tiene como función principal la conversión de una señal analógica a señal digital. El sistema recibe la información del sensor y pasa por un procesamiento para tener los niveles de voltaje necesarios para la conversión al dominio digital [10]. El procesamiento que recibe la señal sensada se denomina acondicionamiento y consiste básicamente en la amplificación y filtrado de las señales.

1.2.1 Partes de un sistema de adquisición y acondicionamiento de señales

Un sistema de adquisición y acondicionamiento de señales consta de las siguientes etapas: Pre-amplificación, filtrado, amplificación y digitalización (ver Fig. 1.3). Cada una de estas etapas depende de la señal (Ejemplo: amplitud, frecuencia, ruido entre otros) y la aplicación del circuito (Ejemplo: Para circuitos implantables es indispensable el bajo consumo de potencia).

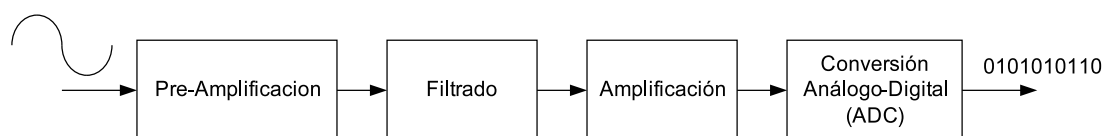


Figura 1.3: Diagrama de bloques de un sistema de adquisición y acondicionamiento de señales [5]

A continuación se detallarán las funciones de cada bloque mostrado:

Pre-Amplificación: La señal eléctrica que envía el transductor es una señal con poca amplitud y requiere un tratamiento especial. La Pre-Amplificación es encargada de amplificar la señal analógica que recibe directamente del transductor, cuidándola del ruido, la interferencia de

modo común, etc. Esta etapa tiene las siguientes características: Alto rechazo al modo común, alta ganancia variable, ningún compromiso de ganancia y ancho de banda, bajo nivel de Offset, bajo ruido y baja impedancia de salida [5].

Filtrado: Esta etapa cumple la función de eliminar el ruido que se puede acoplar a la señal útil y que proviene de agentes externos y de mismos dispositivos electrónicos utilizados en las etapas previas. A través de elementos resistivos y capacitivos se implementan circuitos que amplifican las bandas de frecuencias útiles y se atenúan las otras componentes de frecuencias.

Amplificación: En esta etapa se amplifica la señal para la etapa de digitalización.

Digitalización: En esta etapa se convierte los datos del dominio analógico al dominio digital usando un convertidor analógico-digital (ADC).

1.2.2 Requerimientos de un circuito de acondicionamiento de señales neuronales

La señal enviada por los electrodos es de baja amplitud y baja frecuencias (entre $1\mu V_{pico}$ y $10\mu V_{pico}$ con un espectro de frecuencias entre $100Hz$ y $5000Hz$ [4]). Asumiendo el peor caso, el valor de amplitud de la señal de entrada del circuito de acondicionamiento sería $1\mu V_p$. Para que a la entrada del convertidor digital, la señal sea de $1V$, el circuito de acondicionamiento debe amplificar la señal por 1000000 (ósea $120dB$). Dado que la información proveniente de los electrodos es diferencial, se necesita reducir la interferencia externa en modo común de los electrodos. Para atenuar este tipo de señales, el amplificador debe tener un CMRR (factor de rechazo al modo común) mayor a $60dB$ (el concepto de CMRR se discute en el capítulo 3). Además de atenuar las señales, es importante que la entrada del circuito tolere un nivel de voltaje en modo común, que en estos casos casi siempre es mayor a $\pm 50mV$. Por último, el ruido intrínseco equivalente en la entrada del amplificador está limitado por el ruido térmico de los electrodos. Estos tienen impedancias de $1.5k\Omega$ (electrodos cuff) o $20k\Omega$ (electrodos sieve), por lo que el ruido del amplificador debe ser menor a $4.8\eta V_{rms}/\sqrt{Hz}$ ó $13\eta V_{rms}/\sqrt{Hz}$ respectivamente [4].

Tabla 1.1: Requisitos principales del circuito de acondicionamiento de señales neuronales

Ganancia	$120dB$
CMRR	$\geq 80dB$
Ancho de Banda	$100 - 5000Hz$
ICMR	$\geq \pm 50mV$
Ruido	$\leq 5\eta V/\sqrt{Hz}$ [4]
Potencia	$\leq 250\mu W$ [4]
Área	Menor posible

Capítulo 2

Circuitos de acondicionamiento de señales neuronales utilizados en dispositivos médicos implantables

Los circuitos integrados implantables no solo incluyen la parte de acondicionamiento y adquisición de las señales; sino también el circuito de procesamiento digital y los electrodos, por lo que el área del circuito analógico no debe ser extensa en el *chip*. La aplicación exige que el circuito consuma muy poca potencia para que la batería no necesite ser recargada en un largo tiempo [11] [12]. Además, las características de la señal neuronal requieren que el sistema amplifique señales de muy pequeña amplitud y trabaje con filtros que utilicen altas constantes de tiempo para seleccionar solo las frecuencias útiles de la señal y no el ruido. Dadas estas necesidades se han desarrollado diversos sistemas de adquisición y acondicionamiento de señales neuronales, que se enfocan en obtener bajo ruido y altas constantes de tiempo para los filtros. El objetivo central de este capítulo es mostrar los trabajos realizados y comparar los resultados obtenidos para escoger la topología más adecuada para el diseño.

2.1 Dispositivos médicos implantables

Un dispositivo médico implantable activo se define como aquel dispositivo que tiene como fin ser colocado quirúrgicamente en el cuerpo humano y permanecer por un determinado tiempo cumpliendo una función específica. La palabra *activo* le agrega a la definición las características de necesitar una fuente de energía y que sea capaz de entregar energía al cuerpo, caso contrario de los dispositivos pasivos que no necesitan fuentes de energía para cumplir su función (Ej. Prótesis metálica para el hueso) [12].

2.1.1 Problemas por limitaciones o consideraciones con los dispositivos médicos implantables

De las características de un dispositivo implantable se pueden mencionar las siguientes limitaciones: tamaño reducido, bajo consumo de potencia y ser de un material compatible con el ser humano. Es importante resaltar que la reducción del tamaño del implante ofrece la ventaja de que este sea física y psicológicamente más confortable para el paciente [12].

El bajo consumo de potencia se debe a que el dispositivo necesita una fuente y ésta debe mantener al dispositivo funcionando por un largo tiempo ya que sería muy incomodo y caro cambiar de batería por periodos cortos de tiempo. Todo esto depende del tipo de batería que se use en el implante. La batería de litio-yodo tiene una tensión nominal de $2.8V$ y su capacidad está entre el medio Ah y un par de Ah. Si se analiza por año la batería de $1Ah$, para que el dispositivo dure por lo menos 10 años, el circuito debe consumir $11.4\mu A$ [12].

2.2 Topologías de circuitos de acondicionamiento de señales neuronales

A continuación se muestran topologías para circuitos de acondicionamiento de señales neuronales que existen en la literatura de los últimos años (actualmente 2011). Todas cubren las etapas de PRE-amplificación y filtrado, por lo que enfocan el diseño en optimizar el ruido equivalente a la entrada, el offset, la potencia, el CMRR y también hacer el filtro pasa altos con una frecuencia de corte aproximada en $100Hz$. El filtro Pasa altos es un problema ya que al tener una frecuencia de corte baja requiere una constante de tiempo muy alta que exige resistencias o capacitancias muy grandes (Eje: capacitancias mayores a $20pF$ y resistencias mayores a $1M\Omega$).

2.2.1 Topología propuesta en [1]

Esta topología está compuesta de un amplificador Chopper y un filtro Gm-C para cumplir los requerimientos de la señal (Ver Fig. 2.1). La técnica Chopper permite obtener bajos niveles de offset y de ruido flicker modulando la señal, esto crea una desventaja ya que se necesita más hardware y potencia para su implementación. En los resultados de simulación e implementación se aprecian los bajos niveles de offset y ruido a la salida y el alto consumo de potencia (ver tabla 2.1).

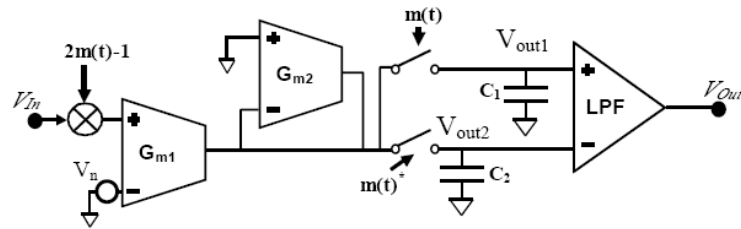


Figura 2.1: Estructura del amplificador propuesto en [1]

2.2.2 Topología propuesta en [2]

Otro amplificador usado para el acondicionamiento de señales neuronales es el que se muestra en [2] (Ver figura 2.2). En esta topología, los principales requerimientos fueron: bajo ruido, bajo consumo de potencia, capaz de amplificar desde los milihertz hasta los kilohertz, gran rechazo del voltaje de Offset generado en la interfaz entre el electrodo y el tejido. Su diseño utiliza transistores MOS-bipolar como pseudo resistores para amplificar las bajas frecuencias rechazando altos voltajes de DC. Los resultados se muestran en la tabla 2.1. Es importante mencionar que el uso de transistores MOS-bipolar como pseudo resistores limita la implementación de esta topología para tecnologías MOS comunes.

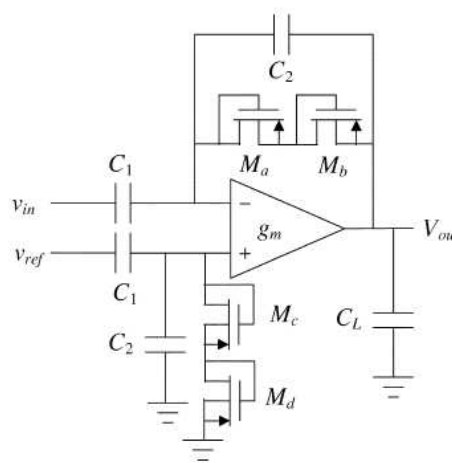


Figura 2.2: Estructura del amplificador propuesto en [2]

2.2.3 Topología propuesta en [3]

La topología que se muestra en [3], se enfoca en la amplificación de señales neuronales con amplitud de promedio de $1\mu V$. En el sistema se utiliza la técnica Chopper evitando problemas de ruido flicker y offset. La topología (Ver Fig. 2.3) utiliza un modulador, un PRE-amplificador, un filtro pasa banda y un filtro pasa bajos. Los principales resultados de la implementación se muestran en la Tabla 2.1.

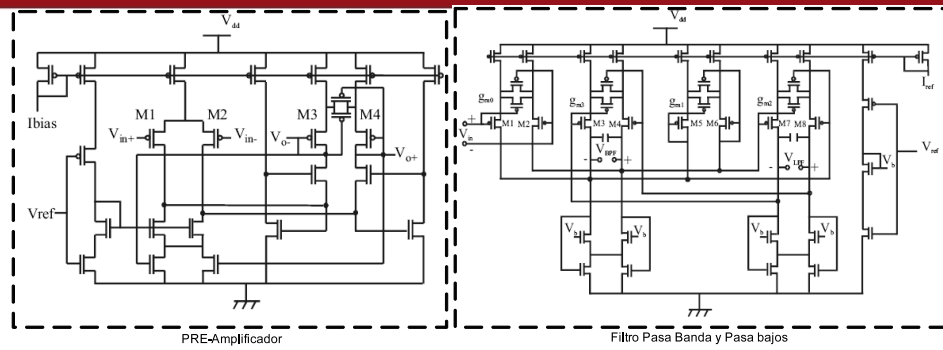


Figura 2.3: Estructura del amplificador propuesta en [3]

2.2.4 Topología propuesta en [4]

El amplificador usado por Jordi Sacristan y Maria Teresea Osés [4] presenta una arquitectura distinta de las comunes usadas de esta aplicación, ya que incluye un bloque analógico parecido al OPAMP denominado amplificador diferencial de diferencias (DDA) [3]. Todo el amplificador propuesto en la publicación esta compuesto por: un PRE-amplificador, un amplificador, un filtro pasa banda y una etapa de salida (ver Fig. 2.4).

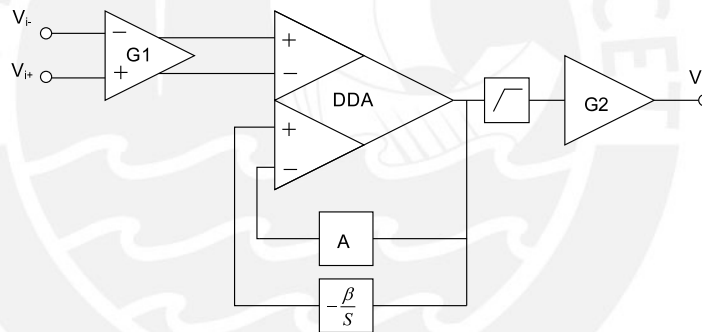


Figura 2.4: Estructura del amplificador propuesto en [4]

La primera etapa es un pre-amplificador con entrada y salida diferencial [13]. En esta, el ruido es el principal parámetro de diseño y específicamente el ruido térmico generado por el electrodo. La segunda etapa está basada en el amplificador diferencial de diferencias (DDA) [14]. Las dos primeras entradas del DDA se usan como entrada de la señal, las dos últimas se usan en realimentación siendo la primera para la ganancia al amplificador y en la segunda se utiliza un filtro para eliminar el Offset de la primera etapa [4]. Por último se utiliza otro filtro pasa altos y un OPAMP configurado como amplificador para amplificar la señal antes que sea tratada por el convertidor analógico-digital (ADC).

Tabla 2.1: Tabla comparativa de los resultados de los amplificadores mencionados

Autor	Ancho de banda	V_{DD}	Area	Ruido	Potencia	Características
[1]	$100 - 5000Hz$	$5V$	$1mm^2$	$1.13\eta V/\sqrt{Hz}$	$28mW$	Discreto
[2]	$< 7.2KHz$	$5V$	$0.16mm^2$	$2.2\mu V_{rms}$	$80\mu W$	Contínuo
[3]	$< 3KHz$	$5V$	$2.7mm^2$	$6.6\eta V/\sqrt{Hz}$	$1.3mW$	Discreto
[4]	$100 - 5000Hz$	$5V$	$1mm^2$	$1.13\eta V/\sqrt{Hz}$	$28mW$	Contínuo

2.3 Elección de la topología

Se han presentado trabajos de los últimos años en la línea de *Acondicionamiento de señales neuronales* y de estos se observa que hay una gran variedad de publicaciones en las cuales se usan diversas topologías de filtros. La complejidad de algunas topologías depende de los requerimientos de la señal de entrada y del criterio del autor. Lo común en todos los diseños es la reducción del área, la baja potencia consumida, bajo ruido y Offset, el uso de tecnología MOS y por la aplicación, que sea implantable. Es importante recalcar que el uso de tecnología MOS en la etapa de acondicionamiento de señales es debido a que esta etapa es parte de todo un circuito integrado (*ASIC Circuito integrado de aplicación específica*) que contiene circuitos digitales que procesan la señal, por lo que es práctico implementarlo en esta tecnología en lugar de la tecnología bipolar, la cual tiene mejor performance para circuitos analógicos [7].

La topología propuesta en [1] tiene buenos resultados, pero posee las desventajas de un amplificador que necesita una señal de reloj, consume mucha potencia y ocupa mucha área. En la segunda topología (Ver Fig. 2.2) se obtienen valores muy bajos de ganancia y CMRR pero utiliza pseudo resistores MOS-bipolar para las altas constantes de tiempo. En la tercera topología se obtiene muy buena respuesta en todos los aspectos pero utiliza demasiada área para el diseño. En la última se obtienen ganancia y frecuencia de corte variable para el amplificador. Además, el circuito que se muestra no es muy complejo y logra un balance sin descuidar ningún requerimiento de diseño.

Dados estos datos, se elige como topología a diseñar al amplificador propuesto por Jordi Sacristán et al, ya que ofrece buenos resultados y muestra un balance en los resultados. También es importante resaltar que esta topología es parte de una línea de investigación que se sigue en el grupo de Microelectrónica de la PUCP. Partes del amplificador ya fueron diseñadas como: El PRE-amplificador [13] y la resistencia de gran valor [15]. Debido a este último punto, se diseñó en la presente tesis el amplificador diferencial de diferencia (DDA) que se utiliza en la topología propuesta por Jordi Sacristán.

Capítulo 3

Bloques básicos para el procesamiento analógico de señales

La versión eléctrica de cualquier señal del medio ambiente es muy débil para su directa conversión analógica-digital y están típicamente acompañadas de señales indeseadas (interferencia). En consecuencia, los *front-end* de los sistemas de procesamiento de datos deben incluir circuitos que procesen analógicamente las señales para su correcta conversión analógica-digital [7].

El presente capítulo tiene como objetivo mostrar las principales características de los bloques básicos que constituyen gran parte los circuitos integrados analógicos CMOS. Para lograr este objetivo se muestran los dispositivos pasivos que se implementan en tecnología CMOS y el principio de funcionamiento del transistor MOSFET (acrónimo en inglés de Metal-Oxide-Semiconductor Field Effect Transistor) de forma clásica. Además se hace un análisis del modelo de pequeña señal y las ecuaciones características de bloques analógicos básicos. Por último, se dan a conocer las ecuaciones características del amplificador diferencial de diferencias (DDA).

3.1 Dispositivos Pasivos

3.1.1 Resistor

Un resistor en una tecnología integrada es hecho con una tira de material resistivo conectado a dos terminales de metal como contactos óhmicos (ver Fig. 3.1). Asumiendo que la resistencia de un cuadrado de ese material es R_{\square} y que la resistencia del contacto óhmico es R_{cont} , la resistencia total está determinada por la ecuación 3.1. Con el fin de obtener los valores de resistencias deseados, se debe escoger un valor de $\frac{L}{W}$ y resistencia por cuadro adecuado. El

material a utilizar (Difusión P+, Difusión N+, primer Polisilicio, segundo polisilicio, de metal, etc) define el valor de la resistencia por cuadro del resistor y la relación entre el largo y ancho, múltiplo del valor final. Es importante resaltar que dependiendo de la tecnología (fabricante o dimensiones), los valores de resistencias por cuadro varían ya que se agregan materiales para mejorar su comportamiento [6]. La figura 3.2 muestra el corte transversal de algunas resistencias integradas.

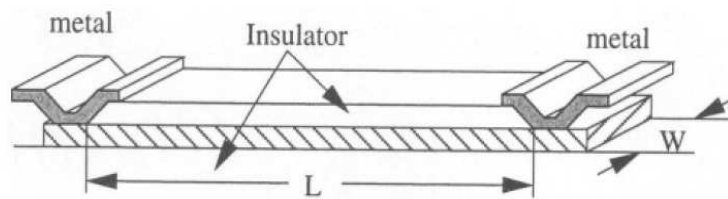


Figura 3.1: Corte Transversal de resistores integrados. Imagen extraída de [6]

$$R = 2R_{cont} + \frac{L}{W}R_{\square} \tag{3.1}$$

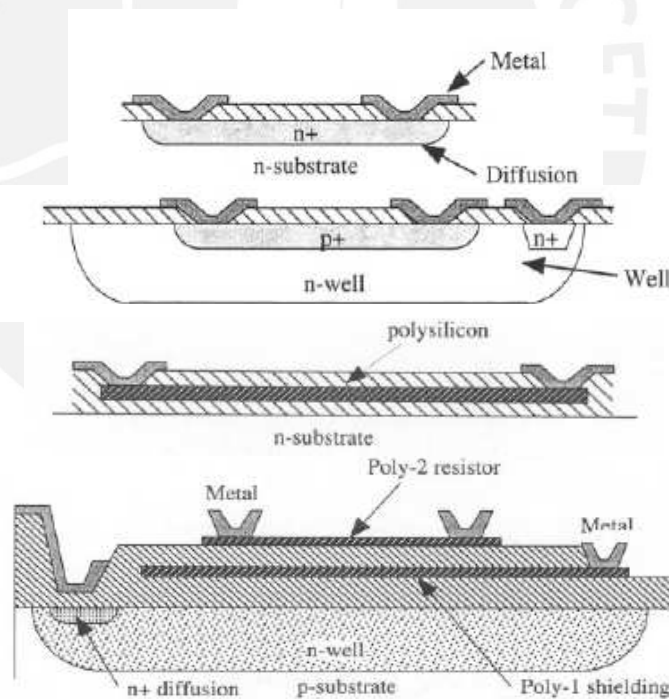


Figura 3.2: Corte Transversal de resistores integrados(De arriba a abajo: Resistencia de difusión N+, difusión P+, polisilicio uno y polisilicio dos). Figuras extraídas de [6]

El valor absoluto de una resistencia integrada es variable, depende de los defectos de fabricación de la tecnología, variación de la temperatura, variación de los parámetros del silicio y del diseño físico de la resistencia. Algunos ejemplos de los defectos de fabricación de la tecnología son los bordes del cuerpo del resistor (en la figura 3.3 se ilustra este error). La

temperatura dentro de un *Die* (rectángulo de silicio donde se encuentra el circuito integrado) es variable; Por ejemplo, los dispositivos cerca de circuitos de potencia absorben más calor que los que están lejos. Por lo tanto, si se calcula las dimensiones de una resistencia a una temperatura nominal del *chip*, su valor resistivo variará si esta cerca de un dispositivo de potencia o no. En el caso que se requiera un valor específico de resistencia, será necesario utilizar otras técnicas para obtener un valor cercano al calculado; pero si el requerimiento es la relación entre dos resistencias, estas pueden ser ubicadas dentro del *chip* de forma que las dos sean afectadas por la misma temperatura. Esta técnica permite que aunque el valor de las resistencia varíe, la relación se mantenga constante.(ver Fig. 3.4).

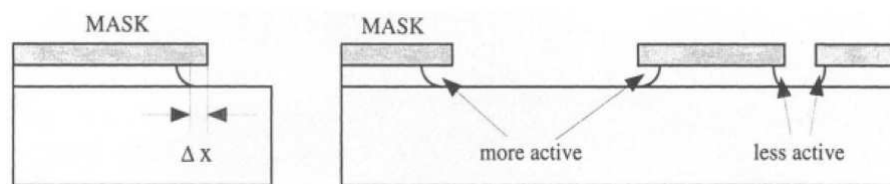


Figura 3.3: Imagen extraída de [6]

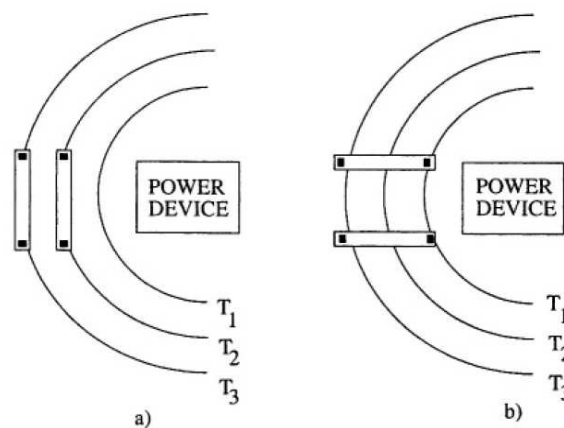


Figura 3.4: Problema térmico. Imagen extraída de [6]

Algunos parámetros del Silicio varían de *Die* en *Die*, esto quiere decir que de cada cien *Die* de una oblea de Silicio, con cien obleas de silicio en una corrida y se hicieron 10 corridas, todos los resistores fabricados tienen diferente valor y pueden tener hasta 0.5 de variación del valor nominal. En cambio la variación de una relación de resistores no es tan alta porque los parámetros mudan para los dos resistores compensando las variaciones del proceso de fabricación.

3.1.2 Capacitor

Un capacitor, en tecnología CMOS, es hecho con dos platos paralelos. El aislamiento entre estos dos platos es dióxido de silicio, dióxido de polisilicio o algún otro óxido de la tecnología. El material con el que se hacen los platos son las capas disponibles de la tecnología. Se puede combinar metal con difusión N+, metal con difusión P+, polisilicio con las difusiones, metal con polisilicio, metal entre metal y también polisilicios de diferentes capas [6]. Estos dispositivos pasivos, al igual que el resistor, están sujetos a variaciones de proceso que modifican su valor nominal. Los capacitores son más exactos que los resistores y tienen 20 por ciento de precisión. En la figura 3.5 se muestran algunos capacitores que se implementan en tecnologías CMOS.

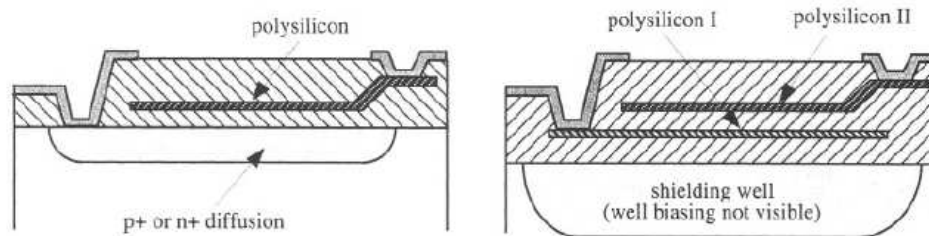


Figura 3.5: Capacitores integrados. Imagen extraída de [6]

3.2 Transistor MOSFET

La tecnología CMOS ha capturado el mercado de la fabricación de circuitos integrados digitales ya que disipan menos potencia y requieren pocos dispositivos para la implementación de celdas básicas (nand, nor, xnor, etc.). Otras de sus ventajas son: fácil escalabilidad de sus dimensiones con respecto a otro tipo de transistores y el bajo costo de producción de los circuitos.

Los circuitos analógicos y los circuitos digitales coexisten en el chip, por lo que la aplicación de la tecnología CMOS en el diseño de circuitos analógicos ha tenido que vencer la gran limitante de los transistores (MOSFETs). Las principales son: baja velocidad y alto ruido en comparación con los bipolares. Estas desventajas se han ido superando en los últimos años debido a la capacidad de escalamiento en las dimensiones de la tecnología, lo que ha permitido superar la velocidad de los bipolares y tener aplicaciones de hasta unas decenas de GHz [7].

3.2.1 Capacitor MOS

Para el entendimiento del transistor MOSFET es importante conocer de una manera general al capacitor MOS. Éste consiste de una compuerta, un aislante y un substrato (también llamado

cuerpo) como se muestra en la figura 3.6.

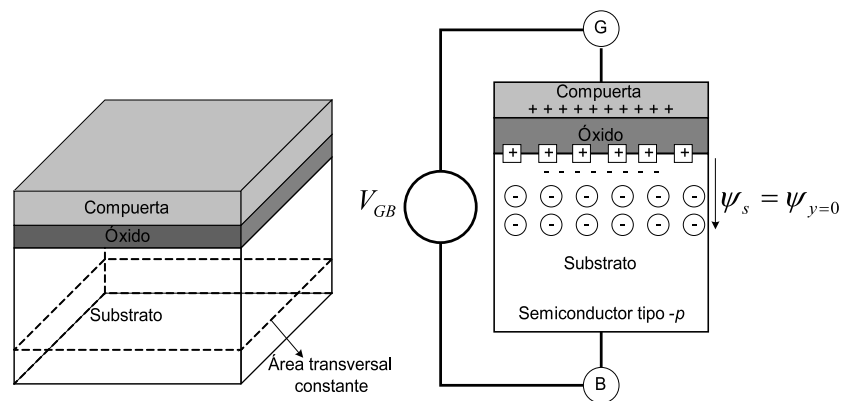


Figura 3.6: Partes de un capacitor MOS (a la izquierda) y un capacitor MOS con una fuente $V_{GB} > 0$ (a la derecha)

Cuando al capacitor se le aplica un voltaje entre sus terminales compuerta-substrato, éste origina un campo eléctrico que desplaza y reordena las cargas en el dispositivo [8]. De esta manera se crea una región de inversión del material del substrato; por ejemplo si al capacitor se le aplica un voltaje mayor a cero y el substrato es un material tipo p (silicio contaminado con átomos de valencia tres, que aportan huecos al material), la superficie del substrato se invierte de tipo-p a tipo-n (silicio contaminado con átomos de valencia cinco, que aportan electrones al material), induciendo cargas negativas (electrones e iones) en la superficie del substrato (ver Fig. 3.6). El análisis profundo de este fenómeno se detalla en [8]. En esta tesis es importante resaltar que dependiendo del nivel de voltaje de la fuente V_{GB} , uno de los dos tipos de carga (carga iónica Q'_B o carga móvil Q'_I) toman mayor presencia en la carga total del substrato (Q'_C) y que el potencial de superficie del substrato (denominado ψ_s) varía limitando los niveles de inversión (débil, moderada y fuerte) del capacitor MOS. La figura 3.7 ilustra la variación del potencial de superficie con respecto a la variación de la fuente V_{GB} , la variación y predominancia de cada tipo de carga de Q'_C en el substrato y los límites y características cualitativas (en términos de carga) de los niveles de inversión.

Por último, es importante notar que la región de inversión de carga de Q'_C (donde $Q'_C = Q'_B + Q'_I$) forma un camino de carga por donde puede pasar una corriente y es usado como canal de corriente en el MOSFET cuando se agregan los dos terminales más del dispositivo.

3.2.2 Estructura del MOSFET

El transistor MOSFET consta de cuatro terminales denominados: surtidor, drenador, substrato y compuerta (ver Figura 3.8). Este transistor es simétrico, lo que indica que entre el surtidor y drenador no hay diferencia física; pero si conceptual ya que se define al surtidor como

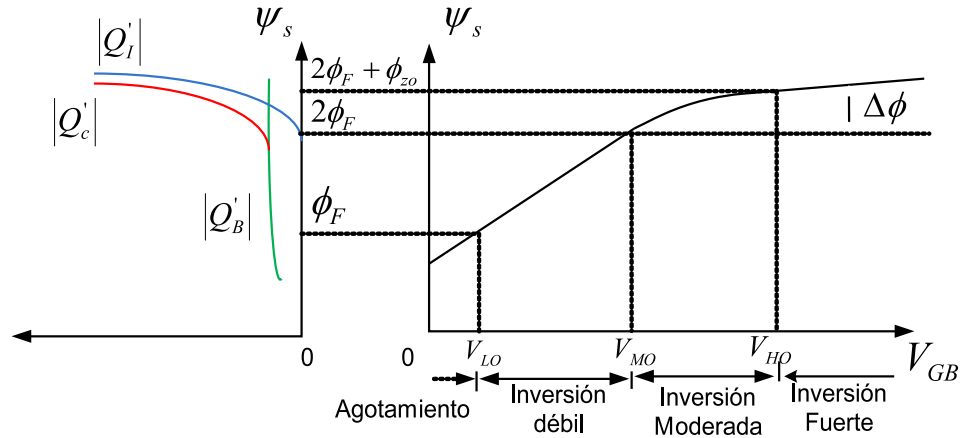


Figura 3.7: Variación de la carga en el sustrato en función del potencial de superficie y el potencial de superficie en función del voltaje externo V_{GB}

terminal que provee los portadores (huecos o electrones) y al drenador como el terminal que los recibe [7]. El material de cada transistor se menciona a continuación: la compuerta es de *polisilicio*, el óxido es *óxido de silicio*, el sustrato es silicio dopado (tipo-p para transistores tipo-n y tipo-n para transistores tipo-p) y el drenador y surtidor son silicio dopado con más concentración (tipo-p+ para transistores tipo-p y tipo-n+ para transistores tipo-n) (ver Figura 3.9).

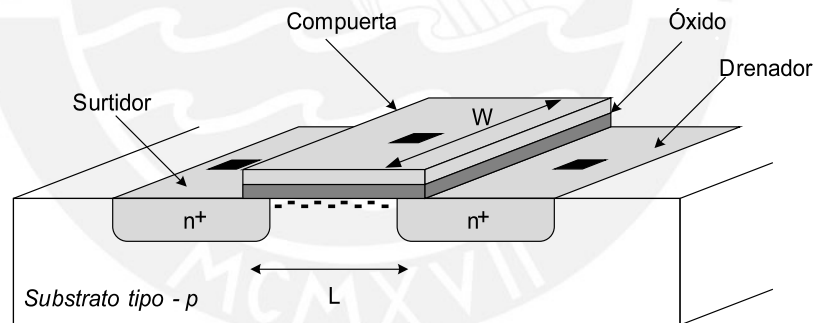


Figura 3.8: Transistor MOS tipo-n

En la figura 3.8 se puede apreciar el largo (denotado por L) y el ancho (denotado por W) del canal del transistor. Estas dos variables son muy importantes ya que sus valores son las que determinan las características del transistor y deben ser escogidas cuidadosamente por el diseñador para obtener la respuesta deseada. Por último es relevante resaltar que la mayoría de procesos de fabricación de los circuitos integrados se hace sobre un mismo sustrato (tipo-p o tipo-n) por lo que si se quiere tener transistores tipo-p en un proceso de fabricación que utiliza sustrato tipo-p, el diseñador crea un pozo de tipo-n dentro del sustrato para que dentro de ella se fabrique el transistor tipo-p (ver figura 3.9) [7].

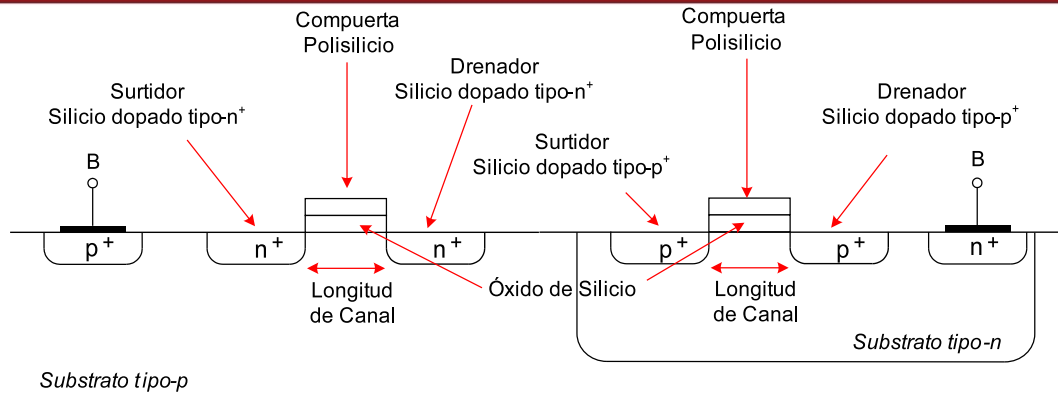


Figura 3.9: Representación de dos transistores MOS tipo-p y tipo-n en una tecnología de un solo sustrato

3.2.3 Principio de funcionamiento

El principio de funcionamiento más básico de un MOSFET es la de un interruptor que deja o no pasar la corriente dependiendo del voltaje de compuerta. Si el voltaje es muy grande, se deja pasar la corriente entre sus terminales drenador y surtidor y si el voltaje es pequeño no pasa corriente.

Considerando al capacitor MOS como base del MOSFET, se puede notar que si el voltaje de compuerta (en un transistor tipo-n con el voltaje de sustrato a tierra) aumenta, entonces la carga en el canal también (ver Fig 3.6). Este concepto nos indica que controlamos la carga en el canal con el voltaje de compuerta. Al agregar el drenador y surtidor al dispositivo sin aplicar voltaje alguno entre sus terminales, el transistor se sigue comportando como un capacitor MOS (ver Fig. 3.10). Si se considera que el surtidor está a tierra, que el voltaje de compuerta es fijo, y que el voltaje del drenador aumenta; entonces hay una diferencia de potencial entre drenador y surtidor y la corriente empieza a fluir de drenador a surtidor como se ilustra en la figura 3.10. Cuando el transistor funciona de este modo se dice que se encuentra en la zona lineal u óhmica [7].

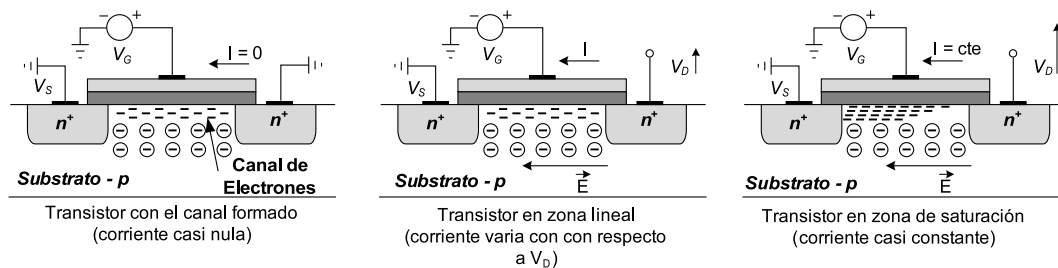


Figura 3.10: Transistor MOSFET en corte, óhmica y saturación respectivamente (de izquierda a derecha).

Si el voltaje del drenador aumenta llegando a ser igual o mayor que el de compuerta,

entonces el canal cerca del drenador empieza a disminuir hasta llegar a desaparecer. Este fenómeno ocurre debido a que en la región cercana entre compuerta y drenador no hay suficiente campo eléctrico para formar la capa de inversión en el sustrato. En este caso en particular, la corriente ya no aumenta y se mantiene constante (ver Fig. 3.10). A este modo de funcionamiento del transistor se denomina saturación [7].

3.2.4 Voltaje Umbral

En la sub-sección anterior se ha mencionado de manera cualitativa los niveles de voltajes que debe de tener la compuerta para formar el canal y el nivel de voltaje que debe tener el drenador para pasar de óhmica a saturación. El concepto que se muestra en [7] es: *El voltaje necesario para convertir la región del canal en región tipo-n de igual concentración que la región p en el sustrato en un transistor tipo-n.*

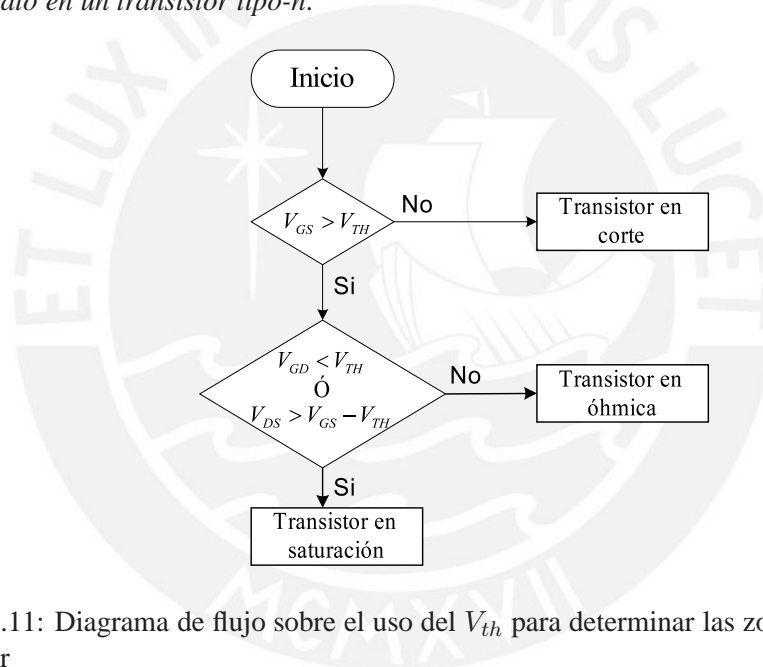


Figura 3.11: Diagrama de flujo sobre el uso del V_{th} para determinar las zona de operación del transistor

La figura 3.11 muestra la utilidad del voltaje umbral (V_{TH}) en el análisis de los circuitos con transistores MOSFET y la expresión para el voltaje umbral se muestra en 3.2, donde: ϕ_{ms} es la diferencia de funciones de trabajo entre la compuerta y el sustrato, ϕ_f es el potencial de Fermi, Q_{dep} es la carga en la región de agotamiento del sustrato, C_{ox} es la capacitancia del óxido por unidad de área y V_{SB} es el voltaje surtidor-drenador [7].

$$V_{TH} = \Phi_{MS} + 2\Phi_F + \frac{Q_{dep}}{C_{ox}} \tag{3.2}$$

3.2.5 Ecuaciones características y modelo de pequeña señal

Las principales ecuaciones del transistor MOS son la ecuación de corriente y la ecuación de transconductancia. Estas se deducen a partir de las aproximaciones del comportamiento físico de los materiales que conforman el MOSFET. Para objetivos de la presente tesis solo se mostrarán las expresiones finales de la corriente y la transconductancia pero un análisis más detallado se muestra en [7] y [8].

A continuación se muestran las expresiones de la corriente de drenador cuando el transistor opera en región óhmica y saturación respectivamente [7].

Para transistores tipo-n:

$$I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{THn})V_{DS} - \frac{1}{2}V_{DS}^2] \quad (3.3)$$

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{THn})^2] \quad (3.4)$$

Para transistores tipo-p:

$$I_D = \mu_p C_{ox} \frac{W}{L} [(V_{GS} - |V_{THp}|)V_{DS} - \frac{1}{2}V_{DS}^2] \quad (3.5)$$

$$I_D = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} [(V_{GS} - |V_{THp}|)^2] \quad (3.6)$$

Donde:

μ_n : Movilidad de los electrones en un material tipo-n.

μ_p : Movilidad de los electrones en un material tipo-p.

C_{OX} : Capacitancia del óxido de silicio.

La transconductancia de un transistor (g_m) nos indica cuanto varía la corriente de un transistor en función del potencial de compuerta [7]. Para transistores tipo-n:

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{THn}) \quad (3.7)$$

y para transistores tipo-p:

$$g_m = \mu_p C_{ox} \frac{W}{L} (V_{GS} - |V_{THp}|) \quad (3.8)$$

El modelo de pequeña señal del transistor MOS sin considerar los efectos de segundo orden se muestra a continuación:

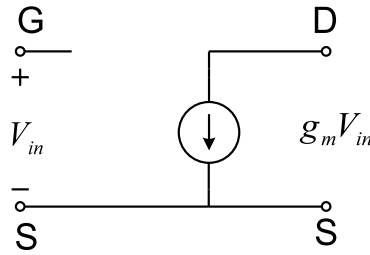


Figura 3.12: Modelo en pequeña señal del transistor MOSFET sin considerar efectos de segundo orden

Si se desea tener una mejor aproximación del modelo de pequeña señal del transistor MOS se pueden agregar dispositivos que modelan efectos de segundo orden como: el efecto cuerpo, capacitancias parásitas y efecto modulación de canal (ver Fig. 3.13). El análisis de estos efectos se detalla en [7].

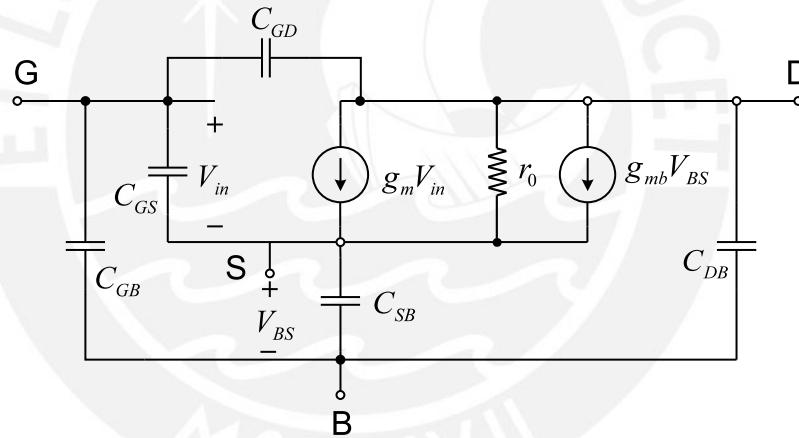


Figura 3.13: Modelo en pequeña señal del transistor MOSFET con efectos de segundo orden [7]

3.2.6 Niveles de inversión

Los niveles de inversión están determinados por la cantidad de portadores que hay en la capa de inversión que conforma el canal [16]. En inversión débil, la carga predominante en la capa de inversión es la carga iónica Q_B y en inversión fuerte es la carga Q_I . Inversión moderada es un estado de transición donde las cargas Q_B y Q_I son comparables (ver Fig. 3). De acuerdo a la predominancia de cada carga, la ecuación que modela la corriente en el transistor cambia de expresión. Es importante mencionar que en cada nivel de inversión (débil, moderada y fuerte) el transistor puede estar en óhmica o saturación dependiendo de los niveles de voltaje del los

terminales (Ver Fig. 3.14).

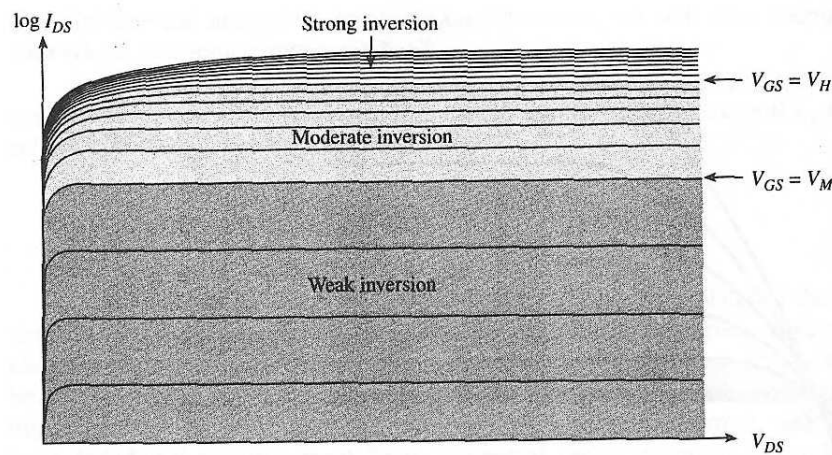


Figura 3.14: Log(ID) vs. Vds. Imagen extraída de [8]

3.3 Parámetros de medición de un amplificador

3.3.1 Ganancia

La ganancia de un amplificador es el valor por el cual la señal de entrada es multiplicada ($V_{out} = AV_{in}$). En el caso de los amplificadores diferenciales, existen dos tipos de ganancias: diferencial y de modo común [17]. La primera (A_d) es el valor por el cual la diferencia de señales es multiplicada, ósea $V_{out} = A_d(V_{in+} - V_{in-})$. La segunda (A_{cm}) solo amplifica señales en modo común y las suma a la señal de salida causando interferencia. Por la tanto la ecuación de la señal de salida, en un amplificador diferencial, esta dada por la siguiente expresión [7]: .

$$V_{out} = A_d(V_{in+} - V_{in-}) + A_{cm}\left(\frac{V_{in+} + V_{in-}}{2}\right) \quad (3.9)$$

3.3.2 Respuesta en frecuencia

La respuesta en frecuencia de un circuito indica la ganancia y la fase en función de la frecuencia. Usando esta información se evalúa la estabilidad del amplificador cuando está realimentado. La figura 3.15 muestra el ejemplo de la respuesta en frecuencia de un circuito y la forma de calcular los valores de margen de fase y ganancia. Para determinar que el circuito es estable, el margen de fase debe ser mayor a 45° , siendo un punto óptimo en 60° [18]. Además de esa condición, se debe asegurar que el margen de ganancia sea mayor a $15dB$ [18].

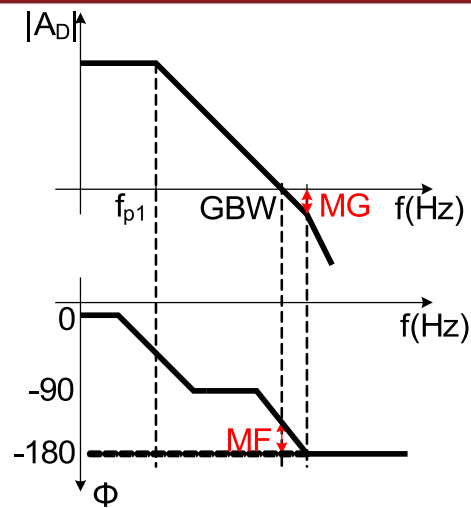


Figura 3.15: Respuesta en frecuencia de un amplificador. En ella se muestra gráficamente el margen de fase (MF) y de ganancia (MG).

3.3.3 Factor de Rechazo al modo común (CMRR)

En un amplificador diferencial, el CMRR es la relación entre la ganancia diferencial y la ganancia en modo común como indica la ecuación 3.10 [6]. Es importante mencionar que este parámetro es generalmente afectado por el *mismatch* entre dispositivos. Idealmente debe ser infinito pero debido a las imperfecciones en los procesos de fabricación se genera un factor que puede afectar gravemente el sistema.

$$CMRR = \frac{A_d}{A_{cm}} \quad (3.10)$$

3.3.4 Factor de Rechazo a la interferencia de la fuente (PSRR)

Se define como el producto de la relación entre la variación de la fuente de voltaje con la variación en el voltaje de salida y la ganancia en lazo abierto del amplificador (ver ecuación 3.11) [18]. En otras palabras, si se aplica una pequeña señal en serie con la fuente de voltaje positiva o negativa, se obtiene como respuesta en la salida una señal amplificada o atenuada. El valor de PSRR indica la capacidad del circuito para rechazar en la salida señales indeseadas en la fuente de voltaje [6].

$$PSRR = \frac{\Delta V_{DD}}{\Delta V_{OUT}} = \frac{V_o/V_{in}(V_{dd=0})}{V_o/V_{dd}(V_{in} = 0)} \quad (3.11)$$

3.3.5 Offset

En un amplificador diferencial, el voltaje de offset es la señal diferencial que se aplica a la entrada para que el voltaje a la salida sea cero [17]. Existen dos tipos de offset: intrínseco y aleatorio. El primero es generado por el diseño en valores nominales y el segundo se debe al *mismatch* de los dispositivos y la variación de los parámetros de procesos de fabricación.

3.3.6 Potencia

La potencia de un circuito es la energía que consume para su funcionamiento. Existen dos tipos de potencia disipada: estática y dinámica. La potencia estática es disipada de forma constante en el tiempo, en cambio la dinámica es disipada generalmente en circuitos llaveados y en solo por pequeños intervalos de tiempo.

3.4 Variaciones de proceso, temperatura, y tensión

Antes de comenzar el diseño de un circuito, se tienen las especificaciones de cada bloque, las cuales indican el valor nominal, mínimo y máximo de los parámetros de medición. Debido a las variaciones de temperatura, voltaje de alimentación y de los parámetros del silicio en el proceso de fabricación, los parámetros de medición varían del valor nominal pero en todos los casos deben ser siempre mayores al mínimo y menores al máximo requerido. Para asegurarlo, es necesario simular cada parámetro crítico del circuito teniendo en cuenta los tres efectos juntos. Los resultados de este análisis son un conjunto de puntos alrededor del valor nominal.

Con cada uno de los modelos que provee la tecnología sobre el transistor MOS (*worst power*, *worst speed*, *worst one*, *worst zero*), la resistencia (*worst power*, *worst speed*), la capacitancia (*worst power*, *worst speed*) es combinado y variado en dos dimensiones (voltaje y temperatura). Por ejemplo, el peor valor (denominado comúnmente *worst case*) de la ganancia de un Amplificador operacional podría darse cuando un transistor MOS es *worst power*, una resistencia es *worst speed*, una capacitancia es *worst power*, a la temperatura máxima y con la tensión mínima de alimentación. Normalmente el rango de temperaturas más exigente usado en la industria es de -40 a 135 grados centígrados y la variación de tensión común es de 10 por ciento.

3.4.1 Modelos de Esquinas (*corners*) del transistor MOSFET

Los fabricantes usualmente entregan, además del modelo nominal, modelos de esquinas. Esto se debe a que en la fabricación de los dispositivos existe un margen de error y los errores

extremos se modelan llamándolos esquinas o *corners*. Los transistores MOS tienen 4 *corners*: *worst power*, *worst speed*, *worst one*, *worst zero*. El primero es el modelo del transistor en el cual consume más potencia, el segundo es un modelo donde la rapidez del transistor es afectada y por lo tanto es más lento, el modelo *worst one* indica un cambio lento de un nivel bajo de voltaje a un nivel alto, y el último modela un cambio lento de un nivel alto de voltaje a un nivel bajo.

3.4.2 Variación estadística (Simulación de Montecarlo)

El fabricante mide los parámetros del silicio de cada *Die* de las diferentes corridas. Con esta información modela la variación de los parámetros de Silicio con una distribución gaussiana. Los factores de la distribución gaussiana de cada parámetro del silicio es enviada al diseñador en modelos, los cuales son usados por el simulador para obtener una medición estadística de la respuesta del circuito. En otras palabras, una simulación de Montecarlo tiene como entradas al modelo del fabricante y el número de circuitos a fabricar. Según estos datos, el resultado indica el número de circuitos que tendrán una determinada respuesta y cuantos circuitos se espera que pasen los límites esperados. Comúnmente, existen tres tipos de simulaciones de Montecarlo: variaciones de proceso, *mismatch* y los dos juntos. La simulación de Montecarlo por variación de proceso es una variación global que tiene parámetros de dispersión en todo el *wafer*; en cambio la simulación de *mismatch* es una variación local de los parámetros (puede ser dentro de un mismo *Die*).

3.5 Amplificadores de primera etapa

Los amplificadores de primera etapa son: surtidor común, seguidor surtidor y compuerta común. A continuación se muestran las topologías del surtidor común y seguidor surtidor junto con su modelo en pequeña señal y sus principales ecuaciones.

Surtidor común

Es usada como etapa de alta ganancia (ver Fig. 3.16). Sus principales ecuaciones son la de ganancia y la resistencia de salida, las cuales se muestran a continuación [7].

$$A_v = -g_{m1}(r_{01} \parallel r_{02}) \quad (3.12)$$

$$R_{out} = r_{01} \parallel r_{02} \quad (3.13)$$

Seguidor Surtidor

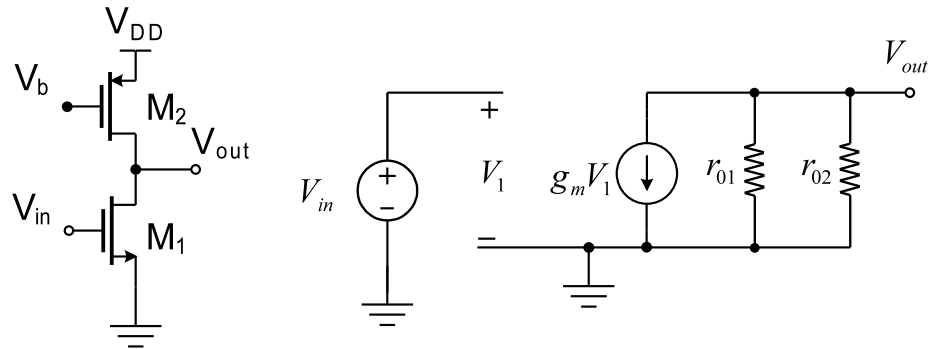


Figura 3.16: Circuito esquemático de un amplificador surtidor común y su modelo en pequeña señal [7]

Es usado como acoplador de impedancias, ya que su impedancia de entrada es muy grande, su impedancia de salida es pequeña y tiene una ganancia cercana a uno [7].

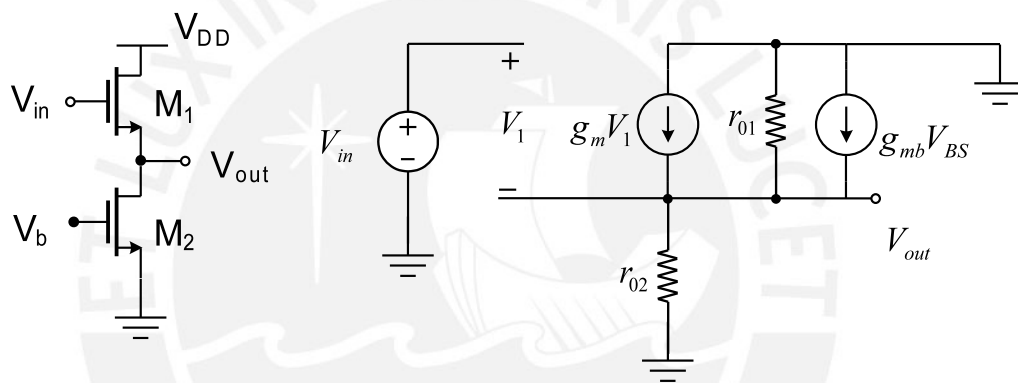


Figura 3.17: Circuito esquemático de un amplificador seguidor surtidor y su modelo en pequeña señal [7]

La ecuación de ganancia y resistencia de salida están determinadas por:

$$A_v = \frac{g_{m1}r_{02}}{1 + (g_{m1} + g_{mb1} + \frac{1}{r_{01}})r_{02}} \quad (3.14)$$

$$R_{out} = \frac{1}{g_{m1} + g_{mb1}} \parallel \frac{1}{r_{01}} \parallel \frac{1}{r_{02}} \quad (3.15)$$

3.6 Espejos de corriente

Los circuitos de copia de corriente, como su nombre lo sugiere, tienen la función de reproducir, atenuar o amplificar una corriente de referencia. Desde un punto de vista eléctrico, un espejo de corriente es una fuente de corriente controlada por corriente (CCCS por sus siglas en inglés current control current source) [6]. En la figura 3.18 se muestra un circuito equivalente de espejo de corriente ideal donde la ganancia, la impedancia de salida, el rango dinámico y la

velocidad son finitas. La figura 3.19 muestra un circuito de copia de corriente simple donde el transistor conectado como diodo mide la corriente de referencia y genera un voltaje de compuerta proporcional a esta corriente, el segundo transistor es conectado a este mismo nivel de voltaje en su compuerta, y asumiendo que tienen las mismas dimensiones y que los dos transistores operan en saturación, la corriente se copia correctamente. El circuito de la figura

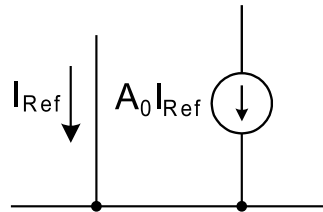


Figura 3.18: Representación ideal de un circuito de copia de corriente

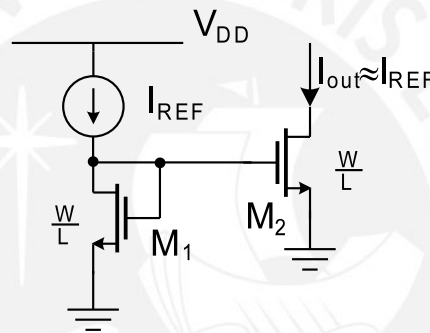


Figura 3.19: Espejo de corriente simple

3.19 tiene la desventaja de requerir grandes dimensiones ($L = 5L_{min}$) en el largo de canal para obtener mejor exactitud en la copia de corriente; de no ser así la corriente de salida difiere de la de referencia. Para mejorar este problema entre otros (rango dinámico, impedancia de salida y la disparidad entre la corriente de referencia y la copia), existen circuitos que mejoran la respuesta de los espejos de corriente como son: espejo de corriente wilson, espejo de corriente de wilson mejorada, el espejo de corriente cascode, espejo de corriente cascode, espejo de corriente cascode modificado, espejo de corriente de alto rango, espejo de corriente cascode regulado [6].

3.7 Amplificadores diferenciales

Los amplificadores diferenciales son la versión diferencial de los amplificadores de primera etapa. Para ilustrar se muestra la figura 3.20 donde se conectan dos amplificadores seguidor común normales en su forma diferencial y la salida y la entrada son señales diferenciales (este tipo de amplificadores se denominan completamente diferenciales o fully differential).

Cuando se requiere una señal de entrada diferencial y una salida simple, la diferencia se debe realizar en el propio circuito y esto se logra copiando la corriente de una rama a la otra obteniendo en la salida la resta de las dos señales. La figura 3.21.

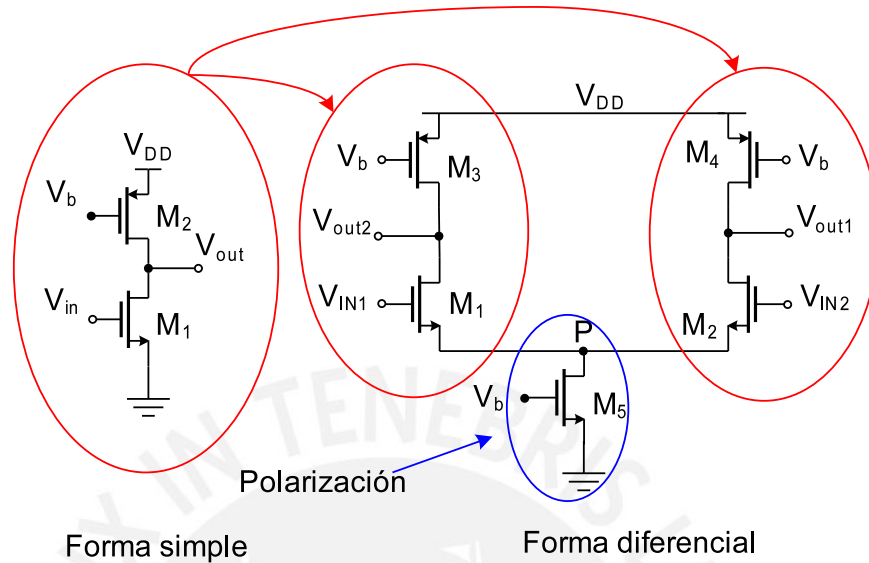


Figura 3.20: Surtidor común como etapa simple y su forma diferencial

Es importante mencionar en esta sub-sección que la respuesta de los amplificadores de cualquier tipo (amplificadores de salida simple o diferencial con entrada simple o diferencial) se mide por las siguientes características: tiempo de respuesta, tiempo de estabilización, factor de rechazo en modo común (CMRR), factor de rechazo al ruido de la fuente (PSRR), distorsión armónica total (THD), área, margen de fase, potencia, ganancia, impedancia de entrada y salida, *slew rate*, rango de entrada en modo común (ICMR), rango de entrada y de salida de la señal, ancho de banda, Offset y ruido.

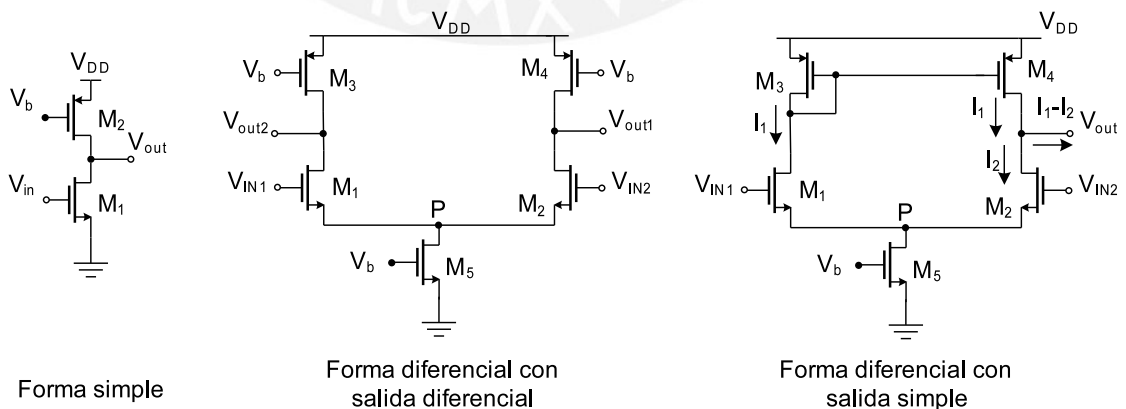


Figura 3.21: Surtidor común como etapa simple, completamente diferencial y salida simple

3.8 Amplificador diferencial de diferencias

El amplificador diferencial de diferencias o DDA es un amplificador con dos entradas diferenciales y una salida simple. La salida es resultado de la diferencia de las señales diferenciales multiplicada por una ganancia. La figura 3.22 muestra el símbolo del DDA, donde los dos trapezoides simbolizan los elementos de transconductancia y el triángulo, la etapa de salida de alta ganancia [14].

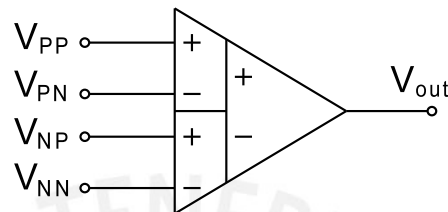


Figura 3.22: Símbolo del DDA

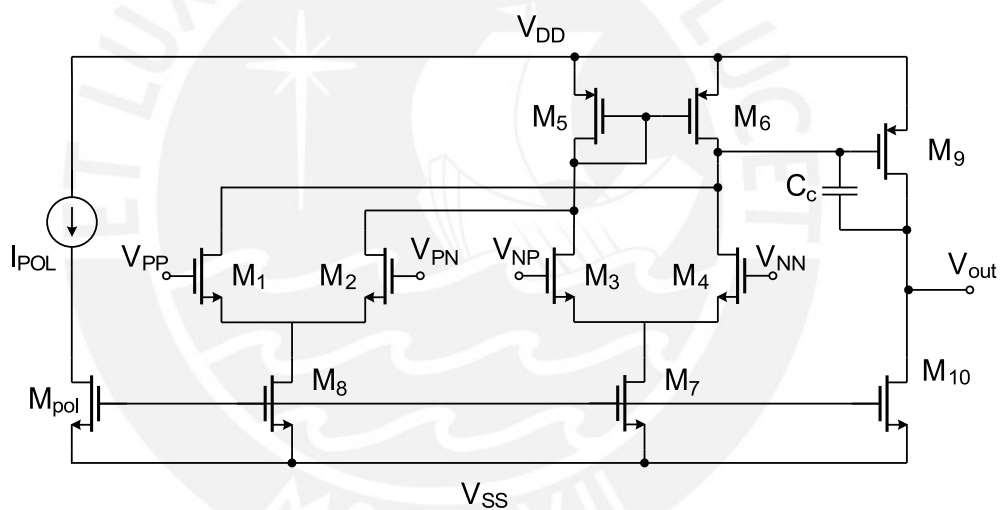


Figura 3.23: Topología de un amplificador diferencial de diferencias básico

En la figura 3.23 muestra la topología de un DDA, donde se identifican dos pares diferenciales, espejos de corriente, surtidor común y un seguidor surtidor. Con los dos pares diferenciales que comparten las cargas activas en la entrada se obtiene la diferencia de las señales diferenciales multiplicado por una ganancia, luego con la etapa surtidor común la señal es amplificada por un valor más grande. La ganancia final del DDA está formada por la ganancia del surtidor común multiplicada por el factor de amplificación de la etapa de entrada [14].

El principio de funcionamiento del DDA se basa en la ecuación 3.16 y cuando se realimenta negativamente, las señales diferenciales de la entrada se igualan (ver ecuación 3.17). Con este funcionamiento se obtiene circuitos que solo dependen de los dispositivos que forman la

realimentación del DDA.

$$V_{out} = A_0[(V_{PP} - V_{PN}) - (V_{NP} - V_{NN})] \quad (3.16)$$

$$V_{PP} - V_{PN} \approx V_{NP} - V_{NN} \quad (3.17)$$

3.8.1 Ecuaciones características

Rango de Entrada y salida

El rango de entrada del amplificador diferencial está determinado por los voltajes que aseguran que los transistores se encuentren en saturación. La figura 3.24 ilustra las condiciones de saturación.

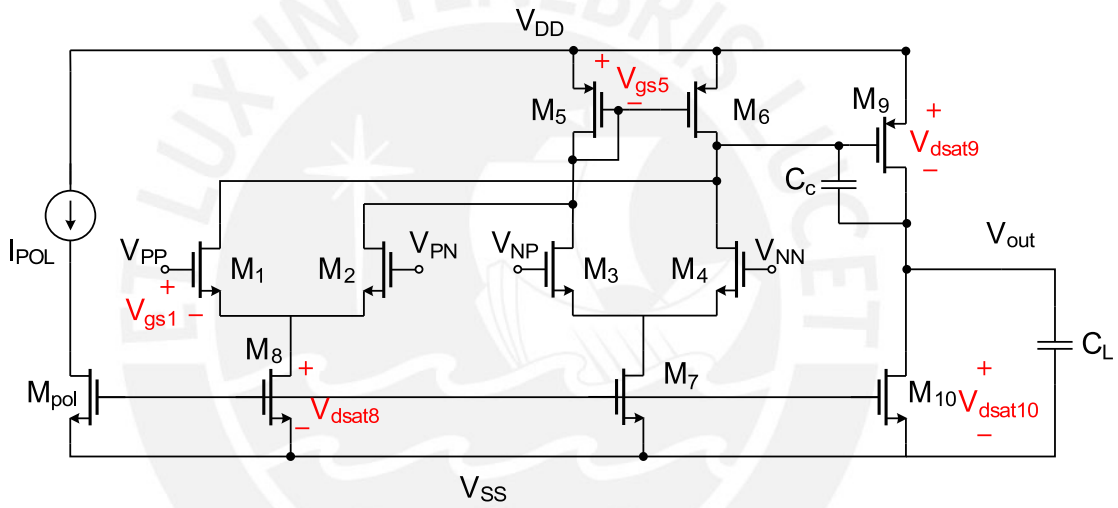


Figura 3.24: Voltajes que limitan la excursión de la señal en el circuito

La expresión para el rango de entrada está dada por (donde V_{HR}^{in+} y V_{HR}^{in-} son el máximo y mínimo valor tolerable en la señal de entrada):

$$V_{HR}^{in+} = V_{DD} - (V_{GS5} - V_{TH3}) \quad (3.18)$$

$$V_{HR}^{in-} = V_{SS} + (V_{GS1} + V_{DSAT8}) \quad (3.19)$$

En el caso de la salida, las expresiones son las siguientes (donde V_{HR}^{out+} y V_{HR}^{out-} son el máximo y mínimo valor de la señal a la salida):

$$V_{HR}^{out+} = V_{DD} - V_{DSAT9} \quad (3.20)$$

$$V_{HR}^{out-} = V_{SS} + V_{DSAT10} \quad (3.21)$$

Respuesta en frecuencia

La estabilidad y GBW (producto Ganancia-Ancho de banda) del circuito están determinadas por los polos y ceros, los cuales están expresados en términos de los parámetros de los transistores del amplificador. En consecuencia, la función de transferencia del circuito, deducida a partir del modelo en pequeña señal del amplificador (ver Fig. 3.25), es una de las expresiones que nos permiten hallar estos valores de una forma más sencilla.

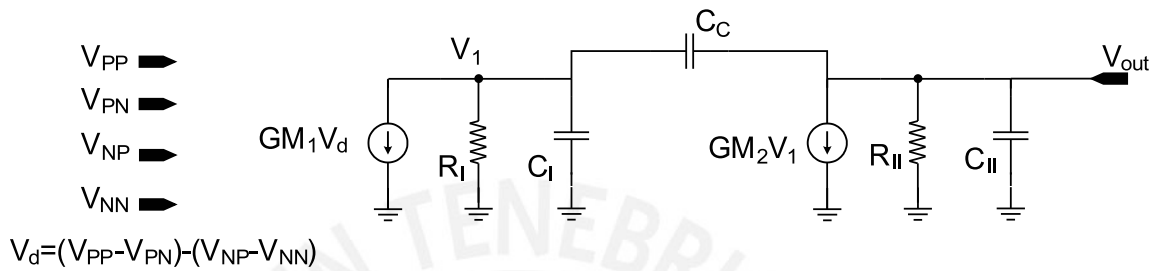


Figura 3.25: Modelo equivalente en pequeña señal

Las ecuaciones 3.22, 3.23 y 3.24 son las expresiones que corresponden a los valores del primer, segundo polo y GBW.

$$p_1 = \frac{1}{GM_2 R_1 R_2 C_C} \quad (3.22)$$

$$p_2 = \frac{GM_2 R_2}{C_L} = \frac{AV_2}{C_L} \quad (3.23)$$

$$GBW = \frac{GM_1}{C_C} \quad (3.24)$$

Ruido

El análisis del ruido del DDA se representa en la figura 3.26, donde los transistores se han modelado tomando en cuenta el ruido del transistor MOS [7]. Es importante notar que el ruido equivalente del DDA es generado por todas las etapas del amplificador; pero, debido a que la ganancia del amplificador diferencial en la entrada es alta, el ruido de la segunda y tercera etapa es despreciable con respecto al ruido equivalente en la entrada del par diferencial. Por esta razón solo se toma en cuenta el ruido del par diferencial para la deducción del ruido total en el DDA.

De la figura se deduce que el ruido equivalente a la salida es:

$$I_{out,n}^- = I_{n,M5}^- + I_{n,M6}^- + I_{n,M1}^- + I_{n,M2}^- + I_{n,M3}^- + I_{n,M4}^- \quad (3.25)$$

y como:

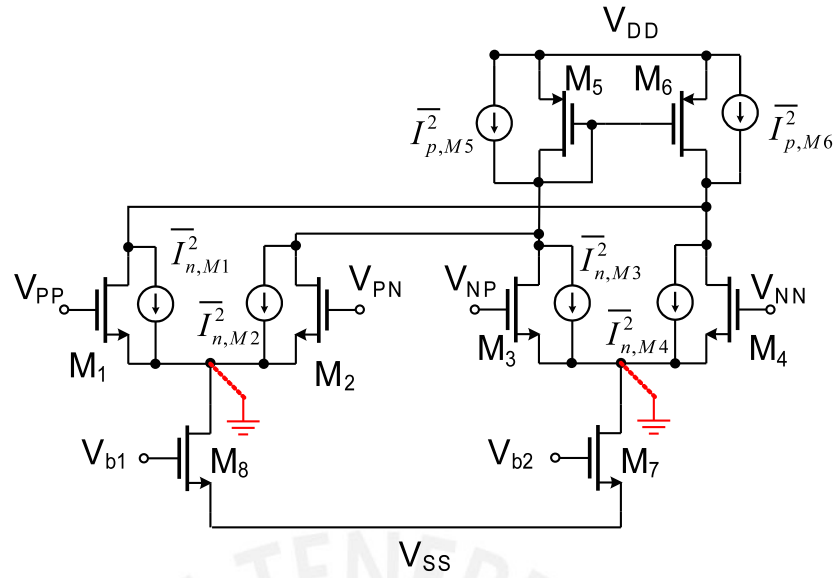


Figura 3.26: Modelo de transistores con ruido

$$S_n = \frac{I_{out,n}^2}{GM} \quad (3.26)$$

Entonces, el ruido térmico equivalente en la entrada es:

$$S_{n,term}(f) = 8KT \frac{2}{3} \frac{1}{gm_{M1,2,3,4}} 2 \left(\frac{gm_{M5,6}}{2gm_{M1,2,3,4}} + 1 \right) \quad (3.27)$$

y el ruido *flicker* equivalente en la entrada tiene la siguiente expresión:

$$S_{n,flick}(f) = \frac{2K_P(gm_{M5,6}^2)}{C_{ox}f(gm_{M1,2,3,4}^2)(WL)_{M5,6}} + \frac{4K_n}{C_{ox}f(WL)_{M1,2,3,4}} \quad (3.28)$$

Potencia

La potencia del circuito está determinada por la corriente de polarización de cada una de las ramas del circuito y la tensión de alimentación. La siguiente ecuación se muestra la expresión para la potencia total circuito:

$$P_W = (V_{DD} - V_{SS})(I_{M10} + I_{M8} + I_{M7}) \quad (3.29)$$

Capítulo 4

Diseño del amplificador diferencial de diferencias

En el presente capítulo se obtienen los requerimientos eléctricos del amplificador diferencial de diferencias en base a la simulación del filtro de señales neuronales, el cual incluye un macromodelo del amplificador en cuestión. También se exhiben y se analizan las ecuaciones características del DDA y en base a los requerimientos se elaboró una metodología de diseño. Esta metodología es importante para un manejo ordenado de los parámetros de diseño y es base para el dimensionamiento de cada uno de los transistores del amplificador diferencial de diferencias. Para el diseño del circuito se usó la tecnología AMS $0.35\mu m$ con la que cuenta el laboratorio de microelectrónica de la PUCP. Para las simulaciones y el *layout* de los transistores se usó el software *CADENCE*, específicamente las herramientas *Virtuoso Analog Environment* y *Virtuoso Layout*.

4.1 Objetivos

4.1.1 Objetivos Generales

- Diseño y simulación de un amplificador diferencial de diferencias como parte de un filtro pasabanda utilizado en un circuito integrado de acondicionamiento de señales neuronales.

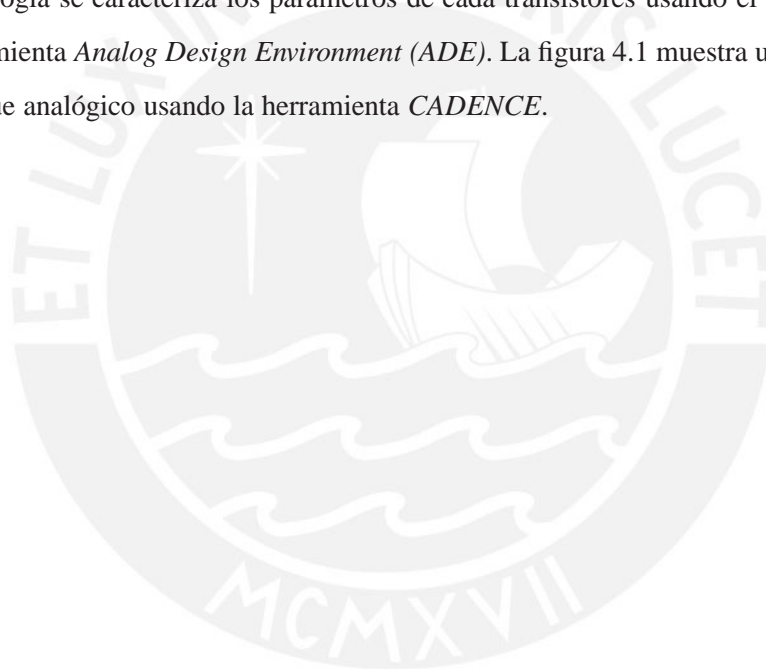
4.1.2 Objetivos Específicos

- Diseñar el amplificador diferencial de diferencias utilizando el flujo de diseño de circuitos integrados analógicos con herramientas cadence.

- Especificar un bloque analógico básico dentro de bloque más complejo o hasta dentro de un sistema utilizando macromodelos.
- Comparar las simulaciones de un esquemático y del *netlist* generado del diseño físico del circuito.

4.2 Flujo de Diseño de circuitos integrados analógicos

El Flujo de diseño de circuitos integrados es muy importante cuando se diseña sistemas complejos. El primer paso es, en base a las especificaciones, definir la tecnología a usar; por ejemplo: si se necesita usar transistores de potencia o de RF o aislados (tipo n y p) o memorias de estado sólido, se busca un fabricante que provea estas necesidades. Luego de ser definida la tecnología se caracteriza los parámetros de cada transistores usando el simulador *spectre* y la herramienta *Analog Design Environment (ADE)*. La figura 4.1 muestra un flujo de diseño de un bloque analógico usando la herramienta *CADENCE*.



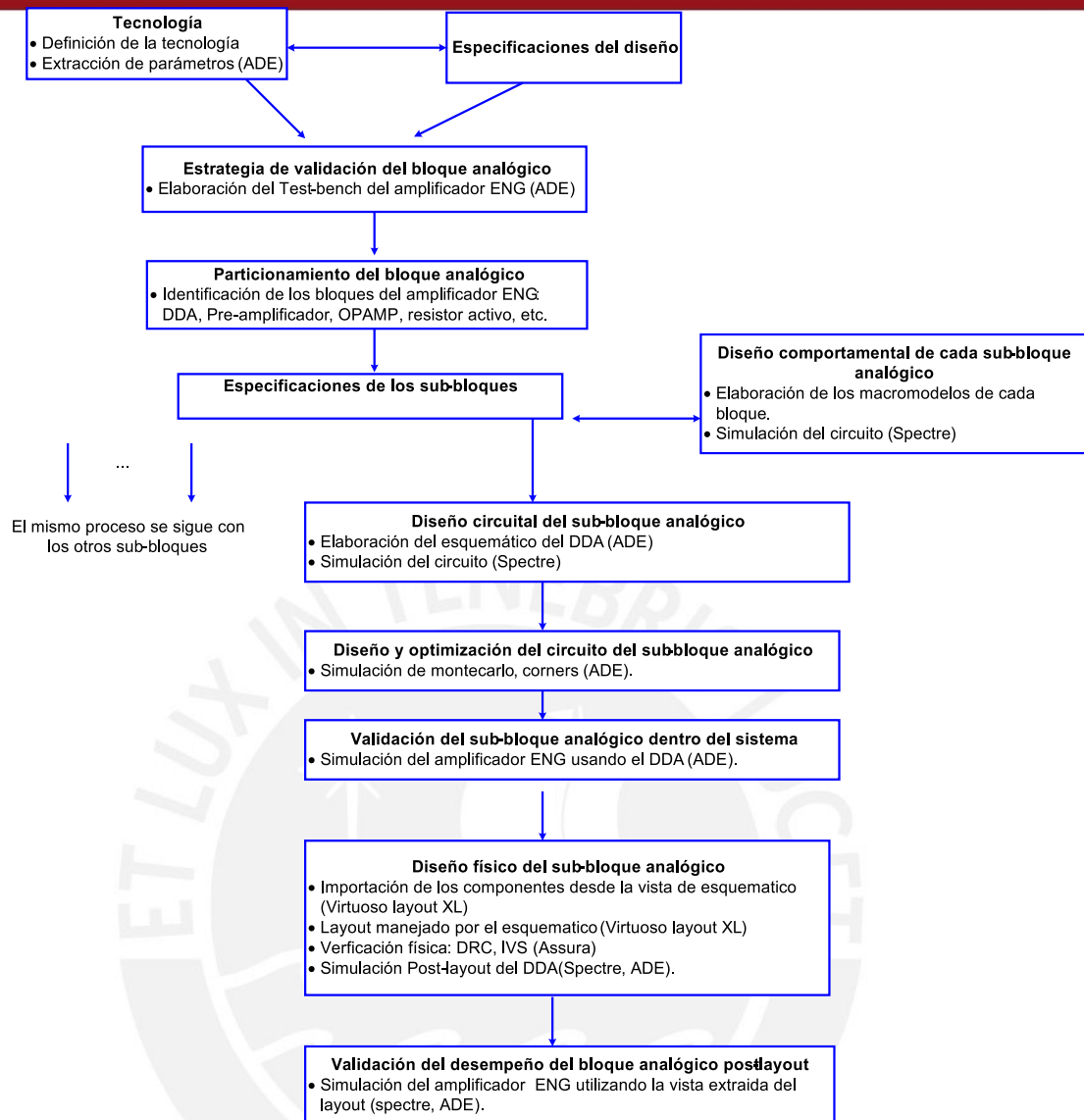


Figura 4.1: Flujo de diseño del DDA

El siguiente paso es construir el circuito de validación del bloque analógico (ejm: amplificador de señales neuronales) y después dividirlo en bloques básicos como amplificadores operacionales, resistores activos, pre-amplificador etc. Con la partición y simulando a nivel comportamental o de macromodelos, se especifica cada bloque básico asegurando que el comportamiento del sistema sea el más eficiente. A partir de las especificaciones se elabora el circuito en base a transistores y se simula hasta atender los requerimientos. La siguiente etapa es validar el bloque básico analógico ante variaciones de temperatura, proceso y tensión de alimentación (simulación *PVT*) asegurando que en cualquier caso se cumplan las especificaciones. Si existe algún caso en el cual el requerimiento no se cumple se debe ajustar el circuito para que sea más robusto.

Con las dimensiones definidas, se procede al diseño físico en el que se usa la herramienta

Virtuoso layout XL. Los transistores deben quedar ubicados de forma que no exista una desigualdad entre dispositivos críticos como pares diferenciales y espejos activos. A este diseño se le hace una validación que compara el número de dispositivos y nodos con el esquemático (*layout vs schematic lvs*). También se evalúan si las reglas de diseño de la tecnología se cumplen (*Design rule check DRC*). Solo después de que el *layout* es validado se procede a la extracción de un *netlist*, el cual toma en cuenta capacitancias parásitas que no aparecen a nivel esquemático. Por último se simula el *netlist* generado asegurando que atienda todas las especificaciones aun cuando hay variaciones de PVT.

4.3 Definición de la tecnología y extracción de parámetros

La tecnología disponible en el laboratorio de microelectrónica de la PUCP es AMS035C con 4 niveles de metal. Para hallar las dimensiones de los transistores no se usó la ecuación cuadrática del transistor sino se simuló el transistor tipo n y p con el fin de obtener una curva del transistor más parecida con la realidad. Las curvas obtenidas fueron gm/ID vs. Corriente normalizada (ver figura 4.2). Usando esta curva solo es necesario saber la transconductancia y la corriente de polarización para hallar las dimensiones.

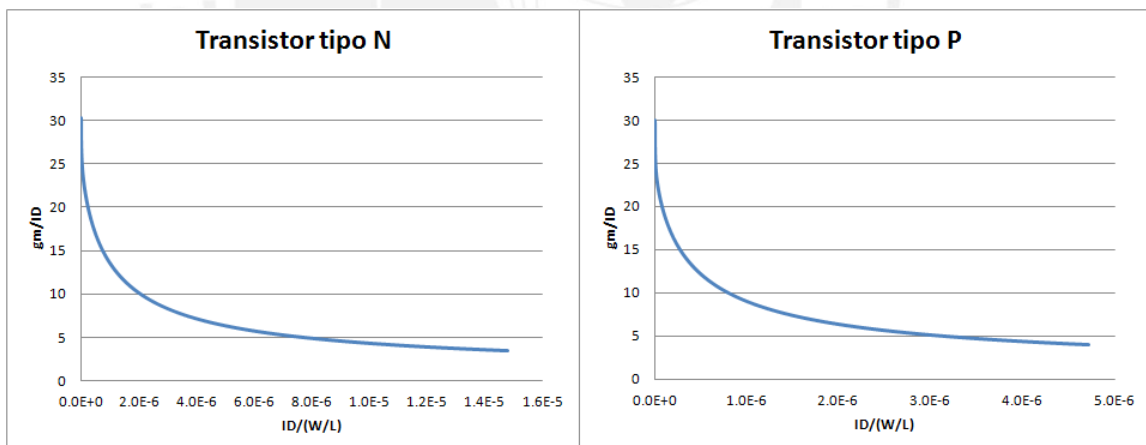


Figura 4.2: $\frac{gm}{ID}$ vs. $\frac{ID}{W/L}$

4.4 Filtro Pasabanda

El amplificador propuesto en [4] está compuesto por tres bloques importantes (ver Fig. 2.4). La primera es un pre-amplificador, la segunda es un filtro pasabanda y la última es un filtro pasa altos seguido de un amplificador operacional configurado como amplificador con una ganancia tal que acondiciona la señal para que alcance todo el rango de entrada del convertidor

analógico-digital. El propósito del filtro pasa-alto es eliminar cualquier offset residual que hay en la señal.

El objetivo de la presente tesis es el diseño del amplificador diferencial de diferencias que es parte de la segunda etapa del sistema (ver Fig. 4.3). El filtro debe rechazar las bandas de frecuencias fuera del rango de $100Hz$ y $5Khz$. La ecuación de transferencia del filtro se muestra en 4.1, donde $A = (R_2 + R_1)/R_1$ y $\alpha = \frac{1}{R_{INT}C_{INT}}$.

$$H(S) = \frac{AS}{S + A\alpha} \quad (4.1)$$

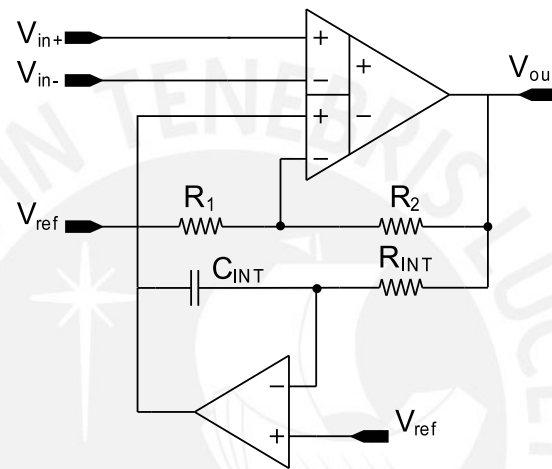


Figura 4.3: Filtro pasabanda utilizado en [4]

La figura 4.3 muestra el esquemático del filtro con una señal de entrada diferencial y una salida simple. Los otros dos terminales de entrada del DDA se usan para implementar dos lazos de realimentación. La realimentación negativa define la ganancia A del circuito y la segunda realimentación introduce un cero en el origen con lo cual se elimina el offset de la señal [4]. La frecuencia de corte para el filtro pasa altos (f_{hp}) en la realimentación positiva es de $100Hz$ lo que requiere un valor alto de R_{INT} y C_{INT} (ver ecuación 4.2).

$$f_{hp} = \frac{A}{2\pi R_{INT}C_{INT}} \quad (4.2)$$

La ganancia del filtro en este caso será unitaria por lo que $R_1 \gg R_2$, entonces un valor arbitrario es escogido: $R_1 = 10k\Omega$ y $R_2 = 0\Omega$. Además, el valor máximo para una capacitancia *on-chip* es de $20pF$, entonces, el valor de R_{INT} debe ser de $80M\Omega$. Este valor de resistencia es grande para ser implementado en un chip, por lo que se usan técnicas alternativas para alcanzar dicho valor [15]. La frecuencia de corte superior es mayor a $5kHz$ y está determinada por el capacitor de compensación C_C del DDA(ver Fig. 3.23).

La señal de entrada del sistema está en el rango de $1\mu V - 10\mu V$ y el pre-amplificador

diseñado en [13] tiene una ganancia aproximada de 40DB, entonces la señal de entrada del filtro pasabanda(ver Fig. 4.3) es de $0.1mV - 1mV$.

4.4.1 Macromodelo del DDA

Un macromodelo es un circuito que modela no idealmente las características de un dispositivo. Los macromodelos se utilizan para simularlos dentro del sistema y de esta manera obtener los requerimientos mínimos que el bloque necesita para cumplir su función dentro del sistema.

En el caso del DDA, las principales características a modelar son: Ganancia, respuesta en frecuencia, ruido y linealidad. La figura 4.4 muestra un macromodelo básico de un DDA donde solo se toma en cuenta la ganancia y respuesta en frecuencia. En este circuito se consideran solo dos polos: el primero define un ancho de banda real y el segundo, el margen de fase. El primer polo se define con $1/R_1C_1$ y el segundo con $1/R_2C_2$.

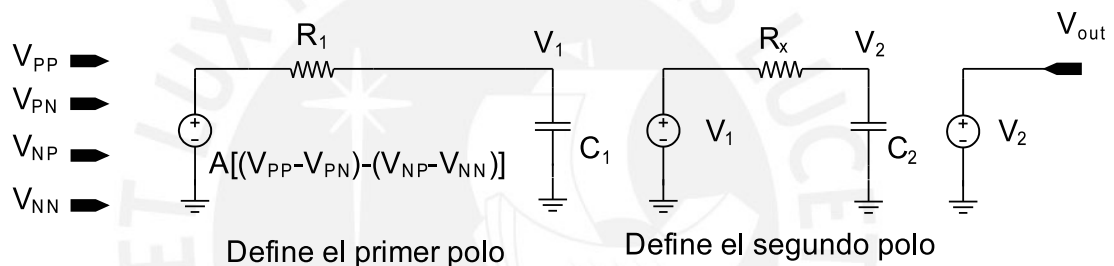


Figura 4.4: Macromodelo simple de un DDA con dos polos

Un valor aceptable para el margen de fase es de sesenta grados y el producto de ganancia por ancho de banda se define mediante la frecuencia de corte del filtro [18] [4].

4.4.2 Requerimientos eléctricos del DDA

El DDA cumple una función específica dentro del circuito y su respuesta está condicionada a asegurar un correcto desempeño del sistema. Los requerimientos se obtienen de las gráficas de la simulación del filtro pasabanda con modelos ideales de los dispositivos y un macromodelo no ideal del DDA. En este caso se utilizó el macromodelo mostrado en la figura 4.3, el cual solo macromodela la respuesta en frecuencia con dos polos, los cuales son útiles para determinar los requerimientos de producto *gain-bandwidth*. Otras especificaciones como el rango de salida, rango de entrada y ruido se analizan a partir de las características de las etapas vecinas.

La respuesta esperada del filtro es un pasabanda con frecuencia de corte inferior de $100Hz$ y frecuencia de corte superior de $5KHz$ respectivamente [4]. Como se mostro anteriormente, la frecuencia de corte inferior se implementa en la realimentación del segundo lazo del DDA y la frecuencia de corte superior es determinada por el DDA. En la figura 4.5 se muestra el

resultado de la simulación para un DDA con ganancia de $100dB$, margen de fase mayor a sesenta grados y producto de ganancia-ancho de banda (GBW) de $120KHz$.

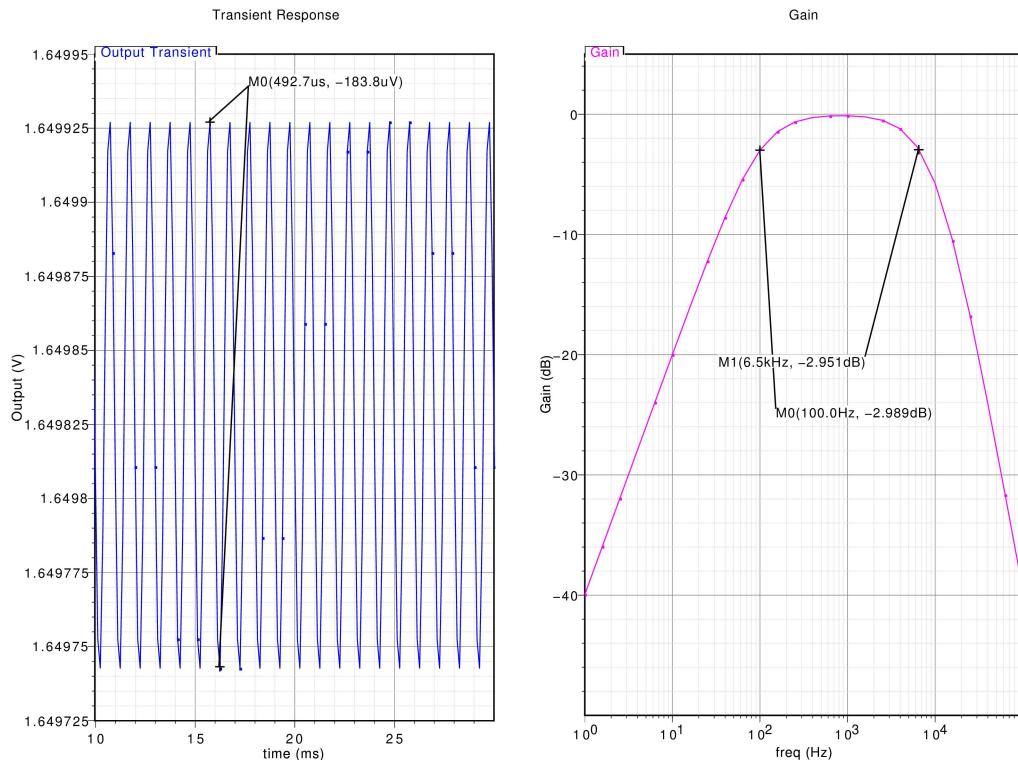


Figura 4.5: Simulación del filtro pasabanda con dispositivos ideales excepto el DDA que cuenta con dos polos

El rango de la señal de entrada del sistema es de $1\mu V - 10\mu V$ y la ganancia del pre-amplificador (primera etapa) en [13] es aproximadamente de $40dB$ con un ruido en el rango de los pV/\sqrt{Hz} . Dado estos datos, se deduce que la amplitud de la señal en la entrada del filtro pasabanda (segunda etapa) es de $0.1mV-1mV$. Además, dado que el filtro pasabanda tiene ganancia unitaria, el rango de salida es igual al rango de entrada. El ruido del filtro pasabanda es aproximadamente igual al ruido equivalente a la entrada del DDA ya que el ruido del lazo de realimentación no afecta el valor del ruido equivalente en la entrada del filtro [17]. En [4] se indica que el ruido mínimo equivalente en la entrada del sistema debe ser de $5\eta V/\sqrt{Hz}$ debido a la impedancia del electrodo. Entonces, para este caso se asume como requerimiento de ruido máximo al valor equivalente de ruido a la salida del pre-amplificador que corresponde a $500\eta V/\sqrt{Hz}$.

Tabla 4.1: Requisitos principales del DDA (Elaboración Propia)

Ganancia	100 DB
CMRR	≥ 80 DB
GBW	120 khz
ICMR	$\leq \pm 0.1 V$
Ruido	$\leq 500\eta V/\sqrt{Hz}$
Potencia	$\leq 250 \mu W$ [4]
Área	Menor posible

4.5 Dimensionamiento de los transistores

El orden y las ecuaciones que se utilizan para el diseño de un amplificador dependen de los requerimientos críticos de entrada. En este caso, el ruido es un requerimiento crítico y se desea minimizar el ruido ya que las señales tienen amplitudes muy pequeñas. Es importante mencionar que la topología NMOS introduce mucho ruido flicker en el amplificador, por lo tanto una topología PMOS (ver figura 4.6) es más conveniente para esta aplicación [19]. Las ecuaciones descritas en la sección 3 son válidas para esta topología, excepto las de rango lineal de entrada y salida, las cuales se muestran a continuación:

$$V_{HR}^{in+} = V_{DD} - (V_{GS1} + V_{DSAT8}) \quad (4.3)$$

$$V_{HR}^{in-} = V_{SS} + (V_{GS5} - V_{TH3}) \quad (4.4)$$

Rango de salida:

$$V_{HR}^{out+} = V_{DD} - V_{DSAT10} \quad (4.5)$$

$$V_{HR}^{out-} = V_{SS} + V_{DSAT9} \quad (4.6)$$

El primer paso en el diseño es asegurar que el ruido equivalente a la entrada del amplificador es menor que la especificación, para esto se utiliza la siguiente ecuación:

$$g_{mM1} \geq 16KT \frac{2}{3} \frac{1}{S_{n,term}} \quad (4.7)$$

Dados los valores de la especificación, se calcula que:

$$g_{mM1} \geq 16KT \frac{2}{3} \frac{1}{(150\eta)^2} \quad (4.8)$$

$$g_{mM1} \geq 2\mu S \quad (4.9)$$

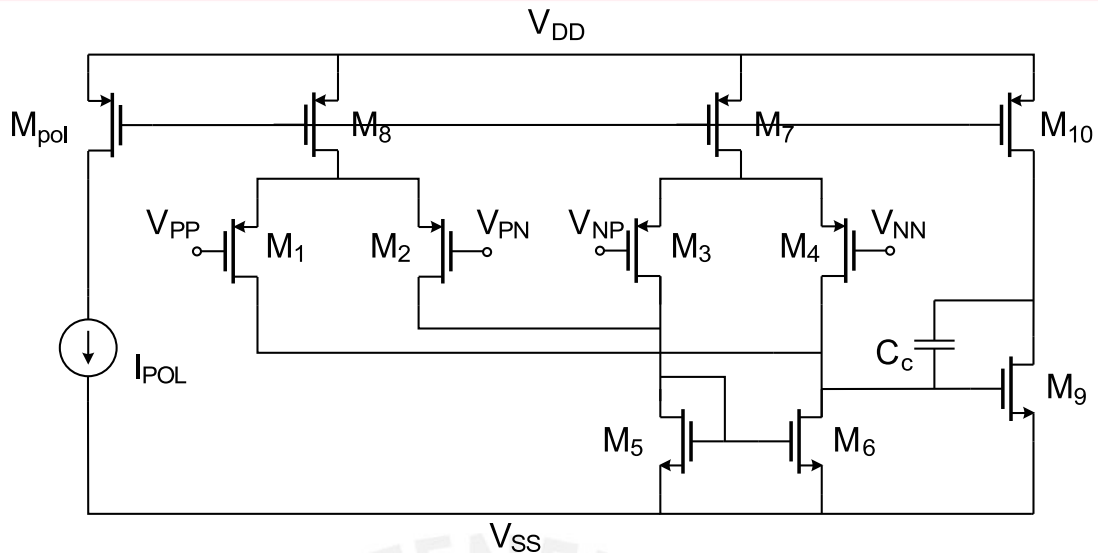


Figura 4.6: Topología PMOS para el DDA

Con el fin de que el diseño sea robusto a variaciones de proceso, temperatura y tensión de alimentación, el valor escogido para la transconductancia gm_{M1} es $6\mu S$. El siguiente paso es asegurar la respuesta en frecuencia del circuito, ya que esta define la frecuencia superior de corte del filtro pasabanda. Usando la ecuación del producto Ganancia-Ancho de banda:

$$GBW = \frac{gm_{M1}}{C_C} \quad (4.10)$$

el capacitor de compensación es calculado:

$$C_C = \frac{6\mu S}{2\pi 120kHz} = 7.96pF \quad (4.11)$$

Usualmente el cero en el semiplano derecho (del plano complejo de frecuencias) que aparece por el capacitor de compensación es diseñado en una frecuencia diez veces mayor que el producto ganancia ancho de banda (GBW); pero en este caso eso no se aplica y se compensa el cero solamente con un resistor en serie al capacitor de compensación. La principal razón de no seguir esta regla es que a mayor transconductancia en la segunda etapa del amplificador, mayor corriente se necesita y con esto mayor ancho de banda es obtenido, lo cual por la especificación debe ser un valor muy bajo (GBW). Entonces, con el fin de reducir la corriente al máximo para obtener un circuito *low power*, el valor de la corriente de polarización de cada par diferencial y de la segunda etapa es escogido arbitrariamente para que el circuito no consuma mucha potencia, que el ruido no exceda lo especificado y se cumpla con un ancho de banda pequeño sin una capacitancia de compensación muy grande.

$$I_{M7} = I_{M8} = I_{10} = 400\eta A \quad (4.12)$$

Para asegurar la estabilidad del amplificador cuando este realimentado, el margen de fase debe ser mayor a sesenta grados sexagesimales. Entonces se debe cumplir que:

$$120 = \tan^{-1} \left(\frac{GBW}{p_1} \right) + \tan^{-1} \left(\frac{GBW}{p_2} \right) + \tan^{-1} \left(\frac{GBW}{z_1} \right) \quad (4.13)$$

$$30 = \tan^{-1} \left(\frac{GBW}{p_2} \right) + \tan^{-1} \left(\frac{GBW}{z_1} \right) \quad (4.14)$$

De la ecuación anterior se deduce que

$$30 = \tan^{-1} \left(\frac{GBW C_C}{g_{m_{M6}}} \right) + \tan^{-1} \left(\frac{GBW C_L}{g_{m_{M6}}} \right) \quad (4.15)$$

Reemplazando los valores de GBW , C_C y C_L en la ecuación anterior y resolviendola numéricamente se obtiene que:

$$g_{m_{M6}} \geq 12\mu S \quad (4.16)$$

Hasta ahora la transconductancia y la corriente de polarización de los transistores de los pares diferenciales y del transconductor de la segunda etapa están definidos. Entonces, con el fin de obtener el máximo rango de entrada y de salida, los espejos de polarización son diseñados para asegurar saturación con un $V_{DSAT} \leq 100mV$. Asimismo, los espejos activos (carga del amplificador diferencial) son dimensionados tomando en cuenta la reducción del offset intrínseco, dada por la siguiente ecuación:

$$\frac{I_{D10}}{(W/L)_9} = \frac{I_{D6}}{(W/L)_6} \quad (4.17)$$

Ya que $I_{D10} = I_{D6}$, entonces:

$$(W/L)_9 = (W/L)_6 \quad (4.18)$$

Las dimensiones pueden ser halladas fácilmente a partir de los datos anteriores usando la ecuación cuadrática de la corriente del transistor pero estos datos tendrían mucho error ya que este modelo es una aproximación muy básica del funcionamiento real del transistor. Entonces, dado que el simulador opera con un modelo más avanzado (BSIM3V3) que toma en cuenta fenómenos que ocurren a nivel del silicio, los valores son hallados en base a simulaciones y la

Tabla 4.2: Dimensiones de los transistores del DDA

M_x	ID	$\frac{W}{L}$	W(total)	L	M
M1	$200\eta A$	66.67	100μ	1.5μ	4
M2	$200\eta A$	66.67	100μ	1.5μ	4
M3	$200\eta A$	66.67	100μ	1.5μ	4
M4	$200\eta A$	66.67	100μ	1.5μ	4
M5	$400\eta A$	1	5μ	5μ	1
M6	$400\eta A$	1	5μ	5μ	1
M7	$400\eta A$	1	2μ	2μ	1
M8	$400\eta A$	1	2μ	2μ	1
M9	$400\eta A$	1	2μ	2μ	1
M10	$400\eta A$	1	2μ	2μ	1
M11	–	0.0325	0.5μ	16μ	1

curva presentada en la sub-sección anterior. La tabla 4.2 muestra las dimensiones del circuito. Estas fueron ajustadas mediante simulaciones para obtener los valores de transconductancia y corriente deseados (ver ecuación 4.9, 4.11, 4.12, 4.16 y 4.18). La variable M indica la cantidad de transistores que se colocan en paralelo. Esto tiene como fin un *layout* óptimo que sea robusto ante variaciones de proceso, de fabricación y evitar capacitancias parásitas grandes así como una óptima distribución de los transistores. Es importante mencionar que los transistores M5 y M6 tienen un L grande porque ese es un óptimo valor para el equilibrio entre ruido flicker y térmico. El parámetro L de los transistores fue escogido para asegurar una buena copia de los transistores (caso de los espejos de polarización) y disminuir el despareamiento entre los transistores del par diferencial sin incluir grandes capacitancias parásitas.

Es importante mencionar que el valor del capacitor de compensación usado fue de $7.5pF$ y el valor de la resistencia en serie para compensar el cero en el semiplano derecho es la inversa de la transconductancia del transistor M9. Dado que los resistores son muy inexactos, se implementó la resistencia usando un transistor operando en región trío. Las dimensiones de este transistor son halladas fácilmente de la ecuación del MOSFET. El valor ajustado en base a simulación se muestra en la tabla 4.2(M11).

$$R_z = \frac{1}{gm_{M9}} = 120k\Omega \quad (4.19)$$

4.6 Layout

El proceso de fabricación de los circuitos integrados es realizado por capas. En la figura 4.7 se observa que comienza con un substrato de silicio tipo P de aproximadamente $1mm$ de espesor. Luego, una capa de óxido de silicio es cultivada sobre el substrato (parte a). El siguiente

paso es crear el pozo tipo N (*N-well*) dentro del sustrato mediante un proceso de litografía, que consiste en colocar una máscara de un material fotoresistor sobre el óxido, exponerla a la luz usando una máscara del pozo N (sustrato del transistor tipo-P) y por último irradiar con portadores tipo N (ver figura b). Después, el material remanente de óxido y fotoresistores es eliminado del sustrato (ver figura c).

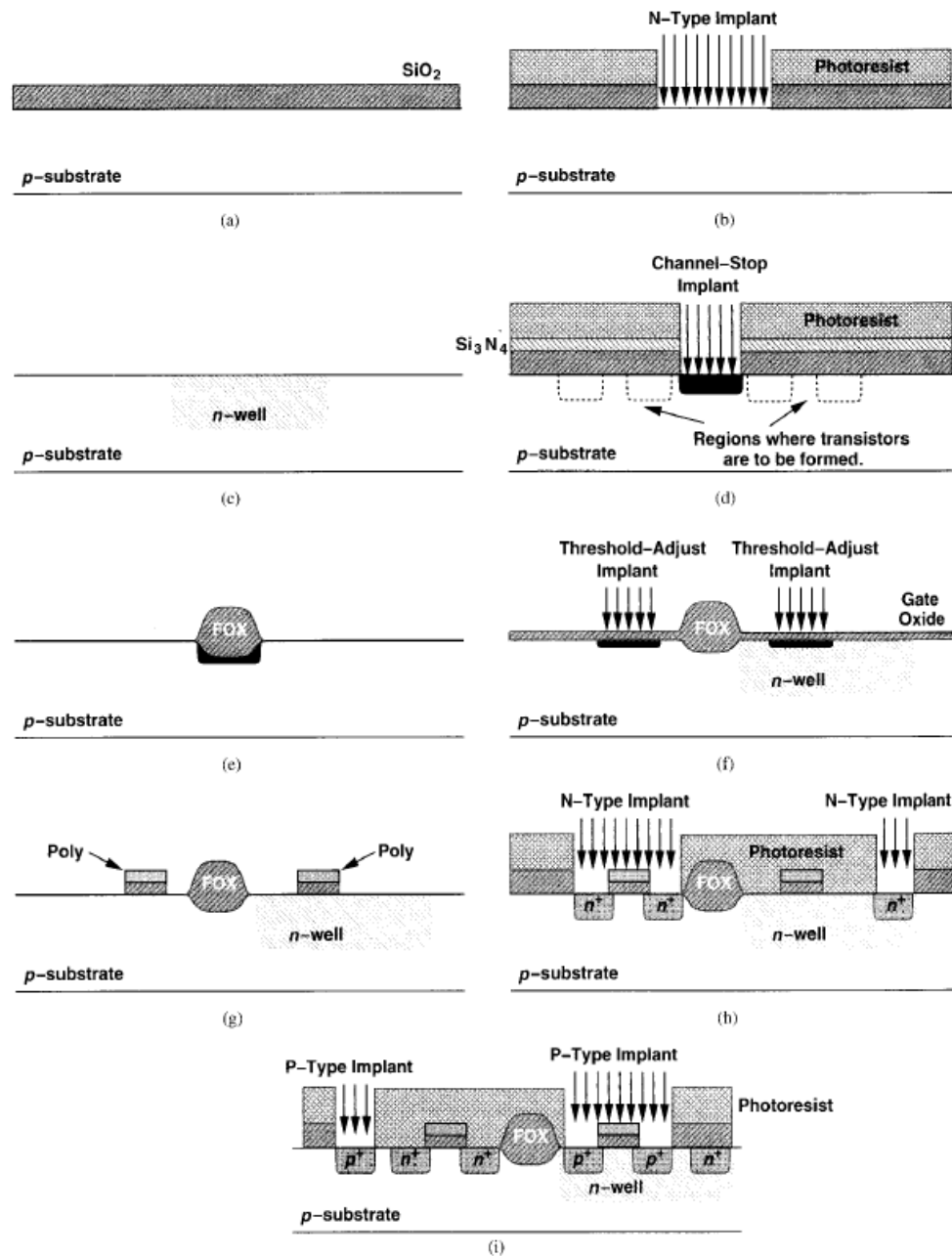


Figura 4.7: Proceso de fabricación CMOS. Imagen extraída de [7]

El paso siguiente es hacer crecer óxido de campo sobre las partes del sustrato que separa a los transistores, para esto se usa la misma técnica de litografía usando la máscara de óxido de campo (ver figura d). Al igual que en el paso anterior todo el material remanente es eliminado

del sustrato (ver figura e). Después, el óxido fino de silicio se hace crecer sobre el sustrato (ver figura f). Luego una capa de polisilicio es depositada sobre el óxido fino y mediante el proceso de litografía y la máscara del polisilicio se obtiene las puertas de los transistores (figura g). De la misma forma, usando el proceso de litografía, el implante del surtidor y drenador es realizado, primero inyectando portadores tipo n y después inyectando portadores tipo p (ver figuras h e i).

Entonces, es en la etapa del *layout* donde se definen las máscaras que son enviadas al fabricante. Es importante mencionar que existen reglas de diseño para el *layout*, las cuales están determinadas por la tecnología. Principalmente, estas limitan el espacio entre cada capa que asegura la correcta fabricación de los dispositivos. Para el caso de esta tesis, las reglas de diseño son verificadas usando la herramienta *Design Rules Check(DRC)* del programa *ASSURA* de cadence. Esta herramienta está integrada con el programa *Virtuoso Layout* (también de Cadence) que fue donde se realizó el *layout* del circuito.

4.6.1 DDA

El proceso de elaboración del *layout* del amplificador se inició con el par diferencial. Es importante pensar en la ubicación de los dispositivos desde la realización del esquemático por eso se usó 4 dispositivos de 2 *gates* para cada transistor de un par diferencial. El uso de *multigates* evita transistores con un W grande y reduce la capacitancias parásitas del transistor. Por ejemplo un transistor de $W = 25\mu m$ es equivalente a 2 transistores en paralelo de $12.5\mu m$.

Es también importante la simetría en los transistores del par diferencial, ya que cualquier gradiente de proceso afecta el desempeño del dispositivo, por eso se colocó a los transistores de forma que cada par tenga el mismo centroide. La figura 4.8 muestra la ubicación de los transistores donde todos tienen el mismo centroide (caso del par diferencial), y están lo más próximos posibles. También se muestra la ubicación de los demás transistores.

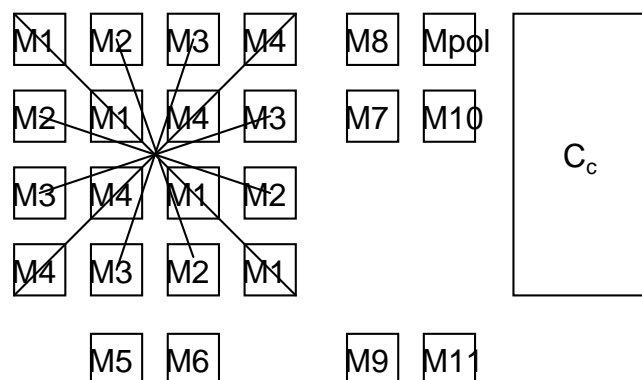


Figura 4.8: Esquema inicial para iniciar el *layout*

En la figura 4.9 se muestra el par diferencial implementado con el software *Virtuoso layout XL* donde se puede identificar los transistores y la conexión entre ellos. Es importante mencionar que para la conexión entre los dispositivos se usó tres metales los cuales por buena práctica se restringieron de la siguiente manera: metal 1 solo para conexiones horizontales, metal 2 solo para conexiones verticales y metal 3 solo para conexiones horizontales.

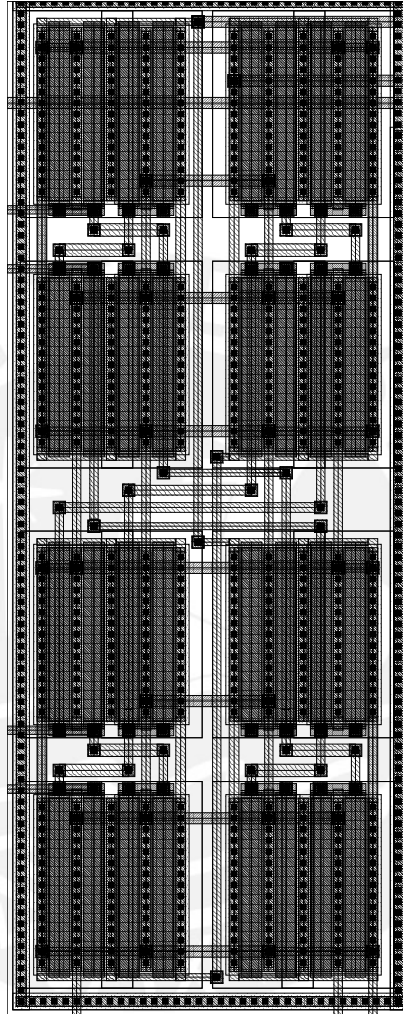


Figura 4.9: Diseño físico de los transistores M1, M2, M3 y M4 del DDA

Para el *layout* de los transistores de polarización es importante asegurar que queden lo más próximos posible y que la distancia entre la puerta de cada transistor sea mínima para asegurar una buena copia de corriente. Por esta condición, los transistores se ubicaron como lo muestra la figura 4.10.

La figura 4.11 ilustra los transistores de la carga activa. Estos fueron ubicados los más cerca posible del par diferencial para evitar pérdidas y desapariamiento de la corriente del par diferencial.

El transistor M9 de la segunda etapa se muestra en la figura 4.12. Al lado de este dispositivo

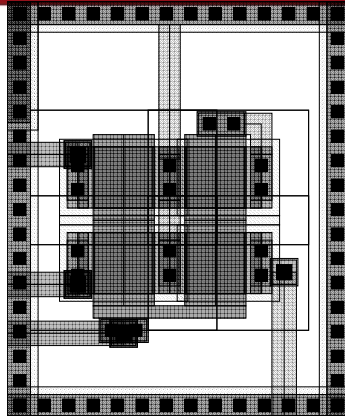


Figura 4.10: Diseño físico de los transistores de polarización del DDA

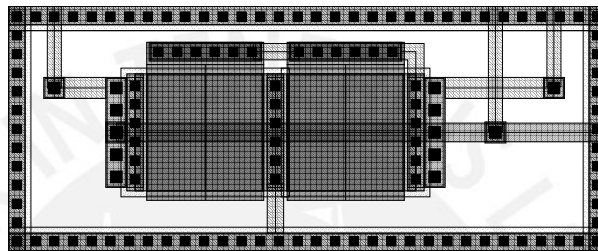


Figura 4.11: Diseño físico de los transistores de la carga activa del DDA

se ubicó el transistor que opera en tríodo y que permite la compensación del amplificador diferencial.

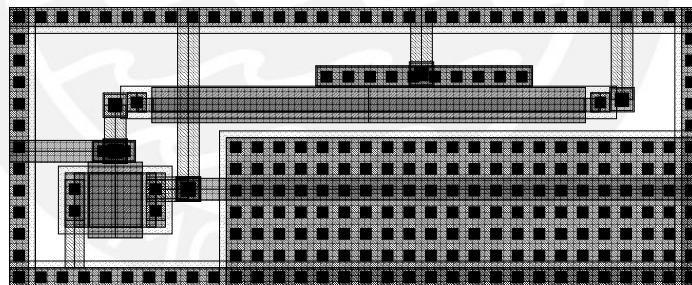


Figura 4.12: Diseño físico del transistor M9 y M11 del DDA

La figura 4.13 presenta el *layout* completo del DDA, donde se aprecia el capacitor de compensación en la parte superior. Este capacitor fue instanciado directamente de la librería de la tecnología, donde se usa polisilicio 1 y polisilicio 2 (capas que posee la tecnología). Es importante mencionar que los espacios que quedaron vacíos fueron rellenados por contactos de *Bulk* para evitar efecto de *latchup* en el circuito. Como resultado todo el circuito ocupa un área de 0.011mm^2 .

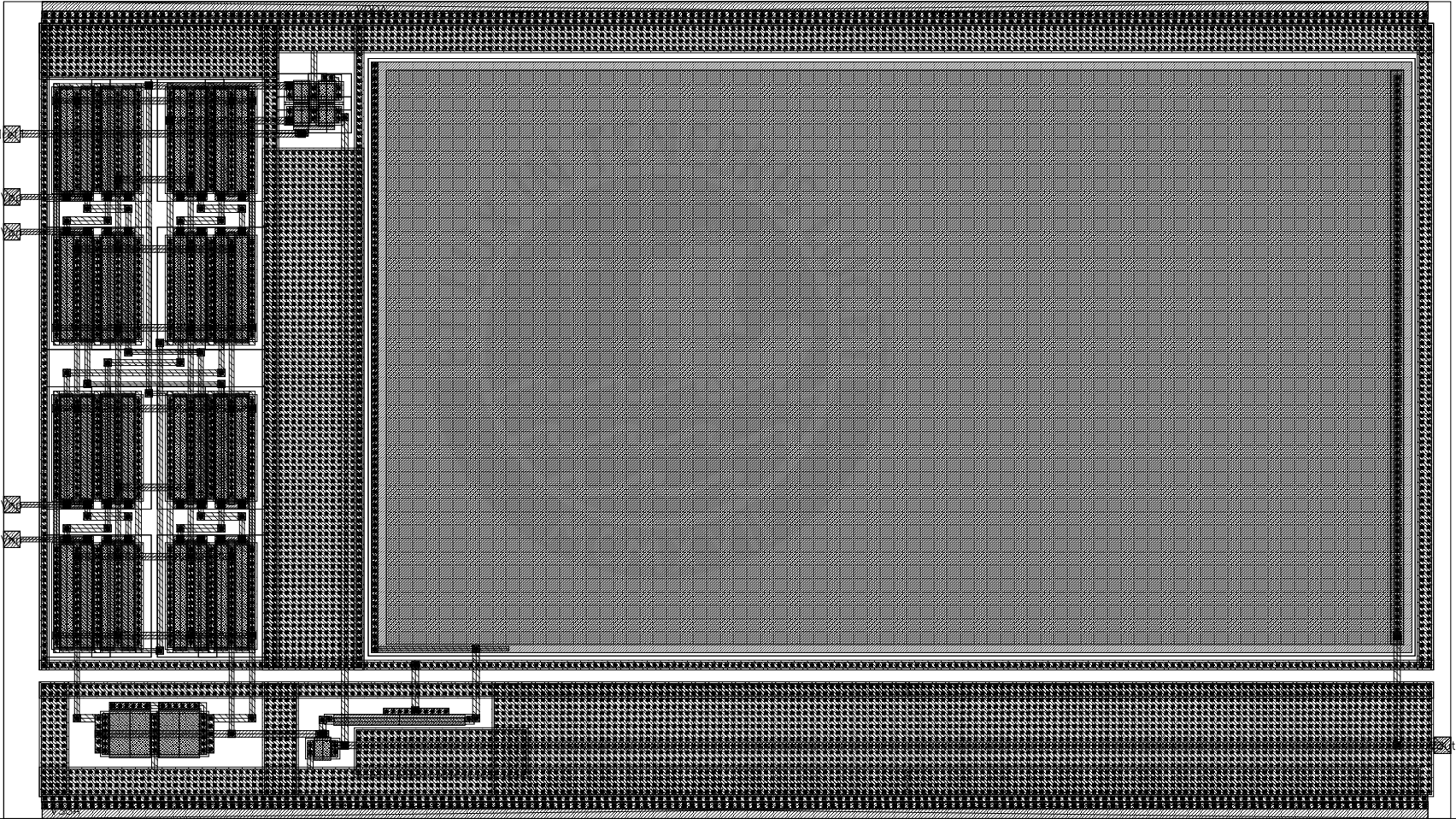


Figura 4.13: *layout* del DDA

4.7 Extracción del netlist

Después de pasar la verificación *DRC* y comparar el *layout* con el esquemático usando el programa *ASSURRA*, se procede a extraer el *netlist* del *layout*. En este archivo, se modela las capacitancias parásitas que se inducen por el traslape entre metales y otros efectos como *latchup*, diodos parásitos y resistencias de las conexiones. La simulación usando el *netlist* extraído debe cumplir con todos los requerimientos del amplificador. Para caso prácticos, la herramienta *Diva* muestra una vista gráfica de la extracción de estos dispositivos parásitos (ver figura 4.14).

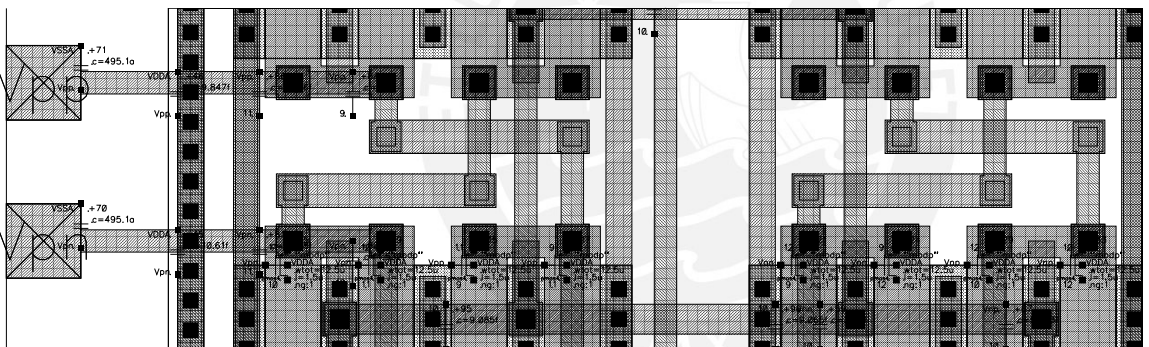


Figura 4.14: Ampliación de la vista del *layout* extraído

Capítulo 5

Simulación y resultados

En esta última sección se presentan los resultados de la simulación del circuito amplificador. La figura 5.1 muestra el esquemático elaborado en el software *Virtuoso esquematic* de Cadence. En este nivel es importante notar que la forma de polarizar el circuito es mediante una fuente de corriente independiente de la temperatura y tensión de alimentación. El bloque se diseña independiente del amplificador y permite una mejor respuesta frente a variaciones de proceso, temperatura y tensión de alimentación (PVT).

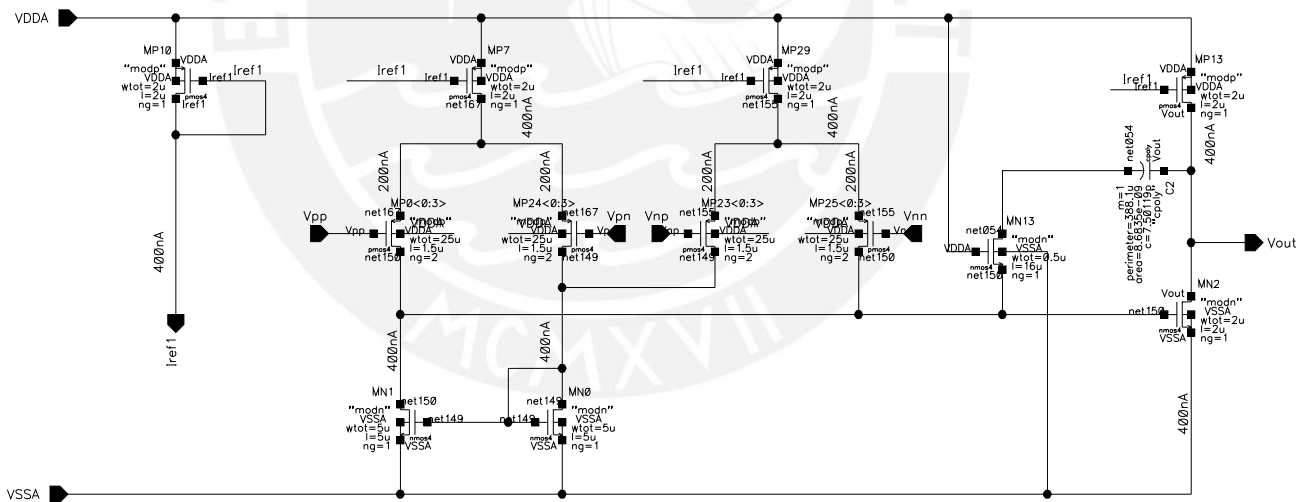


Figura 5.1: Esquemático del DDA elaborado en el software *Virtuoso esquematic*

Para simular con orden, se realizó un símbolo del circuito y se crearon esquemáticos específicos para la simulación de cada característica. La figura 5.4 muestra el circuito de test para la simulación AC. Es importante notar que se hace una realimentación mediante un elemento llamado *iprobe* que sirve para cerrar el lazo del circuito en DC y abrirlo en AC con el fin de estabilizar el punto de operación para obtener una medida correcta. La tensión de alimentación del circuito es de 3.3V, valor nominal en esta tecnología. Otro aspecto importante

es la capacitancia de carga del amplificador que fue definida en $1pF$ porque también es un valor nominal de carga para la siguiente etapa.

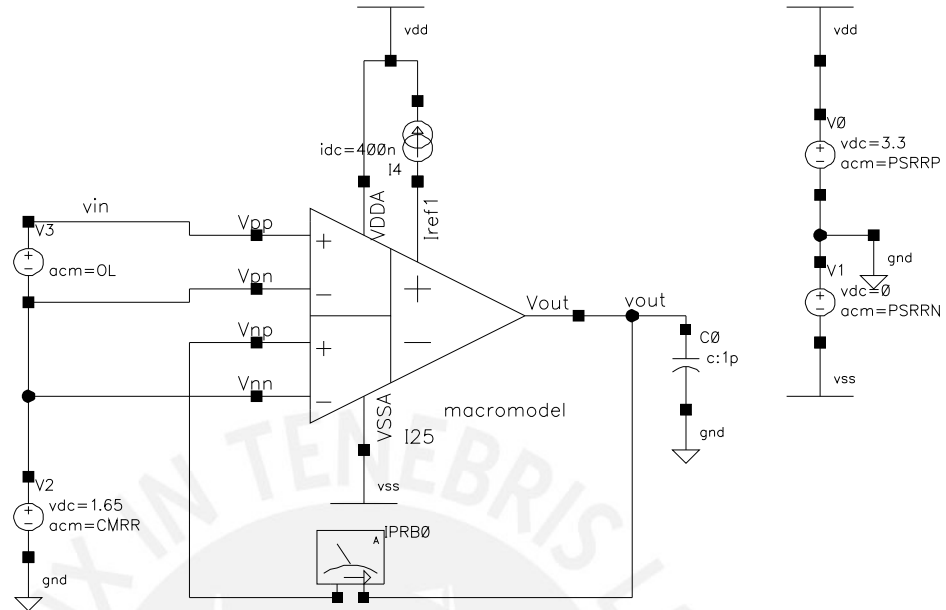


Figura 5.2: Esquemático elaborado para la simulación AC del amplificador

La figura 5.3 muestra otro circuito para la simulación de las características DC. En este esquemático se usa al amplificador con realimentación unitaria para medir el rango de entrada.

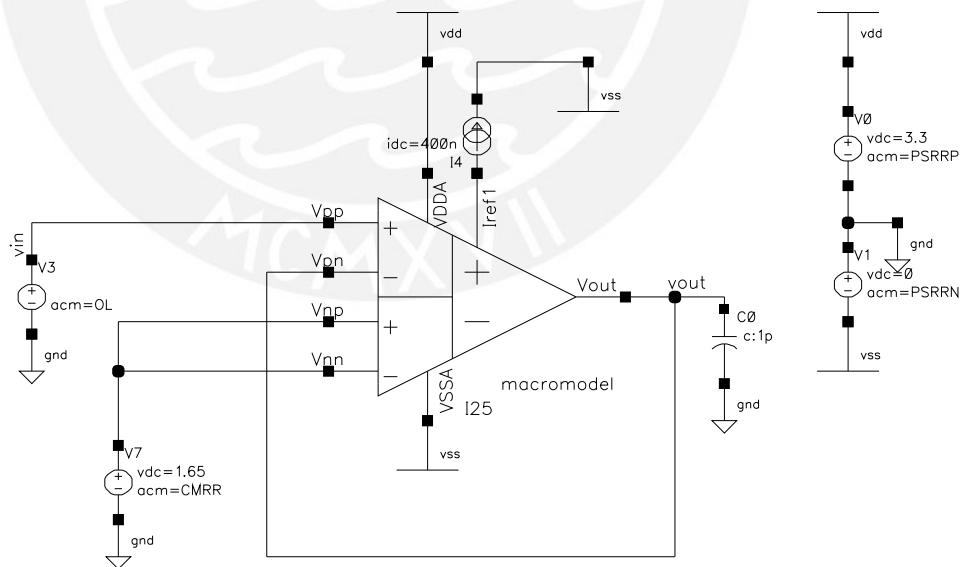


Figura 5.3: Esquemático elaborado para la simulación DC del amplificador

El esquemático mostrado en la figura 5.4 permite la medición de la respuesta en frecuencia del filtro pasabanda usando el circuito del DDA. Aquí se usó amplificador operacional, capacitor y resistencias ideales ya que las características no-ideales de estos elementos no

afecta el desempeño del filtro.

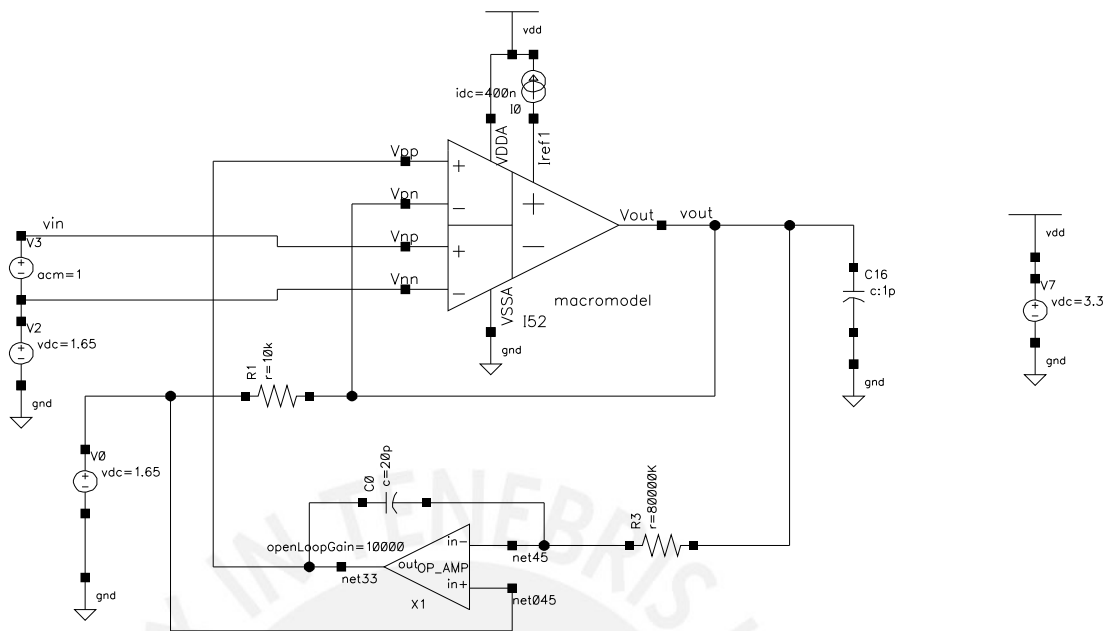


Figura 5.4: Esquemático elaborado para la simulación del filtro pasa-banda

En las simulaciones presentadas a continuación se usó la herramienta *spectre* y *Analog Design Environment ADE*. El primero es un simulador como *spice* pero de la empresa *CADENCE* y el segundo es la interfaz gráfica usada para elaborar rápidamente el script de simulación.

5.1 Simulación DC

En la simulación DC, todos los capacitores son considerados como circuitos abiertos y los inductores como corto-circuito. Con este tipo de simulación se evalúa el rango lineal de entrada del circuito y el punto de operación de cada transistor del amplificador. Esto es importante para verificar la región de operación de cada dispositivo.

5.1.1 Punto de operación

En la tabla 5.2 se listan los principales parámetros DC de los transistores del amplificador diferencial de diferencias. También, en base a estos resultados se calcula que:

Tabla 5.1: Principales características DC del amplificador(extraído del simulador *Spectre*)

Parámetro	Valor
Potencia	$5.305\mu w$
Offset	$36.88\mu V$

Es importante notar que los transistores $M1$, $M2$, $M3$, $M4$ operan en inversión débil. Esto permite que la respuesta del offset y CMRR, cuando se realice un análisis de Montecarlo(ver subsección 3.4.2), sean menor y mayor respectivamente [17].

Tabla 5.2: Puntos de operación del cada transistor del amplificador(extraído del simulador *Spectre*)

M_x	I_D	g_m	V_{DSAT}	Región de operación
M1	$200.12\eta A$	$5.488\ \mu S$	$49.6\ mV$	Inversión Débil
M2	$200.12\eta A$	$5.488\ \mu S$	$49.6\ mV$	Inversión Débil
M3	$200.12\eta A$	$5.488\ \mu S$	$49.6\ mV$	Inversión Débil
M4	$200.12\eta A$	$5.488\ \mu S$	$49.6\ mV$	Inversión Débil
M5	$400.4\eta A$	$7.415\ \mu S$	$67.86\ mV$	Saturación
M6	$400.4\eta A$	$7.415\ \mu S$	$67.86\ mV$	Saturación
M7	$400.3\eta A$	$5.359\ \mu S$	$138.3\ mV$	Saturación
M8	$400.3\eta A$	$5.359\ \mu S$	$138.3\ mV$	Saturación
M9	$407.1\ \eta A$	$7.408\ \mu S$	$70.25\ mV$	Saturación
M10	$407.1\ \eta A$	$5.452\ \mu S$	$138.3\ mV$	Saturación
M11	$0\ \eta A$	$0\ \mu S$	$1.651\ mV$	Triodo

5.1.2 Linealidad

La figura 5.5 muestra el rango lineal de entrada del circuito. De la gráfica se observa que el rango lineal de entrada es desde cero hasta $2.5V$. En este tipo de análisis también se identifica el offset, el cual se calcula restando $1.65V$ a la tensión de salida cuando la entrada es $1.65V$.

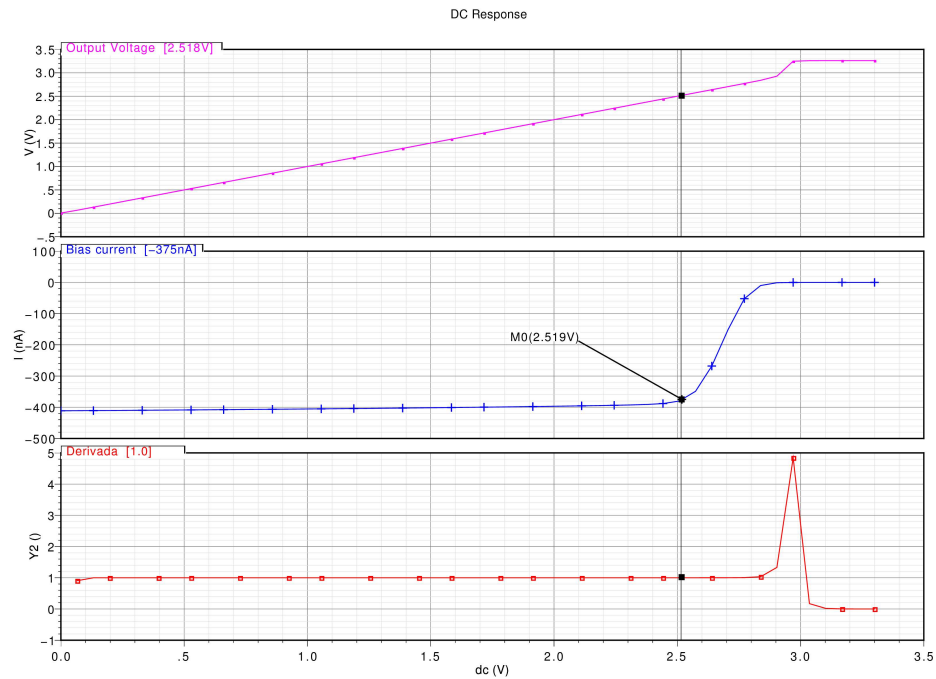


Figura 5.5: V_{in} vs. V_{out} para un seguidor de voltaje

El criterio para la medición de la linealidad se basó en observar la pendiente de la tensión de salida y la corriente que alimenta al par diferencial. Cuando la corriente del par diferencial comienza a disminuir, se considera que el circuito ya no es lineal aunque la pendiente de la curva V_{out} vs. V_{in} continúe con su valor unitario [18].

5.2 Simulación AC

La simulación AC del circuito muestra el comportamiento del amplificador en función de la frecuencia. Usando estos datos se determina la estabilidad del circuito cuando este realimentado. El ruido, la relación de rechazo en modo común y otros parámetros del amplificador también se miden en función de la frecuencia.

5.2.1 Diagrama de Bode

La figura 5.6 muestra la magnitud y fase del circuito en lazo abierto. En ella se aprecia los resultados mostrados en la tabla 5.3.

Tabla 5.3: Principales características del amplificador (extraído del simulador *Spectre*)

Parámetro	Valor
Ganancia DC	101.6dB
GBW	114.9KHz
Margen de fase	83.37°
Margen de ganancia	36.01dB

Es importante notar que el amplificador tiene un GBW bajo debido al alto valor del capacitor de compensación y la poca corriente usada para polarizar el par diferencial. El GBW fue crítico dado que la frecuencia de corte superior del filtro pasabanda depende exclusivamente de este parámetro. Un aspecto relevante es que a menor corriente en el amplificador, el ruido comienza a aumentar por lo que se eligió con mucho cuidado la corriente de polarización y se encontró el valor óptimo en $400\eta A$.

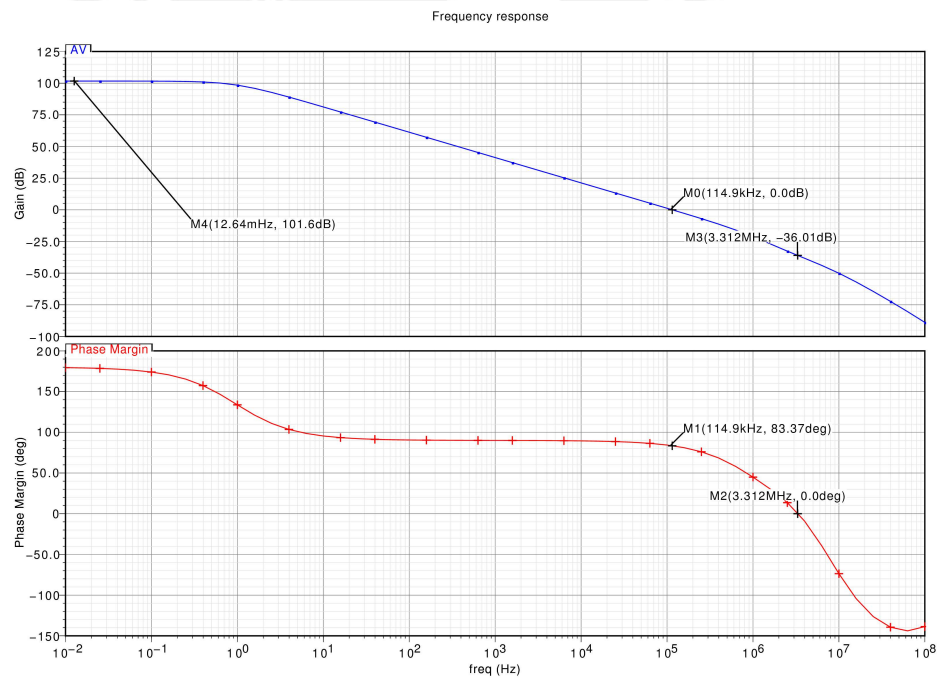


Figura 5.6: Magnitud y fase de la respuesta en frecuencia del amplificador en lazo abierto

5.2.2 Ruido

La densidad espectral de ruido equivalente en la entrada del circuito a $100Hz$ es de $282.80\eta V/\sqrt{HZ}$ y debido al comportamiento del ruido flicker, este va mejorando mientras aumenta la frecuencia. El ruido integrado entre las frecuencias de interés ($100Hz - 5KHz$) es de $10.27\mu V_{rms}$.

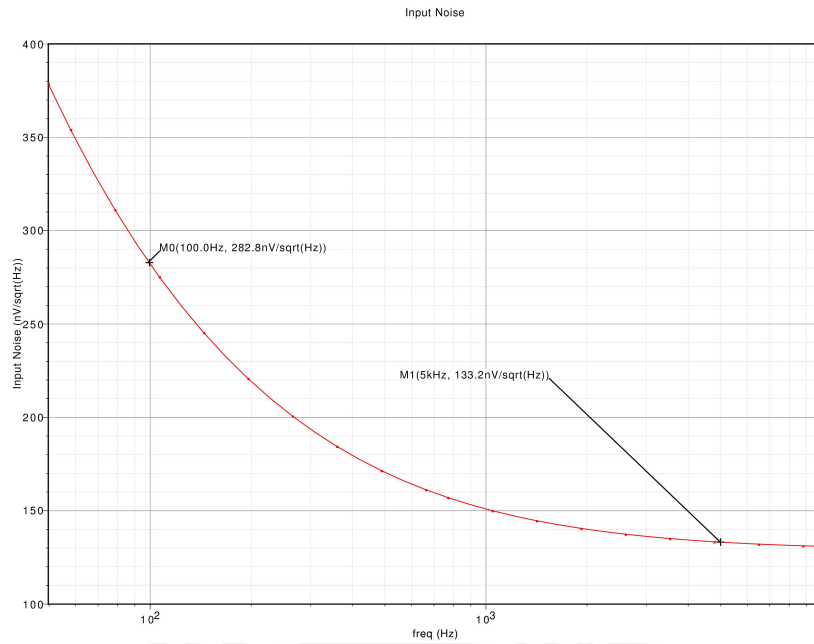


Figura 5.7: Ruido equivalente en la entrada del circuito

5.2.3 CMRR

La simulación del factor de rechazo al modo común se muestra en la figura 5.8 y los principales valores de esta curva se resumen en la tabla 5.4.

Tabla 5.4: Datos importantes del CMRR del amplificador (extraído del simulador *Spectre*)

Frecuencia	Valor
<i>DC</i>	101.6 <i>dB</i>
100 <i>KHz</i>	77.55 <i>dB</i>
1 <i>MHz</i>	56.2 <i>dB</i>

El valor del CMRR está determinado por el desajuste de los pares diferenciales y la variación de los parámetros del proceso. Esta medición es un estimado asumiendo que los pares diferenciales son exactamente iguales, pero en la siguiente sub-sección se calcula un valor más real del CMRR dado que se realizó una simulación de Montecarlo en el amplificador.

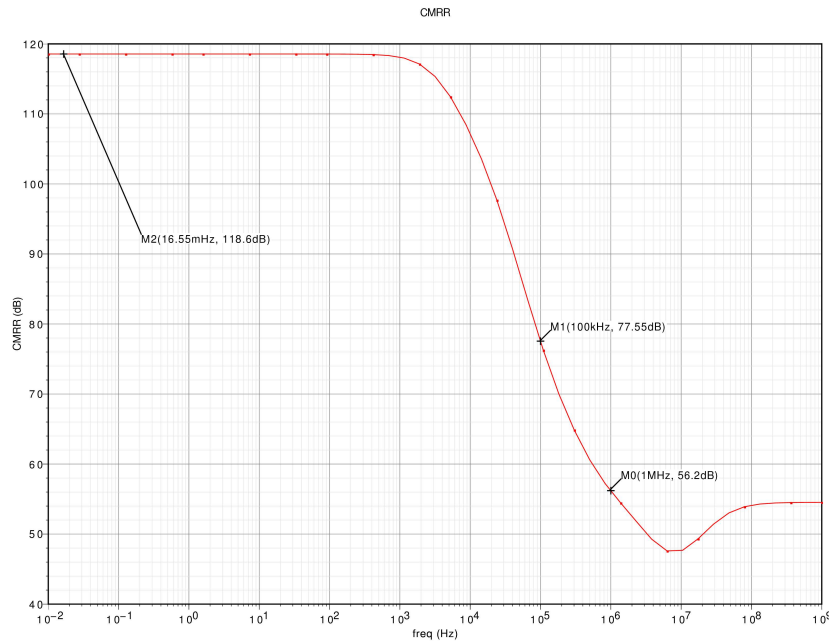


Figura 5.8: Factor de Rechazo al modo común en función de la frecuencia

5.2.4 PSRR

La grafica de PSRR del circuito se muestra en la figura 5.9 y en ella se ilustra el factor de rechazo al modo común de la fuente positiva y negativa. Cada una posee diferente función de transferencia con respecto a la salida. Los principales parámetros se resumen en la tabla 5.5.

Tabla 5.5: Datos importantes del PSRR del amplificador (extraído del simulador *Spectre*)

Frecuencia	$PSRR^+$	$PSRR^-$
<i>DC</i>	112dB	98.72dB
100KHz	41.73dB	3.26dB
1MHz	21.27dB	2.65dB

Es importante notar que en la respuesta del PSRR positivo es mucho mejor que la del negativo. Esta afirmación no implica que el PSRR negativo es crítico porque, aún en alta frecuencia, el circuito continua rechazando señales de interferencia y no las amplifica en ningún rango.

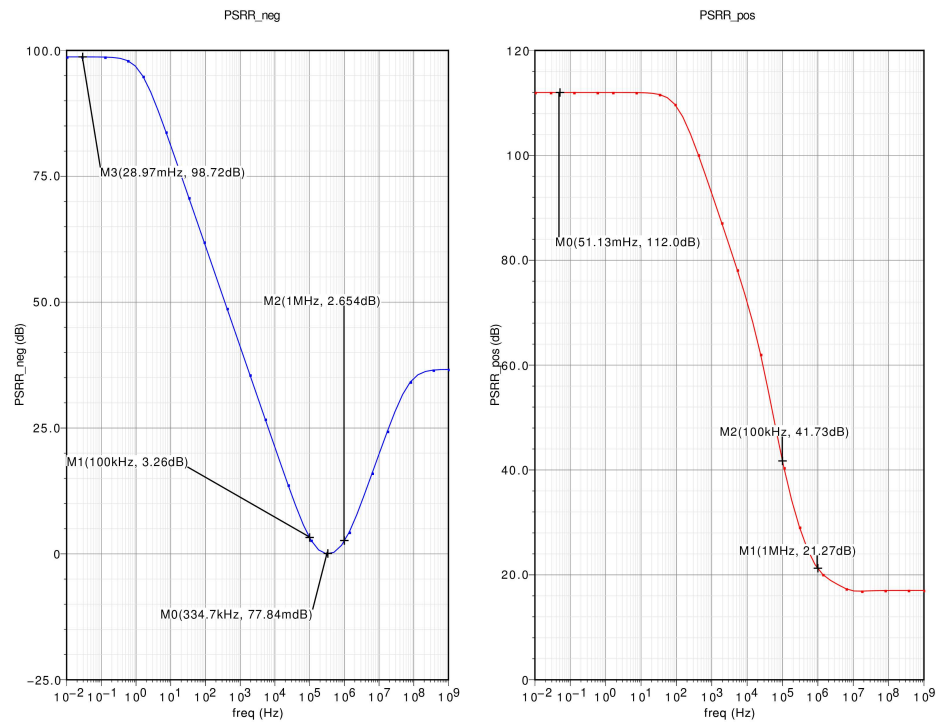


Figura 5.9: Factor de rechazo a la interferencia de la fuente en función de la frecuencia

5.3 Efecto de la variación de proceso en el amplificador

Como se ha mencionado anteriormente, los circuitos integrados están sujetos a variaciones de proceso y de fabricación. Es por esto, que para tener una mejor idea de la respuesta del circuito se realizaron simulaciones de Montecarlo de los principales parámetros del bloque analógico. Los análisis de Montecarlo realizados que se presentan a continuación fueron basados en 200 simulaciones, cada una considerando variaciones de proceso y despariamiento entre transistores usando los modelos gaussianos que ofrece la tecnología. A continuación también se muestra el valor promedio de todas las simulaciones y la desviación estándar (σ). Es importante mencionar que a partir de la teoría estadística se sabe que el 31% de los casos simulados están dentro de $\pm 1\sigma$ sobre la media y el 93.3% de los casos están dentro de $\pm 3\sigma$ del valor medio. Entonces, para el presente trabajo, se toma como referencia 3σ con el fin de asegurar un 93.3% de casos válidos.

Los parámetros más críticos del amplificador son la frecuencia, potencia y el ruido equivalente en la entrada. La figura 5.10 muestra los resultados de la simulación de Montecarlo del circuito. En ella se muestran la variación estadística de estos valores incluyendo el *offset*.

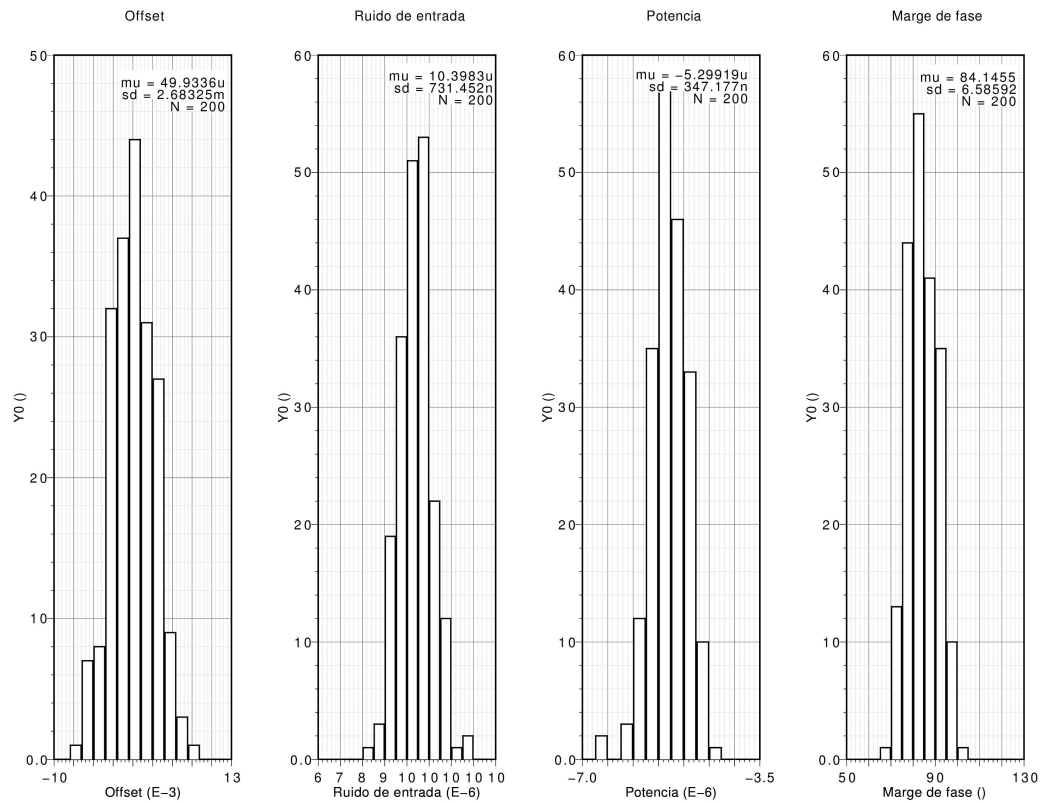


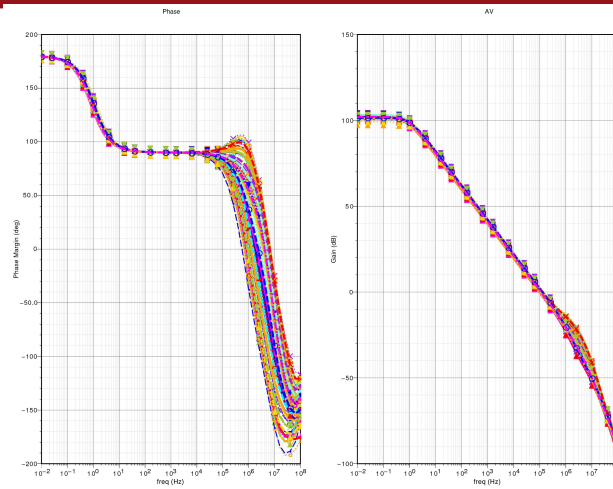
Figura 5.10: Variación estadística del margen de fase, offset, ruido equivalente a la entrada y potencia

La tabla 5.6 muestra un resumen de los resultados de la simulación estadística.

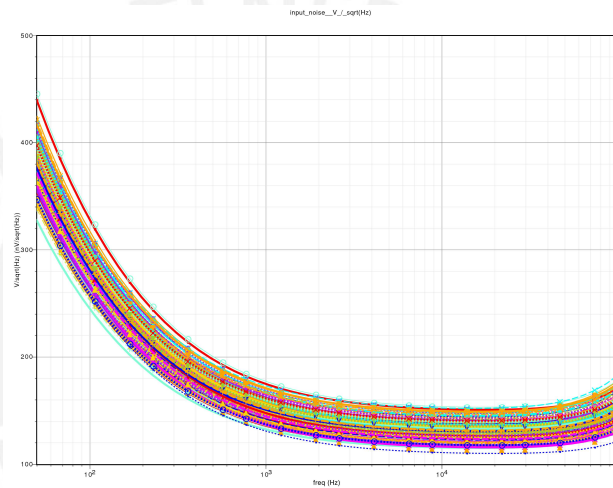
Tabla 5.6: Principales características AC del amplificador (extraído del simulador *Spectre*)

Parámetro	Ruido integrado	Offset	Potencia	Margen de Fase
Media	10.398 μV_{rms}	49.93 μV	5.3 μW	84.14°
Desviación estándar	0.73 μV_{rms}	2.68 mV	347.18 ηW	6.6°
3 σ	$\pm 2.19 \mu V_{rms}$	$\pm 8.03 mV$	$\pm 1.04 \mu W$	$\pm 19.8^\circ$

Si el requerimiento de tolerancia de los parámetros es mayor que 3 σ , entonces el circuito cumple con las especificaciones. En caso sea menor, se tiene que rediseñar el circuito hasta obtener los valores dentro de los requerimientos.



(a) Magnitud y fase del amplificador



(b) Densidad espectral de ruido equivalente a la entrada

Figura 5.11: Curvas de la variación de Montecarlo

En la figuras 5.11 se muestran las curvas de la simulación de Montecarlo. En la primera se identifica que la ganancia no está afectada por la variación de proceso pero que el cero compensado en algunos casos comienza a crear inestabilidad en el circuito. Esto se debe a que el valor absoluto de la resistencia (transistor operando en trío) en serie al capacitor de compensación es muy sensible a la variación de procesos (dado que el W es muy pequeño). La variación de la resistencia del transistor ocasiona que el valor del cero se acerque al semiplano derecho en frecuencias cercanas al GBW. A pesar de este fenómeno, el amplificador no entra en peligro de inestabilidad porque la media del margen de fase es alto y aunque se tenga una variación de 20° , el circuito continua estable. En el segundo gráfico se observa que la densidad espectral del ruido equivalente a la entrada siempre es menor a $500\eta V/\sqrt{Hz}$, por lo que el requerimiento se cumple para todos los casos. En estos amplificadores, el ruido es generalmente introducido por el par diferencial; pero debido a que se uso grandes dimensiones

en el par, los transistores de la carga activa fueron los más ruidosos del amplificador. Para reducir este problema se escogió un L óptimo tal que exista un balance entre el ruido flicker y el térmico en los transistores de carga activa.

Otro parámetro del circuito que depende de la variación de proceso y del desajuste entre transistores es el CMRR(ver figura 5.12).

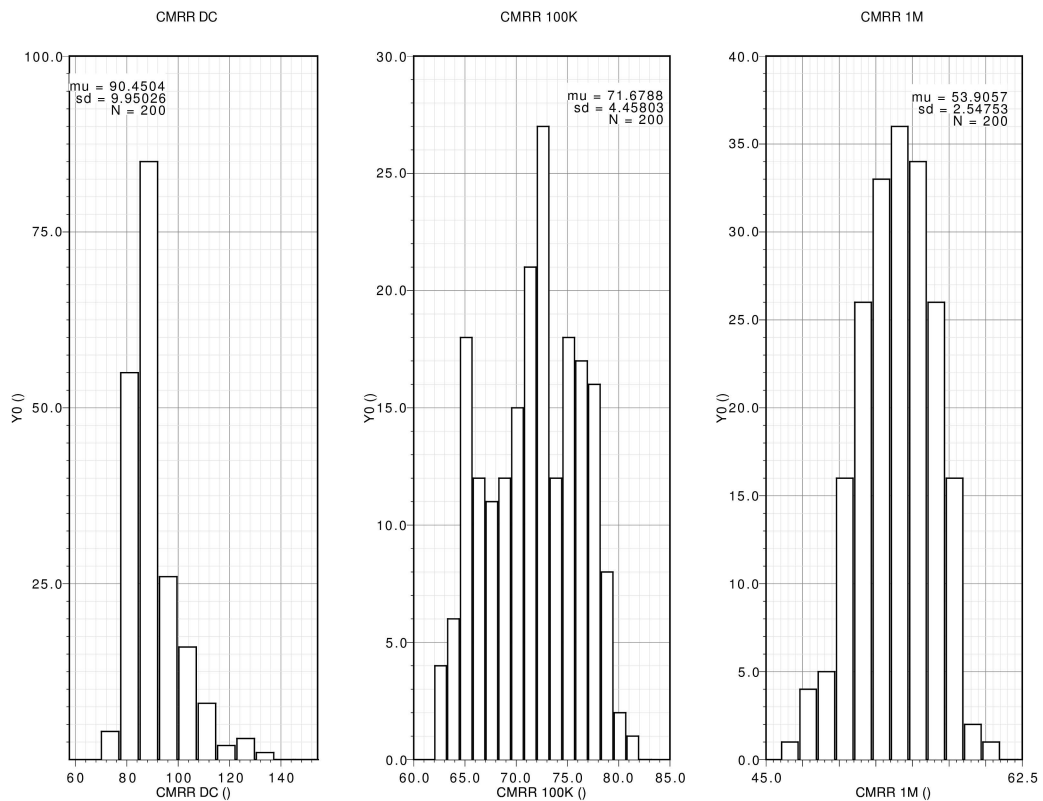


Figura 5.12: Variación estadística del CMRR

La tabla 5.7 muestra un resumen de los histogramas de la figura 5.12.

Tabla 5.7: Principales características AC del amplificador (extraído del simulador *Spectre*)

Frecuencia	DC	100KHz	1MHz
Media	99.45dB	71.68dB	53.9dB
Desviación estándar	9.95dB	4.46dB	2.55dB
3σ	$\pm 29.85dB$	$\pm 13.37dB$	$\pm 7.64dB$

Es importante notar que los valores del CMRR son buenos porque en todo el rango de frecuencias las señales en modo común son atenuadas. El valor de 3σ indica que hasta 100Khz el valor del CMRR esta muy cerca a 60dB. En la figura 5.13 se muestran las curvas del CMRR generadas para cada corrida de la simulación de Montecarlo.

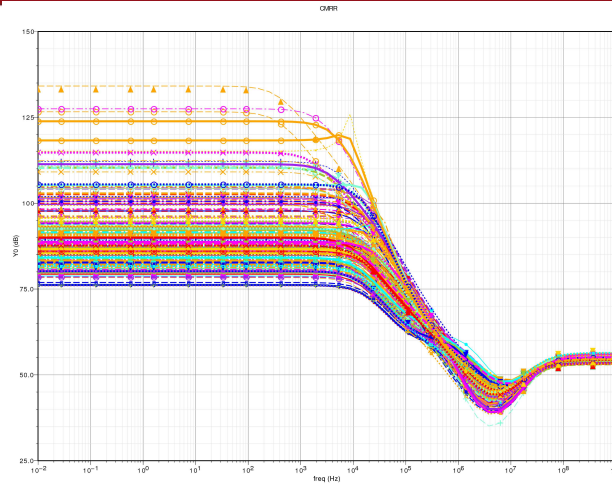


Figura 5.13: Curvas de la variación estadística del CMRR

5.4 Efecto de la simulación *post-layout* en los parámetros del amplificador

Como se menciona en la sub-sección anterior, las capacitancias parásitas que se introducen en el *layout* tiene un efecto en la respuesta del circuito. La primera comparación se muestra en la figura 5.14

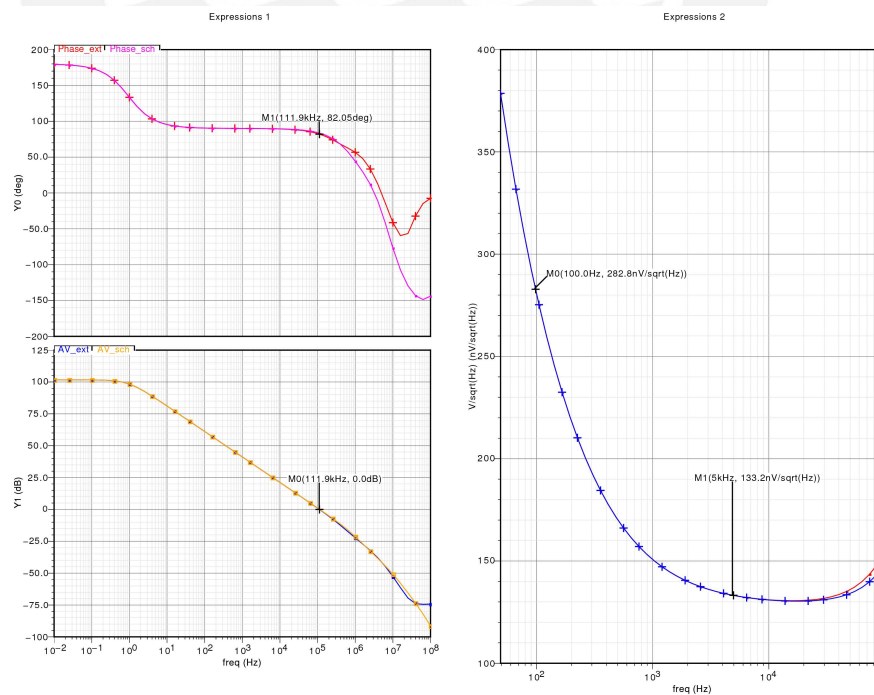


Figura 5.14: Diferencia entre la simulación a nivel esquemático y *post-layout* en la respuesta de frecuencia y ruido

En esta figura se observa que la respuesta en frecuencia varía para frecuencias altas, donde las capacitancias parasitas se vuelven considerables. Pero en la banda de interés, la respuesta del circuito *post-layout* es igual a la del esquemático con una ligera y despreciable variación. Es importante notar que, en la simulación *post-layout*, en alta frecuencia aparece un cero que no estaba en la simulación a nivel esquemático. Este cero ocasiona que el margen de ganancia se mayor aumentando la estabilidad del circuito. En el ruido, no se observa variación hasta a partir de los 200KHz , donde el ruido del *netlist post-layout* aumenta con una razón mayor que la del esquemático. Esto se debe a que las capacitancias parasitas introducen ruido térmico cuando la frecuencia es mayor.

Al igual que en la simulación a nivel esquemático, se realizó la simulación de Montecarlo del *netlist* extraído del *layout* (ver figura 5.15).

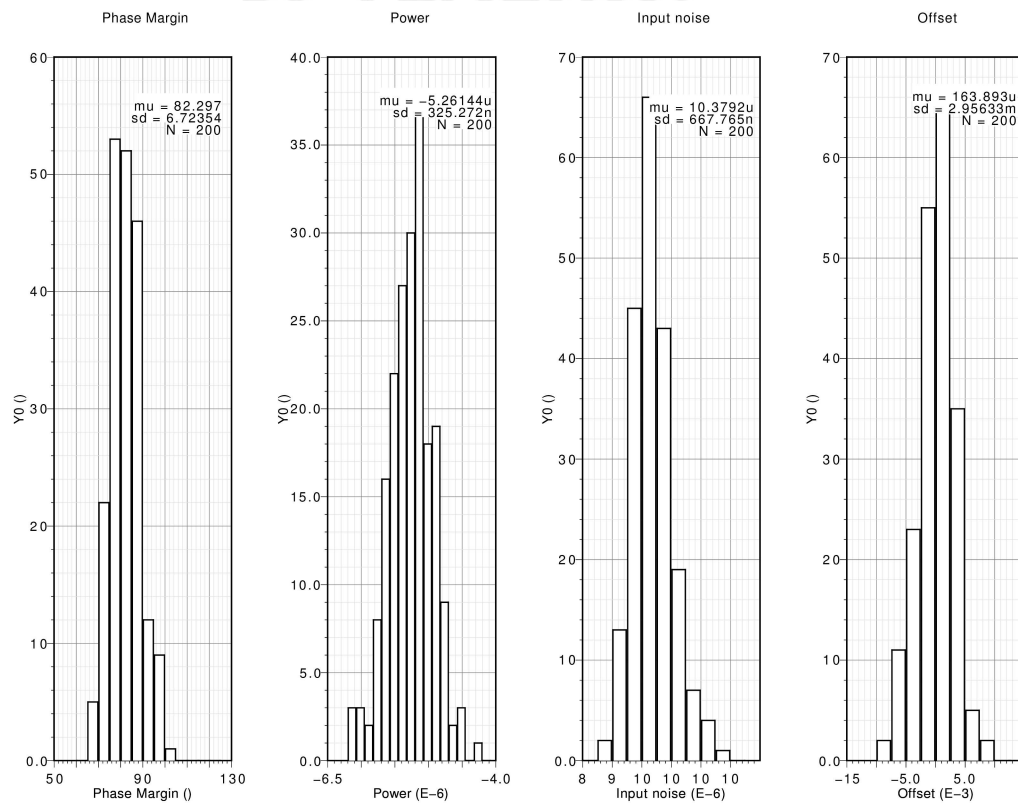


Figura 5.15: Variación estadística del margen de fase, offset, ruido equivalente a la entrada y potencia

La tabla 5.8 muestra un resumen de la figura 5.15.

Tabla 5.8: Principales características AC del amplificador (extraído del simulador *Spectre*)

Parámetro	Ruido integrado	Offset	Potencia	Margen de Fase
Media	$10.38\mu V_{rms}$	$163.89\mu V$	$5.26\mu W$	82.297°
Desviación estándar	$0.67\mu V_{rms}$	$2.96mV$	$325.27\eta W$	6.72°
3σ	$\pm 2\mu V_{rms}$	$\pm 8.88mV$	$\pm 975.81\mu W$	$\pm 20.16^\circ$

Es importante notar que los valores de 3σ de cada parámetro aumentó debido a las capacitancias parásitas. Entonces, en caso de que estos valores no estuvieran dentro del rango de tolerancia de la especificación, se tendría que volver a realizar el *layout* del circuito hasta que en la simulación atienda la especificación.

También se realizó una simulación de Montecarlo del CMRR con los valores del *netlist* del *post-layout*. El histograma de esta simulación se muestra en la figura 5.16.

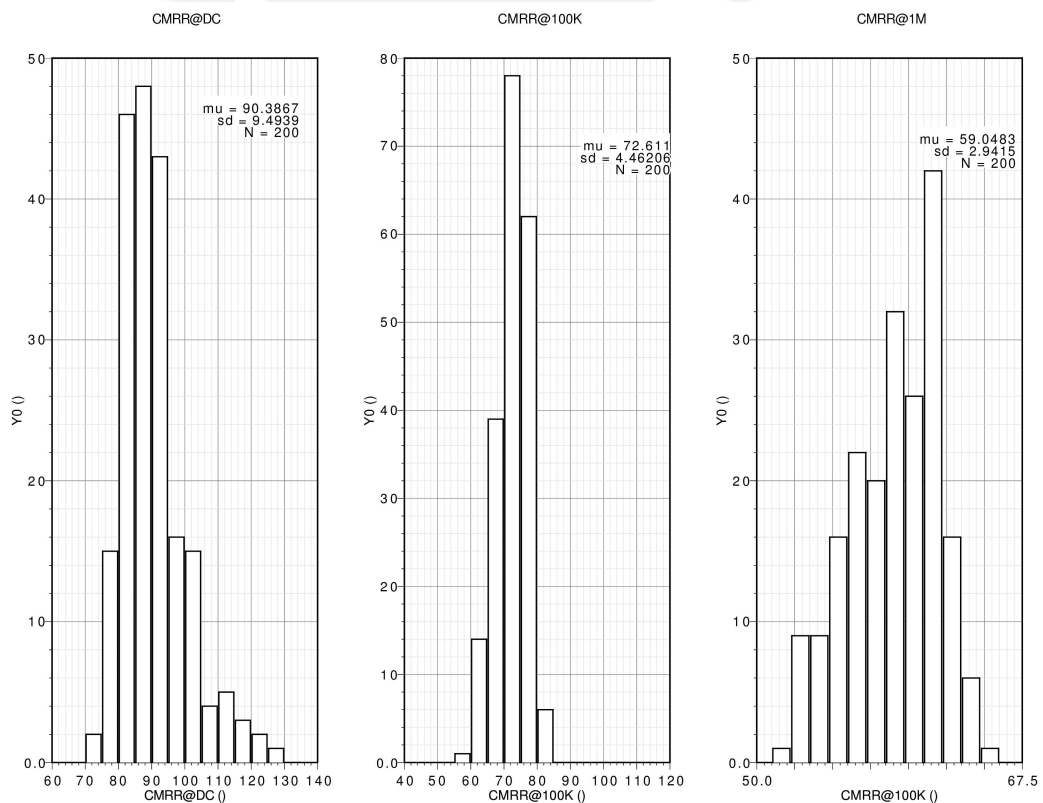


Figura 5.16: Variación estadística del CMRR

La tabla 5.9 muestra el resumen de los histogramas.

Tabla 5.9: Principales características AC del amplificador (extraído del simulador *Spectre*)

Frecuencia	DC	100KHz	1MHz
Media	90.39dB	72.611dB	59.05dB
Desviación estándar	9.5dB	4.46dB	2.94dB
3σ	$\pm 28.5dB$	$\pm 13.38dB$	$\pm 8.82dB$

La diferencia entre los resultados de la simulación de Montecarlo del esquemático y del *post-layout* son mínimos con un ligero incremento de la desviación estándar del CMRR a 1MHz. La principal diferencia se muestra en la figura 5.17. Allí se observa que en algunas curvas, las capacitancias parásitas están aumentando el factor de calidad del polo en baja frecuencia del CMRR.

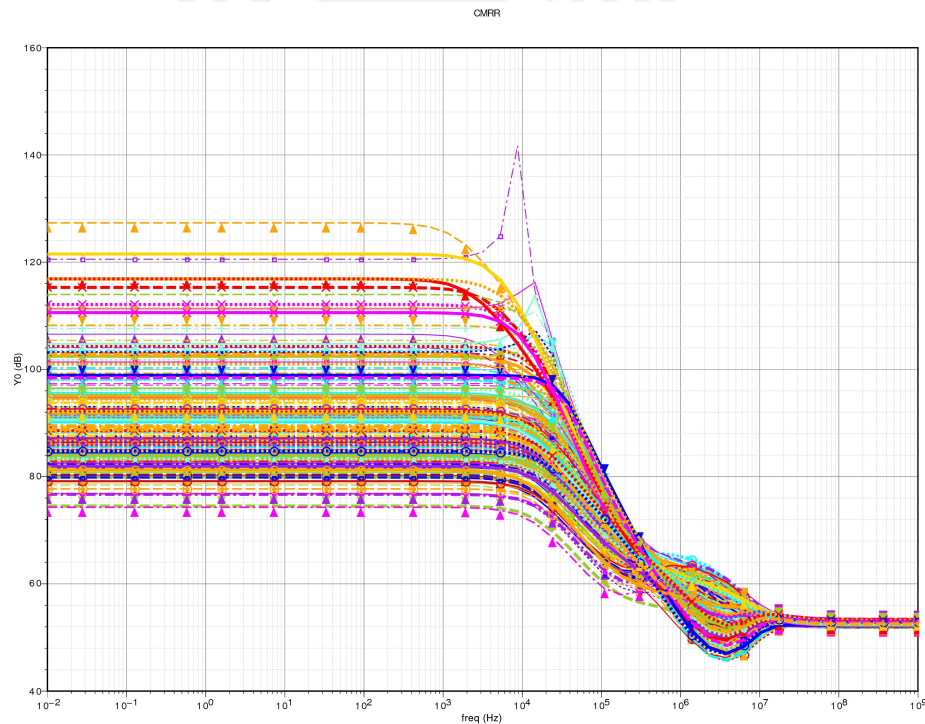


Figura 5.17: Curvas de la variación estadística del CMRR usando el *netlist post-layout*

5.5 Simulación del filtro pasabanda

Por último, el circuito amplificador se simula como filtro usando el esquemático que se mostro a inicios de este capítulo. La figura 5.18 ilustra la respuesta en frecuencia del filtro donde la curva azul es la simulación del *netlist* del esquemático y la roja del *netlist* extraído del *layout*. En estas curvas se observa que el circuito atiende la especificación inicial que pide un ancho

de banda desde 100Hz hasta 5KHz con ganancia unitaria.

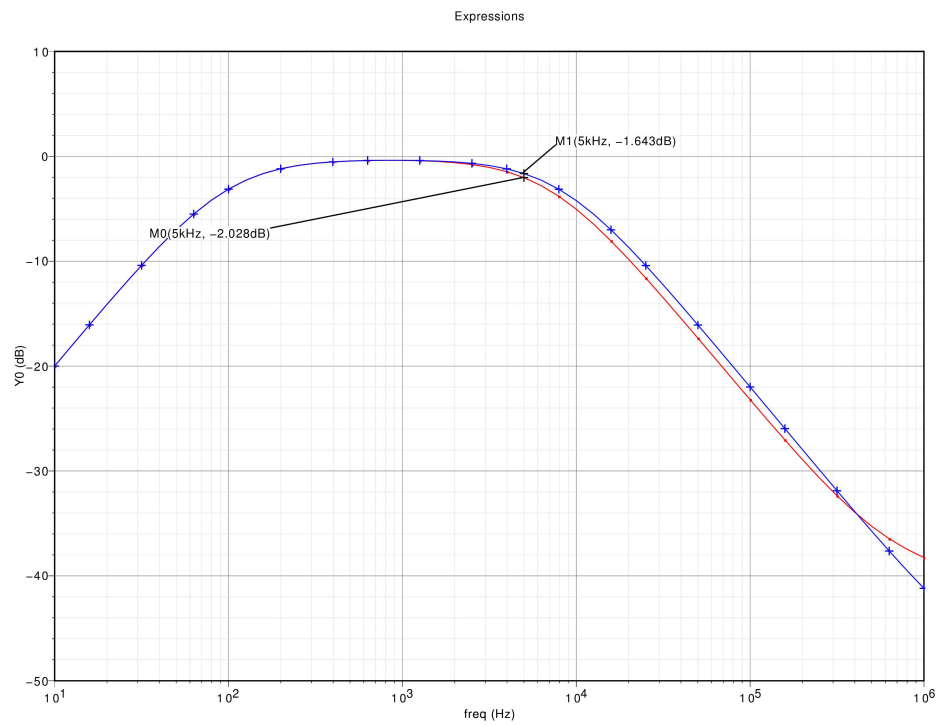
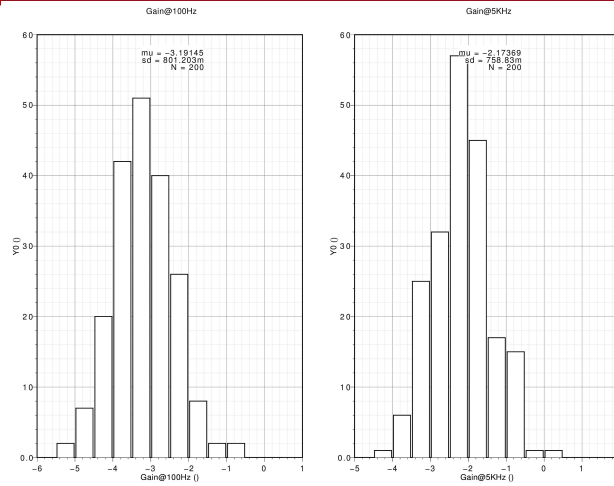
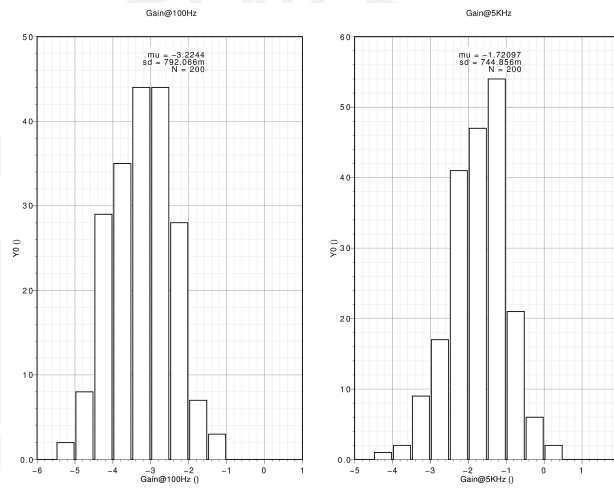


Figura 5.18: Simulación a nivel esquemático (azul) y *post-layout* (rojo) de la respuesta en frecuencia del filtro

En la figura 5.19 se observa los resultados de la simulación de Montecarlo del filtro. En ella se identifica que existe una considerable diferencia en el valor medio de la frecuencia de corte superior entre el *netlist* del esquemático y del *post-layout*.



(a) Usando el *netlist* extraído del *post-layout*



(b) Usando el *netlist* del esquemático

Figura 5.19: Histograma de la simulación de Montecarlo de la respuesta en frecuencia del filtro

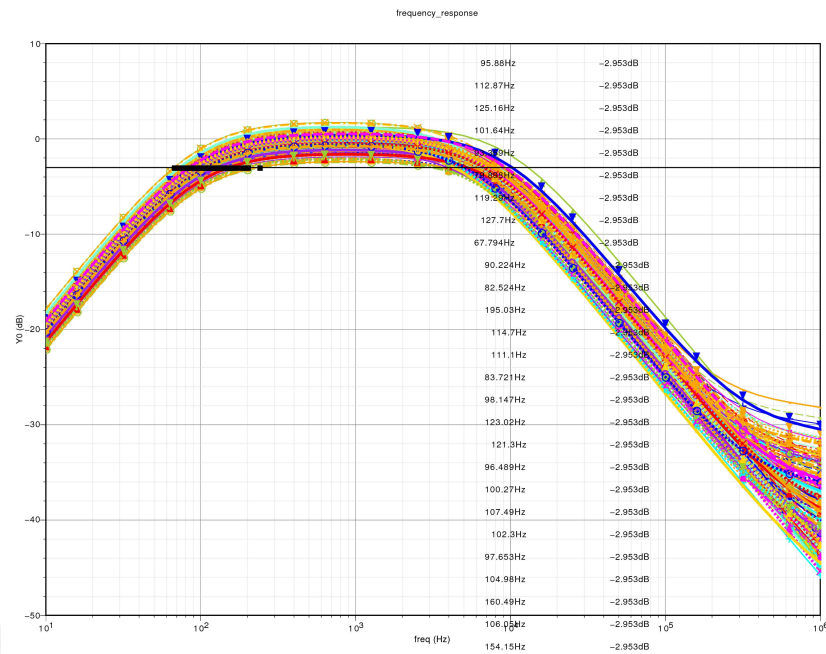
Un resumen de los datos se muestra en la tabla 5.10.

Tabla 5.10: Diferencia en la respuesta en frecuencia del filtro (extraído del simulador *Spectre*)

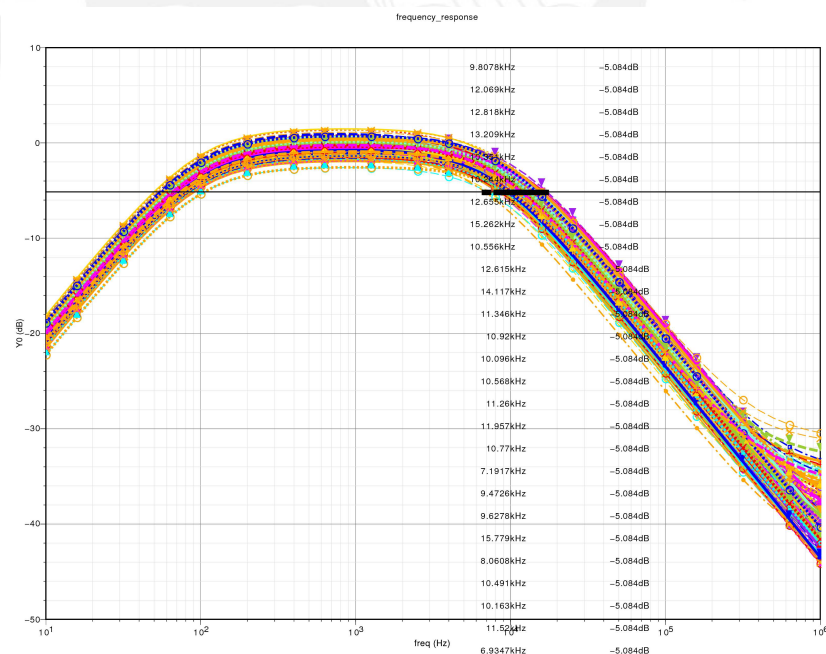
Parámetro	Post-layout	Esquemático
Media (@100Hz)	-3.19dB	-3.22dB
Desviación estándar (@100Hz)	0.8dB	0.792dB
3σ (@100Hz)	±2.4dB	±2.38dB
Media (@5KHz)	-2.17dB	-1.72dB
Desviación estándar (@5KHz)	0.758dB	0.744dB
3σ (@5KHz)	±2.274dB	±2.235dB

Con el fin de solucionar este problema de manera rápida, se puede reducir el tamaño del

capacitor de compensación hasta que la respuesta alcance la especificación dentro de los 3σ . En la figura 5.20 se muestra las curvas de la respuesta en frecuencia del filtro. En esta simulación se observa que en todos los casos se consigue un filtro pasaban da pero la frecuencia de corte superior e inferior es muy sensible a las variaciones de proceso.



(a) Usando el *netlist* extraído del *post-layout*



(b) Usando el *netlist* del esquemático

Figura 5.20: Curvas de la simulación de Montecarlo de la respuesta en frecuencia del filtro

Por último, en la figura 5.21 se muestra la respuesta en tiempo del circuito con una señal de

entrada seno de 1KHz . La respuesta se muestra ligeramente atenuada y con un valor de offset pequeño.

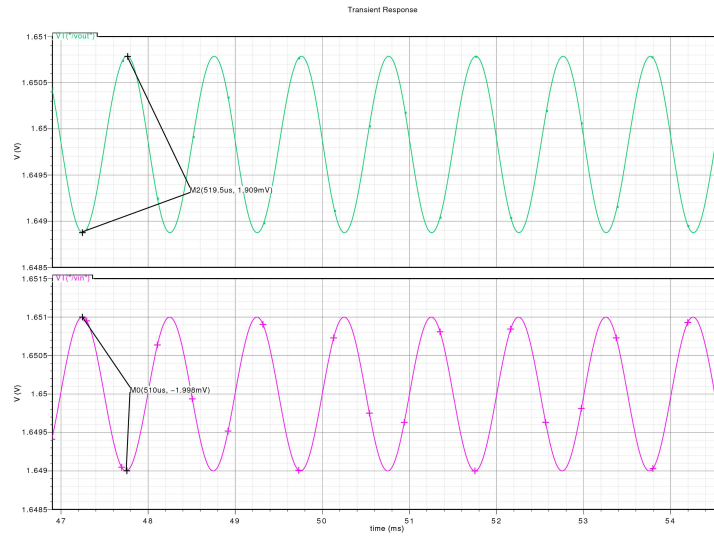


Figura 5.21: Simulación en tiempo del *netlist post-layout* del filtro

Conclusiones

- La potencia consumida por el amplificador ($5.26\mu W @ V_{DD} = 3.3V$) es baja en comparación con otros amplificadores de ENG presentados en la literatura reportada (2011).
- Usar la curva gm/ID en función de la corriente normalizada es un procedimiento más exacto para el cálculo de las dimensiones de los transistores en comparación con la ecuación cuadrática de la corriente porque evita errores y reduce el tiempo del diseño.
- Las frecuencias de corte del filtro, en especial la superior, son muy sensibles a las variaciones de los procesos de fabricación. Métodos más complejos (por ejemplo: ajuste de la frecuencia de corte post-fabricación o sintonía automática de la frecuencia de corte usando un lazo de realimentación) son necesarios para obtener una frecuencia de corte menos sensible.
- Las capacitancias parásitas del *layout* del circuito limitan la respuesta en frecuencia en parámetros como estabilidad, CMRR y PSRR. Estos efectos son más críticos en alta frecuencia por lo que en este caso, las consecuencias no son tan graves.
- Para la validación del diseño es necesario tomar en cuenta las variaciones de proceso, temperatura y tensión de alimentación porque estas modifican el comportamiento ideal del circuito. También es importante tener en cuenta el orden del layout desde la etapa de dimensionamiento del circuito para realizar un layout resistente a variaciones de proceso y mismatch.
- La simulación de Montecarlo es necesaria para validar el número de circuitos que cumplan los requerimientos después de ser fabricados. Usando 3σ como criterio de tolerancia se obtienen 6.7% de dispositivos que fallan. En

algunos casos para lograr un proyecto de 3σ se sacrifica área o potencia (Por ejemplo: aumentando el área del par diferencial o aumentando la corriente de la polarización).



Recomendaciones

- Mejorar el *layout* del circuito con el fin de reducir las capacitancias parásitas.
- Utilizar un filtro pasabajos para implementar la frecuencia de corte superior del filtro pasabanda. De este modo el filtro implementado solo sería un pasaltos.
- Utilizar transistores *dummies* para mejorar el *layout* del circuito.
- Realizar la validación estadística usando como criterio 2σ para cumplir los requerimientos de manera mas holgada. Esto dependería del número de dispositivos a fabricar.
- Explorar mejor el universo de diseño para redimensionar los transistores obteniendo mejores resultados. Una técnica recomendada es la metodología gm/ID .

Bibliografía

- [1] M. Miguez and A. Arnaud, “A low noise gm-c chopper for eng signal application,” in *XIII Workshop Iberchip (IWS 2007)*, 2007.
- [2] R. R. Harrison and C. Charles, “A low power low noise cmos amplifiers for neural recording applications,” *IEEE Journal of Solid State Circuits*, vol. 38, no. 6, pp. 958–965, June 2003.
- [3] A. Uranga, N. Lago, X. Navarro, and N. Barniol, “A low noise cmos amplifier for eng signals,” in *Proceedings of the 2004 International Symposium on Circuits and Systems ISCAS*, vol. 4. IEEE, May 2004, pp. 23–26.
- [4] J. Sacristan and M. T. Osés, “Low noise amplifier for recording eng signals in implantable system,” in *Proceedings of the 2004 International Symposium on Circuits and Systems, ISCAS*, vol. 4. IEEE, May 2004, pp. 33–36.
- [5] R. Pallás and J. G. Webster, *Sensor and Signal Condition*, J. G. Webster, Ed. Wiley, 1991.
- [6] F. Maloberti, *Analog Design for CMOS VLSI Systems*, K. A. Publishers, Ed. Kluwer Academic Publishers, 2001.
- [7] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, Ed. McGraw-Hill, 2001.
- [8] Y. Tsvividis, *Operation and Modeling of the MOS Transistor*, O. U. Press, Ed. Oxford University Press, June 2003.
- [9] F. García, A. Villa, and P. Castaño, “Interfaces neuronales y sistemas maquina cerebro: Fundamentos y aplicaciones,” *Ingenieria Biomedica*, vol. 1, no. 1, pp. 14–22, Mayo 2007.
- [10] R. Pallás, *Adquisición y distribución de señales*, Marcombo, Ed. Marcombo, 1993.

- [11] J. Perez, J. Oliver, and F. Silveira, “Diseño de hardware en uruguay: Una alternativa económica y técnicamente viable,” Universidad de la República de Uruguay, Tech. Rep., 2000.
- [12] F. Silveira, *Introducción al Diseño de Circuitos Integrados Analógicos de Microconsumo*, Universidad de la República de Uruguay, 2004.
- [13] H. Alarcón, “Diseño de un pre-amplificador utilizado para la adquisición de señales neuronales,” Master’s thesis, Pontificia Universidad Católica del Perú, 2007.
- [14] E. Sächinger and W. Guggenbühl, “A versatile building block: The cmos differential difference amplifier,” *IEEE Journal of Solid State Circuits*, vol. 22, no. 2, pp. 287–294, April 1987.
- [15] E. Raygada, “Diseño de una resistencia integrada de alto valor aplicada a un sistema de adquisición de señales neuronales con tecnología mos,” Master’s thesis, Pontificia Universidad Católica del Perú, 2007.
- [16] Y. Tsvividis, *Mixed analog-digital VLSI devices and technology*, W. Scientific, Ed. World Scientific, 2002.
- [17] P. R. Gray, P. J. Hurst, S. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 4th ed., S. Russell, Ed. John Wiley & Sons, INC, 2001.
- [18] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, 2nd ed., A. S. Sedra, Ed. Oxford University Press, 2002.
- [19] D. A. Johns and K. Martin, *Analog Integrated Circuit Design*, I. John Wiley & Sons, Ed. John Wiley & Sons, INC, 1997.

Anexos

Los anexos están incluidos en el CD adjunto. Estos contienen la siguiente información:

- Biblioteca donde se ubica el circuito y las simulaciones. El nombre de la carpeta es *DDAfilter*.
- Carpeta que incluye los archivos de la tesis elaborados en *LaTeX*

