

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ

FACULTAD DE CIENCIAS E INGENIERÍA



PONTIFICIA
**UNIVERSIDAD
CATÓLICA**
DEL PERÚ

Diseño de un amplificador operacional clase AB en tecnología
CMOS

Tesis para optar por el título de Ingeniero Electrónico, que presenta el
Bachiller:

Luis Enrique Del Castillo Messa

ASESOR: MSc. Julio César Saldaña Pumarica

Lima, febrero del 2012

Resumen

En el presente trabajo de tesis, se desarrolla el diseño de un amplificador operacional - bloque fundamental en sistemas integrados en chip - en base a dispositivos de una tecnología CMOS cuya longitud de canal mínima es $0,35 \mu m$. El diseño se orienta al uso del amplificador como *buffer* de salida en canales de acondicionamiento de señales médicas. Con la finalidad de aprovechar al máximo la tensión de alimentación disponible se eligió una etapa de salida del tipo *rail to rail*. Para conducir las cargas externas de manera eficiente y minimizando efectos de distorsión de cruce por cero se adoptó un esquema clase AB para la operación de la etapa de salida.

El procedimiento de diseño propuesto permite analizar conjuntamente especificaciones de consumo, ruido, ancho de banda y *offset* de tal forma que para un conjunto de valores de esas especificaciones, es posible determinar si es posible o no alcanzarlas, y en el caso afirmativo, calcular las dimensiones de los transistores y capacitores y las corrientes de polarización. Este procedimiento de diseño está basado en el modelo del transistor MOSFET conocido como *Advanced Compact Mosfet* (ACM), el cual posee ecuaciones que son válidas en todos los regímenes de inversión del transistor.

De acuerdo con los resultados de simulación, el circuito alcanza las siguientes especificaciones en el caso típico de parámetros tecnológicos a $27^{\circ}C$: Margen de fase de 83° con una carga capacitiva de $50pF$, frecuencia de ganancia unitaria $650KHz$, consumo de corriente de $13 \mu A$, ruido rms de $67 \mu V$. La desviación estándar del *offset* referido a la entrada es de $3mV$. El voltaje de alimentación nominal será de $3,3V$, sin embargo el desempeño del circuito fue comprobado también con una tensión mínima de $2,7V$.

Índice de figuras

2.1. Transistor MOS de canal N	14
2.2. Cargas en el MOSFET [1]	15
2.3. Espejos de corriente simples	18
2.4. Par diferencial simple	19
2.5. Configuración “surtidor común”	21
2.6. Etapa de salida <i>rail-to-rail</i> con proalimentación clase AB y transistores de acople, polarizados por una fuente de corriente flotante [2].	22
2.7. Amplificador <i>folded cascode</i> completamente diferencial	23
2.8. Amplificador operacional clase AB de una etapa para circuitos SC(<i>switched capacitor</i>) [3]	23
2.9. Amplificador CMOS con alta eficiencia de 2 etapas completamente diferencial auto-polarizado basado en inversores	24
3.1. Diagrama simplificado del amplificador operacional	25
3.2. Modelo de pequeña señal del <i>opamp</i>	27
4.1. Esquemático del amplificador operacional, elaborado con la herramienta <i>Composer Schematic</i> de <i>Cadence</i>	34
4.2. División en sub-bloques con el fin de facilitar la elaboración del <i>layout</i>	40
4.3. Bloque de polarización	40
4.4. <i>Layout</i> del Bloque de polarización	40
4.5. Bloque de entrada diferencial	41

4.6. <i>Layout</i> del Bloque de amplificación	42
4.7. Bloque de salida	43
4.8. <i>Layout</i> del Bloque de salida	43
4.9. <i>Testbench</i> para simulación del <i>opamp</i>	44
4.10. <i>Offset</i> Referido a la entrada ($\mu = 370\mu V, \sigma = 3mV$)	45
4.11. Margen de Fase ($\mu = 84^\circ, \sigma = 1,16^\circ$)	45
4.12. Margen de Ganancia ($\mu = 9,2dB, \sigma = 1,2dB$)	47
4.13. Frecuencia de ganancia unitaria ($\mu = 604KHz, \sigma = 48KHz$)	48
4.14. Ruido RMS ($\mu = 67\mu V, \sigma = 1,27\mu V$)	49
4.15. <i>Testbench</i> para simulación de un canal de filtrado y amplificación de ECG	51
4.16. Señal ECG ruidosa de entrada, señal filtrada y señal amplificada por el <i>opamp</i>	52
4.17. Corriente entregada por el <i>opamp</i> durante la amplificación de ECG	53

Índice de cuadros

4.1. Transistores tipo p del opamp con sus respectivas dimensiones y multiplicador	38
4.2. Transistores tipo n del opamp con sus respectivas dimensiones y multiplicador	38
4.3. Valores de simulación de Margen de Fase	46
4.4. Valores de simulación de Margen de Ganancia	47
4.5. Valores de simulación de Producto de Ganancia por Ancho de Banda	48
4.6. Valores de simulación de Ruido RMS	49
4.7. Valores de simulación de Corriente <i>quiescent</i>	49
4.8. Valores de simulación de Ganancia DC	50
4.9. Valores de simulación de Frecuencia a 180°	50
4.10. Valores de simulación de Consumo total de corriente	50
4.11. Tabla especificaciones y resultados de simulación	53
4.12. Comparación con trabajos anteriores	54

Índice general

Introducción	7
1. Requerimientos de consumo en <i>opamps</i>	8
1.1. Sistemas de bajo consumo portátiles e implantables	8
1.2. Análisis y diseño de circuitos integrados analógicos	10
1.3. Declaración del marco problemático	11
1.4. Objetivos de la presente Tesis	12
2. Arquitecturas de etapas de salida en CMOS	13
2.1. El transistor MOSFET	13
2.1.1. Modelo del MOSFET para análisis y diseño	13
2.1.2. Espejo de corriente	17
2.1.3. Par diferencial	18
2.2. Revisión del estado del arte en etapas de salida	20
2.2.1. Presentación del asunto de estudio	20
2.2.2. Estado de la investigación	20
3. Planteamientos para el diseño del <i>opamp</i>	25
3.1. Análisis de pequeña señal	26
3.2. Análisis de ruido	28
3.3. Análisis de <i>Mismatch</i>	29
3.4. Análisis de gran señal	30

3.4.1. Linealidad de la etapa de salida	30
3.4.2. Corriente de reposo de la etapa de salida	31
3.4.3. Relación entre corrientes I_P , I_N e I_Q	32
4. Diseño del amplificador operacional con etapa de salida clase AB	33
4.1. Cálculo de los parámetros de diseño	33
4.2. Elaboración del <i>layout</i>	39
4.3. Resultados de Simulación	42
4.4. Simulación con señales de Electrocardiograma	51
4.5. Análisis y discusión de resultados	55
Conclusiones	56
Recomendaciones	58

Introducción

Uno de los bloques más utilizados en circuitos integrados es el amplificador operacional. En muchos casos, sobre todo en aplicaciones de instrumentación, los amplificadores operacionales están conectados a cargas capacitivas y resistivas elevadas, con lo cual se hace necesario el uso de una etapa de salida. Esta tiene por objetivo aprovechar eficientemente el rango de tensión de salida disponible sin comprometer la linealidad.

Una de las tendencias actuales en el desarrollo de circuitos es la de hacer dispositivos portátiles de menor tamaño, lo cual obliga al diseñador a delinear un producto en torno al bajo consumo de potencia y un uso eficiente de la corriente. El diseño del amplificador operacional con salida clase AB, basado en el modelo ACM del transistor, es importante debido a que permite explorar las propiedades del circuito en todos los niveles de inversión del transistor. Este diseño podrá servir de referencia a futuros diseñadores de circuitos dada su modularidad y posibilidad de integración en sistemas que requieran bloques de amplificación.

Dado que existe una necesidad de desarrollar circuitos que consuman eficientemente la corriente eléctrica aprovechando al máximo el reducido rango de voltaje disponible y sin comprometer otros parámetros como ruido y offset, se propone el diseño de un amplificador operacional clase AB, con base en un modelo del transistor MOS que permite explorar el circuito en todos los niveles de inversión del transistor, logrando así un bloque disponible en el diseño de circuitos integrados que concilie especificaciones de eficiencia, ruido y offset.

1 Requerimientos de consumo en *opamps*

En este capítulo se presentan una serie de referencias que comprueban el interés actual en el diseño de sistemas portátiles, principalmente en el área de monitoreo de señales médicas. Ese gran interés obliga a un cuidadoso diseño de los circuitos eléctricos contenidos en tales sistemas. En conclusión, mostraremos cómo esta tendencia impone requerimientos de bajo consumo de potencia en amplificadores operacionales.

1.1. Sistemas de bajo consumo portátiles e implantables

El tiempo de diseño de circuitos integrados analógicos depende fuertemente de la disponibilidad de una biblioteca de circuitos frecuentemente utilizados. Dado que el tiempo de diseño está relacionado con el tiempo que un producto tarda en llegar al mercado, es de suma importancia disponer de bibliotecas de circuitos bien caracterizados, robustos, compactos y eficientes en cuanto a consumo de potencia.

Los avances recientes en la investigación y desarrollo de tecnologías para circuitos integrados, así como la amplia literatura en técnicas de diseño de circuitos, ha logrado obtener sistemas con capacidades de procesamiento que puedan realizar operaciones biomédicas complejas como el que encontramos en [4] en donde se presenta un sistema de recepción y acondicionamiento de bajo consumo y bajo ruido portátil aplicado al monitoreo de señales cardiacas y del corazón; a tal nivel de complejidad llega este sistema que cuenta con 3 canales de entrada para señales ECG, cuatro canales para las EEG, un último para tomografías ópticas difusas

y con el fin de optimizar el compromiso de consumo de potencia - bajo ruido y área dentro del chip se implementan bloques analógicos ajustables como el caso de amplificadores de ganancia variable y filtros con ajuste de frecuencia de corte. Con el enfoque correcto estos pueden ser implantables y portátiles con un consumo de potencia y tamaño adecuados. El consumo de potencia en biotecnología es muy limitado como mencionamos anteriormente, hablamos de unos cuantos microwatts (10^{-6} Watts), para ser capaces de operar hasta por 10 años con una misma batería[5].

La demanda y el interés por desarrollar dispositivos implantables integrados y sus numerosas aplicaciones biomédicas va en aumento. Publicaciones como las de Yen [6] donde propone el diseño de un sistema de adquisición de señales ECG el cual únicamente consume 390mW y tiene una fuente de alimentación de 3.3 V, o la de Martins que propone el diseño de un sistema de adquisición de señales EEG [7] donde afronta el problema del ruido intrínseco flicker propio de los transistores MOSFET logrando un consumo de 500 uA alimentado con una batería de 9V. Si buscamos en publicaciones referentes a dispositivos implantables, como el caso de los marcapasos, encontraremos características similares: portabilidad, bajo consumo de potencia (durabilidad) y bajos niveles de alimentación [8]. Los dispositivos biomédicos de monitoreo portátiles están obligados a tener un bajo consumo de potencia para lograr un óptimo tiempo de funcionamiento y con lo rápido con que va avanzando la microelectrónica, la integración de circuitos integrados de bajo consumo lo hacen posible, pero el reto de digitalizar señales físicas del cuerpo con una buena resolución frente a tener valores de corriente de polarización pequeños (bajo consumo) incrementan aún mas la dificultad del mismo.[9]. Otro punto importante a resaltar es que al momento de iniciar el diseño de este tipo de sistemas se deben definir los requerimientos iniciales de los bloques eléctricos, entiéndase como los rangos de amplitud de las señales de entrada, frecuencias de trabajo, consumo de corriente, etc; a partir de estos se calcularán parámetros de diseño como dimensiones geométricas y corrientes de polarización de los transistores. [9]

Los procesos de fabricación han ido mejorando para poder implementar transistores con longitudes de canal cada vez menores. Esta reducción vino acompañada de una reducción en la tensión de alimentación por motivos de confiabilidad. La reducción de la longitud de canal, sin reducción de tensión de alimentación, lle-

varía a un incremento excesivo del campo eléctrico en el mismo, lo cual podría causar daños a los transistores. Por otro lado, también es deseable alimentar los circuitos con tensiones bajas (especialmente en el caso de dispositivos portátiles con baterías [10]) porque de esa manera se reduce el consumo de potencia. Esa reducción de V_{DD} torna más desafiante el diseño de circuitos analógicos en tecnología CMOS. La clásica configuración cascode en amplificadores no puede ser usada si se quiere aprovechar al máximo el rango de tensión disponible. Esto conlleva al uso de amplificadores multi-etapas y etapas de salida *rail to rail* [11].

Además de la reducción en la tensión de alimentación, el escalamiento del transistor hacia dimensiones sub-micrométricas trae otros efectos como los de canal corto y modulación de canal, que junto con los compromisos convencionales como ganancia DC vs. ancho de banda, potencia vs. velocidad, complican la tarea de diseño [12].

1.2. Análisis y diseño de circuitos integrados analógicos

El diseño de circuitos analógicos comienza con el adecuado conocimiento del modelo de los dispositivos a utilizar. En este trabajo se utilizará el modelo conocido como Advanced Compact Mosfet (ACM). Con base en ese modelo serán analizados bloques de frecuente uso, como por ejemplo espejos de corriente, pares diferenciales, configuraciones cascode, etc. [13][14].

A partir de los datos del proceso de fabricación escogido, AMS 0, $35\mu m$, y mediante simulaciones basadas en el modelo numérico BSIM3v3, serán extraídos los parámetros del modelo ACM lo cual permitirá realizar cálculos de diseño con el modelo en mención.

El siguiente paso será analizar, mediante el modelo ACM, la estructura completa del amplificador operacional. Se desarrollarán expresiones que relacionan los parámetros de desempeño del circuito con parámetros de diseño. Los parámetros de desempeño son: ganancia, ancho de banda, rango de entrada de modo común, rango de excursión de salida, ruido referido a la entrada, offset referido a la entrada, linealidad, consumo de corriente; mientras que los parámetros de diseño son: ancho y largo del canal de cada transistor, corrientes de polarización, valores de

capacitancia y resistencia de los componentes pasivos que sean necesarios.

Luego de realizar los cálculos usando las expresiones mencionadas anteriormente, se procederá a verificar el desempeño de circuito mediante simulaciones. Se utilizará el simulador Spectre de la compañía CADENCE. En primer lugar se verificará la correcta polarización de todos los dispositivos considerando las posibles variaciones de los parámetros de proceso. De la misma manera, se verificará que el circuito sea estable en cualquier escenario de variaciones de proceso mediante simulaciones del tipo transitorio, y que inicie normalmente cuando la fuente de alimentación es encendida. Luego se procederá a realizar el diagrama de máscaras. En este proceso de elaboración de *layout* se tendrá especial cuidado en elaborar el circuito de manera robusta ante variaciones locales - internas al chip - de parámetros de proceso. Los dispositivos que deben ser idénticos (como el caso de los transistores de un par diferencial) serán situados de tal forma que permanezcan simétricos ante cualquier variación propia del proceso de fabricación como también a los posibles gradientes de temperatura.

1.3. Declaración del marco problemático

La búsqueda por integrar una mayor cantidad de funciones en un mismo *chip* ha llevado a la reducción de las dimensiones de los transistores por lo que se reduce la máxima tensión de alimentación por motivos de seguridad. Por otro lado la tendencia al uso de dispositivos portátiles o implantables impone restricciones al consumo de potencia cada vez más exigentes. Frente a este escenario, el diseño de circuitos integrados que aprovechen al máximo la tensión de alimentación disponible y que consuman eficientemente la corriente eléctrica es prácticamente imprescindible.

En el ámbito del diseño de circuitos integrados analógicos, un bloque ampliamente utilizado es el amplificador operacional. En el caso que el amplificador sea utilizado para entregar señal en un pin externo del *chip*, aparece el problema adicional que en los pines externos existe una capacitancia elevada que puede aumentar aun más al momento de conectar una punta de osciloscopio. La etapa de salida del amplificador operacional debe responder a las necesidades anteriormente mencionadas.

1.4. Objetivos de la presente Tesis

Al inicio del presente trabajo se trazaron los siguientes objetivos:

- Diseñar un amplificador operacional adecuado para transmitir señales para el exterior de un chip, es decir debe soportar cargas resistivas y capacitivas externas.
- Elaborar el *layout* del *opamp* para que quede disponible a una futura implementación.
- Las características del *opamp* deben ser adecuadas para la amplificación de señales ECG. El circuito debe ser diseñado para el proceso de fabricación AMS 0,35 μm , será alimentado por una tensión que varíe entre 2,7V y 3,6V, con un valor nominal igual a 3,3V. El circuito debe ser capaz de soportar una carga capacitiva de hasta 50pF y una carga resistiva de hasta 2K Ω . La máxima corriente de entrada y salida debe ser de 100 μA en un rango de tensiones que va desde 0,2V hasta VDD - 0,2V. La desviación estandar del offset referido a la entrada debe ser menor a 10mV mientras que el ruido rms integrado en una banda de [20mHz, 1kHz] debe ser menor a 100 μV .
- Proponer un procedimiento de análisis y diseño basado en un modelo del transistor válido en todos los regímenes de inversión.

2 Arquitecturas de etapas de salida en CMOS

En este capítulo se presentan las alternativas actualmente conocidas para la implementación de etapas de salida de amplificadores operacionales en tecnología CMOS. Para un mejor entendimiento de las mismas, el capítulo inicia con una revisión de los principales aspectos del transistor MOSFET que serán necesarios en el análisis de los circuitos presentados.

2.1. El transistor MOSFET

2.1.1. Modelo del MOSFET para análisis y diseño

El conocimiento de los principios físicos y eléctricos del transistor MOS es esencial para el diseño de circuitos integrados. Este dispositivo consta de 4 terminales: compuerta o *gate*(G), drenador o *drain*(D), surtidor o *source*(S) y cuerpo o *bulk*(B). Existen dos tipos de transistores, de canal n o de canal p. Mientras los dispositivos de canal n conducen con un voltaje compuerta-surtidor positivo, los de canal p conducen con uno negativo. Los microcircuitos que contienen transistores tanto canal n como canal p son llamados circuitos CMOS, o *complementary MOS*. El acrónimo MOS significa *metal-oxide semiconductor* o semiconductor de metal-óxido, que denota los materiales usados en la compuerta, el aislamiento y el canal. Sin embargo, la mayoría de tecnologías de fabricación CMOS utilizan polisilicio y no metal en las compuertas.

En la Figura 2.1 se muestran la estructura y el símbolo de un transistor MOS de canal N. De acuerdo a lo mostrado en la Figura 2.1(a), existe simetría entre el drenador y surtidor. Entre esos dos terminales, en un transistor NMOS, recibe el

nombre de surtidor aquel que se encuentra a menor potencial eléctrico.

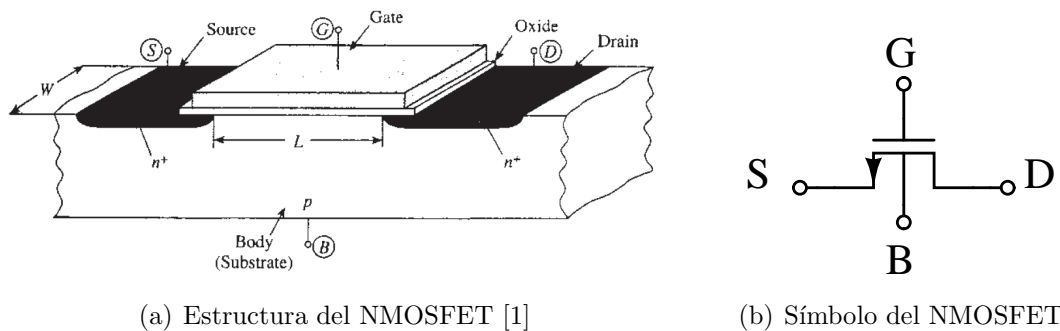


Figura 2.1: Transistor MOS de canal N

En el caso del transistor NMOS, la aplicación de una tensión en la compuerta genera un campo eléctrico aproximadamente vertical que atrae electrones hacia la interfaz entre el cuerpo y el óxido de silicio. Esos electrones provienen mayormente de las regiones de surtidor y drenador, y forman una capa delgada conocida como canal. Cuando existe una diferencia de potencial entre drenador y surtidor ocurren dos fenómenos: en primer lugar se produce un desbalance en la concentración de electrones a lo largo del canal lo cual provoca una corriente de difusión, y en segundo lugar aparece un campo eléctrico aproximadamente horizontal que provoca una corriente de arrastre.

En un transistor PMOS, el sustrato está compuesto de un material donde abundan electrones. Sin considerar compuerta y sustrato, el terminal de mayor potencial recibe el nombre de surtidor y el otro drenador. En este caso el canal está formado por “huecos” que provienen mayormente del surtidor y drenador. Los huecos fluyen del surtidor al drenador, lo cual implica una corriente convencional de drenador a surtidor.

Al formarse un canal de electrones (como es en el caso del NMOS) debajo del óxido y sin presencia de corriente ($V_d = V_s$), la concentración de electrones es la misma a lo largo de todo el canal. La concentración de carga eléctrica representada por Q'_I , viene a ser la carga total de la capa de inversión entre su área (Coulomb por unidad de área) y también se le conoce como densidad de carga de inversión.

A la parte del sustrato, donde se han agotado los portadores mayoritarios, que se encuentra debajo del canal de electrones y está formada por iones fijos se le

llama región de agotamiento. La cantidad de carga fija en esta región depende del potencial de superficie y de los voltajes de drenador y surtidor. En el caso del sustrato P (transistor NMOS), en la región de agotamiento, se agotan los huecos originando que dicha región quede con carga negativa, dada por los iones de átomos aceptores[15]. La Figura 2.2 muestra tal efecto.

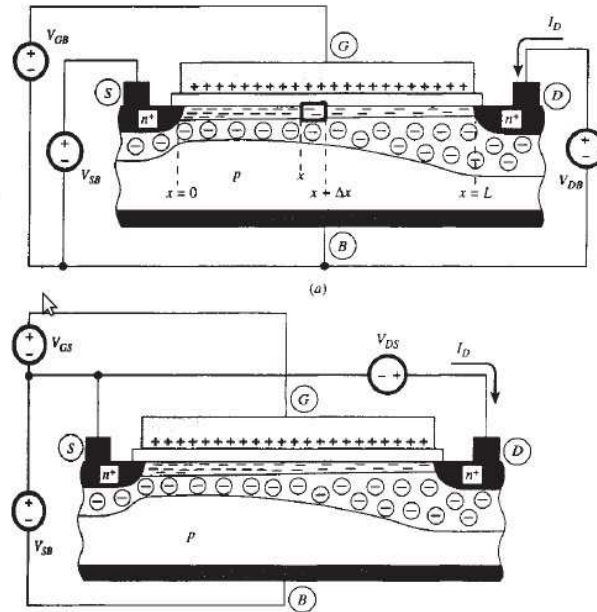


Figura 2.2: Cargas en el MOSFET [1]

El modelo tradicional del mosfet contempla su operación en inversión fuerte (Q'_I elevado), cuyas ecuaciones de *Level 1* se presentan a continuación:

$$I_{dN} = \frac{1}{2} K_{PN} \left(\frac{W}{L} \right) (V_{gs} - V_{tn})^2 \quad (2.1)$$

$$I_{dP} = \frac{1}{2} K_{PP} \left(\frac{W}{L} \right) (V_{sg} - |V_{tp}|)^2 \quad (2.2)$$

Este modelo es simple, pero a la vez inexacto, lo cual dificulta la tarea del diseñador para calcular ciertos parámetros como las dimensiones, corrientes y voltajes del transistor. Existen otros modelos más exactos pero a la vez con ecuaciones muy complejas o parámetros sin un significado físico de fácil comprensión. Son útiles para simulaciones en computadora, pero difíciles de usar a nivel de diseño. Existe un modelo intermedio, conocido como ACM (*Advanced Compact MOSFET*) el cual está compuesto por expresiones simples, válidas para cualquier nivel

de inversión, conservando la carga y la simetría del transistor. Es una poderosa herramienta para caracterización, simulación y diseño, una mezcla de los modelos semi-empíricos anteriores con el enfoque físico propuesto por Maher y Mead en 1987 [16].

La corriente en el modelo ACM tiene dos componentes que son la componente directa (I_F) y la componente inversa (I_R). [17]

$$I_D = I_F - I_R \quad (2.3)$$

El modelo requiere de un parámetro denominado corriente de normalización I_S definido como:

$$I_S = I_{SH} \left(\frac{W}{L} \right) \quad (2.4)$$

donde W y L son las dimensiones del transistor e I_{SH} es la corriente de normalización laminar.

$$I_{SH} = \frac{1}{2} \mu C'_{ox} n \phi_t^2 \quad (2.5)$$

donde C'_{ox} es la capacitancia del óxido por unidad de área, n el factor de rampa y ϕ_t la tensión térmica.

Dividiendo las corrientes I_D , I_F e I_R entre I_S se obtienen las corrientes normalizadas:

$$i_D = \frac{I_D}{I_S} \quad (2.6)$$

$$i_F = \frac{I_F}{I_S} \quad (2.7)$$

$$i_R = \frac{I_R}{I_S} \quad (2.8)$$

Las ecuaciones de diseño desarrolladas en [18] para el transistor MOS pueden ser usadas para cualquier nivel de inversión:

En saturación:

$$\frac{V_G - V_{th}}{n} = \phi_t [\sqrt{1 + i_F} - 2 + \ln \sqrt{1 + i_F} - 1] \quad (2.9)$$

$$i_F = \frac{I_D}{I_{SQ}(\frac{W}{L})} \quad (2.10)$$

En región de operación óhmica o en saturación (NMOS):

$$i_F - i_R = \frac{I_D}{I_{SQN}(\frac{W}{L})} \quad (2.11)$$

$$\frac{V_{GB} - V_{tn}}{n_N} - V_{SB} = \phi_t [\sqrt{1 + i_F} - 2 + \ln \sqrt{1 + i_F} - 1] \quad (2.12)$$

$$\frac{V_{GB} - V_{tn}}{n_N} - V_{DB} = \phi_t [\sqrt{1 + i_R} - 2 + \ln \sqrt{1 + i_R} - 1] \quad (2.13)$$

En región de operación óhmica o en saturación (PMOS):

$$i_F - i_R = \frac{I_D}{I_{SQP}(\frac{W}{L})} \quad (2.14)$$

$$\frac{V_{BG} - |V_{tp}|}{n_N} - V_{BS} = \phi_t [\sqrt{1 + i_F} - 2 + \ln \sqrt{1 + i_F} - 1] \quad (2.15)$$

$$\frac{V_{BG} - |V_{tp}|}{n_N} - V_{BD} = \phi_t [\sqrt{1 + i_R} - 2 + \ln \sqrt{1 + i_R} - 1] \quad (2.16)$$

2.1.2. Espejo de corriente

Las versiones más simples de espejos de corriente NMOS y PMOS están mostradas en la Figura 2.3.

La función de este circuito es generar una corriente en el transistor de salida (M_2) aproximadamente igual a la corriente que pasa por el transistor de entrada (M_1), para esto las dimensiones de ambos transistores deben ser iguales. El transistor de entrada (M_1) está conectado como diodo, donde la compuerta está conectada al drenador. Este tipo de conexión garantiza que, si la corriente de entrada es mayor que 0, el transistor queda polarizado en saturación. En el caso de espejo NMOS (Figura 2.3(a)) se tiene $V_{gd} < V_{tn}$, mientras que en el espejo PMOS (Figura 2.3(b)) se tiene $V_{dg} < |V_{tp}|$, lo cual implica saturación.

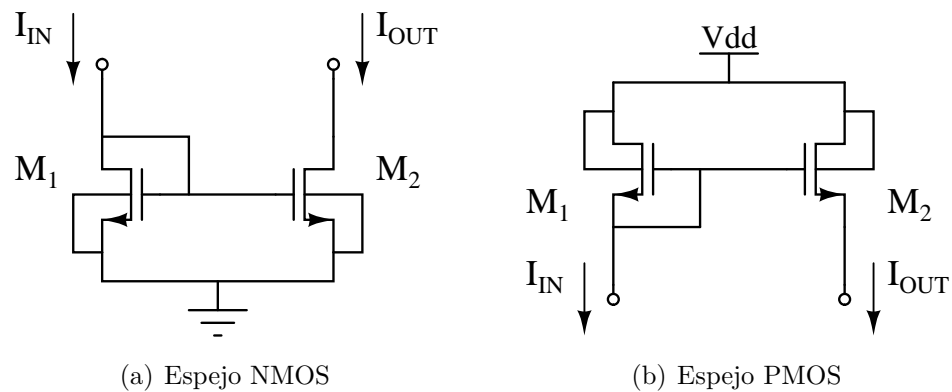


Figura 2.3: Espejos de corriente simples

A pesar que las dimensiones de ambos transistores sean iguales y que la tensión compuerta-surtidor de ambos sea la misma, las corrientes de entrada y salida no son exactamente iguales. Esto se debe a dos motivos, el primero está relacionado con el efecto de modulación de canal y el segundo con des-emparejamiento o *mismatch* de parámetros. En el primer caso, la diferencia entre las tensiones drenador-surtidor de ambos transistores provoca una diferencia entre las corrientes, mientras que en el segundo caso existe una diferencia entre parámetros como V_t y K_P de ambos transistores lo cual también provoca una diferencia entre las corrientes.

El error en la copia de corriente debido a descasamiento se puede calcular con la siguiente expresión:

$$(W.L)\left(\frac{\sigma\Delta I_D}{I_D}\right)^2 = \left(\frac{2}{n_N\phi_t(\sqrt{1+i_F}+1)}\right)^2 \cdot A_{V_{tn}}^2 + A_{ISH}^2 \quad (2.17)$$

2.1.3. Par diferencial

En la figura 2.4 se muestra un par diferencial simple NMOS y uno PMOS. Para un correcto funcionamiento, un complemento necesario de este circuito básico, es la carga activa, que puede ser una resistencia o un transistor conectado como diodo o una fuente de corriente, los cuales se conectan en el drenador de cada uno de los transistores del par diferencial. En la mayoría de aplicaciones, como las presentadas en esta tesis, las dimensiones de M1 y M2 deben ser exactamente iguales.

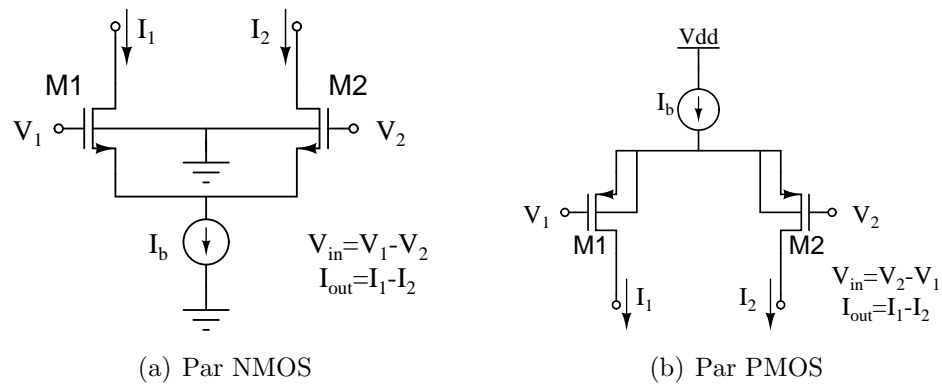


Figura 2.4: Par diferencial simple

La función de este circuito es generar una diferencia de corriente, entre los transistores M1 y M2, en respuesta a la diferencia de las tensiones de entradas V_1 y V_2 ; tal conversión es conocida como transconducción, y la relación entre la corriente de salida y tensión de entrada es conocida como transconductancia cuyas unidades son *Siemens* ($S = A/V$). En este trabajo se consideran las siguientes convenciones en relación a las Figuras 2.4(a) y 2.4(b): para el par NMOS $V_{in} = V_1 - V_2$ y para el par PMOS $V_{in} = V_2 - V_1$.

En el caso que $V_1 = V_2$, entonces la corriente que circula por cada transistor será la misma e igual a la mitad de la corriente de polarización del par diferencial (I_b).

Considerando $V_1 - V_2 \neq 0$ se obtendrá $I_2 - I_1 \neq 0$, y la carga, formada por las resistencias o transistores colocados en los drenadores, convertirá esa diferencia de corriente en una diferencia de tensiones[15].

La ecuación (2.18) define la transconductancia del par. Como se verá más adelante, este parámetro juega un papel muy importante a la hora de definir el consumo de potencia y el ancho de banda del *opamp*.

$$g_{mpar} = \left. \frac{\partial I_{out}}{\partial V_{in}} \right|_{V_{in}=0} = \frac{I_b}{n\phi_t} \frac{1}{(\sqrt{1 + i_F} + 1)} \quad (2.18)$$

2.2. Revisión del estado del arte en etapas de salida

2.2.1. Presentación del asunto de estudio

Los procesos de fabricación han ido mejorando para poder implementar transistores con longitudes de canal menores. Esta reducción de la longitud de canal vino acompañada de una reducción en la tensión de alimentación por motivos de confiabilidad. La reducción de la longitud de canal - sin reducción de tensión de alimentación - llevaría a un incremento excesivo del campo eléctrico en el canal, lo cual podría causar daños a los transistores. Por otro lado, también es deseable alimentar los circuitos con tensiones bajas (especialmente en el caso de dispositivos portátiles con baterías [10]) porque de esa manera se reduce el consumo de potencia. Esa reducción de V_{DD} torna más desafiante el diseño de circuitos analógicos en tecnología CMOS. La clásica configuración cascado en amplificadores no puede ser usada si se quiere aprovechar al máximo el rango de tensión disponible. Esto lleva al uso de amplificadores multi-etapas y etapas de salida *rail to rail* [11].

Además de la reducción en la tensión de alimentación, el escalamiento del transistor hacia dimensiones sub-micrométricas trae otros efectos como los de canal corto y modulación de canal, que junto con los compromisos convencionales como ganancia DC vs. ancho de banda, potencia vs. velocidad, complican la tarea de diseño [12].

En esta sección se presentan diversas arquitecturas de etapas de salida en amplificadores operacionales con consumo de potencia controlado.

2.2.2. Estado de la investigación

Entre las configuraciones posibles para etapas de salida de amplificadores operacionales CMOS, la que aprovecha al máximo el rango de voltaje es la “surtidor común”, representada en la Figura 2.5.a.

Para un uso eficiente de la corriente, el circuito debe operar de la siguiente manera: cuando el amplificador es forzado a entregar corriente a una carga, la corriente

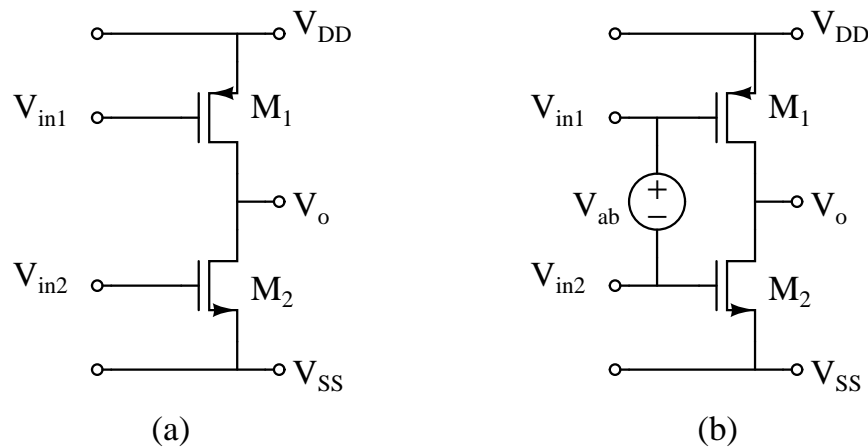


Figura 2.5: Configuración “surtidor común”

del transistor PMOS (I_{push}) debe aumentar y la corriente del transistor NMOS (I_{pull}) debe disminuir; cuando el amplificador es forzado a absorber corriente de una carga, la corriente I_{pull} debe aumentar y la corriente I_{push} debe disminuir. Ese tipo de operación es característica de las etapas de salida clases B y AB. Una forma de obtener ese comportamiento es fijar la diferencia entre las tensiones de las puertas de ambos transistores, lo cual es representado en la Figura 2.5.b mediante la presencia de la fuente de voltaje V_{ab} [2]. A partir de esa figura, puede demostrarse la siguiente relación:

$$\sqrt{I_{push}} + \sqrt{I_{pull}} = 2 \cdot \sqrt{I_q} \quad (2.19)$$

donde I_q es la corriente que pasa por ambos transistores cuando el circuito no entrega ni absorbe corriente de la carga ($I_{out} = 0$). De acuerdo con esa relación, cuanto mayor es una de las corrientes I_{push} e I_{pull} , menor es la otra.

La diferencia entre un circuito clase B y uno clase AB, es que en el segundo caso existe un control de la mínima corriente que pasa por cada uno de los transistores. La falta de este tipo de control lleva a un problema conocido como *crossover distortion*. Para obtener un control de la corriente mínima, es necesario agregar un circuito al mostrado en la Figura 2.5.b que limite el mínimo valor de V_{in2} y el máximo valor de V_{in1} .

Una implementación de una etapa de salida en surtidor común clase AB está representada en la Figura 2.6 [2]. Esa implementación fue reportada por primera

vez en 1986[19].

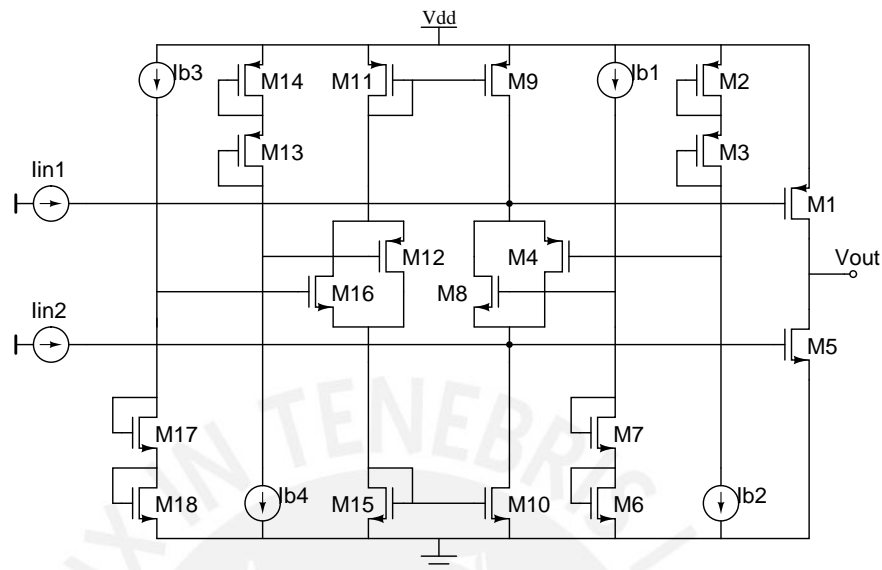


Figura 2.6: Etapa de salida *rail-to-rail* con proalimentación clase AB y transistores de acople, polarizados por una fuente de corriente flotante [2].

En la Figura 2.6, la fuente de corriente flotante, compuesta por M12 y M16 provee la corriente de polarización para el control AB. Dado que el control AB y la fuente de corriente flotante tienen la misma estructura, cualquier dependencia de voltaje de alimentación del circuito AB es compensada por la fuente de corriente flotante [2]. Como en el control AB, la corriente de polarización está determinada por 2 lazos: M11-M14 y M15-M18. Para compensar el efecto cuerpo, se polarizan M15, M18, M11 y M14 con los mismos voltajes Compuerta-Surtidor (V_{gs}), por lo que M16- M17 y M12-M13 pueden considerarse como espejos de corriente.

La idea de usar eficientemente la corriente en amplificadores operacionales, ha continuado siendo objeto de estudio en los años recientes. Por ejemplo este año fue reportada la aplicación de la operación clase AB en un amplificador *folded cascode* [3].

En la Figura 2.7 se representa un amplificador *folded cascode* completamente diferencial, aquí las corrientes de los transistores M3, M4, M9 y M10 son constantes y por tanto no existe un uso eficiente de la corriente. Con el fin de obtener *slew rate* simétrico, la corriente de los transistores M3 y M4 suelen fijarse en el mismo valor de la corriente de polarización del par diferencial ($2 \cdot I_b$). Las corrientes de salida dependen de las corrientes de las ramas del par diferencial. Para un uso

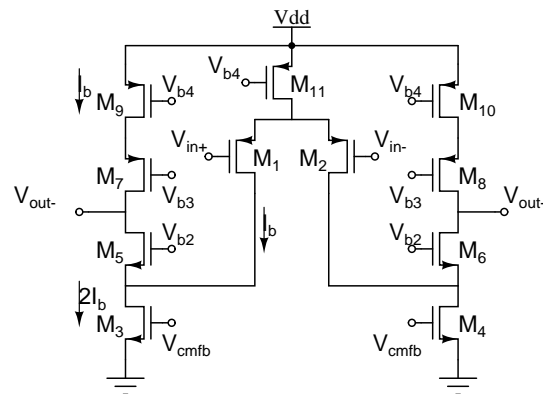


Figura 2.7: Amplificador *folded cascode* completamente diferencial

eficiente de la corriente, es deseable que las corrientes de esos transistores varíen en función de la corriente requerida por la carga externa.

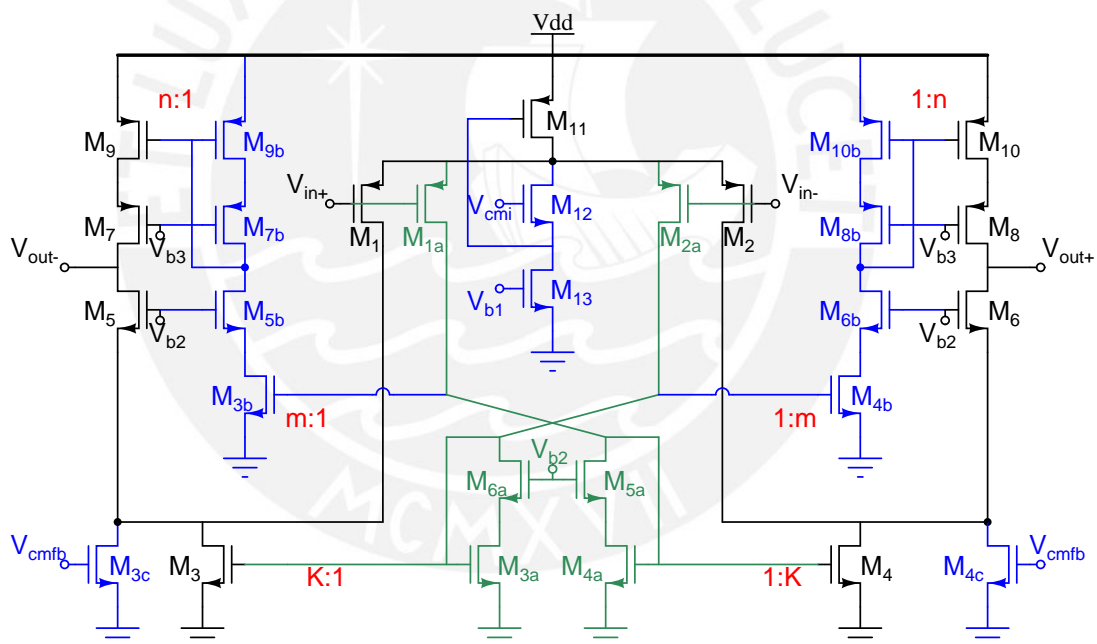


Figura 2.8: Amplificador operacional clase AB de una etapa para circuitos SC (*switched capacitor*) [3]

El diseño de la Figura 2.8 alcanza un alto *slew-rate*, ancho de banda y ganancia DC cambiando las fuentes de corriente NMOS y PMOS por un cascode doblado (*folded cascode*) y usando un seguidor de voltaje doblado para realizar el control AB. Puede ser usado en circuitos *switched capacitor* para alta resolución y rápida estabilización, cuando se tienen cargas de elevado valor capacitivo [3].

El circuito de la Figura 2.9 es un amplificador auto-polarizado con 2 etapas,

completamente diferencial. La compensación se realiza mediante el cascode Miller, con condensadores de compensación conectados a nodos surtidores de baja impedancia[11].

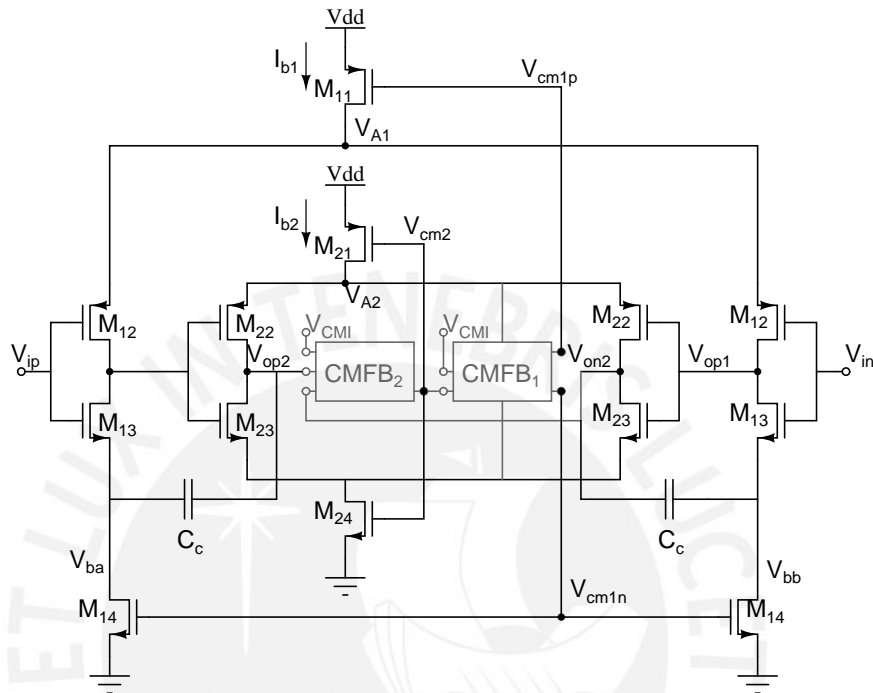


Figura 2.9: Amplificador CMOS con alta eficiencia de 2 etapas completamente diferencial auto-polarizado basado en inversores

3 Planteamientos para el diseño del *opamp*

En este capítulo se presenta el análisis del amplificador operacional y se resumen las ecuaciones que relacionan los parámetros de diseño con las especificaciones. En la Figura 3.1 se muestra un diagrama simplificado del *opamp*.

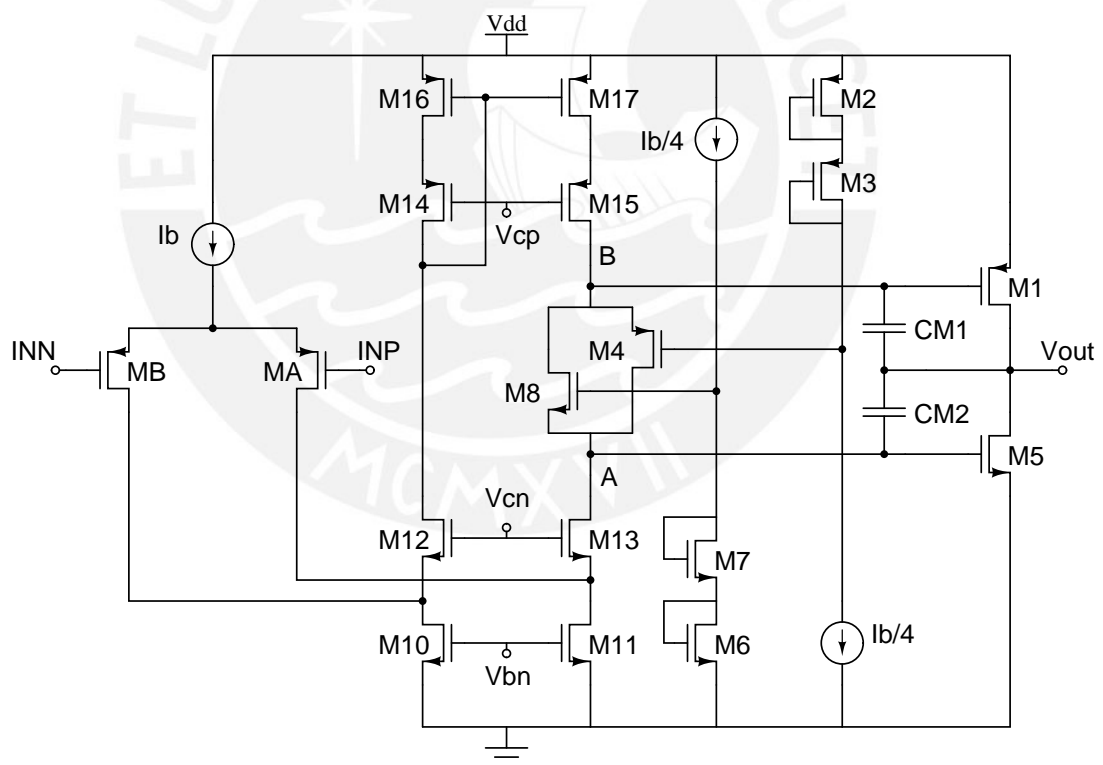


Figura 3.1: Diagrama simplificado del amplificador operacional

Se observan la etapa de amplificación y la etapa de salida. La etapa de amplificación consiste de un par diferencial (MA y MB) y una estructura *folded cascode* (M10 a M17). La etapa de salida está formada por los transistores de salida (M1 y M5) y la estructura que realiza el control clase AB (M2 a M4 y M6 a M8). El

diagrama muestra tres fuentes de corriente de valores I_b , $I_b/4$ e $I_b/4$, sin embargo se trata solo de una simplificación para entender mejor el funcionamiento, pues en realidad esas corrientes son copiadas mediante espejos de corriente de una fuente de referencia externa al *opamp* cuyo análisis escapa a los objetivos de esta tesis. Similarmente, se observa los terminales V_{cn} , V_{bn} y V_{cp} , sobre los cuales es importante resaltar que no se trata de terminales del *opamp* donde se aplicarán voltajes externamente, por el contrario, representan las conexiones hacia las compuertas de otros transistores internos del *opamp*. Esas conexiones permiten que M10 y M11 copien una corriente de referencia igual a I_b , y permiten también polarizar los transistores cascode M12, M13, M14 y M15. Un diagrama completo del *opamp* es mostrado en la Figura 4.1 del capítulo 4.

3.1. Análisis de pequeña señal

A continuación se analiza el funcionamiento del circuito en pequeña señal. Sean V_{INP} y V_{INN} los voltajes aplicados en las entradas INP e INN respectivamente, entonces se puede escribir:

$$V_{INP} = V_{CM} + \frac{v_{in}}{2} \quad (3.1)$$

$$V_{INN} = V_{CM} - \frac{v_{in}}{2} \quad (3.2)$$

donde V_{CM} es la tensión de modo común y v_{in} es la tensión diferencial. Tal como es demostrado en [20] la corriente que pasa por el transistor MA (ver Figura 3.1) es $\frac{I_b}{2} - g_{m_{par}} \cdot \frac{v_{in}}{2}$ y la corriente que pasa por MB es $\frac{I_b}{2} + g_{m_{par}} \cdot \frac{v_{in}}{2}$, donde $g_{m_{par}}$ es la transconductancia de cualquiera de los transistores MA o MB, que son idénticos. Para llegar a esas relaciones es necesario suponer que el circuito opera linealmente, lo cual en la práctica es una buena aproximación cuando el amplificador está realimentado, pues en ese caso la entrada diferencial es suficientemente pequeña (en el orden de los mV).

En el circuito de la Figura 3.1 los transistores M10 y M11 copian una corriente de valor I_b , actuando entonces como fuentes de corriente. La corriente que pasa por el transistor M13 es igual a la diferencia entre las corrientes de M11 y MA, o sea $\frac{I_b}{2} + g_{m_{par}} \cdot \frac{v_{in}}{2}$. Eso quiere decir que en relación a las condiciones de reposo, la corriente de M13 aumenta en $g_{m_{par}} \cdot \frac{v_{in}}{2}$ cuando se aplica una entrada diferencial

v_{in} . Similarmente, la corriente que pasa por el transistor M12 disminuye en $gm_{par} \cdot \frac{v_{in}}{2}$. Esas variaciones de corriente son convertidas en variaciones de tensión en los nodos A y B del circuito. Este breve análisis puede formalizarse a través del modelo de la Figura 3.2, conocido como modelo de pequeña señal.

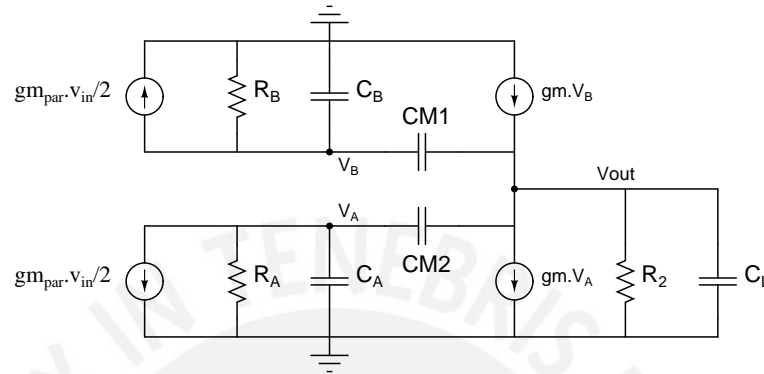


Figura 3.2: Modelo de pequeña señal del *opamp*

Con base en este modelo se obtienen las siguientes expresiones para frecuencia de ganancia unitaria (F_{0dB}), margen de fase (PM), frecuencia del polo dominante (F_{p1}), frecuencia del polo limitante (F_{p2}) y frecuencia del cero (F_z):

$$F_{0dB} = \frac{gm_{par}}{2\pi C_M} \quad (3.3)$$

$$PM = 90^\circ - \arctan\left(\frac{F_{0dB}}{F_z}\right) - \arctan\left(\frac{F_{0dB}}{F_{p2}}\right) \quad (3.4)$$

$$F_{p1} = \frac{1}{2\pi R_1 R_2 C_M} \quad (3.5)$$

$$F_{p2} = \frac{gm_{out}}{2\pi C_L} \quad (3.6)$$

$$F_z = \frac{gm_{out}}{2\pi C_M} \quad (3.7)$$

donde $C_M = CM1 + CM2$, $R_1 = R_A // R_B$ y $gm_{out} = gm_1 + gm_5$. A partir de especificaciones de ancho de banda y margen de fase, estas ecuaciones serán usadas en el capítulo 4 para obtener los valores de gm_{par} , gm_{out} y C_M .

3.2. Análisis de ruido

De acuerdo a lo visto en la primera sección del capítulo 2, la densidad espectral de potencia de la corriente de ruido de un transistor MOSFET es:

$$\frac{\overline{i_n^2}}{\Delta f} = \frac{K_F gm^2}{C_{ox} W L f} + \frac{8K_B T gm}{3} \quad (3.8)$$

donde el primer término corresponde al ruido *flicker* y el segundo al ruido térmico. También se vio que el ruido puede representarse con una fuente conectada en la compuerta del transistor:

$$\frac{\overline{v_n^2}}{\Delta f} = \frac{\overline{i_n^2}}{\Delta f} \quad (3.9)$$

Tomando como base lo demostrado en [21], los principales contribuyentes al ruido en el *opamp* de la Figura 3.1 son los transistores MA, MB, M10, M11, M16 y M17. Para una mejor comprensión del efecto del ruido en las señales procesadas por el *opamp* es conveniente referir el ruido a la entrada ([20]). Referir a la entrada significa calcular el ruido que se debería aplicar en la entrada de un *opamp* ideal que no genera ruido, para obtener a la salida el ruido generado por el *opamp* real.

Para el *opamp* de la Figura 3.1 el ruido referido a la entrada expresado en términos de la densidad espectral de potencia de voltaje de ruido, es:

$$\overline{v_{ni}^2} = 2 \left[\overline{v_{npar}^2} + \left(\frac{gm_{bias}}{gm_{par}} \right)^2 \overline{v_{nbias}^2} + \left(\frac{gm_{load}}{gm_{par}} \right)^2 \overline{v_{nload}^2} \right] \quad (3.10)$$

donde $\overline{v_{npar}^2}$, $\overline{v_{nbias}^2}$ y $\overline{v_{nload}^2}$ son las densidades espectrales de potencia del ruido referido a la compuerta de los transistores MA, M11 y M17 respectivamente.

3.3. Análisis de Mismatch

En esta sección se presentan expresiones que permiten calcular la desviación estándar del *offset* referido a la entrada.

Tal como fue mencionado en la primera sección del capítulo 2, los pares diferenciales y los espejos de corriente presentan desviaciones estadísticas de la tensión puerta-surtidor y de la corriente de drenador respectivamente. Para el caso del par diferencial se obtuvo la siguiente expresión:

$$(\sigma_{\Delta V_G})^2 = \sigma_{\Delta V_{tn}}^2 + \left(\frac{I_D}{g_{mg}}\right)^2 \left(\frac{\sigma_{\Delta I_{SH}}}{I_{SH}}\right)^2 \quad (3.11)$$

y para el espejo de corriente se tiene:

$$\left(\frac{\sigma_{\Delta I_D}}{I_D}\right)^2 = \left(\frac{g_{mg}}{I_D}\right)^2 \sigma_{\Delta V_{tn}}^2 + \left(\frac{\sigma_{\Delta I_{SH}}}{I_{SH}}\right)^2 \quad (3.12)$$

ese error de la corriente de un espejo de corriente puede referirse a la compuerta de cada transistor mediante la siguiente expresión:

$$(\sigma_{\Delta V_G})^2 = \left(\frac{\sigma_{\Delta I_D}}{gm}\right)^2 \quad (3.13)$$

Aplicando esas ecuaciones al *opamp* de la Figura 3.1 se llega a la siguiente expresión para la desviación estándar del *offset* referido a la entrada:

$$\sigma_{V_{os}}^2 = 2 \left(\sigma_{\Delta V_{Gpar}}^2 + \left(\frac{gm_{load}}{gm_{par}}\right)^2 \sigma_{\Delta V_{Gload}}^2 \right) \quad (3.14)$$

3.4. Análisis de gran señal

3.4.1. Linealidad de la etapa de salida

De acuerdo con lo mencionado en [2], con el objetivo de minimizar la no linealidades introducidas por la etapa de salida, debe cumplirse la relación:

$$\beta_{M1} = \beta_{M5} \quad (3.15)$$

es decir los factores β de los transistores de la etapa de salida deben ser iguales. Esa relación puede ser demostrada siguiendo un procedimiento similar al presentado en [22], donde se aplica el modelo *Level 1* del transistor MOSFET a una etapa de salida formada por transistores conectados en configuración drenador común.

Como aporte de esta tesis, a continuación se presenta una condición para minimizar las no linealidades, basada en el modelo ACM del transistor MOSFET. La ventaja de usar ese modelo es que el resultado obtenido es válido en cualquier régimen de operación del transistor en contraste con la demostración mencionada anteriormente que es válida solo cuando el transistor opera en régimen de inversión fuerte.

Dada una pequeña variación de voltaje $\Delta V = x$ en las compuertas de los transistores M1 y M5 se cumplen las siguientes ecuaciones:

$$\frac{V_{DD} - (V_{G1q} + x) - |V_{tp}|}{n_P} = \phi_t [\sqrt{1 + i_{FP}} - 2 + \ln(\sqrt{1 + i_{FP}} - 1)]$$

$$\frac{V_{G5q} + x - V_{tn}}{n_N} = \phi_t [\sqrt{1 + i_{FN}} - 2 + \ln(\sqrt{1 + i_{FN}} - 1)]$$

Como se quiere encontrar una relación que minimice la componentes no lineales de la función $I_{out}(x)$, es conveniente observar las componentes de segundo orden que son las principales no linealidades. Para eso se obtienen los coeficientes de las componentes de segundo orden de la siguientes aproximaciones de Taylor:

$$i_{FP} = i_{FPq} + A_P x + B_P x^2 \dots \quad (3.16)$$

$$i_{FN} = i_{FNq} + A_N x + B_N x^2 \dots \quad (3.17)$$

donde:

$$B_P = \left. \frac{d^2 i_{FP}}{dx^2} \right|_{i_{FP}=i_{FPq}} = \frac{2}{n_P^2 \phi_t^2} \left[1 - \frac{1}{\sqrt{1 + i_{FPq}}} \right] \quad (3.18)$$

$$B_N = \left. \frac{d^2 i_{FN}}{dx^2} \right|_{i_{FN}=i_{FNq}} = \frac{2}{n_N^2 \phi_t^2} \left[1 - \frac{1}{\sqrt{1 + i_{FNq}}} \right] \quad (3.19)$$

y teniendo en cuenta que $I_{out} = I_{SP} \cdot i_{FP} - I_{SN} \cdot i_{FN}$, la componente de segundo grado de $I_{out}(x)$ es $I_{SP} \cdot B_P - I_{SN} \cdot B_N$, por lo tanto la condición para anular componentes de segundo orden es:

$$\frac{2I_{SP}}{n_P^2 \phi_t^2} \left[1 - \frac{1}{\sqrt{1 + i_{FPq}}} \right] = \frac{2I_{SN}}{n_N^2 \phi_t^2} \left[1 - \frac{1}{\sqrt{1 + i_{FNq}}} \right] \quad (3.20)$$

Si se asume $n_P \approx n_N$ la condición se simplifica a:

$$I_{SP} = I_{SN} \quad (3.21)$$

3.4.2. Corriente de reposo de la etapa de salida

Una propiedad importante del tipo de control elegido para la etapa de salida es que permite que la corriente de reposo quede definida en un función de una corriente de referencia externa y no depende de parámetros de proceso ni de la tensión de alimentación, a no ser por la propia dependencia de la corriente externa en esos parámetros. Para ello será necesario respetar algunas relaciones entre las dimensiones y corrientes de los transistores de ese circuito de control. La demostración de esas relaciones es presentada en las referencias con base en el modelo *Level 1*. Como aporte de la presente tesis, se presenta aquí una análisis con base en el modelo ACM.

Usando nuevamente como referencia la Figura 3.1, la caída de voltaje desde el la compuerta de M8 hasta tierra siguiendo dos caminos:

$$\begin{aligned} V_{GS8} + V_{GS5} &= V_{GS7} + V_{GS6} \\ \Rightarrow V_{G8} - V_{S8} + V_{G5} &= V_{G7} - V_{S7} + V_{G6} \end{aligned} \quad (3.22)$$

$$n_N \phi_t F(i_{F8}) + (n_N - 1)V_{S8} + n_N \phi_t F(i_{F5}) = n_N \phi_t F(i_{F7}) + (n_N - 1)V_{S7} + n_N \phi_t F(i_{F6})$$

donde se observa que para eliminar la dependencia del efecto cuerpo es necesario

que $V_{S8} = V_{S7}$. Considerando eso en la ecuación 3.22 se obtiene $V_{G5} = V_{G6}$ y por lo tanto:

$$F(i_{F5}) = F(i_{F6}) \quad (3.23)$$

$$\Rightarrow i_{F5} = i_{F6} \quad (3.24)$$

$$\Rightarrow \frac{I_Q}{S_5} = \frac{I_b/4}{S_6} \quad (3.25)$$

$$\Rightarrow I_Q = \frac{S_5}{4S_6} I_b \quad (3.26)$$

3.4.3. Relación entre corrientes I_P , I_N e I_Q

En [2] se presenta una relación entre las corrientes de reposo (I_Q), la corriente del transistor M1 (I_P) y la corriente del transistor M5 (I_N) la cual se repite aquí como referencia.

$$\left(\sqrt{I_P} - \alpha\sqrt{I_Q}\right)^2 + \left(\sqrt{I_N} - \alpha\sqrt{I_Q}\right)^2 = 2(\alpha - 1)^2 I_Q \quad (3.27)$$

donde:

$$\alpha = 1 + \sqrt{\frac{S_6}{S_7}} \quad (3.28)$$

4 Diseño del amplificador operacional con etapa de salida clase AB

4.1. Cálculo de los parámetros de diseño

En la Figura 4.1 se muestra el diagrama esquemático del amplificador operacional, el cual fue elaborado utilizando la herramienta *Composer Schematic* de *CADENCE*. Además de la etapa de entrada diferencial, y la etapa de salida con control clase AB, también se encuentran presentes los espejos de corriente que establecen la polarización del circuito. Al lado de cada transistor se muestran el identificador del dispositivo, el nombre del modelo y los parámetros geométricos. Por ejemplo, al lado del transistor cuyo identificador es MN6 se observa el nombre de modelo, *modn*, el ancho del canal $w_{tot} = 0,5\mu\text{m}$ y la longitud de canal $l = 4\mu\text{m}$. En la mayoría de dispositivos mostrados en ese esquemático, se emplea notación vectorial para indicar la conexión en paralelo de varios transistores. Por ejemplo, el dispositivo MN5< 3 : 0 > consiste de la asociación en paralelo de 4 transistores, cada uno de $w_{tot} = 0,5\mu\text{m}$ e $l = 0,5\mu\text{m}$, lo cual equivale, en términos de corriente, a un único transistor de $w_{tot} = 4\mu\text{m}$ e $l = 0,5\mu\text{m}$. La división de un único transistor, en varios transistores en paralelo facilita la elaboración de estructuras de *layout* adecuadas para minimizar efectos de *mismatch* [30].

En los párrafos siguientes de este capítulo se presenta el procedimiento seguido para calcular las dimensiones de los transistores y sus corrientes de polarización. Ese procedimiento está basado en las ecuaciones obtenidas en el capítulo 3.

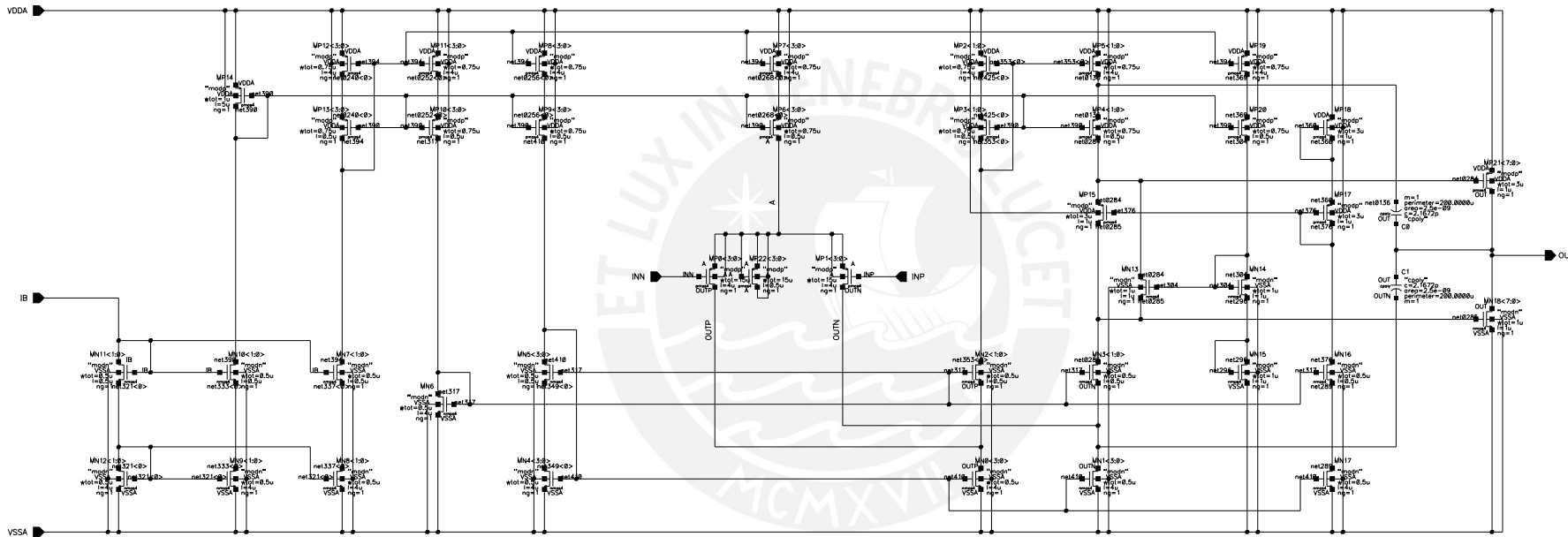


Figura 4.1: Esquemático del amplificador operacional, elaborado con la herramienta *Composer Schematic* de *Cadence*

El consumo de potencia del circuito debe ser comparable al consumo de circuitos similares presentados en las referencias. Entre los artículos revisados, el menor consumo es de $60\mu W$ [28]. Para un voltaje de alimentación nominal de $3,3V$ la corriente total no debe ser mayor a $60\mu W/3,3 = 18\mu A$. Para obtener una mejora apreciable en relación a ese valor, se eligió $9\mu A$ como el límite superior para este diseño.

Observando el diagrama esquemático de la Figura 4.1 y con base en el análisis presentado en el capítulo anterior, se deduce que si la corriente de polarización aplicada al par diferencial es I_b el consumo total será $23I_b/4$. Entonces, imponiendo la condición $23I_b/4 < 9\mu A$ se obtiene $I_b < 1,56\mu A$, por lo cual se escogió el valor de $I_b = 1,5\mu A$.

Tal como fue visto en el capítulo 2, el *offset* debido al par diferencial depende del área de los dispositivos y de la relación gm/Id . Ese parámetro conocido como eficiencia de transconductancia difícilmente llega a tener valores mayores a 25, por limitaciones tecnológicas. Para este diseño se escogió el valor de 20.

$$\begin{aligned}
 \frac{gm_{par}}{Id_{par}} &= 20V^{-1} \\
 \Rightarrow gm_{par} &= 20 Id_{par} = 20 \frac{1,5\mu A}{2} \\
 \Rightarrow gm_{par} &= 15\mu S
 \end{aligned}
 \tag{4.1}$$

Usando la ecuación 2.18, la cual se repite a continuación, se calcula el parámetro i_F para los transistores del par diferencial:

$$\begin{aligned}
 gm_{par} &= \frac{2 Id_{par}}{n_P \phi_t} \frac{1}{\sqrt{1 + i_{Fpar}} + 1} \\
 15 \mu A &= \frac{1,5 \mu A}{n_P \phi_t} \frac{1}{\sqrt{1 + i_{Fpar}} + 1} \\
 i_{Fpar} &= 1,25
 \end{aligned}
 \tag{4.2}$$

Con ese valor conocido, se calcula el factor de forma del par diferencial:

$$\begin{aligned}
 \left(\frac{W}{L}\right)_{par} &= \frac{I_{d_{par}}}{I_{SH_P} i_{F_{par}}} \\
 \Rightarrow \left(\frac{W}{L}\right)_{par} &= \frac{0,75 \mu A}{40 nA 1,25} \\
 \Rightarrow \left(\frac{W}{L}\right)_{par} &= 15
 \end{aligned} \tag{4.3}$$

Elegimos $L = 4 \mu m$ y por consiguiente $W = 60 \mu m$, el cual es dividido en 4 transistores iguales de $W/L = 15/4$ cada uno por las razones explicadas anteriormente.

A partir de la especificación de ancho de banda $GBW > 500$ kHz, se obtiene el valor del condensador de compensación mediante la siguiente ecuación:

$$\begin{aligned}
 GBW &= \frac{g_{m_{par}}}{4 \pi C_c} \\
 \Rightarrow C_c &< \frac{15 \mu S}{4 \pi 500k} \\
 \Rightarrow C_c &< 2,38 pF
 \end{aligned} \tag{4.4}$$

En el proceso de fabricación adoptado, la capacitancia por unidad de área de un capacitor del tipo CPOLY, es de $0,86 fA/\mu A^2$, por tanto un condensador de $50 \mu m \times 50 \mu m$ tiene $2,17 pF$, lo cual satisface el requerimiento (4.4).

Para los transistores de salida, se tiene en cuenta la relación:

$$\frac{g_{mout}}{2\pi C_L} = 3GBW \rightarrow g_{mout} = 471,23 \mu S$$

Como $g_{mout} = g_{moutp} + g_{moutn}$ entonces tanto el transistor MP21 y el MN18 deben tener transconductancias de aproximadamente $235 \mu S$. Por lo visto anteriormente en consideraciones de layout, este transistor debe estar formado por 8 transistores iguales al transistor MP15. Cada transistor de MP21 debe tener aproximadamente $30 \mu S$ de transconductancia. Aplicando la ecuación 2.18 podemos hallar las dimensiones de MP21 y MN18:

$$\left(\frac{W}{L}\right)_n = 1,06 \approx 1 \text{ y } \left(\frac{W}{L}\right)_p = 3$$

En consecuencia las dimensiones deben ser las mismas para MP21 y MP15, así como para el par de transistores MN18 y MN13.

Para la carga activa formada por los transistores MP2, MP3, MP4 y MP5 en configuración de espejo de corriente *wideswing*, aplicamos la ecuación 2.17 para un error menor a 1%, de la cual se obtiene un área total de casi $80\mu m^2$. Simulando este valor en los valores de $W = 20\mu m$ y $L = 4\mu m$, se pudo apreciar que era un área bastante extensa en comparación a los otros bloques. Estas dimensiones cumplían con las especificaciones iniciales de ruido y offset, por lo cual podía reducirse su tamaño. Calculando nuevamente la ecuación 2.17 se llega a la conclusión de que se puede reducir el área hasta $6\mu m^2$ sin salirse de las especificaciones requeridas.



Cuadro 4.1: Transistores tipo p del opamp con sus respectivas dimensiones y multiplicador

Transistor	W(um)	L(um)	Multiplicador
MP0	15	4	4
MP1	15	4	4
MP2	0.75	4	2
MP3	0.75	0.5	2
MP4	0.75	0.5	2
MP5	0.75	4	2
MP6	0.75	0.5	4
MP7	0.75	4	4
MP8	0.75	4	4
MP9	0.75	0.5	4
MP10	0.75	0.5	4
MP11	0.75	4	4
MP12	0.75	4	4
MP13	0.75	0.5	4
MP14	1	5	1
MP15	3	1	1
MP17	3	1	1
MP18	3	1	1
MP19	0.75	4	1
MP20	0.75	0.5	1
MP21	3	1	8
MP22	15	0.5	4

Cuadro 4.2: Transistores tipo n del opamp con sus respectivas dimensiones y multiplicador

Transistor	W(um)	L(um)	Multiplicador
MN0	0.5	4	4
MN1	0.5	4	4
MN2	0.5	0.5	2
MN3	0.5	0.5	2
MN4	0.5	4	4
MN5	0.5	0.5	4
MN6	0.5	4	1
MN7	0.5	0.5	2
MN8	0.5	4	2
MN9	0.5	4	2
MN10	0.5	0.5	2
MN11	0.5	0.5	2
MN12	0.5	4	2
MN13	1	1	1
MN14	1	1	1
MN15	1	1	1
MN16	0.5	0.5	1
MN17	0.5	4	1
MN18	1	1	8

4.2. Elaboración del *layout*

Con el fin de facilitar la elaboración del *layout*, se divide el opamp en sus bloques básicos: polarización, entrada diferencial y etapa de salida. En cada etapa, se agrupan algunos transistores con la finalidad de evitar fallas por *mismatch* y así evitar el offset y minimizar el error de copia en los transistores de los espejos de corriente, los cuales son susceptibles a fallas debido a gradientes de temperatura, como se mencionó en la sección de análisis de ruido. Al agrupar transistores directamente relacionados por espejos y también en el caso del par diferencial y los transistores de salida, se utiliza la técnica de centroide común, que consiste en colocar los transistores físicamente próximos y lo más cercanos posible, con un anillo de guarda en cada grupo para aislarlo del ruido y efectos de temperatura, así como hacer el *layout* lo más simétrico posible para minimizar los efectos de gradientes de temperatura.

Asimismo, las siguientes reglas de diseño ayudan a elaborar el layout:

- Surtidores del lado derecho del transistor
- Drenadores del lado izquierdo del transistor
- Rutas verticales con Metal1 y Metal3
- Rutas horizontales con Metal2 y Metal4
- Contactos de a dos, para minimizar la posibilidad de un contacto mal fabricado
- Transistores de un mismo centroide común lo más cercanos y simétricos posible.

4.2 Elaboración del layout

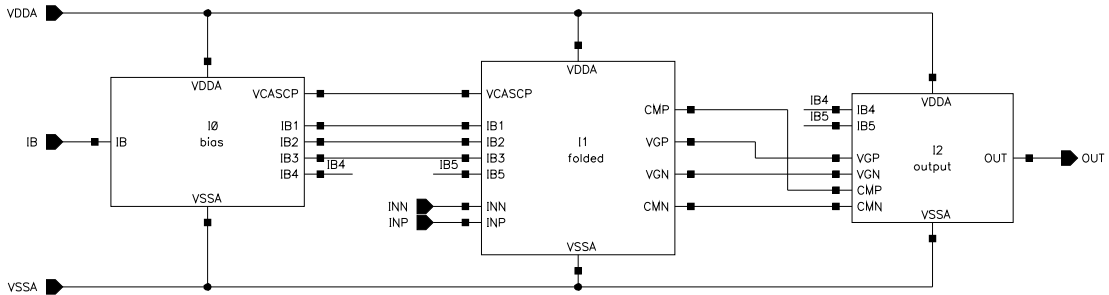


Figura 4.2: División en sub-bloques con el fin de facilitar la elaboración del layout

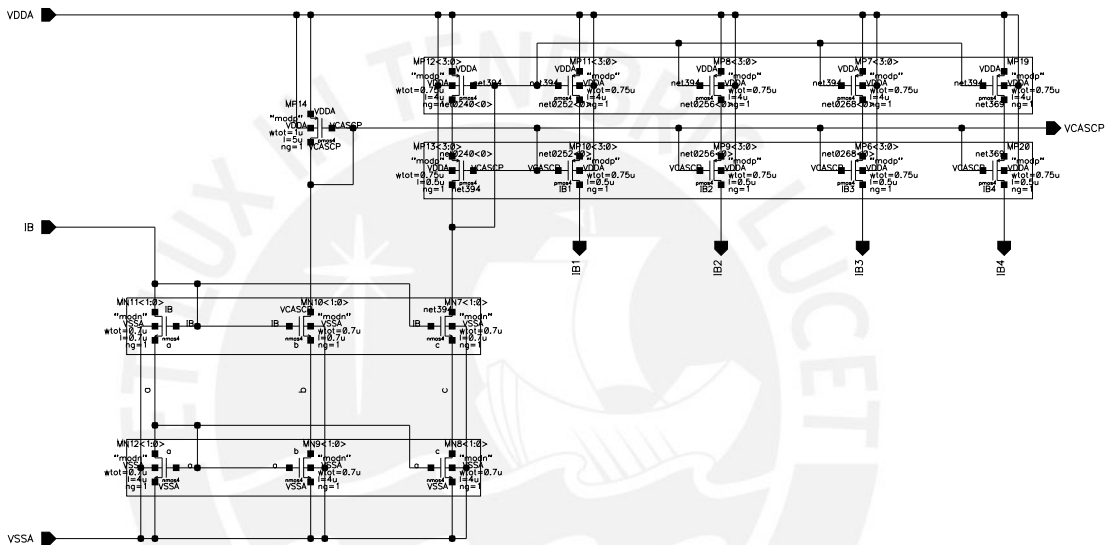


Figura 4.3: Bloque de polarización

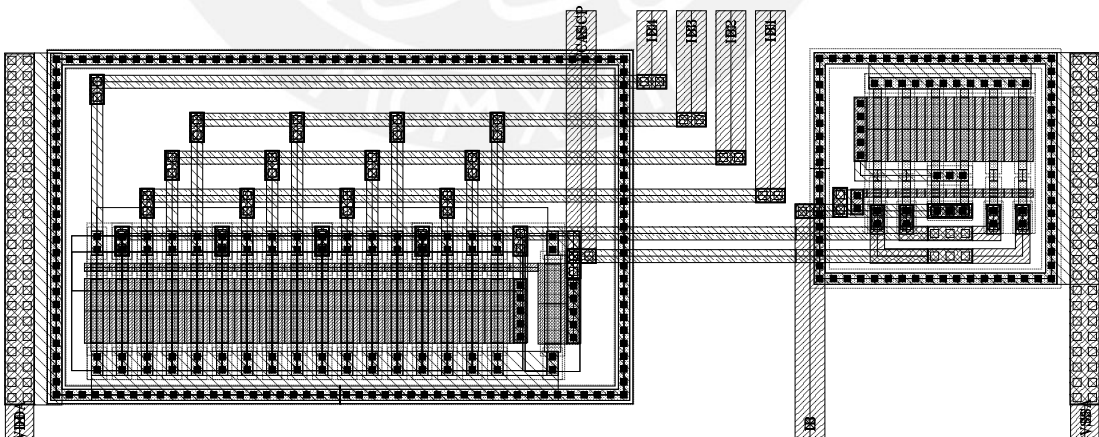


Figura 4.4: Layout del Bloque de polarización

El criterio para agrupar los transistores de la etapa de polarización es básicamente agrupar aquellos transistores por donde se tenga que copiar la misma corriente.

Los transistores de la entrada diferencial se agrupan para minimizar el *mismatch*.

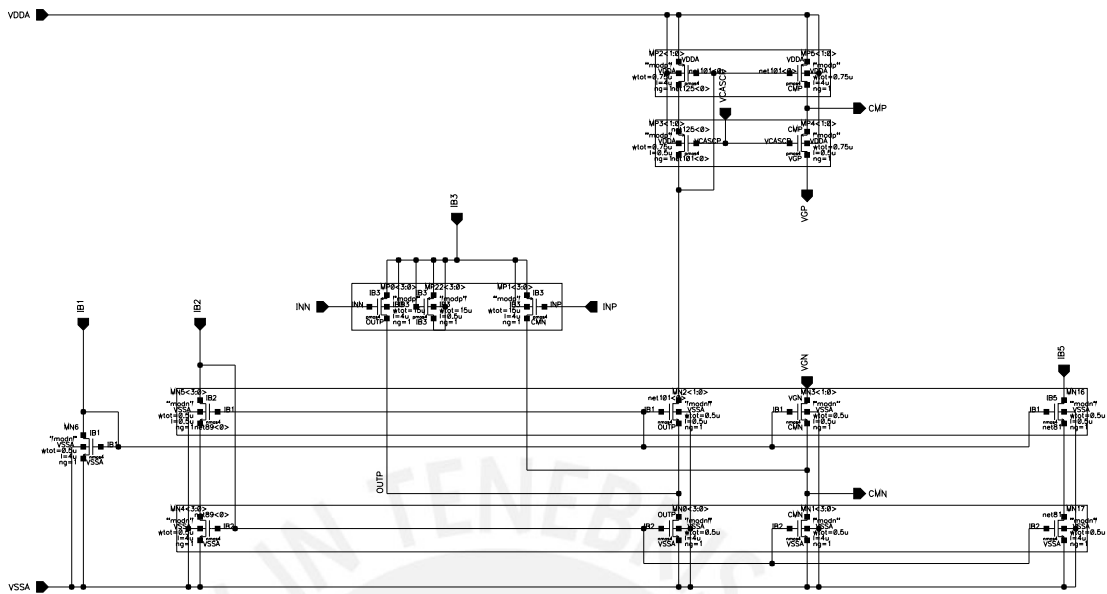


Figura 4.5: Bloque de entrada diferencial

Si nombramos los transistores de la entrada INN como "A" y la entrada INP como "B", la disposición para centroide común usada es ABBA y ABBA, en filas diferentes. El transistor MP22 se usa como *dummy* para atenuar los efectos del proceso de fabricación. El transistor MP22 se usa debido a que los transistores que se encuentran a los extremos en el *layout* Tienen diferentes condiciones por estar en el borde exterior.

Caso especial forman los transistores de la etapa de salida como se plantea en [2]. El transistor de salida MP18 debe estar muy cerca al transistor de polarización MP17 para minimizar mismatch. En este caso, el centroide común se forma rodeando a MP18 con MP17 formando un arreglo cuadrangular en el cual MP17 ocupa el centro y los transistores que forman MP18 se colocan en los alrededores.

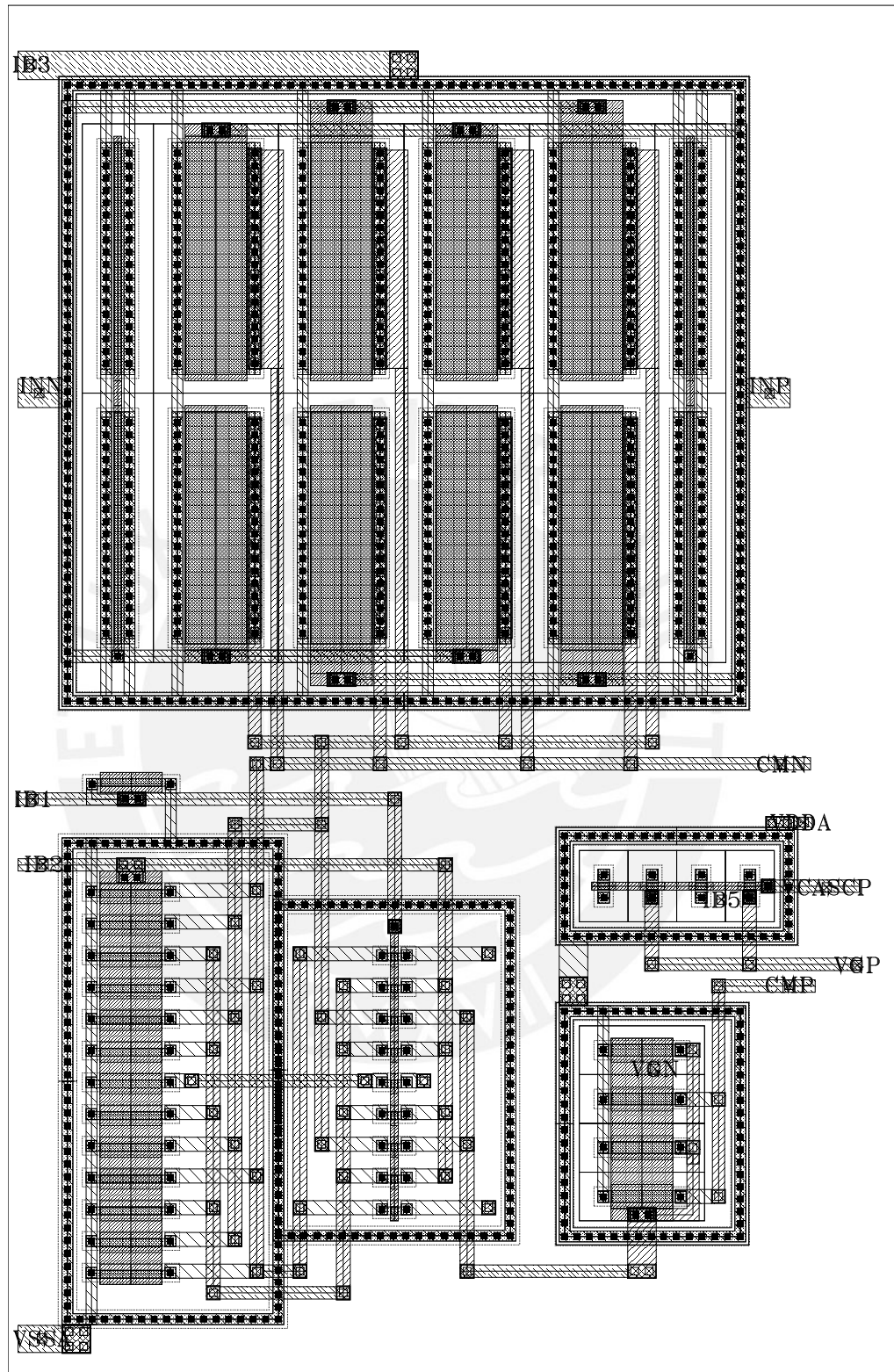


Figura 4.6: *Layout* del Bloque de amplificación

4.3. Resultados de Simulación

Al utilizar la herramienta CADENCE y cualquier otro CAD, debe utilizarse un *testbench* para poder realizar pruebas y simulaciones. Esto nos permite simular

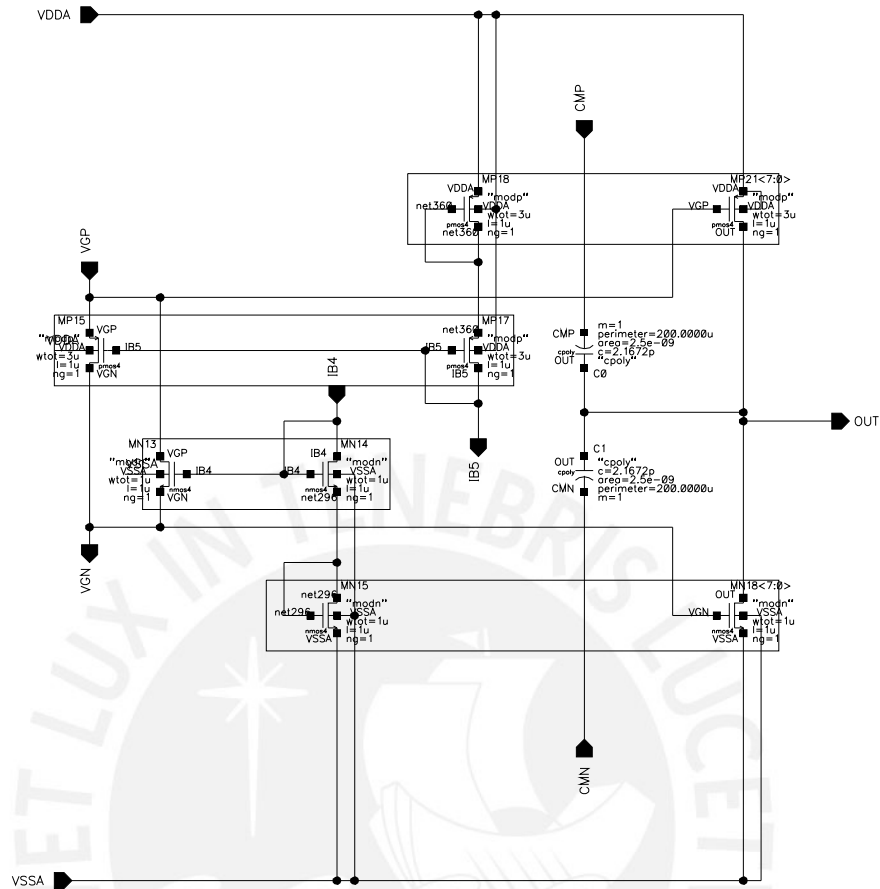


Figura 4.7: Bloque de salida

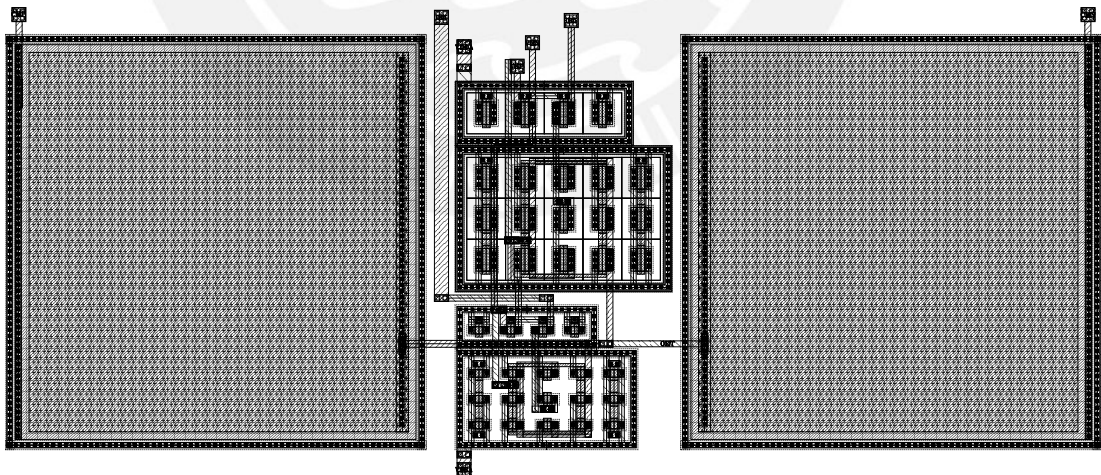


Figura 4.8: Layout del Bloque de salida

las variables necesarias y a la vez realizar simulaciones de AC, transitorios, ruido, etc.

Durante la fabricación, tanto la velocidad y la robustez de los transistores varían.

Para poder tomar esto en cuenta, los fabricantes proveen a los diseñadores de modelos para simular estas esquinas de proceso, las cuales son de ayuda para verificar la robustez del diseño. Las esquinas provistas con ams035 son:

- *cmosm* (*CMOS typical mode*): Valores típicos de transistor MOS.
- *cmoswp* (*CMOS worst case power*): Los transistores son más rápidos y consumen más potencia de lo normal.
- *cmosws* (*CMOS worst case speed*): Los transistores son más lentos y débiles que lo normal.
- *cmoswo* (*CMOS worst case one*): Los pmos son más lentos y los nmos más rápidos que lo normal.
- *cmoswz* (*CMOS worst case zero*): Los nmos son más lentos y los pmos más rápidos que lo normal.

Otro parámetro importante en el transistor MOS es la temperatura, a mayor temperatura, el transistor es más lento y a temperaturas razonablemente bajas, el transistor es más rápido. Se evaluaron las temperaturas de 0°C, 27°C y 70°C, variando el voltaje de alimentación entre 2.7V y 3.3V.

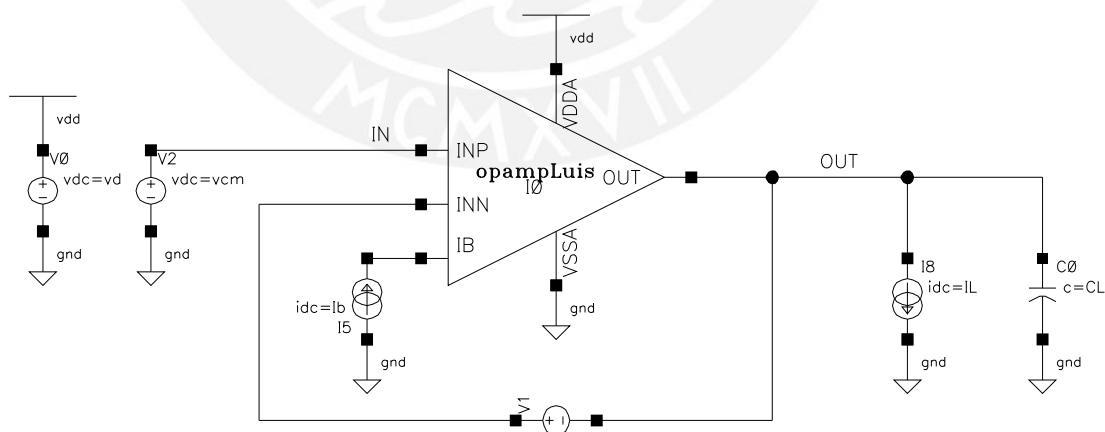


Figura 4.9: Testbench para simulación del *opamp*

El análisis Montecarlo para la variación del voltaje de *Offset* referido a la entrada por mismatch se muestra en la Figura 4.10. La media es $\mu = 370\mu V$, y la desviación estándar es de $\sigma = 3mV$. El 99% de los chips fabricados tendrá offset referido a la entrada menor a 3mV.

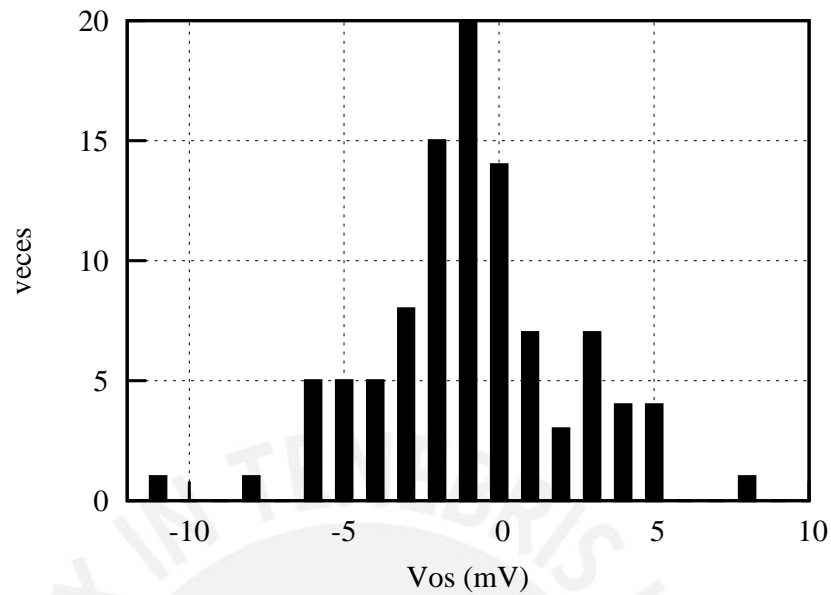


Figura 4.10: Offset Referido a la entrada ($\mu = 370\mu V$, $\sigma = 3mV$)

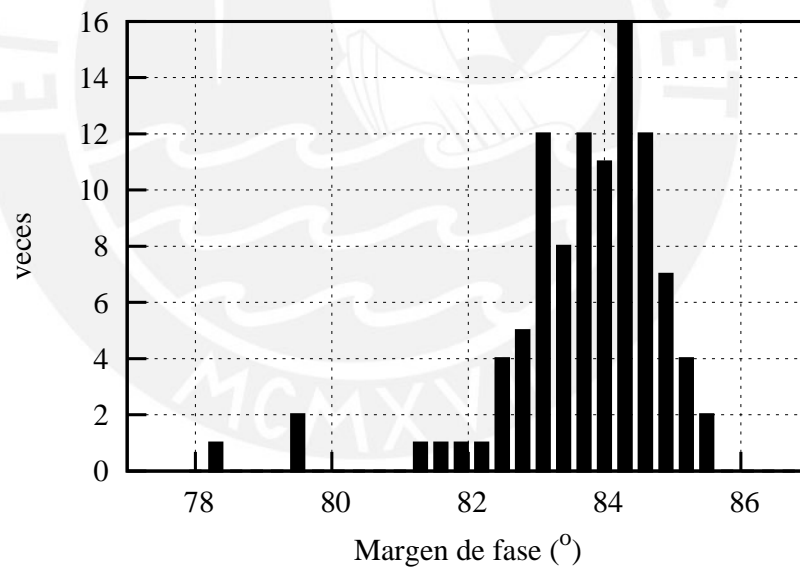


Figura 4.11: Margen de Fase ($\mu = 84^\circ$, $\sigma = 1,16^\circ$)

Los resultados del análisis Montecarlo para el margen de fase evidencian que, simulando variaciones de mismatch, la media del margen de fase es de 84° con una desviación estándar de 1.16° . Esto cumple con la especificación inicial de margen de fase mayor que 70° , en todos los casos.

El menor valor de margen de fase fue 58.46° en el modelo worst case one con temperatura $70^\circ C$ y con VDD $2.7V$. El valor en condiciones típicas fue de 83.56° ,

Cuadro 4.3: Valores de simulación de Margen de Fase

Margen de fase(Grados)	T=0°C		T=27°C		T=70°C	
	VDD		VDD		VDD	
	2.7	3.3	2.7	3.3	2.7	3.3
tm	83.54	83.76	83.35	83.56	82.41	82.65
ws	83.29	83.5	83.11	83.32	82.38	82.6
wp	82.94	83.2	80.44	80.87	62.78	63.62
wo	81.78	82.08	75.37	75.97	58.46	58.95
wz	83.41	83.67	83.04	83.3	76.22	76.83

dentro de especificaciones.



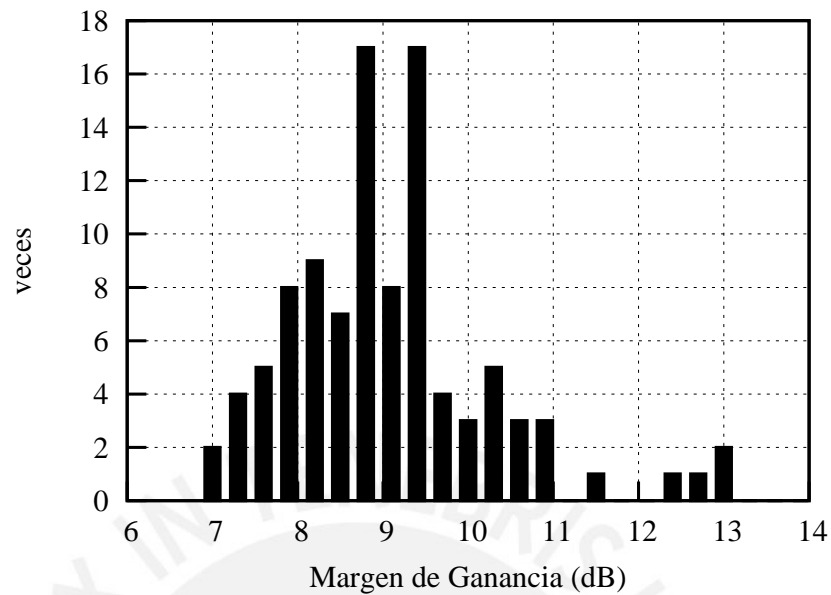


Figura 4.12: Margen de Ganancia ($\mu = 9,2dB$, $\sigma = 1,2dB$)

En la imagen 4.12 se muestra la simulación de Montecarlo para margen de ganancia. La media es de $\mu = 9,2dB$ y la desviación estándar de $\sigma = 1,2dB$. Esto concuerda con los criterios de estabilidad en sistemas de control, ya que el margen de ganancia mostrado es positivo y mayor a 6dB.

Cuadro 4.4: Valores de simulación de Margen de Ganancia

Margen de ganancia(dB)	T=0°C		T=27°C		T=70°C	
	VDD		VDD		VDD	
	2.7	3.3	2.7	3.3	2.7	3.3
tm	8.39	8.45	8.49	8.54	9.62	9.64
ws	7.55	7.49	7.53	7.55	8.3	8.38
wp	10.53	10.55	12.96	12.93	18.83	18.94
wo	10.53	10.57	14.64	14.71	17.87	18.03
wz	8.59	8.58	8.92	8.9	15.03	14.96

El menor valor de margen de ganancia fue 7.49dB en el modelo worst case speed con temperatura de 0°C y con VDD 3.3V. El valor en condiciones típicas fue de 8.54dB.

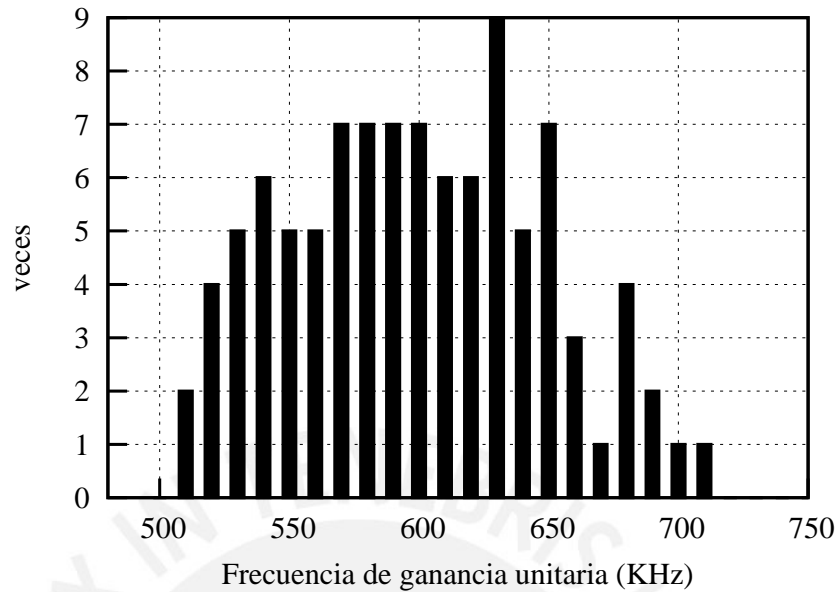


Figura 4.13: Frecuencia de ganancia unitaria ($\mu = 604KHz$, $\sigma = 48KHz$)

La frecuencia de ganancia unitaria o producto de ganancia por ancho de banda tiene como media 604kHz y desviación estándar de 48kHz.

Cuadro 4.5: Valores de simulación de Producto de Ganancia por Ancho de Banda

Producto de ganancia por ancho de banda(kHz)	T=0°C		T=27°C		T=70°C	
	VDD		VDD		VDD	
	2.7	3.3	2.7	3.3	2.7	3.3
tm	691.5	691.9	658.6	658.7	608.4	608.4
ws	657.9	666	629	633.5	583.5	585.3
wp	726.7	726.9	690.1	690.5	582.1	585.9
wo	668.8	673.9	629.6	633.3	520.3	523.6
wz	717.9	717.8	683.8	683.6	616.1	617.4

El menor valor de frecuencia unitaria fue 520.3kHz en el modelo worst case one con temperatura 70°C y con VDD 2.7V. El valor en condiciones típicas fue de 658.7kHz, dentro de especificaciones técnicas en ambos casos.

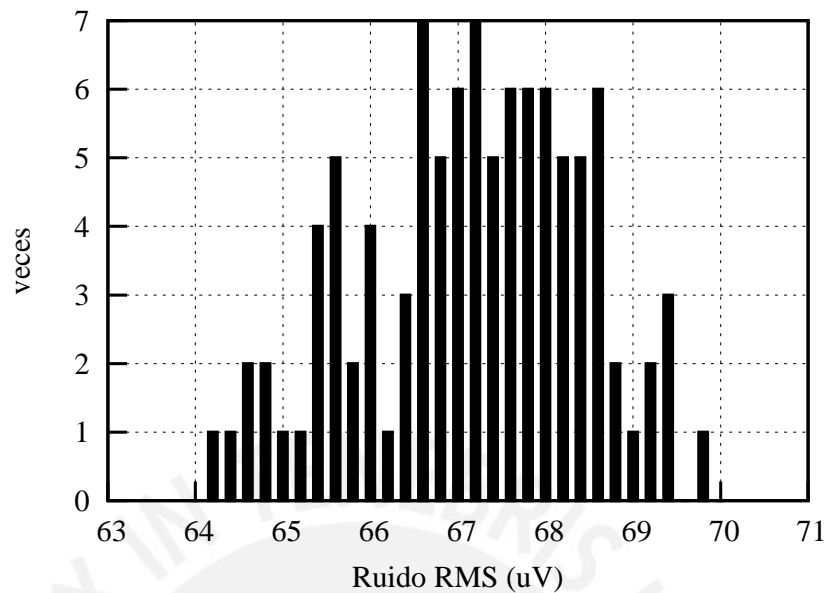


Figura 4.14: Ruido RMS ($\mu = 67\mu V$, $\sigma = 1,27\mu V$)

El análisis de Montecarlo para variaciones por *mismatch* en ruido RMS arroja una media de $\mu = 67\mu V$ y desviación estándar de $\sigma = 1,27\mu V$. Se cumple la especificación de ruido, puesto que en 99 % de los casos el ruido será menor que $67\mu V$.

Cuadro 4.6: Valores de simulación de Ruido RMS

Ruido RMS(uV)	T=0°C		T=27°C		T=70°C	
	VDD		VDD		VDD	
	2.7	3.3	2.7	3.3	2.7	3.3
tm	62.1	61.97	67.13	66.99	75.74	75.57
ws	65.2	64.63	70.62	70.19	79.96	79.43
wp	59.78	59.67	64.91	64.74	77.49	77.12
wo	64.65	64.22	71.5	71.07	85.63	85.36
wz	60.09	59.96	65.08	64.94	75.4	75.04

El mayor valor de ruido se da en el modelo cmoswo, con $85,36\mu V$ en una banda de 0 a 1kHz. El valor en condiciones típicas fue de $66,99\mu V$.

Cuadro 4.7: Valores de simulación de Corriente *quiescent*

Corriente estática o quiescent(uA)	T=0°C		T=27°C		T=70°C	
	VDD		VDD		VDD	
	2.7	3.3	2.7	3.3	2.7	3.3
tm	3.135	3.250	3.148	3.256	3.166	3.266
ws	3.039	3.165	3.062	3.172	3.089	3.182
wp	3.285	3.428	3.297	3.433	3.318	3.445
wo	3.145	3.268	3.164	3.273	3.193	3.287
wz	3.182	3.322	3.195	3.329	3.215	3.339

Los peores casos de corriente *quiescent* se observan al simular el modelo cmoswp, con temperatura de 70°C.

Cuadro 4.8: Valores de simulación de Ganancia DC

Ganancia DC(dB)	T=0°C		T=27°C		T=70°C	
	VDD		VDD		VDD	
	2.7	3.3	2.7	3.3	2.7	3.3
tm	116.3	116.4	115.9	115.9	114.9	115
ws	116	116.1	115.6	115.7	114.9	114.9
wp	115.5	115.8	111.6	112.5	97.17	98.29
wo	114.6	115	108	109	95.73	96.74
wz	116.7	116.7	116.2	116.3	113.7	114.1

Las ganancias DC más bajas se observan a 70°C en el modelo cmoswo, debido a que este modelo afecta a los transistores que fijan los valores de ganancia en las diferentes etapas del opamp.

Cuadro 4.9: Valores de simulación de Frecuencia a 180°

Frecuencia a 180°(MHz)	T=0°C		T=27°C		T=70°C	
	VDD		VDD		VDD	
	2.7	3.3	2.7	3.3	2.7	3.3
tm	3.86	3.95	3.64	3.72	3.31	3.38
ws	3.45	3.53	3.25	3.32	2.97	3.02
wp	4.33	4.43	3.94	4.04	2.68	2.75
wo	3.62	3.7	3.11	3.19	2.11	2.15
wz	4.04	4.14	3.81	3.89	3.34	3.42

La frecuencia de 180°, similar al caso de la frecuencia unitaria, se da al simular el modelo cmoswo a 70°C.

Cuadro 4.10: Valores de simulación de Consumo total de corriente

Corriente total(μA)	T=0°C		T=27°C		T=70°C	
	VDD		VDD		VDD	
	2.7	3.3	2.7	3.3	2.7	3.3
tm	12.89	13.01	12.9	13.01	12.92	13.02
ws	12.79	12.92	12.81	12.93	12.84	12.94
wp	13.04	13.19	13.06	13.2	13.07	13.21
wo	12.9	13.03	12.92	13.03	12.94	13.04
wz	12.94	13.08	12.95	13.09	12.97	13.1

Como era de esperarse, el mayor consumo de corriente se da al simular el modelo cmoswp, a 3.3V y con temperatura de 70°C.

4.4. Simulación con señales de Electrocardiograma

Con el objetivo de evaluar el desempeño del amplificador en un canal de adquisición de ECG, se realizó la simulación transitoria del filtrado y amplificación de una señal de ECG. El filtrado es realizado por el filtro de segundo orden presentado como tema de tesis el año 2010 [15]. La amplificación es realizada mediante el amplificador operacional desarrollado en la presente tesis. Como se muestra en la Figura 4.15, el *opamp* fue configurado como no inversor con ganancia 5.

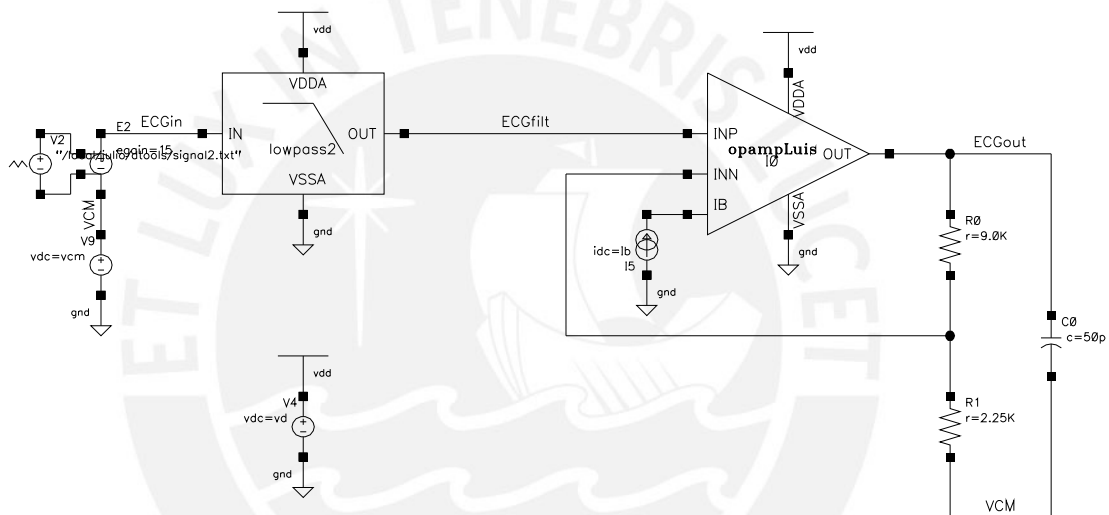


Figura 4.15: Testbench para simulación de un canal de filtrado y amplificación de ECG

Como se muestra en la Figura 4.16 la salida llega a valores cercanos a VDD sin distorsionar la señal.

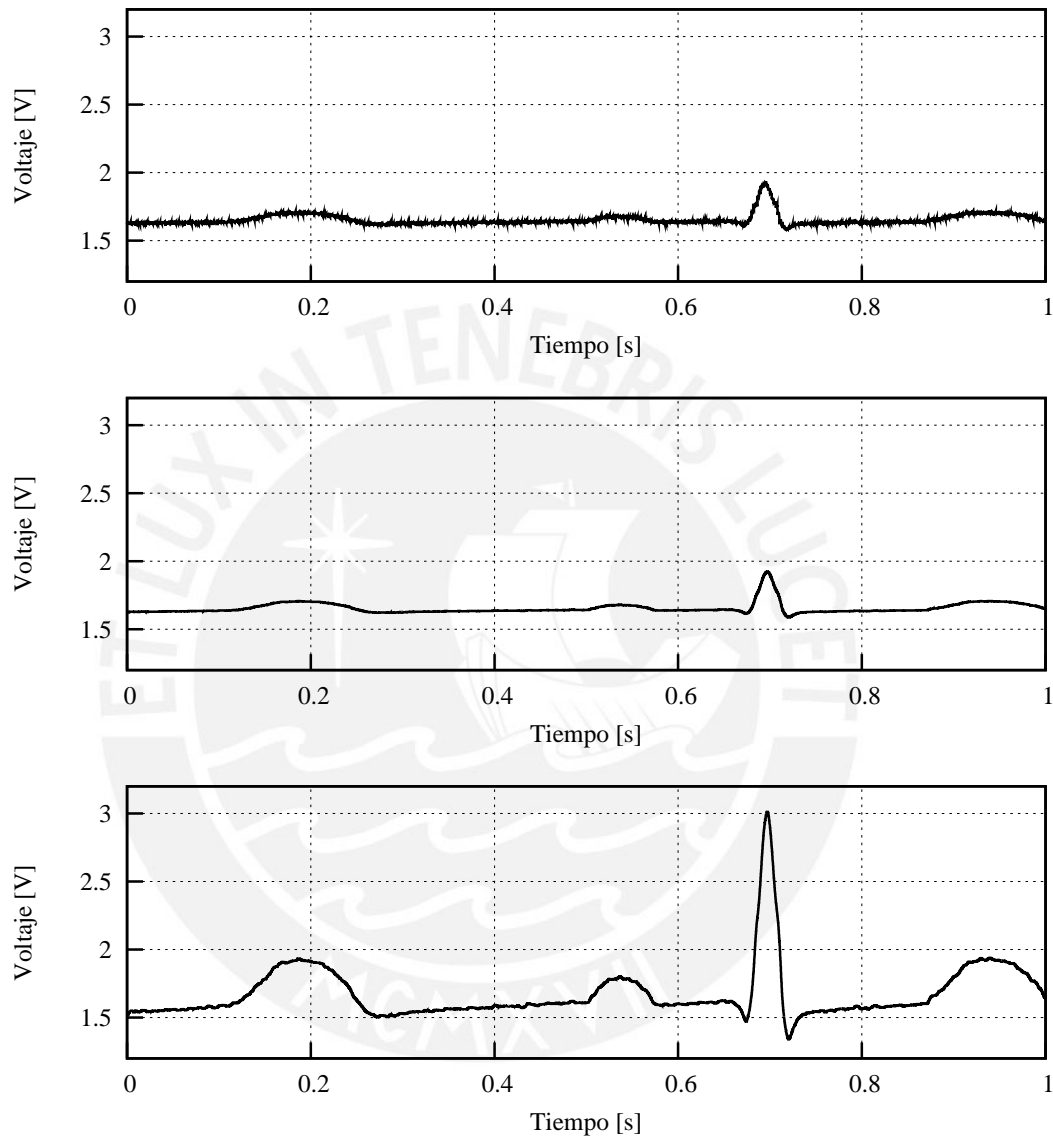


Figura 4.16: Señal ECG ruidosa de entrada, señal filtrada y señal amplificada por el *opamp*

En la Figura 4.17 se muestra la corriente entregada por el *opamp* durante la amplificación. Esta corriente depende de los valores de resistencias escogidos para establecer la ganancia de 5. En este lado, la corriente llega a $120\mu A$, lo cual demuestra la capacidad de entregar corriente a pesar del consumo en reposo de $13\mu A$.

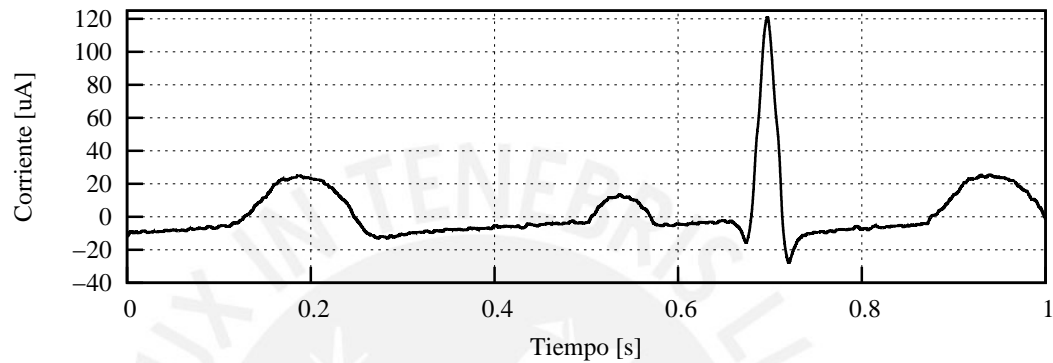


Figura 4.17: Corriente entregada por el *opamp* durante la amplificación de ECG

Cuadro 4.11: Tabla especificaciones y resultados de simulación

Parámetro	Especificación	Resultado de simulación
Ancho de Banda	$> 500kHz$	$658,7kHz$
Margen de Fase	$> 70^\circ$	$83,56^\circ$
Ganancia	$> 90dB$	$115,9dB$
Ruido referido a la entrada	$< 100\mu V$	$66,99\mu V$
Offset referido a la entrada (3σ)	$< 10mV$	$9mV$
Consumo de corriente total	$< 20\mu A$	$13,01\mu A$
Margen de Ganancia	$> 6dB$	$8,544dB$

En la tabla 4.12 se muestran resultados de trabajos similares reportados en referencias consultadas. Con fines de comparación se presentan también parámetros del *opamp* diseñado para esta tesis. El factor *FoM* es una figura de mérito que permite evaluar el compromiso entre frecuencia, potencia y capacitancia de carga.

Cuadro 4.12: Comparación con trabajos anteriores

Referencia	Clase	Tecnología μm	CL (pF)	GBW (MHz)	PM (grados)	Potencia (mW)	VDD (V)	Ganancia (dB)	FoMs (MHz.pF/mW)
[23]	A/B	0.35	500	1.4	75	0.225	1.5	113	3111
[24]	A/B	0.5	50	12	N/A	1.050	1.5	14	571
[25]	A/B	0.25	4	165	65	5.8	1.2	68.5	114
[26]	A/B	0.35	5	7.3	44	0.123	0.8	99	297
[27]	A	0.18	1.75	160	N/A	0.362	1.8	74	772
[28]	A/B	0.5	25	11	N/A	0.06	2	45	4853
[29]	A	0.18	25	134.2	70.6	1.44	1.8	60.9	522
[11]	A	0.13	5.6	319	60.5	0.654	1.2	84	1951
Presente Tesis	A/B	0.35	50	0.658	83.56	0.043	3.3	115.9	765

4.5. Análisis y discusión de resultados

- El uso del modelo ACM es de gran ayuda para obtener cálculos manuales precisos y simples de realizar, en comparación con el modelo clásico *Level 1* del transistor MOS.
- Se deben considerar los parámetros limitantes en un *opamp* de aplicación específica. En este caso fueron el ancho de banda, el consumo de corriente y la carga capacitiva a la salida.
- En adición al ancho de banda y consumo de corriente, otros parámetros de desempeño del circuito como ruido y offset son también importantes. Estos influyen mutuamente con los otros parámetros, haciendo más desafiante la tarea de diseño.
- El análisis de esquinas es importante para realizar un diseño robusto a la hora de considerar parámetros aleatorios como variaciones de proceso de fabricación y *mismatch*.
- La entrada y salida riel a riel es muy importante si se quiere tener señales cercanas a los rieles de alimentación, como por ejemplo, las señales de ECG.
- Si se dan casos en que una especificación de diseño es ampliamente superado por los resultados, como el caso del error de copia en los espejos, se puede aprovechar para reducir el área necesaria y así reducir la disipación de calor.
- Los resultados obtenidos permiten a este diseño compararse con trabajos recientes en el área de diseño analógico.

Conclusiones

- Se diseñó un amplificador operacional CMOS con etapa de salida *rail to rail* y con control de corriente de reposo tipo AB.
- El procedimiento de diseño estuvo basado en el modelo ACM del transistor MOSFET, lo cual permitió explorar con mayor amplitud el espacio de diseño. Esto representa una gran ventaja en relación a procedimientos de diseño basados en modelos regionales (válidos en determinados niveles de inversión), en los cuales se puede explorar un rango limitado de combinaciones de parámetros de diseño, pues se asume que los dispositivos operarán con un determinado nivel de inversión. En el procedimiento propuesto en esta tesis, el nivel de inversión no es asumido *a priori*, y sí es determinado a partir de las especificaciones.
- Mediante simulación se comprobó que el circuito cumple con las especificaciones propuestas, es decir, posee un ancho de banda mayor a 500 KHz, ruido rms referido a la entrada menor a $100 \mu\text{V}$, desviación estándar del *offset* referido a la entrada menor a 3,5 mV, consumo de corriente menor a $20 \mu\text{A}$, margen de fase mayor a 75° .
- Los resultados de simulación transitoria comprueban que el *opamp* puede manejar cargas externas capacitivas de hasta 50pF amplificando señales de ECG y entregando una corriente de hasta $120\mu\text{A}$ consumiendo $13\mu\text{A}$ de corriente de reposo.
- Se presentó una demostración analítica, basada en el modelo matemático ACM, de la condición necesaria para eliminar componentes no lineales de segundo orden en la etapa de salida. La relevancia de este aporte radica en el uso de un modelo (ACM) del transistor que es válido en todos los niveles de inversión, en contraste con la demostración clásica que usa modelos regionales
- El análisis matemático de las etapas del *opamp* por separado permite considerar variables aleatorias como las variaciones de los parámetros de los

transistores por variaciones de proceso y en una misma oblea de silicio así como el *mismatch*.

- Se debe tomar en cuenta las limitaciones impuestas por el *layout* del circuito en conjunto con el diseño electrónico del mismo. Algunos factores del diseño electrónico deben tenerse en cuenta para tener simetría en el *layout* del circuito.
- Durante el proceso de cálculo de parámetros de diseño, se tuvo en cuenta la disposición final de los transistores en el *layout* del circuito. Esa consideración, que normalmente es dejada como parte de la tarea de elaboración del *layout*, evitó realizar re-simulaciones.



Recomendaciones

- Si el circuito es utilizado dentro de un circuito integrado de señal mixta, se recomienda separar las partes analógica y digital para evitar el ruido de conmutación de los transistores de la parte digital, y colocar un anillo de guarda a toda la parte analógica. Las pistas de metal que lleguen a las entradas o a la salida del *opamp* deben estar protegidas en una estructura tipo *shielding* [30].
- Para la integración del *opamp*, es necesario agregar PADs que posean estructuras de protección contra eventos ESD (*Electro Static Discharge*).
- Para realizar las medidas experimentales es necesario que las puntas de osciloscopio tengan una capacitancia menor de 50pF, mientras que la tensión de alimentación no debe ser menor a 2.7V.
- Para dar continuidad a este trabajo y a trabajos de tesis anteriores, se recomienda proponer tesis sobre etapa de entrada *rail to rail*, fuente de referencia de voltaje, regulador de voltaje, amplificador de instrumentación con esquema *chopper*, estructuras digitales para calibración automática, conversores análogo-digital y conversores DC-DC.
- Es importante tener en cuenta el propósito de cada amplificador operacional si se quiere compararlo con otros trabajos. Hacer una comparación de todos los parámetros se torna ambiguo si no se distinguen ciertos parámetros muy importantes como el consumo de corriente y ancho de banda.

Referencias

- [1] TSIVIDIS, Y. *Operation and Modeling of THE MOS Transistor*. 2. ed. Oxford New York: Oxford University Press, 1999.
- [2] HOGERVORST, R.; HUIJSING, J. H. *Design of low-voltage, low-power operational amplifiers*. The Netherlands: Kluwer Academic Publisher, 2000.
- [3] YAVARI, M. Single-stage class AB operational amplifier for SC circuits. *Electronics Letters*, v. 46, n. 14, p. 1295–1296, jul. 2010.
- [4] TSAI, C.-H.; HSIEH, Z.-H.; FANG, W.-C. A low-power low-noise cmos analog front-end ic for portable brain-heart monitoring applications. In: *Life Science Systems and Applications Workshop (LiSSA), 2011 IEEE/NIH*. [S.l.: s.n.], 2011. p. 43 –46.
- [5] CHANDRAKASAN, N. V. A. P.; DALY, D. C. Ultralow Power Electronics for Biomedical Applications. *Annual Review of Biomedical Engineering*, n. 10, p. 247–274, 2008.
- [6] YEN, C.-J.; CHUNG, W.-Y.; CHI, M. C. Micro-power low-offset instrumentation amplifier ic design for biomedical system applications. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, v. 51, n. 4, p. 691 – 699, april 2004. ISSN 1549-8328.
- [7] MARTINS, R.; SELBERHERR, S.; VAZ, F. A cmos ic for portable eeg acquisition systems. *Instrumentation and Measurement, IEEE Transactions on*, v. 47, n. 5, p. 1191 –1196, oct 1998. ISSN 0018-9456.
- [8] ABÄCHERLI, R. et al. Electrocardiogram on a chip: overview and first experiences of an electrocardiogram manufacturer of medium size. *Journal of Electrocardiology* 39, v. 39, oct. 2006.
- [9] HSU, C.-M.; WANG, W.-S.; LUO, C. H. The power-efficient biomedical acquisition system by variable-resolution sigma-delta modulator. In: *Engineering in Medicine and Biology Society, 2007. EMBS 2007. 29th Annual International Conference of the IEEE*. [S.l.: s.n.], 2007. p. 3152 –3155. ISSN 1557-170X.
- [10] RASHID, A. G. M.; FURTH, P. Adaptive biasing technique to convert pseudo-class AB amplifier to class AB. *Electronics Letters*, v. 46, n. 12, p. 1295–1296, jun. 2010.

- [11] FIGUEIREDO, M. et al. Two-Stage Fully-Differential Inverter-based Self-biased CMOS Amplifier with High Efficiency. In: *Proc. IEEE Int. Symp. Circuits and Systems (ISCAS2010)*. [S.l.: s.n.], 2010. p. 2828–2831.
- [12] GANGOPADHYAY, T. B. D. A 2.3 GHz gm-boosted High Swing Class-AB Ultra-Wide Bandwidth Operational Amplifier in 0.18 μ m CMOS. In: *Proc. IEEE Int. Symp. Circuits and Systems (ISCAS2010)*. [S.l.: s.n.], 2010. p. 2828–2831.
- [13] GALUP-MONTORO, C.; SCHNEIDER, M. C. *Mosfet Modeling for Circuit Analysis and Design*. Singapore: World Scientific Publishing Co. Pte. Ltd., 2007.
- [14] SCHNEIDER, M. C.; GALUP-MONTORO, C. *CMOS Analog Design Using All-Region Mosfet Modeling*. 1. ed. Cambridge: Cambridge University Press, 2010.
- [15] VARELA, F. Diseño en CMOS de un filtro pasa-bajo con frecuencia de corte de 150Hz para la adquisición de señales de electrocardiograma . In: *Tesis de Pregrado en Ingeniería Electrónica. Pontificia Universidad Católica del Perú*. [S.l.: s.n.], 2010. p. 1–59.
- [16] MAHER, M. A.; MEAD, C. A. A physical charge-controlled model for mos transistors. *Advanced Research in VLSI*, MIT Press. Cambridge, MA, v. 43, n. 3, p. 481–485, sep. 1987.
- [17] SALDAÑA-PUMARICA, J. C. *Projeto de modelos neurais em CMOS*. Dissertação (Mestrado) — Escola Politécnica da Universidade do Sao Paulo, Sao Paulo, 2010.
- [18] CUNHA, A. I. A.; SCHNEIDER, M. C.; GALUP-MONTORO, C. An explicit physical model for the long-channel mos transistor including small signal parameters. *Solid-State Electronics*, Great Britain, v. 38, n. 11, p. 1945–1952, nov. 1995.
- [19] MONTICELLI, D. M. A Quad CMOS Single-Supply Op Amp with Rail-to-Rail Output Swing. *IEEE J. Solid-State Circuits*, v. 21, p. 1026–1034, dez. 1986.
- [20] RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. 1. ed. New York, NY: McGraw-Hill, 2001.
- [21] CHAN, P. K.; NG, L. S. L. S.; LAU, K. T. Designing CMOS folded-cascode operational amplifier with flicker noise minimisation. *Elsevier Microelectronics Journal*, Amsterdam, v. 32, n. 1, p. 69–73, jan. 2001.
- [22] MALOBERTI, F. *Analog Design for CMOS VLSI Systems*. Netherlands: Kluwer Academic Publishers, 2001.

- [23] GRASSO, A. D.; PALUMBO, G.; PENNISI, S. Three-Stage CMOS OTA for Large Capacitive Loads With Efficient Frequency Compensation Scheme. In: *IEEE TCAS-II, Vol. 53*. [S.l.: s.n.], 2006. p. 1044–1048.
- [24] RAMÍREZ-ANGULO, J. et al. New Low-Voltage Class AB/AB CMOS Opamp With Rail-to-Rail Input/Output Swing. In: *IEEE TCAS-II, Vol. 53*. [S.l.: s.n.], 2006. p. 289–293.
- [25] YAVARI, M.; SHOAELI, O. Very Low-Voltage, Low-Power and Fast- Settling OTA for Switched-Capacitor Applications. In: *ICM*. [S.l.: s.n.], 2002. p. 10–13.
- [26] LAYTON, K. D.; COMER, D. T.; COMER, D. J. Bulk-Driven Gain- Enhanced Fully-Differential Amplifier for V_T+2V_{dsat} Operation. In: *IEEE ISCAS*. [S.l.: s.n.], 2008. p. 77–80.
- [27] PEREZ, A. et al. Slew-rate and gain enhancement in two stage operational amplifiers. In: *IEEE ISCAS*. [S.l.: s.n.], 2009. p. 2485–2488.
- [28] RAMÍREZ-ANGULO, J. et al. A Free But Efficient Low-Voltage Class-AB Two-Stage Operational Amplifier. In: *IEEE TCAS-II, Vol. 53*. [S.l.: s.n.], 2006. p. 567–571.
- [29] ASSAAD, R.; SILVA-MARTINEZ, J. The Recycling Folded Cascode: A General Enhancement of the Folded Cascode Amplifier. In: *IEEE JSSC vol. 44*. [S.l.: s.n.], 2009. p. 2535–2542.
- [30] HASTINGS, A. *The Art of ANALOG LAYOUT*. 1. ed. Upper Saddle River, New Jersey 07458: Prentice Hall, 2001.