

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ

FACULTAD DE CIENCIAS E INGENIERÍA



PONTIFICIA
UNIVERSIDAD
CATÓLICA
DEL PERÚ

DISEÑO DE UN AMPLIFICADOR DE SEÑALES NEURONALES DE
BAJO RUIDO Y BAJO CONSUMO DE POTENCIA

Tesis para optar el Título de **Ingeniero Electrónico**, que presenta el bachiller:

Sammy Cerida Rengifo

ASESORES: Manuel Monge Osorio
Erick Raygada Vargas

Lima, Junio de 2014

Resumen

El presente trabajo de tesis consiste en el diseño de un circuito amplificador para ser utilizado en un sistema de adquisición de señales neuronales. La topología del diseño se basó en un amplificador cascado plegado completamente diferencial (*fully-differential folded-cascode*, FDFC) adaptado a una topología de reciclaje (*recycling* [6]) en la cual se reutilizan corrientes que normalmente no se utilizan en la topología convencional.

Los requerimientos más importantes para este diseño son su baja potencia y pequeña área debido al tipo de aplicación al que está enfocado este trabajo. El bajo ruido referido a la entrada también es un parámetro crítico ya que el rango de voltaje de las señales neuronales pueden tener amplitudes tan pequeñas como $1\mu V$.

La tecnología en que se realizó el diseño es $AMS0,35\mu m$ en el *software* CADENCE el cual utiliza el simulador SPECTRE empleando el modelo BSIM3V3. Asimismo, se validó el buen funcionamiento del circuito mediante las simulaciones correspondientes de circuitos de bancos de pruebas (*testbench*). Los resultados destacables del amplificador son su ruido referido a la entrada de $1,59\mu V$, potencia de $105,98\mu W$ para una alimentación de $3,3V$, una ganancia de lazo abierto de $113,7dB$, ganancia de lazo cerrado de $45,5dB$ y un ancho de banda de $7,512kHz$. El área total del circuito amplificador es $0,122mm^2$.

A mi madre Betsy, por su cariño incondicional y a mi padre Américo, por ser siempre un ejemplo a seguir, porque sin ellos no hubiera sido posible alcanzar mis metas.

A mi abuela Rosa y a mis padrinos César y Chany, quienes siempre me brindan todo su apoyo y están conmigo en los momentos más importantes.

A mi hermana Meli, con quién puedo contar para todo, y mis tíos Ricardo y Pedro, por su constante ayuda y consejos.

A mi sensei Kiei Gibo, por enseñarme tantas valiosas lecciones, a esforzarme por las cosas que valen la pena y que apesar de cualquier problema siempre es posible volver a levantarse y seguir para adelante.

A mis asesores Manuel Monge y Erick Raygada, por estar siempre dispuestos a ayudarme y depositar su confianza en mí.

Al Grupo de Microelectrónica (GuE) y al Dr. Carlos Silva por todo su apoyo.

A Eduardo Bejar, Guillermo Garayar, Edward Mitacc, Luis Rodriguez Mecca, Henry Block, José Quenta, Christopher Villegas, Julio César Saldaña, Andrés Jacoby, Gonzalo Parra, Niels Prieto y demás compañeros del Grupo de Microelectrónica, por toda la ayuda y enseñanzas brindadas.

A Jorge Rojas, Stefano Sosa, Gabriela Mamani, Mario Valega, Héctor Flores, Alejandro Rey, Mayra Arauco, Fernando Valdez, Mayra Palomino, Luis Oliveros, Alonso Argüelles, Germán Pacheco; por entregarme su amistad durante tantos años y compartir momentos únicos conmigo.

¡Gracias!

Índice general

Resumen	I
Introducción	VIII
1. Importancia del Estudio de Señales Neuronales	1
1.1. Las Neuronas y las Señales Neuronales	1
1.2. Tipos de Señales Neuronales y sus características	2
1.2.1. Tipos de Electrogramas	3
1.3. Investigación de Señales Neuronales	4
1.3.1. Proyecto del Cerebro Humano (Human Brain Project, HBP) [3]	5
1.3.2. El programa DARPA SyNAPSE (DARPA SyNAPSE Program) [2]	5
1.3.3. La iniciativa BRAIN (The BRAIN Initiative) [5] [4] [1]	6
1.4. Discusión	7
2. Sistema de Adquisición de Señales Neuronales	8
2.1. Requerimientos del amplificador	8
2.2. Desafíos en el diseño de amplificadores neuronales	11
2.3. Estado del arte en amplificador de señales neuronales	12
2.3.1. Cascodo plegado completamente diferencial (<i>Fully-differential Folded-cascade</i> , FDPC)	12
2.3.2. Estructura OTA parcialmente compartida (<i>Partial OTA sharing structure</i>)	12
2.3.3. Amplificador de lazo abierto (<i>Open-loop Amplifier</i>)	14
2.3.4. Amplificador cascodo plegado de reciclaje (<i>Recycling Folded-cascade Ampli-</i> <i>fier, RFC</i>)	16
2.4. Elección de la topología	17
3. Diseño del Amplificador de Señales Neuronales	19
3.1. Análisis en pequeña señal	20
3.1.1. Transconductancia	22
3.1.2. Impedancia de salida	23
3.1.3. Rapidez de respuesta (<i>Slew Rate</i>)	24
3.1.4. Ruido	25

3.1.5. Análisis de área y potencia	27
3.2. Especificaciones del Amplificador	28
3.3. Dimensionamiento de los transistores	29
3.3.1. Amplificador	29
3.3.2. Circuito de polarización: Espejos de corriente	32
3.3.3. Circuito de polarización: Espejos de corriente cascode de bajo voltaje	35
3.4. Ajuste de Dimensiones	36
3.5. Elaboración de la disposición del circuito (<i>layout</i>)	38
3.5.1. Múltiples dedos (<i>Multiple fingers</i>)	39
3.5.2. Interdigitación	39
3.5.3. Centroide común	40
3.5.4. Serpiente (<i>Snake</i>)	40
4. Resultados y Simulaciones	42
4.1. Simulaciones	42
4.1.1. Análisis DC	42
4.1.2. Análisis AC	44
4.1.3. Análisis de Ruido	45
4.1.4. Análisis de Estabilidad	46
4.1.5. Análisis <i>transient</i>	47
4.2. Disposición del circuito (<i>Layout</i>)	48
4.2.1. Par diferencial	48
4.2.2. Cascode PMOS	48
4.2.3. Cascode NMOS	49
4.2.4. Corriente de cola (<i>Tail current</i>)	49
4.2.5. Espejos de corriente de la topología de reciclaje (<i>Recycling</i>)	49
Conclusiones	51
Recomendaciones	52

Índice de figuras

1.1. Estructura de una neurona [8].	2
1.2. Representación de una señal neuronal (imagen modificada) [9].	3
2.1. Arreglo 3-D de electrodos Michigan [15].	9
2.2. Arreglo de electrodos Utah [15].	9
2.3. Etapas de un sistema de adquisición de señales neuronales	11
2.4. Octágono de diseño analógico [17]	11
2.5. Fully-Differential Folded-Cascode [11].	13
2.6. Rail-to-rail output buffer [11].	13
2.7. (a)Estructura convencional de n amplificadores.(b)Estructura de n amplificadores con OTA parcialmente compartida [12].	14
2.8. Esquemático de la estructura del circuito del OTA parcialmente compartido por n amplificadores [12].	14
2.9. (a) Amplificador de lazo cerrado. (b) Amplificador de lazo [7].	15
2.10. Amplificador basado en arquitectura cascode con estructura gm-gm [7].	15
2.11. Amplificador folded-cascode convencional [6].	16
2.12. Amplificador recycling folded-cascode [6].	17
3.1. Fully-differential Recycling Folded-cascode	20
3.2. Circuito en pequeña señal del Fully-differential Recycling Folded-cascode	21
3.3. Circuito para hallar la transconductancia $G_{m_{FDRFC}}$	22
3.4. Circuito para hallar la impedancia de salida Z_{out}	23
3.5. Espejo de corriente NMOS	32
3.6. Corriente de salida vs Voltaje de drenador para un espejo de corriente NMOS	33
3.7. Derivada de la corriente de salida vs Largo de canal para un espejo de corriente NMOS	34
3.8. Corriente de salida vs Voltaje de drenador para un espejo de corriente PMOS	34
3.9. Derivada de la corriente de salida vs Largo de canal para un espejo de corriente PMOS	35
3.10. Espejo de corriente cascode NMOS	36
3.11. Espejo de corriente cascode PMOS	37
3.12. Uso de la técnica de <i>Multiple fingers</i> [13]	39

3.13. Uso de la técnica de interdigitación [13]	40
3.14. Uso de la técnica de centroide común [13]	40
3.15. Uso de la técnica de <i>snake</i> [16]	41
4.1. Circuito esquemático del FDRFC elaborado con la herramienta <i>Virtuoso Schematic</i>	43
4.2. Testbench para el análisis DC del FDRFC en lazo abierto	44
4.3. Respuesta en lazo abierto del FDRFC	45
4.4. Testbench para el análisis AC del FDRFC en lazo cerrado	45
4.5. Respuesta en lazo cerrado del FDRFC	46
4.6. Testbench para el análisis de ruido del FDRFC	46
4.7. Densidad de ruido referido a la entrada del FDRFC	47
4.8. Análisis de estabilidad del FDRFC	47
4.9. (a) Señal de entrada y (b) salida del FDRFC	48
4.10. Layout del FDRFC	50



Índice de cuadros

2.1. Tabla comparativa de trabajos anteriores.	18
3.1. Especificaciones del Amplificador de Señales Neuronales.	29
3.2. Dimensionamiento de los transistores del FDRFC.	32
3.3. Dimensionamiento de los transistores para espejos de corriente simples NMOS y PMOS.	35
3.4. Dimensionamiento de los transistores para espejos de corriente cascode NMOS y PMOS.	37
3.5. Ajuste de dimensiones de los transistores.	38

Introducción

Las investigaciones científicas realizadas en las últimas décadas han hecho posible el avance tecnológico en diversas áreas de la ingeniería y una de las principales beneficiadas por este avance es la Microelectrónica. El desarrollo de la Microelectrónica ha permitido, entre muchas cosas, la minituarización de circuitos electrónicos a tal punto que hoy en día hablamos sobre circuitos integrados del orden de nanómetros. Al haber alcanzado este punto en lo referente a la microfabricación se hace posible hablar de la integración de miles de millones de transistores en una sola oblea de silicio, tal como lo anticipaba la ley de Moore.

La capacidad de integrar transistores a esta escala abre las puertas a la microelectrónica para participar en el campo de la medicina. Hoy en día no es extraño pensar en implantar chips en el tejido humano para de esta manera captar señales cardiacas o neuronales en la búsqueda de recolectar información sobre las características eléctricas de estas. La información proporcionada por estos circuitos permite contribuir con los estudios de enfermedades neuronales severas y entender mejor el funcionamiento del cuerpo humano y su sistema nervioso. Los circuitos empleados para estas funciones de recolección de datos son conocidos como sistemas de adquisición de señales y comprenden de varias etapas, siendo una de las más importantes el bloque de amplificación.

En el presente trabajo de tesis se propone el diseño de un amplificador de señales neuronales, el cual es requerido debido a las pequeñas amplitudes que poseen estas señales. Fue necesario tomar en cuenta varios parámetros que son críticos para una adecuada adquisición de señales. Se diseñó el amplificador para tener un óptimo desempeño frente al ruido de entrada y el ruido extracelular los cuales son los principales problemas para lograr obtener una señal sin distorsiones. Siempre sin descuidar factores como la potencia y el área, debido a que existe un compromiso entre ellos y deben mantenerse al mínimo para que sea factible su implantación en el cuerpo humano.

Capítulo 1

Importancia del Estudio de Señales Neuronales

1.1. Las Neuronas y las Señales Neuronales

El cerebro humano es un órgano sumamente complejo y de vital importancia para el desarrollo de nuestra especie, así como para los logros y progresos que se han conseguido a lo largo de los siglos. Su enorme capacidad se debe esencialmente a las células nerviosas, las cuales son las responsables de la actividad cerebral y logran establecer formidables redes de comunicación entre ellas. Las neuronas, como también son conocidas este tipo de células, se encuentran conectadas con otras neuronas en una estructura en forma de red, donde las ramificaciones de diversas neuronas se unen a través de sinapsis. Sinapsis es la comunicación entre neuronas a través del intercambio de iones entre la neurona pre-sináptica, el espacio intracelular y la neurona post-sináptica. Al mismo tiempo, las neuronas construyen circuitos que están conectados con receptores sensoriales y músculos. A partir de estos circuitos formados, es posible extraer señales neuronales, las cuales son resultado de la interacción de neuronas en el cerebro. Adicionalmente, en el caso de electrodos implantados, estas señales provienen de las neuronas que rodean al electrodo.

Una neurona consiste de tres partes: cuerpo de la célula (conocido también como soma), dendritas y el axón. El soma es la parte central de la neurona y contiene al núcleo en donde se encuentran los genes de la célula. Las dendritas son ramificaciones cortas las cuales se encargan de recibir las señales que son enviadas por otras neuronas. El axón, por el contrario, tiene una mayor longitud que las dendritas y su función es la de enviar señales eléctricas a través de distancias que pueden ir desde 0.1 mm hasta 3 m [8]. A pesar que la arquitectura de las neuronas es básicamente la misma, el factor que aporta a la complejidad es la cantidad de neuronas que existen en el cerebro (aproximadamente 10^{11} neuronas) y su forma de interacción [9].

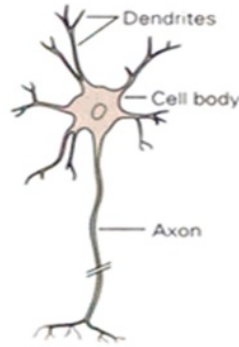


Figura 1.1: Estructura de una neurona [8].

1.2. Tipos de Señales Neuronales y sus características

Las señales neuronales se generan a partir de potenciales eléctricos llamados biopotenciales. Consiste en procesos bioquímicos que permiten el flujo de iones que entran y salen del interior de la membrana celular de la neurona, principalmente flujos de iones de K^+ y Na^+ (potasio y sodio). Los iones ingresan al interior de la membrana en reposo que esta polarizada negativamente, este es el factor clave para iniciar un impulso nervioso. Un impulso en una neurona se inicia con un estímulo lo suficientemente fuerte para revertir la polarización de la membrana en reposo. Este proceso se conoce como despolarización y al producirse se dice que la neurona esta encendida. Corto tiempo luego de este proceso, la membrana regresa a su estado original y vuelve a estar polarizada, se conoce este proceso como repolarización. La mayoría de fibras nerviosas son capaces de generar 300 impulsos por segundo. El potencial diferencial típico de una membrana en reposo es -70 a -90 mV desde el medio interno de la membrana con respecto al medio externo [18].

Debido a las propiedades del cuerpo humano es posible medir los potenciales creados por los flujos de iones. Se miden potenciales diferenciales entre un punto cercano a la célula y otro alejado. Un electrodo mide el potencial extracelular de una neurona cercana con respecto a un electrodo de referencia distante. Dependiendo de sus características eléctricas, pueden clasificarse de dos tipos: Potenciales de Acción (AP) y Potenciales de campo local (LFP).

Los potenciales de acción tienen la característica de ser señales transitorias de muy corta duración, alrededor de 0.3 ms a 1 ms [14], y con una amplitud en el rango de los μV (de 10 μV hasta 1 mV). Este tipo de señales son conocidas como "spikes" (picos), los cuales son eventos asociados con la activación de neuronas individuales en la vecindad del electrodo que se utiliza para captar la señal. La magnitud de la señal depende de la proximidad entre la neurona que genera la señal y el electrodo que la recibe [9]. El rango de frecuencias en el que se encuentra la mayor parte de la energía de esta señal es desde 300 Hz hasta 10 kHz [9].

Los potenciales de campo local son oscilaciones más lentas que los potenciales de acción, sin embargo, tiene un rango de amplitud más alto, el cual asciende desde 1 mV a 10 mV [11]. Estas señales representan un promedio de la actividad neuronal en la vecindad del electrodo que recibe dichas señales. El rango de frecuencias en donde se ubica la mayor energía de los LFP es más bajo que en el caso de los AP, va desde 1 a 300 Hz [11].

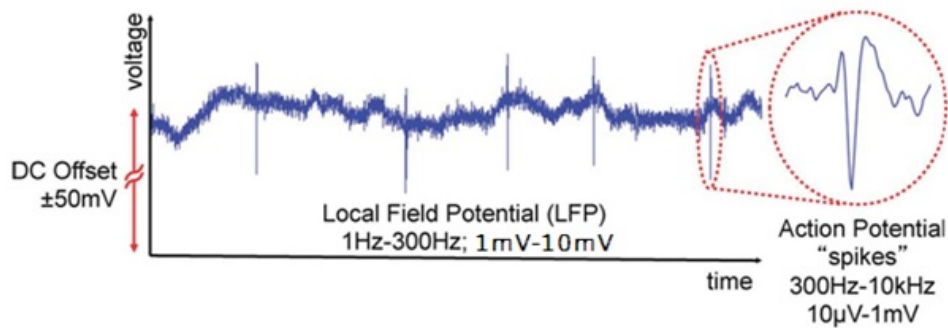


Figura 1.2: Representación de una señal neuronal (imagen modificada) [9].

1.2.1. Tipos de Electrogramas

El registro de estas señales eléctricas del cuerpo humano en general se conoce como electrogramas y aunque existen muchos tipos de estos son cuatro los más conocidos y usados a nivel clínico:

Electrocardiograma(ECG)

Las señales más conocidas por su frecuente uso para registrar las variaciones temporales de la actividad del corazón son los ECG. Debido a la facilidad con la que estas señales pueden ser medidas en diferentes circunstancias y analizar sus perturbaciones puede proveer de información crítica para los diagnósticos de muchas enfermedades como arritmias cardíacas, hipertensión e infartos.

El corazón está compuesto por diferentes grupos de células, estas pueden ser marcapasos, conductoras eléctricas y miocárdicas. Estos grupos de células se encuentran polarizadas en su estado de reposo, y al despolarizarse por la actividad cardíaca, este evento se propaga a través de los grupos de células del corazón, creando de esta manera los biopotenciales. Luego ocurre el proceso de repolarización de las células. La despolarización y repolarización de las células pueden ser detectadas haciendo uso de electrodos en ubicaciones específicas del cuerpo humano. Esta actividad cardíaca representa el principal mecanismo de contracción del corazón e indica características como el ritmo cardíaco.

Electroencefalograma(EEG)

Los EEG son el registro de la actividad eléctrica en el cerebro y se miden colocando electrodos en el cuero cabelludo de la persona mientras realiza diferentes tareas para poder comparar como se comporta el cerebro en cada una de ellas. Las señales se monitorean para asistir a los doctores en el diagnóstico de diversas enfermedades neurológicas. Algunos de los problemas que ayudan a solucionar los EEG son los dolores de cabeza, mareos, convulsiones, infartos, tumores cerebrales, infartos, epilepsia, esclerosis múltiple, desórdenes al dormir y desórdenes de movimientos [18].

En algunos casos, como para realizar una cirugía para la epilepsia, es necesario un procedimiento

mas complejo y arriesgado llamado EEG intercraneal (iEEG) o electrocorticograma (ECoG) el cual es un procedimiento invasivo. Se deben colocar los electrodos en una área específica del cerebro y debe estar en contacto directo con la superficie del cerebro para registrar adecuadamente las actividad de la corteza cerebral. La amplitud de este tipo de señales es de 1-2 mV mientras que la amplitud de una EEG es de $100 \mu\text{V}$. En cuanto a la cantidad de electrodos que se deben usar para registrar adecuadamente las señales, no existe un unico estandar pero según muchos sistemas internacionales la cantidad deberia ser 64 electrodos.

Electrooculograma(EOG)

Para el estudio del funcionamiento de la retina es necesario el estudio de EOG para conocer su comportamiento a través de la actividad eléctrica en el ojo. El ojo es considerado un dipolo eléctrico fijo con un polo positivo en la cornea y el negativo en la retina [18].

El potencial corneoretinal depende de la posición del ojo, el electrodo percibe la rotación del ojo y obtiene un potencial diferente para cada movimiento, esta medida se toma con respecto al potencial de reposo el cual esta asociado con el electrodo ubicado en la retina. El rango de potencial de un EOG es de 0.4 a 1 mV.

Electromiograma(EMG)

Un EMG consiste en el registro de la actividad eléctrica que ocurre en los músculos al moverse. Al igual que los EEG, los electrodos pueden ser colocados en la superficie o intramuscularmente. Los resultados que se obtienen de estos estudios contribuyen a una mejor comprensión de los problemas que ocurren en los músculos y en los nervios. Los EMG son usados para curar enfermedades como la ciática, síndrome del túnel carpiano, esclerosis lateral amiotrófica, miastenia y distrofia muscular.

Los músculos estan comprendidos por unidades motoras las cuales están compuestas por neuronas motoras y fibra muscular. Al igual que en los casos anteriores la actividad eléctrica surge a partir de la despolarización de la membrana post-sináptica la cual activa en este caso a la unidad motora. La despolarización genera una onda que viaja a través de la fibra muscular, luego ocurre también la repolarización y se generan los potenciales que son finalmente registrados. La amplitud que alcanza esta señal puede situarse en un rango menor a $50 \mu\text{V}$ o de 20 a 30 mV.

1.3. Investigación de Señales Neuronales

Las investigaciones entorno a las señales neuronales han hecho posible avances significativos en el campo de la neurociencia. La posibilidad de implementar mejores interfaces entre sistemas eléctricos y biológicos permiten una mejor comprensión de muchos desordenes cerebrales severos tales como las enfermedades del Alzheimer, Parkinson, neurodegenerativas crónicas, desordenes compulsivos obsesivos, epilepsia, autismo, desordenes psiquiátricos, dolores crónicos, etc. [14] [11].

El monitoreo de estas señales es importante para entender mejor las funciones básicas del cerebro. Se puede lograr un diagnostico más preciso de las enfermedades ya mencionadas y además

la detección e identificación de patrones neuronales, los cuales son característicos de ciertos comportamientos del cuerpo humano. Es decir, la información recolectada puede ser utilizada para proporcionar un nivel de control sobre miembros artificiales (prótesis) para personas discapacitadas o que han sufrido lesiones en la medula espinal. De esta manera, se busca brindarles (o devolverles) cierto grado de libertad para permitirles desenvolverse en actividades cotidianas tales como manipular herramientas, instrumentos, realizar actividades físicas (deportes), o simplemente caminar.

Actualmente se están llevando a cabo tres grandes proyectos muy ambiciosos, relacionados con el estudio del cerebro y señales neuronales:

1.3.1. Proyecto del Cerebro Humano (Human Brain Project, HBP) [3]

Es un proyecto a diez años el cual es dirigido por la École Polytechnique Fédérale de Lausanne. Además cuenta con el apoyo de la Unión Europea y otras instituciones como Heidelberg University, University of Lausanne y University Hospital of Lausanne. El objetivo de HBP es construir nueva infraestructura capaz de realizar simulaciones del funcionamiento del cerebro humano en supercomputadoras. Esta infraestructura proporcionará herramientas innovadoras para la investigación en lo referente a neurociencia e investigaciones cerebrales en el campo de la computación y medicina.

El proyecto incluye seis plataformas de investigación. La *Plataforma Neuroinformática* enlaza información y data de otras iniciativas internacionales similares que se dedican a la investigación en neurociencia y de esta manera crea una comunidad científica alrededor del mundo. La *Plataforma de Simulación Cerebral* integra la información y data recolectada para unificarla en modelos computacionales que permitan experimentos que serían imposibles en un simple laboratorio. La *Plataforma de Alto Rendimiento Computacional* proporciona la tecnología interactiva computacional para modelar y simular grandes cantidades de data. La *Plataforma Informática Médica* recolecta información clínica de todo el mundo para que los investigadores tengan herramientas para buscar signos biológicos acerca de enfermedades. La *Plataforma Neuromórfica Computacional* hace posible traducir los modelos cerebrales en nuevos dispositivos de hardware para poder probar sus aplicaciones. La *Plataforma Neurorobótica* permite a los investigadores realizar experimentos utilizando robots virtuales controlados por los modelos cerebrales desarrollados en el proyecto.

1.3.2. El programa DARPA SyNAPSE (DARPA SyNAPSE Program) [2]

La agencia de proyectos de investigación de defensa avanzada o DARPA (Defense Advanced Research Projects Agency) es una agencia del Departamento de Defensa de los Estados Unidos la cual se dedica al desarrollo de nuevas tecnologías para uso militar. En el año 2008 inició el programa SyNAPSE (Systems of Neuromorphic Adaptive Plastic Scalable Electronics) el cual es respaldado por IBM y HRL que a la vez trabaja con diversas universidades de los Estados Unidos.

El proyecto tiene como objetivo desarrollar tecnología neuromórfica. Es decir, buscan construir un sistema computacional el cual sea similar al cerebro de un mamífero, específicamente al cerebro

de un gato o ratón. Se desea llegar a crear un microprocesador que sea escalable a nivel biológico y pueda realizar procesos de manera autónoma mediante aprendizaje automático de su entorno. Debe recrear 10,000 millones de neuronas, 100 billones sinapsis y consuma tan solo un kiloWatt. El proyecto demanda una colaboración de muchos campos de la tecnología como neurociencia computacional, VLSI neuromórfico, redes neuronales artificiales, etc. Se divide en cuatro áreas las cuales deben coordinar para lograr los objetivos del programa. La primera área es el hardware el cual debe incluir la implementación de dispositivos CMOS y componentes sinápticos nuevos que serán creados en el transcurso del proyecto. Deberá soportar técnicas de procesamiento que son críticas en los sistemas biológicos. La segunda es la Arquitectura que deberá soportar las estructuras y funciones de los sistemas biológicos como conectividad, sistemas modulares, organización jerárquica, autorganización. Además el procesamiento debe ser distribuido al máximo, ser no lineal, tolerante a ruido y errores. La siguiente área es Simulación que debe ser capaz de comprobar la funcionalidad a gran escala del sistema completo antes de la implementación en hardware. La última área es Entorno, para lo cual se implementarán plataformas virtuales para el entrenamiento del sistema neuronal y para su posterior evaluación y *benchmarking* en lo referente a su capacidad de percepción, cognición y respuesta.

1.3.3. La iniciativa BRAIN (The BRAIN Initiative) [5] [4] [1]

El proyecto The BRAIN Initiative es parte de una reciente iniciativa difundida por el presidente de los Estados Unidos, Barack Obama, en marzo del 2013. BRAIN es un acrónimo para Investigación del cerebro a través de neurología avanzada innovativa (Brain Research through Advancing Innovative Neurotechnologies). La iniciativa es un llamado a colaborar en un proyecto de investigación con el fin de entender mejor las enfermedades cerebrales, desordenes mentales y otras enfermedades que afectan mayormente a los adultos mayores. Este proyecto aun se encuentra en su primera fase y aún no tienen resultados importantes. Sin embargo, se tiene una gran expectativa debido a que cuenta con el apoyo de instituciones como DARPA, NIH (National Institute of Health) y la NSF (National Science Foundation). Estas tres instituciones proporcionan fondos para objetivos específicos: entender el funcionamiento dinámico del cerebro, desarrollar nuevas herramientas, y apoyar investigaciones acerca de ciencias físicas, biológicas, sociales y comportamentales respectivamente. Por parte del sector privado también se han comprometido varias instituciones como The Allen Institute for Brain Science, Howards Hughes Medical Institute, Kavli Foundation y Salk Institute for Biological Studies. Los objetivos de estas instituciones son, respectivamente: entender como la actividad neuronal lleva a percibir, tomar decisiones y actuar, como la información se almacena y procesa en redes neuronales, proveer de conocimiento para tratar enfermedades neuronales, y entender el comportamiento del cerebro a partir de genes hasta circuitos neuronales.

Los objetivos a largo plazo son:

- Entender los mecanismos detrás de la enfermedad de Parkinson para mejorar los tratamientos, prevenciones y curas.

- Reducir las barreras de lenguaje acerca de como las computadoras interpretan los pensamientos humanos.
- Prevenir, tratar y revertir los efectos de enfermedades como el desorden de estrés post-traumático (Post-Traumatic Stress Disorder, PTSD) y heridas traumáticas cerebrales en veteranos de guerra.
- Crear puestos de trabajo en la industria tecnológica de vanguardia.

1.4. Discusión

Estos tres proyectos mencionados son dirigidos con el proposito de lograr encontrar soluciones frente a los actuales problemas que encara la neurociencia y la medicina. Se cuenta con el apoyo de grandes instituciones y universidades que en un esfuerzo colaborativo actúan en beneficio del desarrollo tecnológico. Sin embargo, existen ciertas críticas entorno a los resultados que se esperan lograr y los medios para hacerlo. En el caso del programa SyNAPSE, Henry Markram, Ph.D., un profesor especializado en neurología cuestiona la simplicidad del modelo neuronal utilizado en este proyecto. Markram menciona que para lograr simulaciones de neuronas reales se requeriría resolver un millón de veces más ecuaciones de las del modelo actual y por lo tanto deja a entender que sus resultados no serán comparables a los de un cerebro de un gato o ratón. Mientras tanto el proyecto HBP afronta críticas de caracter ético debido a las pruebas experimentales que eventualmente se realizarán en personas voluntarias y en animales. Para mantener el orden en este aspecto del proyecto existe una política de Innovación Responsable la cual gobierna los problemas antes mencionados con el fin de promover una investigación ética y conceptualmente correcta.

Capítulo 2

Sistema de Adquisición de Señales Neuronales

2.1. Requerimientos del amplificador

Habiendo expuesto la importancia del estudio de las señales neuronales, ahora la interrogante es: Como se realiza la adquisición de dichas señales? Es un procedimiento que acarrea diversas dificultades debido a su complejidad. Para poder llevar a cabo una investigación consistente y con resultados fehacientes son necesarias varias decenas o hasta centenas de canales de medición. Cada uno de estos canales adquiere los datos a través de su respectivo electrodo, es decir, serán necesarios grandes arreglos de electrodos. Precisamente el tipo de electrodo a utilizar es una de las primeras consideraciones que se debe tener en cuenta para el diseño del amplificador porque su impedancia podría exigir modificaciones en el diseño del circuito. También es necesario que los electrodos no incorporen mucho ruido y minimicen la interferencia electromagnética para lograr una relación señal-ruido alta. Debe de fabricarse de un material robusto que no se rompa fácilmente ni se corroa, pero a la vez debe ser biocompatible para que el implante no sea rechazado por el organismo del paciente. Dos de los tipos de electrodos más usados son los UEA (Utah Electrodes Arrays) y los Michigan Arrays.

Los arreglos de electrodos Michigan ofrecen una alta densidad y resolución espacial. Aunque generalmente son arreglos bidimensionales, recientemente se ha desarrollado la tecnología para fabricar arreglos tridimensionales. Los arreglos Utah si son tridimensionales, pero tienen la desventaja de solo captar las señales en las puntas de los electrodos y no a lo largo de toda la estructura, como si lo hacen los arreglos Michigan. Sin embargo, los arreglos Utah son los más utilizados actualmente, pues al contrario de los Michigan, estos electrodos ya son aceptados y utilizados por la industria, en el campo de la neurociencia, neuroingeniería, neuroprótesis y comunidad clínica.

Un factor de suma importancia que debemos tener en cuenta para poder acondicionar la señal es el ruido. Además, debemos advertir que hay muchas fuentes de ruido, como por ejemplo el ruido de los electrodos, ruido neuronal extracelular, ruido térmico, de disparo y flicker. Estos tres últimos son generados en el amplificador. El ruido térmico se debe a las vibraciones de moléculas



Figura 2.1: Arreglo 3-D de electrodos Michigan [15].

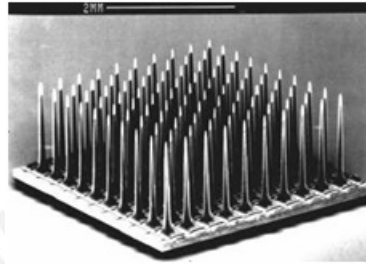


Figura 2.2: Arreglo de electrodos Utah [15].

que componen el chip y dependen de la temperatura a la que opera el circuito. El ruido de disparo es ocasionado por el flujo de corriente directa, sin embargo su efecto se manifiesta con mayor importancia cuando se trabaja con corrientes tan pequeñas que las partículas que transportan la energía (en este caso electrones, también podrían ser fotones) dan lugar a fluctuaciones que distorsionan la señal. El ruido flicker, también conocido como ruido $1/f$, se origina debido a diversos efectos como por ejemplo impurezas en el proceso de fabricación o generación y recombinación de portadores. Este último tipo de ruido tiene una mayor contribución al ruido total ya que en este tipo de sistemas de adquisición de señales se trabajan con muy bajas frecuencias y este es un ruido del tipo rosa, por lo tanto es más intenso mientras menor sea la frecuencia. En la práctica, se ha determinado que para mejorar la inmunidad del circuito frente al ruido total, se debe mantener el ruido de entrada del amplificador por debajo del ruido neuronal extracelular y ruido del electrodo (aprox. $5 - 10 \mu\text{Vrms}$) [12].

La baja potencia es otro factor crucial en el diseño pues como mencionamos antes, no se trata solamente de uno sino de muchos canales y el consumo se multiplicará por la cantidad de ellos. Este requerimiento se torna aun más crítico si la aplicación es para implantes, lo cual exige un consumo mínimo para no tener la necesidad de arriesgar al paciente a cirugías constantes debido al corto tiempo de vida de la batería. Si bien en la actualidad se utilizan baterías que no tengan que ser cambiadas por varios años, lo ideal es ponerle fin a la dependencia de baterías, es por esto que ahora la tendencia es utilizar acoplamiento de energía inalámbrica. Sea el caso de alimentar al circuito con baterías o inalámbricamente, el diseño debe minimizar la potencia para prevenir el daño de los tejidos debido a la disipación de calor, pues el máximo cambio en la temperatura del tejido debe ser menor a 1°C [12]. Si el flujo de calor excede los $80 \text{ mW}/\text{cm}^2$ puede causar necrosis (muerte de células) en los tejidos, es por esto que el consumo total de un implante no debería exceder las centenas de miliwatts [10]. Tanto el ruido como la potencia son muy importantes, y

un parámetro que nos indica la relación entre ambos es el NEF (noise efficiency factor), el cual compara el ruido de entrada en el circuito diseñado y en un simple transistor bipolar.

Luego de haber recepcionado las señales por medio del arreglo de electrodos estas se amplifican, se filtran y finalmente se digitalizan por medio de un conversor análogo/digital (ADC). En cuanto a los requerimientos para la ganancia del amplificador se debe considerar si la digitalización de los AP y LFP será de manera simultánea o por separado. Si la digitalización es simultánea se necesitaría un ADC con mucha resolución (> 10 bits) debido a que el rango de voltaje de los LFP es mucho mayor que el de los AP. En este caso la ganancia del amplificador es única y un valor de 40 dB nos proporciona un rango aceptable para su posterior procesamiento. Al igual que la ganancia, el ancho de banda es uno solo y debe contener el rango de los LFP y AP, es decir, desde 1 Hz hasta 10 kHz.

Por otro lado, si la digitalización se realiza por separado lo preferible es tener un amplificador con dos ganancias, para los LFP y AP, así podemos conseguir que ambas señales sean del mismo orden de magnitud. La magnitud de los LFP es aproximadamente 10 veces más que la de los AP, por consiguiente, las ganancias adecuadas para lograr que las señales tengan un rango de voltaje similar son 40dB y 60dB respectivamente. Así mismo, también se necesitarían dos filtros, un pasa banda con frecuencia inferior de corte menor a 1 Hz y superior de 300 Hz para los LFP, y un pasa banda con frecuencias de corte 300 Hz y 10 kHz para los AP. Para este caso no es necesario un ADC con tanta resolución, con uno de 8 bits es suficiente para mantener el ruido de cuantización por debajo del ruido térmico [9].

Adicionalmente a los parámetros mencionados anteriormente debemos tener en consideración otros como la relación de rechazo de modo común (CMRR). El interés en las señales neuronales recae en las pequeñas fluctuaciones de voltaje y no en voltajes comunes de offset, por lo tanto es necesario un elevado CMRR para lograr una amplificación adecuada de la señal y poder obtener la información relevante. Una relación de rechazo también importante es la de la fuente de alimentación (PSRR) y mientras más alto sea su valor garantiza una mayor estabilidad y robustez del amplificador frente a variaciones en la fuente de alimentación debido a factores como el ruido y a la señal de 60 Hz. Valores aceptables para el CMRR y PSRR suelen estar por encima de los 60dB.

Un sistema de adquisición de señales consiste de las siguientes etapas: Pre-amplificación, Filtrado, Amplificación, Conversor Análogo/Digital y el Buffer de Salida. La primera etapa es en donde ingresan las señales neuronales tal y como las adquiere el electrodo, es decir que poseen amplitudes muy bajas. Para esta etapa se requiere una alta ganancia, alta CMRR y bajo nivel de ruido. En la segunda etapa es donde se separan las señales que se desean adquirir, los AP y LFP. La siguiente etapa se encarga de agregar una amplificación adicional a las señales para tener valores adecuados para una apropiada digitalización. La cuarta etapa consiste en un conversor análogo/digital con el cual se obtienen valores acondicionados para realizar cualquier procesamiento. Finalmente, se diseña un buffer como etapa de salida de todo el sistema.

Si bien se indicaron cinco etapas en el diseño del amplificador, la etapa de amplificación adicional y filtrado pueden ser una sola si se diseña los filtros con las ganancias correspondientes.



Figura 2.3: Etapas de un sistema de adquisición de señales neuronales

2.2. Desafíos en el diseño de amplificadores neuronales

En general, para cualquier diseño de un circuito integrado, existen parámetros que se encuentran comprometidos unos con otros, es decir, se puede mejorar uno a costa de otro(s). Para el caso de un amplificador tenemos ocho parámetros muy importantes que están ligados entre sí, se pueden apreciar en la siguiente figura la cual es conocida como el “Octágono de diseño analógico” y en donde las líneas muestran la interdependencia entre los diversos parámetros.

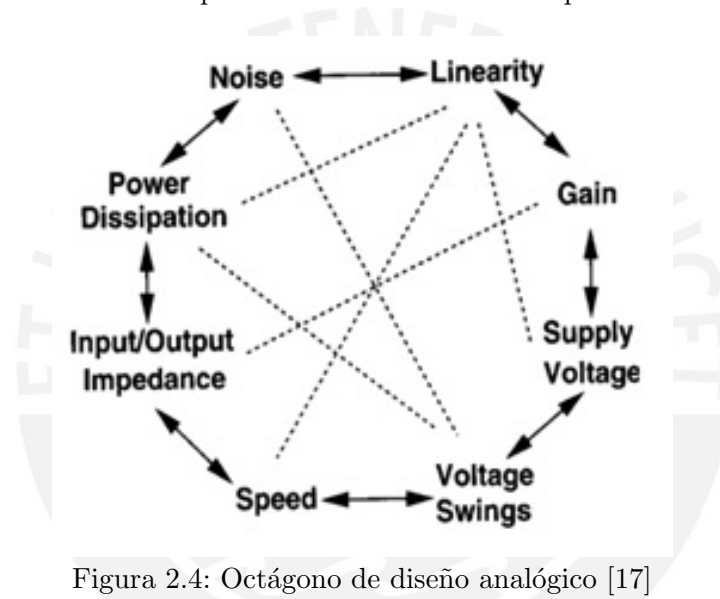


Figura 2.4: Octágono de diseño analógico [17]

Si bien es imposible lograr un alto desempeño con respecto a cada uno de los parámetros debido al compromiso entre ellos, se puede alcanzar un diseño óptimo en el que se prioricen algunos de ellos sin descuidar totalmente los demás, se busca el balance ideal. Algunos de los compromisos más importantes entre parámetros (también conocidos como trade-offs) en esta clase de amplificadores son: potencia/área/configurabilidad, potencia/ganancia, potencia/área/ruido, potencia/área/orden de los filtros [11].

Algunos ejemplos de trade-off se puede apreciar en las consecuencias de incorporar la característica de configurabilidad (o programabilidad), para lo cual se añade circuitería extra, demandando un mayor área y aumentando ligeramente la potencia del diseño. Otro caso de trade-off se presenta al tratar de disminuir el ruido tipo flicker aumentando el área del circuito, ya que lo que normalmente se hace es aumentar las dimensiones de los transistores. Podemos también lograr un mayor ancho de banda pero incrementando el ruido de entrada del amplificador. Nos podemos dar cuenta que todos los parámetros se encuentran interrelacionados entre sí.

Este compromiso se presenta una vez más al momento de escoger los tipos de arreglos de elec-

trodos. Una neurona solamente puede acoplarse a un único electrodo, sin embargo cada electrodo puede capturar señales de muchas neuronas. Debido a este hecho y la necesidad de utilizar varios canales para tener información suficiente para procesar, los arreglos Michigan parecen ser la mejor opción ya que pueden recepcionar señales a lo largo de cada electrodo y son arreglos más densos. A pesar de estas ventajas, son los arreglos de electrodos Utah los preferidos por su aceptación en la industria. Esto significa un sacrificio de la eficiencia en el área del diseño, debido que el número de canales y el tamaño de electrodo determinará el área total del sistema.

2.3. Estado del arte en amplificador de señales neuronales

En la actualidad se vienen realizando trabajos de investigación en el diseño de amplificadores para sistemas de adquisición de señales neuronales. Este campo de trabajo es relativamente nuevo y esta en la búsqueda de amplificadores más eficientes, lo cual implica disminuir área, mínimo ruido y potencia. La literatura que se encuentra disponible es bastante reciente y cada vez se pueden apreciar trabajos más innovadores de los cuales se mencionarán a continuación cuatro de los más representativos.

2.3.1. Cascodo plegado completamente diferencial (*Fully-differential Folded-cascode, FDFC*)

La figura 2.5 nos muestra la topología utilizada en [11]. Este trabajo utiliza un preamplificador fully-differential folded-cascode OTA. Un OTA es un amplificador de transconductancia, es decir que en su entrada recibe un voltaje de entrada y en la salida obtenemos una corriente la cual es el resultado del voltaje de entrada multiplicada por la transconductancia del amplificador. Proporciona una salida diferencial y una entrada diferencial y al ser folded-cascode nos brinda un mayor swing en la salida, comparado con el simple cascode. En cuanto a los filtros, estos se implementan usando pseudo-resistencias PMOS-NMOS que operan en región sub-umbral profunda. Estos transistores, son controlados por su voltaje de compuerta y permiten alcanzar valores de 10^{12} ohms, ideales para frecuencias de corte bajas. Los filtros pasa-bajos y pasa-altos implementados son de cuarto orden, y consisten en cuatro integradores de voltaje de primer orden acoplados en cascada. A pesar de obtener filtros más ideales, siendo estos de cuarto orden, la desventaja es en una mayor área y consumo. En el bloque de salida se tiene un rail-to-rail buffer con una arquitectura basada en folded-cascode, e incluye un doble par diferencial PMOS/NMOS. Las ventajas de esta arquitectura son su mejora en el tiempo de establecimiento ($< 1\mu s$), transconductancia, ganancia y slew rate, con baja potencia.

2.3.2. Estructura OTA parcialmente compartida (*Partial OTA sharing structure*)

En la referencia [12] tenemos una topología pensada para un gran arreglo de amplificadores. La estructura del amplificador es un telescopic-cascode el cual ofrece facilidades para un diseño con

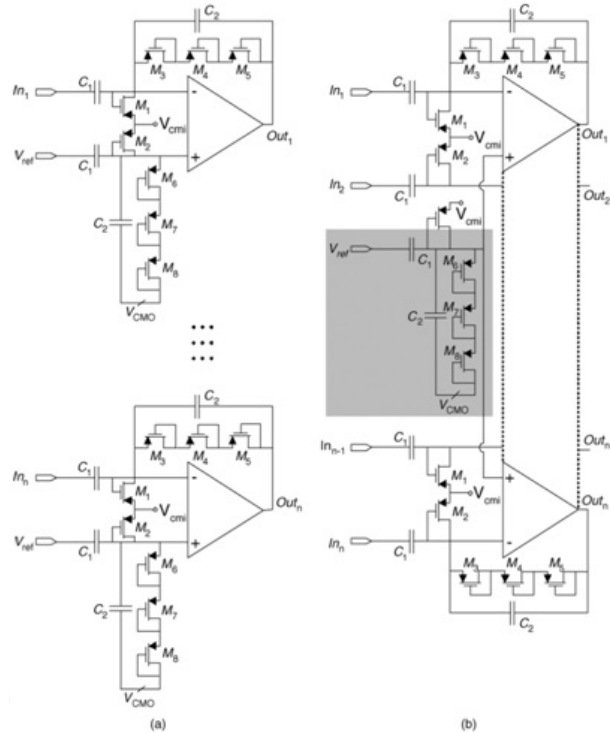


Figura 2.7: (a)Estructura convencional de n amplificadores. (b)Estructura de n amplificadores con OTA parcialmente compartida [12].

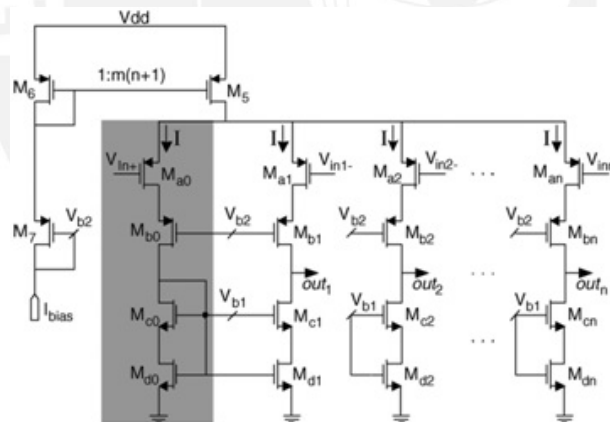


Figura 2.8: Esquemático de la estructura del circuito del OTA parcialmente compartido por n amplificadores [12].

2.3.3. Amplificador de lazo abierto (*Open-loop Amplifier*)

En lugar del convencional amplificador de lazo cerrado con realimentación, la topología [7] nos sugiere un amplificador de lazo abierto. Una ventaja de esta arquitectura es que presenta una mayor ganancia comparada con un amplificador de lazo cerrado. Esto se debe a que su ganancia no es fijada por los componentes de realimentación, los cuales aseguran un valor más constante frente a variaciones de procesos pero disminuyen considerablemente la ganancia de lazo abierto.

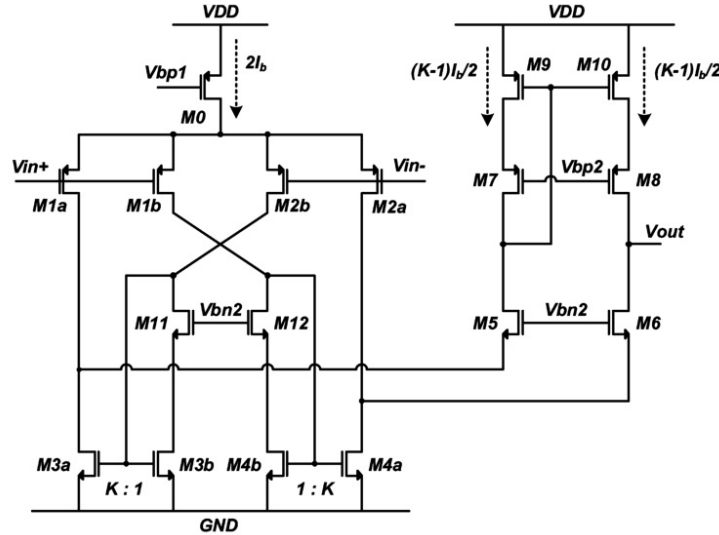


Figura 2.12: Amplificador recycling folded-cascode [6].

2.4. Elección de la topología

En los últimos años se ha podido apreciar un incremento en el interés e investigación en el campo de la adquisición de señales neuronales. Se han logrado muchas mejoras significativas como hemos visto en las topologías expuestas y en la Tabla 2.1. Sin embargo, algunas de las topologías vistas no las consideramos como las más adecuadas para nuestro diseño. La topología que emplea el partial OTA sharing si bien tiene muchas ventajas para el diseño de un arreglo de amplificadores, el diseño es muy complejo debido a que no es un amplificador simétrico. Por lo tanto, agrega mucha dificultad al diseño del *layout* para poder lograr un buen balance. La topología de lazo abierto se descarta porque se considera que el circuito, al no tener un lazo de realimentación, no posee buena estabilidad. Las variaciones afectan mucho a la transconductancia del amplificador y perjudica a la ganancia ya que en un amplificador de lazo abierto la ganancia depende mucho de la transconductancia y de la impedancia de salida.

La propuesta del RFC presenta muchas ventajas frente al convencional cascode plegado, sobre todo en ruido y potencia, los cuales son los puntos críticos de este diseño. Por otro lado, la topología Fully-differential Folded-cascode nos demuestra que se puede alcanzar altos valores de ganancia y bajo ruido en la entrada. Siendo estas dos propuestas las más atractivas para el diseño de nuestro amplificador, se elige diseñar el Cascodo plegado completamente diferencial de reciclaje (*Fully-differential Recycling Folded-cascode*, FDRFC). La propuesta del RFC es de una sola salida (single-ended) y no está pensada para ser un amplificador de señales neuronales, eso se puede ver claramente en la Tabla 2.1 ya que sus valores difieren mucho de las demás propuestas, por lo tanto se realizaron ciertas modificaciones. El amplificador a diseñar está basado en el RFC [6] pero se toma como referencia lo expuesto sobre el FDFC [11].

Cuadro 2.1: Tabla comparativa de trabajos anteriores.

Referencia	Papers					
	[11]	[12]	[10]	[7]	[20]	[6]
Topología	Fully-differential folded-cascode	Telescopic-cascode(partial OTA sharing)	Cascode with current-mirror OTA	Cascode with gm-gm structure	Folded-cascode-OTA	Recycling folded-cascode
Número de canales	16	4	1	1	32	1
Ganancia(dB)	40 - 75.5	39.4	39.5	37	49 - 66	53.6
Ancho de banda(Hz)	1 - 6000	10 - 7200	0.025 - 7200	5 - 7000	0.126 - 12000	134.2 MHz
Densidad de ruido referido a la entrada(nV/Hz ^{1/2})	37	-	21	-	-	-
Ruido referido a la entrada (μ Vrms)	2.3 - 2.9	3.5	2.2	5.5	5.4 - 11.2	48.5
Potencia disipada (μ W)	11.5(LFP)/231(AP) por canal	7.92	80	1.5	10.1 por canal	1440
Área (mm ²)	0.76 por canal	0.0025	0.16	-	0.03 por canal	0.0496
CMRR (dB)	> 65 (LFP) / > 63 (AP)	70.1	83	-	62	-
PSRR (dB)	70	63.8	85	67	72	-
THD (%)	0.75 (15 mVpp)	1 (5.7 mVpp)	1 (16.7 mVpp)	1 (0.4 mVpp)	-	-
NEF	5.1	3.35	4	-	4.4 - 5.9	-
Corriente (μ A)	70 por canal	4.4	16	0.2 - 2	-	800
Alimentación (V)	3.3	1.8	2.5	1.5	1.8	1.8
Tecnología	0.35um CMOS	0.18um CMOS	1.5um CMOS	0.13um CMOS	0.18um CMOS	0.18um CMOS
Capacitores	Metal-Insulator-Metal(MIM)	Metal-Insulator-Metal(MIM)	Poly-poly capacitor and nMOS capacitor	Metal-Insulator-Metal(MIM)	-	-
Resistores	PMOS-NAMOS_pseudo resistor	Diode-connected transistor	MOS-bipolar_pseudo-resistor	PMOS-NMOS_pseudo resistor	PMOS-NMOS_pseudo resistor	-

Capítulo 3

Diseño del Amplificador de Señales Neuronales

En el presente capítulo se establecen los requerimientos mínimos del amplificador de señales neuronales tomando en cuenta la elección de la topología propuesta en el capítulo anterior. Para esto debemos ser conscientes de los trade-off que limitan a las características de todo circuito analógico.

El diseño del amplificador fue desarrollado en la tecnología AMS0.35 μm utilizando el software de diseño *CADENCE*. Las simulaciones fueron realizadas en el entorno de trabajo *Virtuoso Analog Environment* y utilizando el simulador *SPECTRE*. El voltaje de alimentación con el que trabaja esta tecnología es 3.3V.

El punto de partida para realizar un adecuado diseño de un circuito analógico es escoger un modelo del transistor MOS con el cual se analice el circuito. Algunos de los modelos más empleados para diseñar son el modelo BSIM, EKV y el cuadrático. El modelo de Berkeley de IGFET de canal corto (Berkeley Short-channel IGFET Model, BSIM) es uno de los más completos para realizar simulaciones, sin embargo no es un modelo que nos permite hacer cálculos manuales. El modelo EKV (C. C. Enz, F. Krummenacher, y E. A. Vittoz) no maneja muchos parámetros, por lo tanto permite cálculos manuales. Este modelo también es preciso para modelar el transistor incluso en región sub-umbral y en inversión moderada, lo cual no es posible hacerlo en modelos más simples como el cuadrático. El modelo cuadrático, a pesar de no ser muy exacto, es el que se eligió para desarrollar el análisis debido a que nos proporciona una buena aproximación del transistor en base a pocos parámetros como el ancho y largo del canal del transistor.

Como se mencionó en el capítulo anterior, la topología a utilizar es la Fully-differential Recycling Folded-cascode, para lo cual se analizará este circuito en pequeña señal.

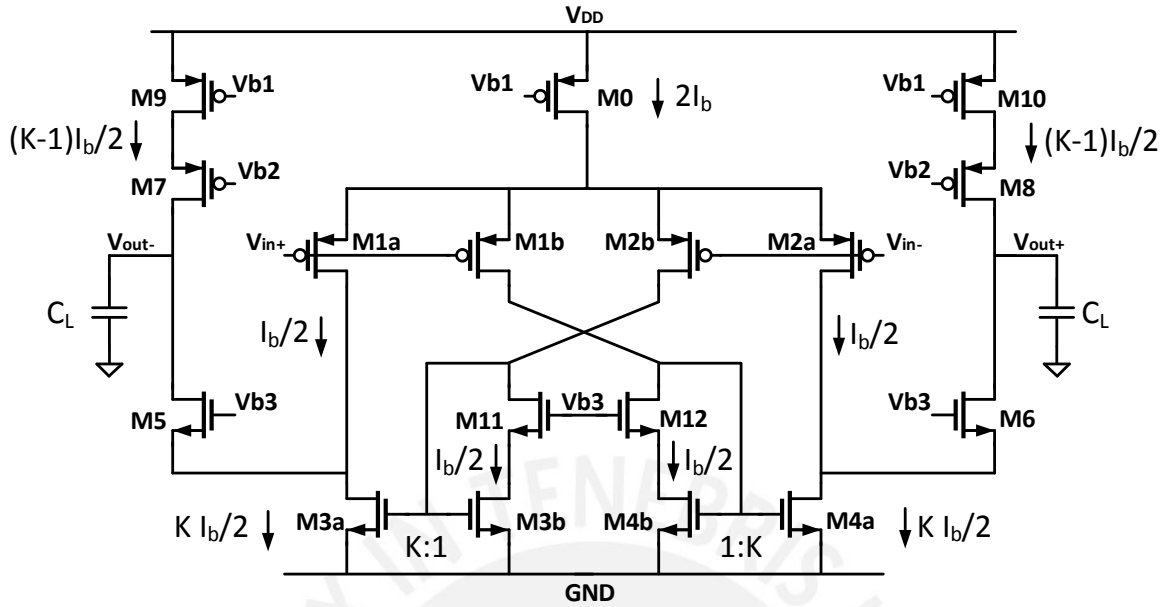


Figura 3.1: Fully-differential Recycling Folded-cascode

3.1. Análisis en pequeña señal

El modelo cuadrático para el análisis de los transistores MOS es el modelo simplificado de la corriente de drenador para un transistor que opera en la región de saturación.

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \quad \text{Para transistores NMOS} \quad (3.1)$$

Debido a que se trata de un amplificador completamente diferencial se puede utilizar el concepto de medio circuito para solo tener que analizar la mitad del circuito. En la figura del circuito en pequeña señal se desprecia el efecto cuerpo en los transistores M5, M6, M7, M8, M11 y M12. A continuación se expresan las equivalencias que se consideran en el circuito amplificador y debemos tener en cuenta a lo largo del análisis.

$$gm_{1a} = gm_{1b} = gm_{2a} = gm_{2b} \quad (3.2)$$

$$gm_{3a} = gm_{4a} = K gm_{3b} = K gm_{4b} \quad (3.3)$$

Por ser completamente diferencial, los voltajes en el par diferencial de entrada son del signo opuesto:

$$V_{gs1} = V_{in+} = -V_{gs2} = -V_{in-} \quad (3.4)$$

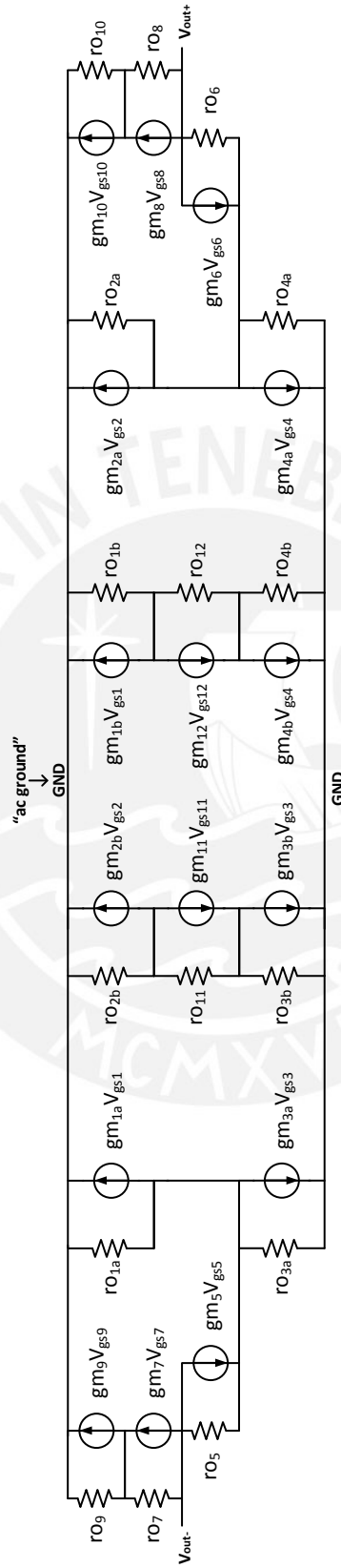


Figura 3.2: Circuito en pequeña señal del Fully-differential Recycling Folded-cascode

$$V_{gs5} = V_{gs6} = V_{gs11} = V_{gs12} \quad (3.5)$$

3.1.1. Transconductancia

En el cálculo de la expresión para la transconductancia del amplificador utilizamos un lemma el cual define la ganancia de voltaje de un circuito lineal como $-G_m R_{out}$. G_m es la transconductancia del circuito cuando su salida se conecta a tierra y R_{out} representa la resistencia de salida cuando la entrada del circuito es cero [17]. En dicho lemma se debe conectar la salida a tierra y hallar la transconductancia del circuito (corriente de salida sobre voltaje de entrada). Despreciamos las corrientes que circulan por las resistencias r_o , las cuales aparecen por el efecto de modulación de canal. Esta simplificación se hace debido a que las resistencias presentan muy alta resistividad. Solamente será necesario analizar la mitad del circuito por el concepto de half-circuit. Debido al cortocircuito se desprecian los transistores M8 y M10.

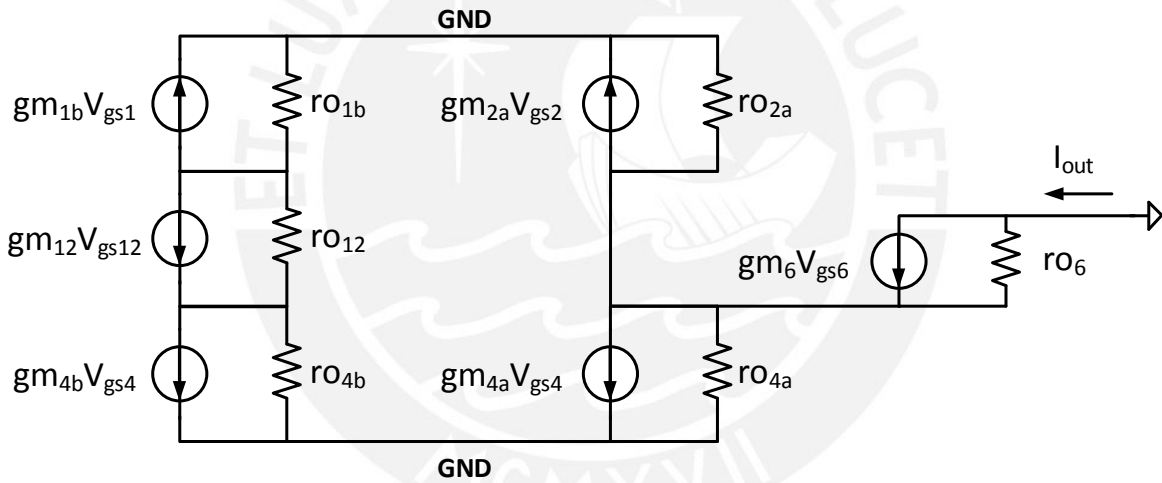


Figura 3.3: Circuito para hallar la transconductancia G_{mFDRFC}

$$-gm_{1b}V_{in+} = gm_{12}V_{gs12} = gm_{4b}V_{gs4} \quad (3.6)$$

$$I_{out} = gm_6V_{gs6} = gm_{2a}V_{in-} + gm_{4a}V_{gs4} \quad (3.7)$$

Reemplazando (3.3) en (3.7):

$$I_{out} = gm_6V_{gs6} = gm_{2a}V_{in-} + Kgm_{4b}V_{gs4} \quad (3.8)$$

Reemplazando (3.6) en (3.8):

$$I_{out} = gm_6 V_{gs6} = gm_{2a} V_{in-} - K gm_{1b} V_{in+} \quad (3.9)$$

Reemplazando (3.2) y (3.4) en (3.9):

$$I_{out} = gm_6 V_{gs6} = gm_{1a} (1 + K) V_{in+} \quad (3.10)$$

Finalmente obtenemos el valor de la transconductancia del amplificador:

$$G_{mFDRFC} = \frac{I_{out}}{V_{in+}} = \frac{gm_6 V_{gs6}}{V_{in+}} = gm_{1a} (1 + K) \quad (3.11)$$

3.1.2. Impedancia de salida

En el cálculo de la impedancia de salida debemos conectar la entrada a tierra según el lemma antes mencionado. Los voltajes V_{gs2} y V_{gs4} son iguales a cero debido a que la entrada es cero y V_{gs10} también es cero porque los voltajes DC son cero en el análisis de pequeña señal.

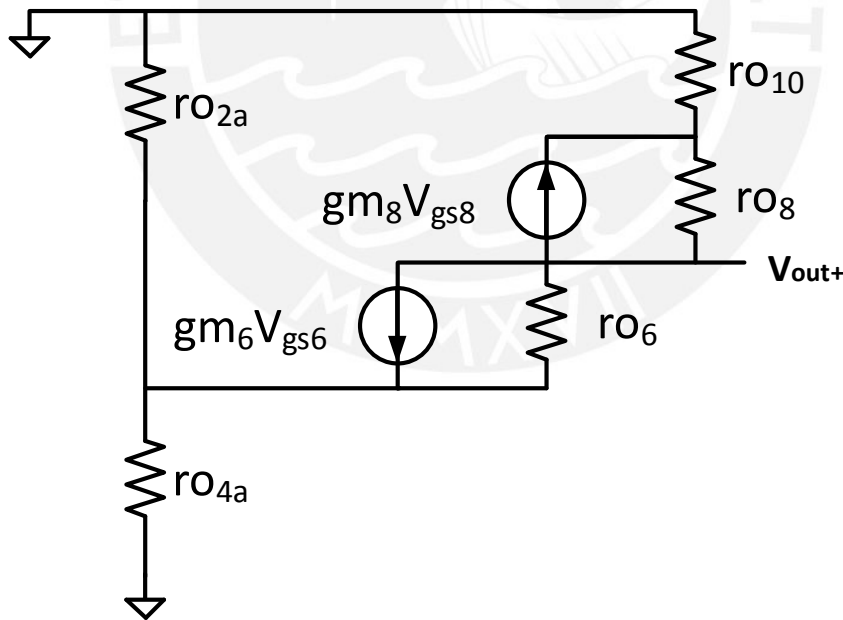


Figura 3.4: Circuito para hallar la impedancia de salida Z_{out}

Impedancia vista desde V_{out+} hacia arriba del circuito:

$$Z_{out1} = [1 + (gm_8 + gmb_8) r_{o8}] r_{o10} + r_{o8} \quad (3.12)$$

Impedancia vista desde V_{out+} hacia abajo del circuito:

$$Z_{out2} = [1 + (gm_6 + gmb_6) r_{o6}] (r_{o4a} // r_{o2a}) + r_{o6} \quad (3.13)$$

Los términos gmb que aparecen en (3.12) y (3.13) están relacionados con el efecto cuerpo de los transistores, sin embargo, su valor es pequeño y se desprecia este efecto en los transistores M6 y M8. Luego se realizan algunas simplificaciones en la ecuación (3.12) tomando en cuenta que $gm_8 r_{o8} \gg 1$ y $gm_8 r_{o8} r_{o10} \gg r_{o8}$

$$Z_{out1} \approx gm_8 r_{o8} r_{o10} + r_{o8} \approx gm_8 r_{o8} r_{o10} \quad (3.14)$$

Similarmente para ecuación (3.13) se simplifica sabiendo que $gm_6 r_{o6} \gg 1$ y $gm_6 r_{o6} (r_{o4a} // r_{o2a}) \gg r_{o6}$

$$Z_{out2} \approx gm_6 r_{o6} (r_{o4a} // r_{o2a}) + r_{o6} \approx gm_6 r_{o6} (r_{o4a} // r_{o2a}) \quad (3.15)$$

Finalmente obtenemos la impedancia de salida total

$$Z_{out} = Z_{out1} // Z_{out2} \quad (3.16)$$

$$Z_{out} = gm_8 r_{o8} r_{o10} // gm_6 r_{o6} (r_{o4a} // r_{o2a}) \quad (3.17)$$

3.1.3. Rapidez de respuesta (*Slew Rate*)

El slew rate es una característica muy importante a tomar en cuenta en el diseño de amplificadores. Se expresa como la corriente máxima a la salida del circuito sobre la capacitancia de carga a la salida.

Para el caso del FDRFC suponemos que el valor de V_{in+} es muy elevado, tanto que los transistores M1a y M1b están en región de corte. Debido a que no hay corriente circulando por M1b tampoco habrá corriente por la rama donde está el transistores M12, ni por el espejo de corriente M4a-M4b. Por lo tanto, los transistores M2a y M6 no se encuentran funcionando en región de saturación. El motivo es porque el drenador de M4a tiende a un valor muy elevado haciendo que M6 entre a región de corte y M2a comience a trabajar en región triodo profundo (deep triode). Entonces la corriente de salida de carga a la capacitancia de salida C_L es suministrada solo por M10 y es igual a:

$$I_{V_{out+}} = (K - 1) \frac{I_b}{2} \quad (3.18)$$

Como los transistores M1a y M1b están en corte y M2a en triodo profundo entonces toda la corriente de suministrada por M0 circula por los transistores M2b y M3b. La corriente se refleja con una ganancia K hacia M3a. De esta forma, en la salida V_{out-} obtenemos la diferencia de la corriente que circula por M5 (la misma que por M3a) y la corriente que suministra M9, y es igual a:

$$I_{V_{out-}} = (3K + 1) \frac{I_b}{2} \quad (3.19)$$

Este desbalance de corrientes en las salidas se manifiesta como un voltaje de offset en la salida y es solucionado por el circuito de realimentación de modo común (*Common-mode Feedback*, CMFB) y se obtiene el máximo slew rate simétrico:

$$SR_{FDRFC} = \frac{\frac{I_{V_{out+}} + I_{V_{out-}}}{2}}{C_L} = K \frac{I_b}{C_L} \quad (3.20)$$

3.1.4. Ruido

El análisis de ruido en el amplificador es de suma importancia debido a que la baja amplitud de las señales neuronales es muy susceptible al ruido. Son dos tipos de ruido los que afectan principalmente al circuito: Ruido Térmico y Ruido Flicker. A continuación se realiza el análisis de ambos.

Ruido Térmico

Las corrientes de ruido térmico que aparecen en paralelo, conectadas entre los terminales de drenador y surtidor son:

$$\overline{I^2}_{T,M1a} = 4kT\gamma gm_{1a} \quad (3.21)$$

$$\overline{I^2}_{T,M3a} = 4kT\gamma gm_{3a} \quad (3.22)$$

$$\overline{I^2}_{T,M9} = 4kT\gamma gm_9 \quad (3.23)$$

También están las corrientes de los transistores M2b y M3b que se reflejan hacia el transistor M3a, entre los terminales de drenador y surtidor, con una ganancia igual a K:

$$\overline{I^2}_{T,M2b} = 4kT\gamma gm_{2b} \quad (3.24)$$

$$\overline{I^2}_{T,M3b} = 4kT\gamma gm_{3b} = 4kT\gamma \frac{gm_{3a}}{K} \quad (3.25)$$

Finalmente a la salida tenemos:

$$\overline{I^2}_{T,out} = 4kT\gamma gm_{1a} + 4kT\gamma gm_{3a} + 4kT\gamma gm_9 + K^2 \left(4kT\gamma gm_{2b} + 4kT\gamma \frac{gm_{3a}}{K} \right) \quad (3.26)$$

Para encontrar el ruido en la entrada dividimos entre la transconductancia (3.11) y multiplicamos por dos el ruido del half-circuit para hallar el ruido total.

$$\overline{V^2}_{T,in} = \frac{8kT\gamma}{gm_{1a}(1+K)} \left[\frac{(1+K^2)}{(1+K)} + \frac{gm_{3a}}{gm_{1a}} + \frac{gm_9}{gm_{1a}(1+K)} \right] \quad (3.27)$$

Ruido Flicker

Al igual que en el caso del ruido térmico, hallamos las corrientes de ruido flicker:

$$\overline{I^2}_{f,M1a} = \frac{K_P}{C_{ox}W_{1a}L_{1a}f} gm_{1a}^2 \quad (3.28)$$

$$\overline{I^2}_{f,M2b} = \frac{K_P}{C_{ox}W_{2a}L_{2a}f} gm_{2a}^2 \quad (3.29)$$

$$\overline{I^2}_{f,M3a} = \frac{K_N}{C_{ox}W_{3a}L_{3a}f} gm_{3a}^2 \quad (3.30)$$

$$\overline{I^2}_{f,M3b} = \frac{K_N}{C_{ox}W_{3b}L_{3b}f} gm_{3b}^2 = \frac{K_N}{C_{ox}W_{3a}L_{3a}f} \frac{gm_{3a}^2}{K} \quad (3.31)$$

$$\overline{I^2}_{f,M9} = \frac{K_P}{C_{ox}W_9L_9f} gm_9^2 \quad (3.32)$$

Ahora se reflejan $\overline{I^2}_{f,M2b}$ y $\overline{I^2}_{f,M3b}$ con una ganancia K y se suman los ruidos.

$$\overline{I^2}_{f,out} = \frac{1}{C_{ox}f} \left[\frac{K_P}{W_{1a}L_{1a}} gm_{1a}^2 + \frac{K_N}{W_{3a}L_{3a}} gm_{3a}^2 + \frac{K_N}{W_{3a}L_{3a}} K gm_{3a}^2 + \frac{K_P}{W_{1a}L_{1a}} K^2 gm_{1a}^2 + \frac{K_P}{W_9L_9} gm_9^2 \right] \quad (3.33)$$

Dividimos entre la transconductancia (3.11) y multiplicamos por dos para hallar el ruido total.

$$\overline{V^2}_{f,in} = \frac{2K_P}{C_{ox}W_{1a}L_{1a}(1+K)f} \left[\frac{(1+K^2)}{(1+K)} + \frac{K_N W_{1a}L_{1a}}{K_P W_{3a}L_{3a}} \left(\frac{gm_{3a}}{gm_{1a}} \right)^2 + \frac{1}{(1+K)} \frac{W_{1a}L_{1a}}{W_9L_9} \left(\frac{gm_9}{gm_{1a}} \right)^2 \right] \quad (3.34)$$

Utilizando la siguiente ecuación para el termino de transconductancia

$$gm = \sqrt{2k_{PP} \frac{W}{L} I_D} \quad (3.35)$$

Donde k_{PP} y k_{PN} es la capacitancia C_{OX} multiplicado por la movilidad μ_n de los portadores mayoritarios en el transistor PMOS o NMOS, respectivamente. Luego reemplazamos en (3.35) en (3.34) y obtenemos

$$\overline{V^2}_{f,in} = \frac{2K_P}{C_{ox}W_{1a}L_{1a}(1+K)f} \left[\frac{(1+K^2)}{(1+K)} + \frac{K_N W_{1a}L_{1a}}{K_P W_{3a}L_{3a}} \frac{2k_{PN} \frac{W_{3a}}{L_{3a}} \frac{KI_b}{2}}{2k_{PP} \frac{W_{1a}}{L_{1a}} \frac{I_b}{2}} + \frac{1}{(1+K)} \frac{W_{1a}L_{1a}}{W_9L_9} \frac{2K_P \frac{W_9}{L_9} \frac{(K-1)I_b}{2}}{2K_P \frac{W_{1a}}{L_{1a}} \frac{I_b}{2}} \right] \quad (3.36)$$

Simplificando

$$\overline{V^2}_{f,in} = \frac{2K_P}{C_{ox}W_{1a}L_{1a}(1+K)f} \left[\frac{(1+K^2)}{(1+K)} + K \frac{K_N k_{PN}}{K_P k_{PP}} \left(\frac{L_{1a}}{L_{3a}} \right)^2 + \frac{(K-1)}{(1+K)} \left(\frac{L_{1a}}{L_9} \right)^2 \right] \quad (3.37)$$

3.1.5. Análisis de área y potencia

Con el propósito de diseñar un circuito de menor área y potencia, escalamos los anchos de canal de todos los transistores por α y escalamos la corriente suministrada por β . A continuación, hallamos las nuevas expresiones para las características ya vistas del amplificador. Al escalar las dimensiones de los transistores y la corriente para hallar nuevas expresiones estamos asumiendo un comportamiento lineal de los transistores, de otra forma no serian válidas las siguientes expresiones. Se utilizará un apóstrofe para denotar a los nuevos parámetros de los transistores (ejm. gm'_{1a}).

Transconductancia

La transconductancia depende linealmente del ancho del canal del transistor, es directamente proporcional. Como el ancho se escala en α entonces la transconductancia también.

$$Gm'_{FDRFC} = gm'_{1a} (1+K) = \sqrt{\alpha\beta} gm_{1a} (1+K) \quad (3.38)$$

Impedancia de salida

El escalamiento de la corriente ocasiona que las resistencias r_o también se escalen pero inversamente al valor de la corriente. Esto se debe a la siguiente relación:

$$r_o = \frac{1}{\lambda I_D} \quad (3.39)$$

En donde λ es la inversa del voltaje de Early

$$Z'_{out} = \frac{\alpha}{\beta^2} [gm_8 r_{o8} r_{o10} // gm_6 r_{o6} (r_{o4a} // r_{o2a})] \quad (3.40)$$

Rapidez de respuesta (*Slew Rate*)

El slew rate se escala también como consecuencia del escalamiento de la corriente.

$$SR'_{FDRFC} = K \frac{I'_b}{C_L} = K \frac{\beta I_b}{C_L} \quad (3.41)$$

Ruido Térmico

$$\overline{V^2}'_{T,in} = \frac{8kT\gamma}{\sqrt{\alpha\beta} gm_{1a} (1+K)} \left[\frac{(1+K^2)}{(1+K)} + \frac{gm_{3a}}{gm_{1a}} + \frac{gm_9}{gm_{1a} (1+K)} \right] \quad (3.42)$$

Ruido Flicker

$$\overline{V^2}'_{f,in} = \frac{2K_P}{\alpha C_{ox} W_{1a} L_{1a} (1+K) f} \left[\frac{(1+K^2)}{(1+K)} + K \frac{K_N k_{PN}}{K_P k_{PP}} \left(\frac{L_{1a}}{L_{3a}} \right)^2 + \frac{(K-1)}{(1+K)} \left(\frac{L_{1a}}{L_9} \right)^2 \right] \quad (3.43)$$

Como podemos ver de los resultados obtenidos de esta variante del diseño hay algunas ventajas y desventajas. Para tener una mejor idea de las expresiones definimos un escalamiento de dimensiones y corriente a la mitad, es decir $\alpha = \beta = 0,5$. Obtenemos una mejora en impedancia de salida, sin embargo, la transconductancia, slew rate y ruido se degradan. La ganancia se mantiene constante para este caso.

3.2. Especificaciones del Amplificador

Una vez calculadas las expresiones para transconductancia, impedancia de salida, slew rate y ruido del amplificador podemos saber de que forma afectan los parametros de cada transistor individualmente dentro de todo el circuito. Conociendo estas expresiones debemos escoger con buen

criterio las dimensiones que deben tener los transistores. Para empezar a diseñar es necesario definir las especificaciones que tendrá el amplificador de señales neuronales. De acuerdo a las características de las señales neuronales descritas en el Capítulo 1 y a los trabajos previos expuestos en la Cuadro 2.1 se han establecido los siguientes requerimientos del amplificador.

Cuadro 3.1: Especificaciones del Amplificador de Señales Neuronales.

Parámetro	Especificación
Número de canales	1
Ganancia(dB)	> 40
Margen de fase(°)	> 60
Ancho de banda(Hz)	1 - 6000
Input ref. noise density(nV/Hz ^{1/2})	70
Input ref. noise (μVrms)	< 5
Potencia disipada (μW)	< 150
Área (mm ²)	0.6
Corriente (uA)	32
Alimentación (V)	3.3
Tecnología	0,35μm CMOS

3.3. Dimensionamiento de los transistores

Para iniciar con el dimensionamiento de los transistores primero debemos utilizar ciertos criterios de diseño. Normalmente, como en este caso, el diseñador tiene muchas variables y pocas ecuaciones. Es por eso que el diseñador debe asumir ciertas condiciones a las que operará el circuito a diseñar. Como bien se dijo en la sección anterior, el modelo cuadrático es bastante simple y no toma en consideración muchos factores que pueden modificar el comportamiento del transistor. Por esta razón, no es suficiente efectuar solamente estos cálculos sino hacer un reajuste de dimensiones según los primeros resultados obtenidos.

3.3.1. Amplificador

Empezaremos por definir el punto de operación DC del amplificador diferencial. Las señales neuronales provienen de una etapa que les proporciona un voltaje DC común. Asumimos que este voltaje es 1.6 V ya que es aproximadamente la mitad del voltaje de alimentación y asegura que se polarice adecuadamente el transistor M0, el cual es el que suministra toda la corriente al par diferencial de entrada. La corriente que suministra M0 es $2I_b$, la cual para este diseño es igual a $8\mu A$. Asimismo, definimos $K = 3$ para que la corriente consumida sea la misma a la que utilizaría un *Fully-differential Folded-cascode* convencional.

El objetivo de este procedimiento es fijar el voltaje de modo común en los nodos de salida V_{out+} y V_{out-} . Diseñamos el amplificador para tener un valor aproximadamente igual a la mitad

del voltaje de alimentación, de esta manera garantizamos que se saturen apropiadamente todos los transistores. El siguiente paso en el diseño se basa en la expresión (3.44) la cual se deriva de (3.1).

$$gm = \frac{2I_D}{V_{ov}} \quad (3.44)$$

Se escogen valores del voltaje de *overdrive* ($V_{ov} = V_{gs} - V_{th}$) para que se saturen los transistores y operen en la región de inversión deseada. Para los transistores M9 y M10 fijamos $V_{ov} = 500mV$.

$$\frac{gm}{I_D} = \frac{2}{V_{ov}} = 4V^{-1} \quad (3.45)$$

Con este valor de $\frac{gm}{I_D}$ aseguramos que los transistores operen en inversión fuerte. Calculamos gm sabiendo que $I_D = I_b = 8\mu A$.

$$gm = 32\mu S \quad (3.46)$$

Con este resultado podemos darnos cuenta de la razón por la cual se escogió un V_{ov} relativamente elevado. Al ser este valor alto entonces la transconductancia gm disminuye lo cual es conveniente para reducir el ruido térmico según la expresión (3.27). Utilizando nuevamente (3.1), en donde $k_{pp} = \mu_n C_{ox} = 58\mu S$ según el Process Parameter de AMS035 [19], determinamos el factor de forma:

$$8\mu A = \frac{58\mu}{2} \frac{W}{L} 0,5^2 \quad (3.47)$$

$$\frac{W}{L} = 1,10 \quad (3.48)$$

Conociendo el factor de forma podemos elegir los valores para W y L para los transistores M9 y M10 que cumplan con la relación (3.48). Para escoger los valores debemos tomar en cuenta los cálculos de la Sección 3.1 en donde vemos que lo más adecuado es elegir L grande para disminuir el efecto del ruido Flicker (3.37). Entonces escogemos los siguientes valores:

$$W = 110\mu m \quad (3.49)$$

$$L = 100\mu m \quad (3.50)$$

Para el posterior ajuste de dimensiones debemos tener en cuenta que si aumenta V_{ov} disminuye gm y entonces el valor de $\frac{W}{L}$ debe disminuir para mantener un valor de gm lo más constante posible para que no afecte en gran manera el resto de nuestro diseño.

$$V_{ov} \uparrow gm \downarrow \frac{W}{L} \downarrow \quad (3.51)$$

Para el caso de los transistores M7 y M8 escogemos un $V_{ov} = 100mV$, un valor relativamente bajo el cual permite que la excursión de voltaje a la salida sea mayor.

$$\frac{gm}{I_D} = \frac{2}{V_{ov}} = 20V^{-1} \quad (3.52)$$

$$gm = 160\mu S \quad (3.53)$$

$$\frac{W}{L} = 27,58 \quad (3.54)$$

No hay necesidad de escoger un W o L grande porque no tenemos limitaciones en cuanto a ruido para las dimensiones de estos transistores. Entonces escogemos

$$W = 30\mu m \quad (3.55)$$

$$L = 1\mu m \quad (3.56)$$

Para este caso debemos tener en cuenta que si disminuye V_{ov} aumenta gm y entonces el valor de $\frac{W}{L}$ debe aumentar para mantener gm constante.

$$V_{ov} \downarrow gm \uparrow \frac{W}{L} \uparrow \quad (3.57)$$

Como podemos observar de estos resultados, al escoger un V_{ov} bajo también mejora la impedancia de salida al aumentar la transconductancia gm de estos transistores.

Se efectúa un procedimiento similar para los transistores M0, M3a, M3b, M4a, M4b, M5, M6, M11 y M12. Los transistores M1a, M1b, M2a y M2b, los cuales conforman el par diferencial de entrada, son dimensionados con altos valores de $\frac{W}{L}$ para que trabajen en región subumbral. De esta manera, el valor de su transconductancia es muy alto, elevando así el valor de la transconductancia de todo el amplificador según la expresión (3.11). También es requerido este valor alto de transconductancia en el par diferencial para disminuir el ruido térmico según (3.27). El valor para los transistores del par diferencial son elegidos en base a la referencia [11].

Cuadro 3.2: Dimensionamiento de los transistores del FDRFC.

Transistor	$I_D(\mu A)$	$\frac{W}{L}$	$W(\mu m)$	$L(\mu m)$
M0	16	2.2	220	100
M1a,M1b,M2a,M2b	4	62.5	250	4
M3a,M4a	12	0.5625	56.25	100
M3b,M4b	4	0.1875	18.75	100
M5,M6	8	10	10	1
M7,M8	8	30	30	1
M9,M10	8	1.1	110	100
M11,M12	4	5	5	1

3.3.2. Circuito de polarización: Espejos de corriente

El diseño del amplificador requiere una parte adicional, al igual que todo otro circuito analógico, un circuito de polarización. Este circuito se encarga de polarizar a los transistores M0, M5, M6, M7, M8, M9 y M10 para garantizar que funcionen en la región de operación deseada. Si bien los transistores definen su región de operación según el voltaje en sus terminales, depender de un voltaje de referencia no es lo óptimo ya que el voltaje es muy susceptible frente a cambio de temperatura y otras variaciones de proceso. Por esta razón, lo que se suele utilizar son espejos de corriente. Se copia la corriente que fluye por un transistor y se refleja al transistor que se desea polarizar. Para poder asegurarnos de que se copie la corriente exacta debemos tomar en cuenta el efecto de modulación de canal en el modelo cuadrático. Notar de la Figura 3.5 $V_{gs1} = V_{gs2}$

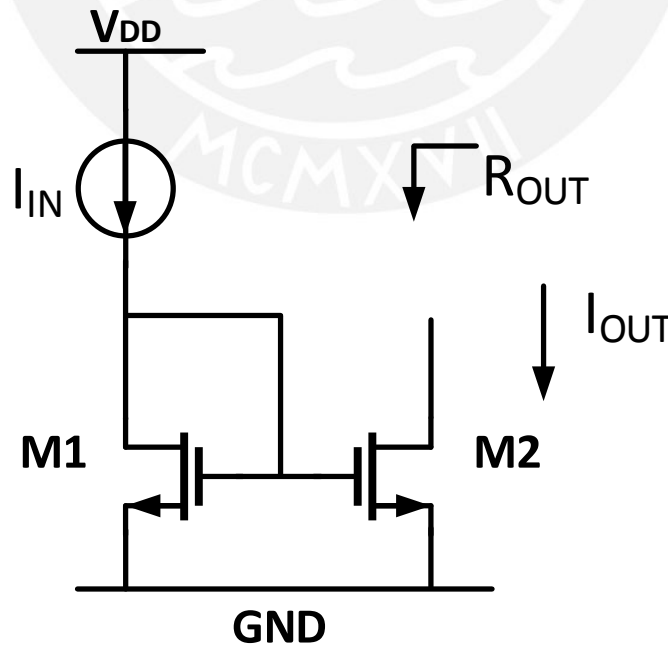


Figura 3.5: Espejo de corriente NMOS

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds}) \quad (3.58)$$

$$\frac{I_{OUT}}{I_{IN}} = \frac{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_2 (V_{gs2} - V_{th})^2 (1 + \lambda V_{ds2})}{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_1 (V_{gs1} - V_{th})^2 (1 + \lambda V_{ds1})} \quad (3.59)$$

$$I_{OUT} = \frac{\left(\frac{W}{L}\right)_2 (1 + \lambda V_{ds2})}{\left(\frac{W}{L}\right)_1 (1 + \lambda V_{ds1})} I_{IN} \quad (3.60)$$

De la expresión obtenida en (3.60) podemos observar que si no tomamos en cuenta el efecto de modulación de canal entonces la corriente de salida es la relación de los factores de forma del transistor M1 y M2. Sin embargo, no es del todo exacto ya que muchas veces el voltaje entre drenador y surtidor en ambos transistores difiere en muchos milivoltios y no se puede despreciar el efecto de modulación de canal. Por lo tanto, no se obtiene la corriente estimada a la salida y se debe hacer un ajuste de dimensiones.

A simple vista se observa que es indiferente que valores de W y L se escojan siempre y cuando la relación $\frac{W}{L}$ sea la calculada para cierta corriente de salida. Esto no es del todo cierto ya que dependiendo de las dimensiones de los transistores el espejo de corriente puede tener una mejor impedancia de salida. Para elegir los valores de las dimensiones para los espejos de corriente se realizaron muchas simulaciones para diferentes valores de W y L . En la siguiente figura se muestran las curvas para una corriente de salida de $10\mu A$ en función del voltaje de drenador del transistor M2 de la Figura 3.5, para un largo fijo $L = 100\mu m$ y un ancho W desde $10\mu m$ hasta $100\mu m$.

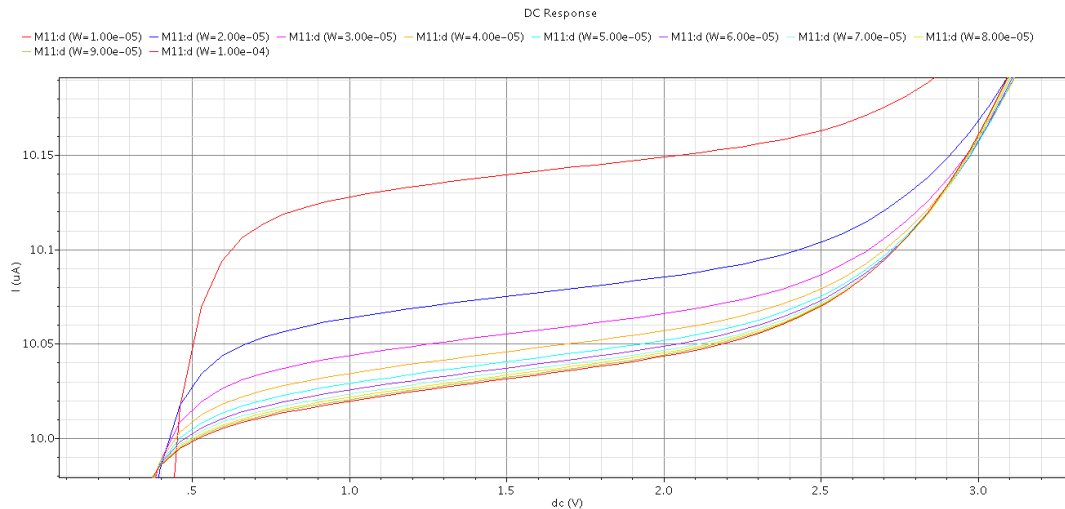


Figura 3.6: Corriente de salida vs Voltaje de drenador para un espejo de corriente NMOS

En la Figura 3.6 podemos observar que la corriente no se refleja idealmente debido al efecto de modulación de canal. Además podemos notar que la inversa de la pendiente de la curva es su

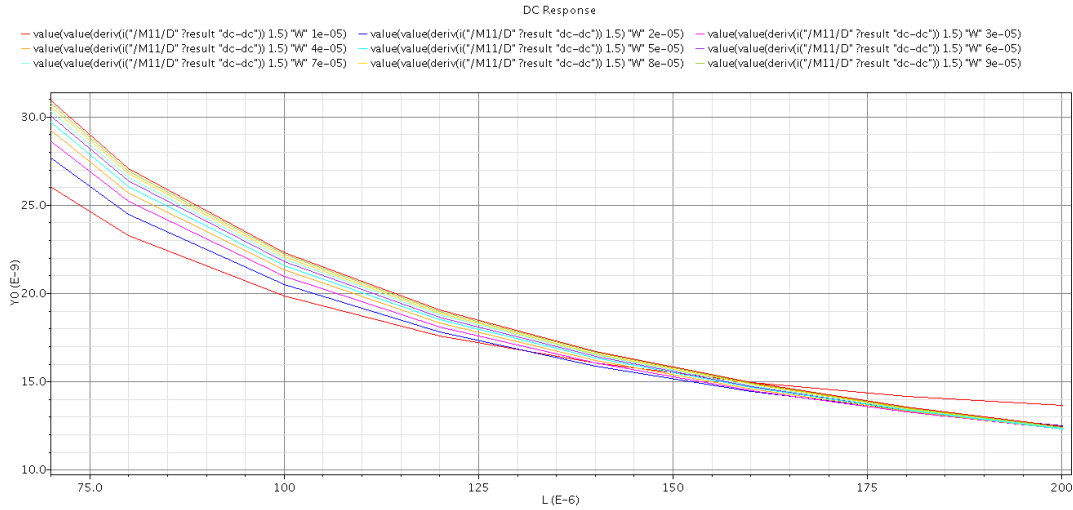


Figura 3.7: Derivada de la corriente de salida vs Largo de canal para un espejo de corriente NMOS

impedancia de salida. Se pueden observar mejor las impedancias de salida en la Figura (3.7), para W desde $10\mu m$ hasta $100\mu m$ y L desde $75\mu m$ hasta $200\mu m$.

También se realizaron simulaciones para los espejos de corriente PMOS para una corriente de $16\mu A$. En la Figura (3.8) se observa la corriente para un largo fijo $L = 50\mu m$ y un ancho W desde $10\mu m$ hasta $100\mu m$. En la Figura (3.9) se observa la derivada de la corriente de salida para un ancho fijo $W = 80\mu m$ y un largo L desde $10\mu m$ hasta $100\mu m$.

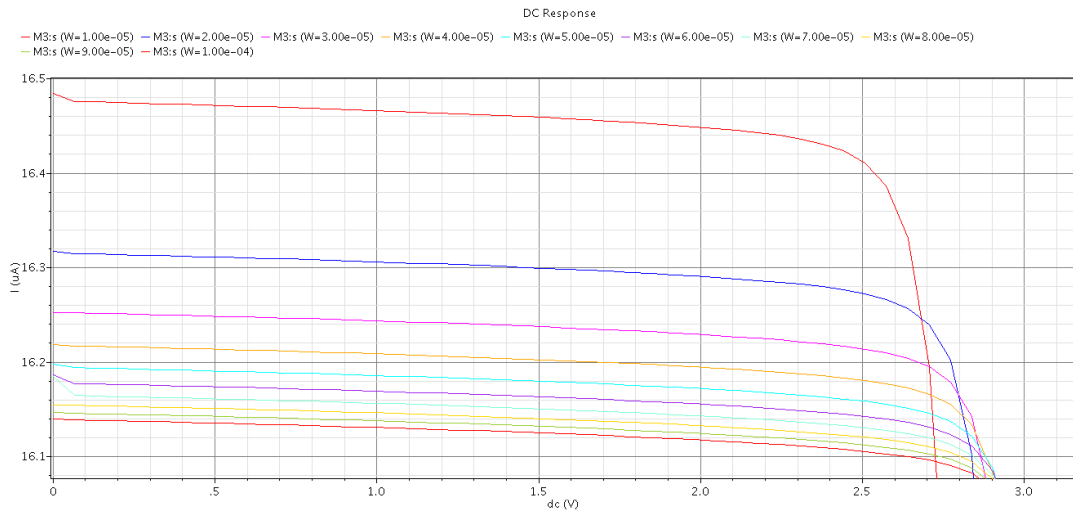


Figura 3.8: Corriente de salida vs Voltaje de drenador para un espejo de corriente PMOS

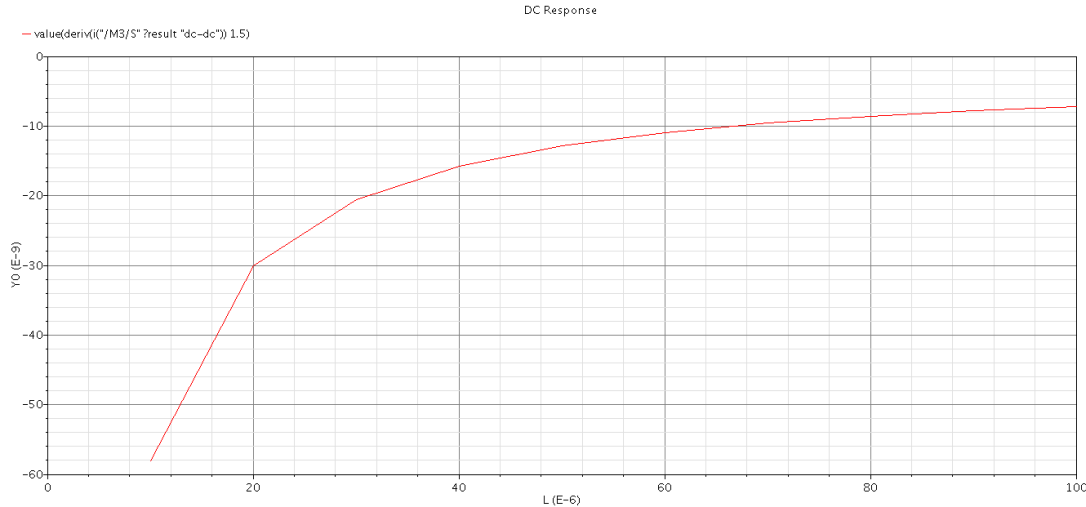


Figura 3.9: Derivada de la corriente de salida vs Largo de canal para un espejo de corriente PMOS

Las figuras mostradas sobre los espejos de corrientes son solo unas pocas de todas las pruebas que se hicieron para encontrar las mejores dimensiones de los transistores. El criterio que se utilizó para determinar las dimensiones fue el de obtener un valor pequeño de derivada de la corriente de salida y a la vez nos de un rango amplio de linealidad en las Figuras (3.6) y (3.8). Como se puede observar de las gráficas de las derivadas, el espejo PMOS tiene una mayor impedancia de salida que el NMOS. Esto se debe a que en los transistores NMOS, de canal N, los portadores mayoritarios son electrones y por lo tanto tienen mayor movilidad (μ_n), lo cual se traduce en menor impedancia.

Los valores escogidos para los espejos de corriente son los siguientes:

Cuadro 3.3: Dimensionamiento de los transistores para espejos de corriente simples NMOS y PMOS.

Transistor	$I_D(\mu A)$	$\frac{W}{L}$	$W(\mu m)$	$L(\mu m)$
NMOS	8	2.08	125	60
PMOS	8	0.56	45	80

3.3.3. Circuito de polarización: Espejos de corriente cascodo de bajo voltaje

Los espejos de corriente vistos anteriormente son utilizados para polarizar circuitos que tienen a la salida solo un transistor. Para el caso del diseño del FDRFC no es la mejor opción utilizar los espejos de corriente simples, sin embargo hay una variante que es el espejo de corriente cascodo de bajo voltaje el cual precisamente se adecua mejor a nuestros requerimientos ya que la impedancia de salida de nuestro amplificador es del tipo cascoco.

La desventaja del espejo cascodo de bajo voltaje es que requiere una rama extra de polarización, como se muestra en la Figura 3.10. Ambas ramas en donde se observan las fuentes de corrientes son en verdad espejos de corriente simples del tipo PMOS que se reflejan de otro transistor. Cabe

resaltar que en el diseño de circuitos integrados solo se suele utilizar una fuente de corriente de referencia de donde se refleja su corriente hacia las demás ramas. La fuente de corriente de referencia es una fuente diseñada con técnicas de *bandgap* las cuales garantizan que sea robusta frente a variaciones de proceso y cambios en la temperatura, y minimiza efectos de voltajes de *offset*.

Al usar una configuración cascodo siempre se disminuye el *voltage swing* o excursión de voltaje a la salida. Existen otras configuraciones cascodo en las que el voltaje mínimo de salida debe ser mayor a un voltaje umbral (V_{TH}) más dos voltajes de saturación o *overdrive voltages* (V_{ov}). Estas configuraciones limitan mucho el rango del voltaje de salida ya que el voltaje umbral no es un valor pequeño, es por esta razón que se escogió la topología del cascodo de espejo de corriente de alta excursión (*High-swing Cascode Current Mirror*), y como se muestra en la Figura 3.10, el valor del voltaje mínimo de salida solamente debe ser mayor a dos V_{ov} .

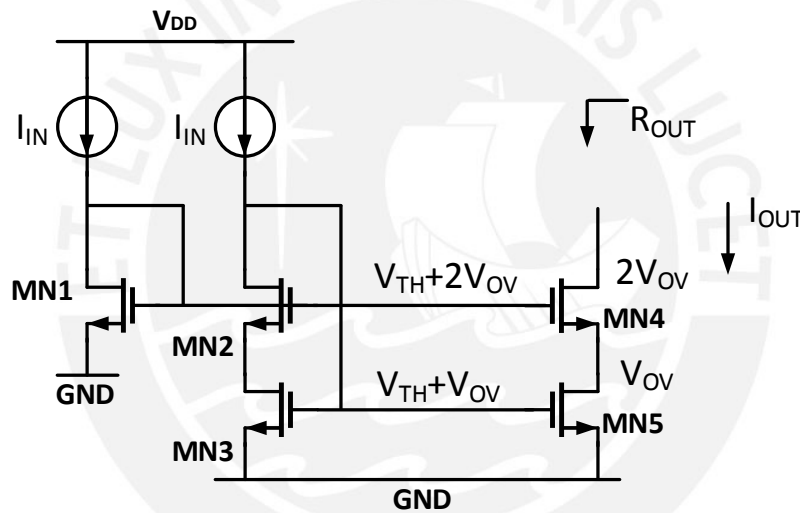


Figura 3.10: Espejo de corriente cascodo NMOS

Un espejo de corriente cascodo NMOS es usado para polarizar los transistores M5, M6, M11 y M12, con el voltaje de puerta del transistor MN2 ($V_G = V_{TH} + 2V_{ov}$). Mientras que un espejo de corriente cascodo PMOS es usado para polarizar los transistores M7 y M8 con el voltaje de puerta del transistor MP2 ($V_G = V_{DD} - |V_{TH}| - 2V_{ov}$). Los transistores M9 y M10 son polarizados con el voltaje de puerta del transistor MP3 ($V_G = V_{DD} - |V_{TH}| - V_{ov}$). Los transistores MP4 y MP5 son en realidad los transistores M7, M8 y M9, M10 respectivamente, mientras que MN4 es en realidad M5 y M6.

3.4. Ajuste de Dimensiones

Como se anticipó, los valores obtenidos luego de realizar una simulación DC con la herramienta *SPECTRE* para hallar el punto de operación de la topología con las dimensiones de los transistores

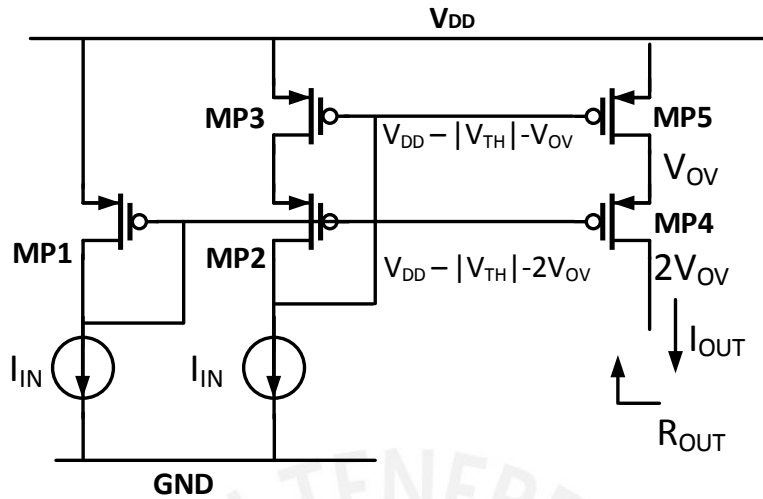


Figura 3.11: Espejo de corriente cascode PMOS

Cuadro 3.4: Dimensionamiento de los transistores para espejos de corriente cascode NMOS y PMOS.

Transistor	$I_D(\mu A)$	$\frac{W}{L}$	$W(\mu m)$	$L(\mu m)$
MN1	8	0.07	7	100
MN2,MN4	8	10	10	1
MN3,MN5	8	0.75	75	100
MP1	8	0.8	20	25
MP2,MP4	8	30	30	1
MP3,MP5	8	1.1	110	100

no fueron los deseados. El voltaje de modo común en las salidas diferenciales del amplificador fueron cercanas al voltaje de alimentación (3.3V), por lo tanto fue necesario realizar ciertos ajustes de dimensiones. El voltaje en modo común de la salida debería ser aproximadamente la mitad de la alimentación para permitir un alto swing de voltaje de salida AC.

La razón por la cual el valor DC de salida se eleva tanto es porque los transistores del cascode tipo PMOS se encuentran dimensionados con alto $\frac{W}{L}$ en comparación con el cascode NMOS y el espejo de corriente M3a, M3b, M4a y M4b. Entonces los transistores NMOS necesitan mayor voltaje V_{ds} para poder manejar la corriente que se le exige. El voltaje común de salida se eleva forzando que los transistores M7 y M8 operen en región triodo, incluso M9 y M10 podrían entrar eventualmente a triodo si se eleva más el voltaje común.

Como una solución a este problema reducimos el factor de forma de los transistores del cascode PMOS. Una vez que se modificaron las dimensiones surgió otro problema en el punto de operación de los transistores M9 y M10 los cuales aumentaron a casi 1V su voltaje de surtidor drenador V_{sd} . Este problema no se puede solucionar ajustando valores en los transistores PMOS ya que para

Cuadro 3.5: Ajuste de dimensiones de los transistores.

Transistor	$I_D(\mu A)$	$\frac{W}{L}$	$W(\mu m)$	$L(\mu m)$	$gm(\mu S)$	$V_{ov}(mV)$
MN1	8.01	0.14	14	100	16.38	648.1
MN2	8.01	0.14	14	100	65.52	179.2
MN3	8.01	0.14	14	100	22.56	458.2
MP1	8.02	0.2	5	25	11.01	1223
MP2	8.03	0.2	5	25	99.4	128.5
MP3	8.03	0.2	5	25	23.76	588.6
M0	16.07	1.58	190	120	47.53	589
M1a,M2a,	4.03	62.5	250	4	84.22	70.79
M1b,M2b	4.00	62.5	250	4	83.69	70.79
M3a,M4a	12.05	0.20	26.25	130	33.92	458.5
M3b,M4b	4.00	0.06	8.75	130	11.36	458.7
M5,M6	8.02	2.05	41	20	65.69	179
M7,M8	8.02	30	30	1	122.3	127.1
M9,M10	8.02	0.79	95	120	23.74	588.6
M11,M12	4.00	1.03	20.5	20	45.05	132.8

disminuir V_{sd} habría que aumentar el factor de forma y volveríamos al primer problema, por lo tanto, disminuiríamos el factor de forma en los transistores NMOS. Luego de haber realizado los ajustes de dimensiones mencionados se obtuvieron los valores que se muestran en la Tabla 3.5.

Debemos tener presente que las dimensiones de los transistores de los espejos de corriente no fueron modificados ya que su única función es reflejar la corriente de referencia de $8\mu A$.

3.5. Elaboración de la disposición del circuito (*layout*)

La elaboración del *layout* del circuito del amplificador es el siguiente paso para llevar a la fabricación el circuito integrado. Consiste en diseñar físicamente cada transistor del circuito y como estos estarán distribuidos geoméricamente en la oblea de silicio en donde será fabricada. La tecnología con la que se cuenta para fabricar es $AMS0,35\mu m CMOS$, este valor representa el mínimo valor para el largo de canal de un transistor. La herramienta utilizada para elaborar *layouts* en *CADENCE* es el *Layout XL*.

Este proceso consiste en la elaboración de cada capa que se deposita en la oblea de silicio. Algunas de las capas con las cuales esta tecnología cuenta son las difusión tipo N+ y tipo P+ para los surtidores y drenadores de los transistores NMOS y PMOS respectivamente, pozo N para los substratos de los transistores PMOS, polisilicio para las compuertas de los transistores, cuatro capas de metal para realizar las interconexiones y vías que conectan las capas de metal.

Existen diversas técnicas para optimizar el diseño de un *layout* en cuanto a capacitancias parásitas, área y robustez ante variaciones de procesos. Algunas de las técnicas para elaboración

de layout son descritas a continuación:

3.5.1. Múltiples dedos (*Multiple fingers*)

Generalmente los transistores tienen una relación $\frac{W}{L}$ grande y esto ocasiona que aparezcan capacitancias parásitas de altos valores entre el drenador o surtidor y el sustrato. Para solucionar este problema se divide el transistor a lo ancho, posicionando cada parte una al lado de otra superponiendo su difusión (área verde en la Fig. 3.12). Al compartir de esta forma la difusión se logra reducir el área del drenador y surtidor, y por lo tanto disminuyen las capacitancias parásitas.

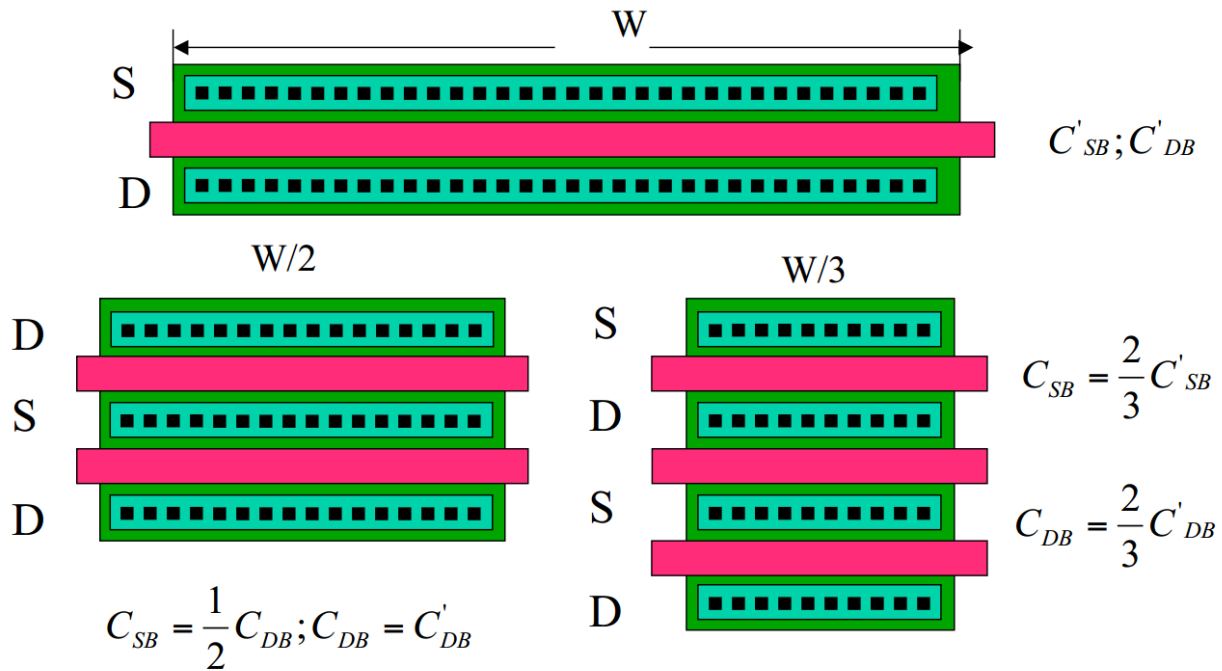


Figura 3.12: Uso de la técnica de *Multiple fingers* [13]

3.5.2. Interdigitación

La técnica de interdigitación normalmente es utilizada cuando es crítico que los transistores sean idénticos. Una aplicación común es utilizarlo para los transistores de los pares diferenciales debido a que es muy importante que estos transistores sean fabricados lo más parecidos para asegurar una buena simetría (*matching*) y disminuir los efectos de modo común en la respuesta diferencial del circuito. Con este método se establecen ejes de simetría para que las gradientes de las variaciones de procesos (ejm. gradiente de temperatura) afecten en igual medida a los transistores. En la Figura 3.13 se puede ver dos patrones distintos para la interdigitación de los transistores A y B. Estos patrones son AABBAABB y ABBAABBA para la primera y segunda figura, respectivamente.

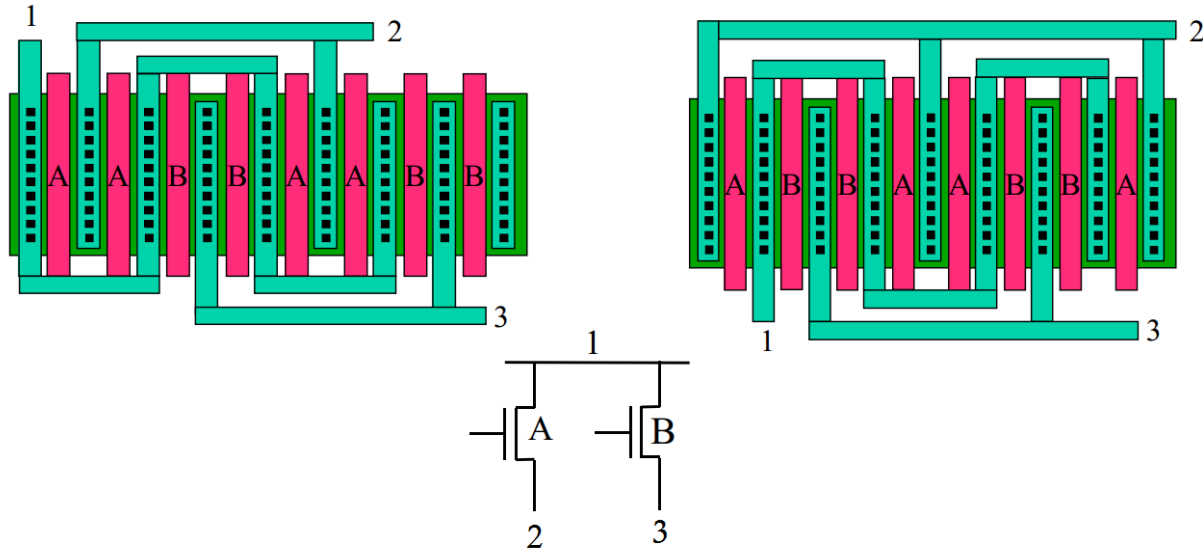


Figura 3.13: Uso de la técnica de interdigitación [13]

3.5.3. Centroide común

Esta técnica se implementa también para asegurar uniformidad y simetría en los transistores. Las gradientes que afectan a los transistores durante el proceso de fabricación se compensan al colocar los transistores en una distribución similar a la de la Figura 3.14. En imagen se muestra dos configuraciones, *cross coupling* y *tailing*. La segunda es más sensible ante gradientes de alto orden. La desventaja de utilizar esta técnica es que las interconexiones de poly y metal son mas complicadas.

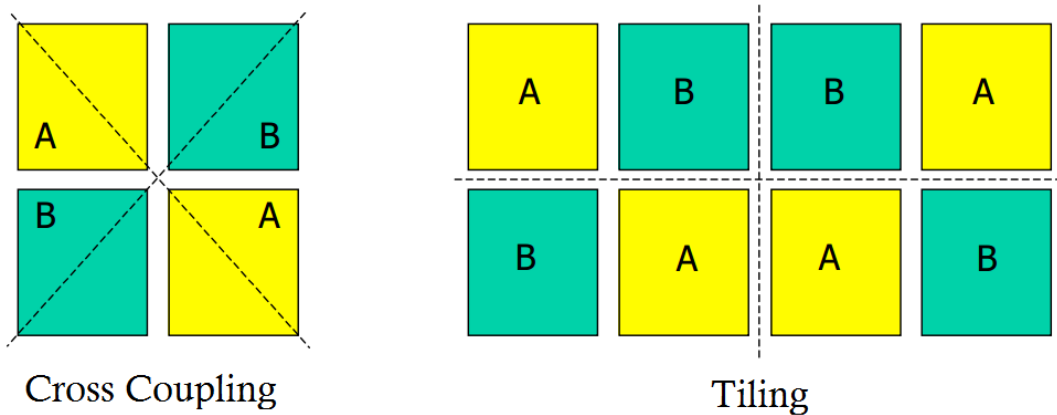


Figura 3.14: Uso de la técnica de centroide común [13]

3.5.4. Serpiente (*Snake*)

Como ya se mencionó anteriormente, para transistores muy grandes surgen capacitancias parásitas. Por esta razón se usan técnicas como *multiple fingers* o interdigitación cuando el ancho

CAPÍTULO 3. DISEÑO DEL AMPLIFICADOR DE SEÑALES NEURONALES

del canal es muy grande. En el caso de un largo de canal muy largo la técnica que se usa se conoce como *snake* y consiste en “doblar” el transistor a lo largo para disminuir área y capacitancias no deseadas. En la Figura 3.15 se muestra un ejemplo.

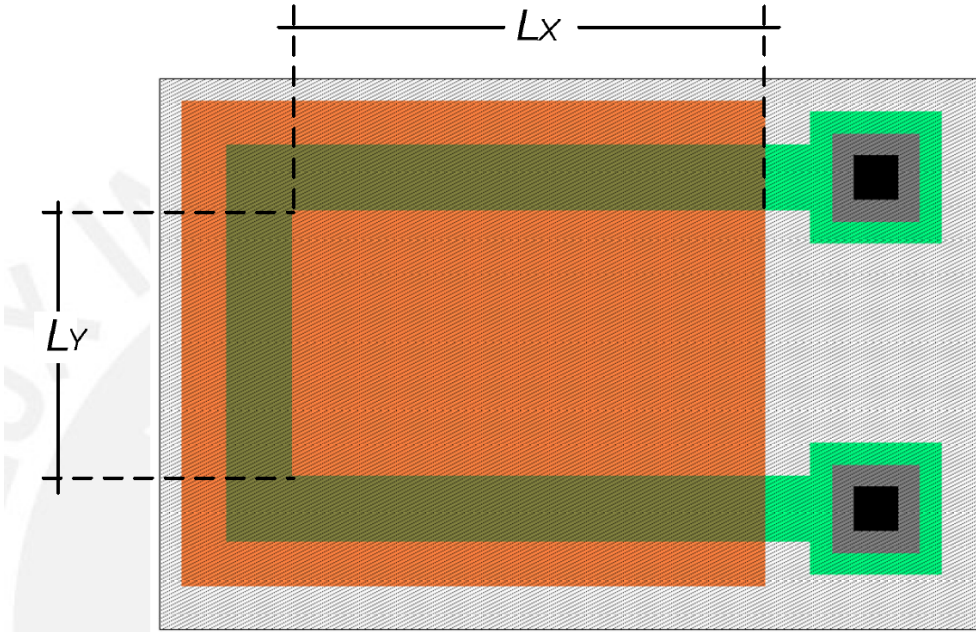


Figura 3.15: Uso de la técnica de *snake* [16]

Capítulo 4

Resultados y Simulaciones

En el presente capítulo se expondrán los resultados obtenidos de las simulaciones apartir del software CADENCE. Este programa utiliza la herramienta ADE (Analog Design Enviroment) la cual a su vez utiliza el simulador *Spectre* el cual usa el modelo BSIM3V3 del transistor. Este modelo, como ya se menciona en el capítulo anterior, es muy complejo por la cantidad de parámetros que maneja. Es un modelo desarrollado en la *University of California, Berkeley*, sus siglas significan Berkeley Short-channel IGFET Model, es el modelo número 3 del BSIM, versión 3.

Los cálculos para el diseño del amplificador se efectuaron según el modelo cuadrático, es por eso que no se obtuvieron resultados tan precisos y requirieron de muchos ajustes de dimensiones. Con el fin de evaluar la funcionalidad y eficiencia del amplificador diseñado se elaboran diversos circuitos de banco de pruebas (*testbench*) y se aplican los respectivos analisis los cuales se presentaran a continuación.

4.1. Simulaciones

4.1.1. Análisis DC

La primera simulación que se le debe aplicar a un circuito es el análisis DC. Al realizar esta simulación podemos obtener información acerca de que corrientes fluyen por cada transistor y los voltajes en cada nodo del circuito. También nos permite conocer los puntos de operación de todos los componentes en el esquemático y la información sobre todos los parámetros de cada transistor como transconductancia, voltaje de *overdrive*, etc. En la Figura 4.1 se puede observar una imagen del esquemático realizado en la interfaz de CADENCE, *Virtuoso Schematic*. El circuito se encuentra polarizado por los espejos de corriente cascode que no se ven en el esquemático y con un voltaje de modo común en la entrada igual a 1,6V con lo cual asegure la polarización de los transistores del par diferencial. Se detalla mucha información sobre los transistores como voltaje de saturación y voltaje drenador-surtidor con los cuales podemos comprobar que todos esten trabajando en la región de saturación ($|V_{ds}| > |V_{SAT}|$). Los datos más relevante para nuestro análisis son los que están en la Tabla 3.5.

De la Figura 4.1 se observa el circuito de *testbench* para el análisis DC, para el cual se obtuvo

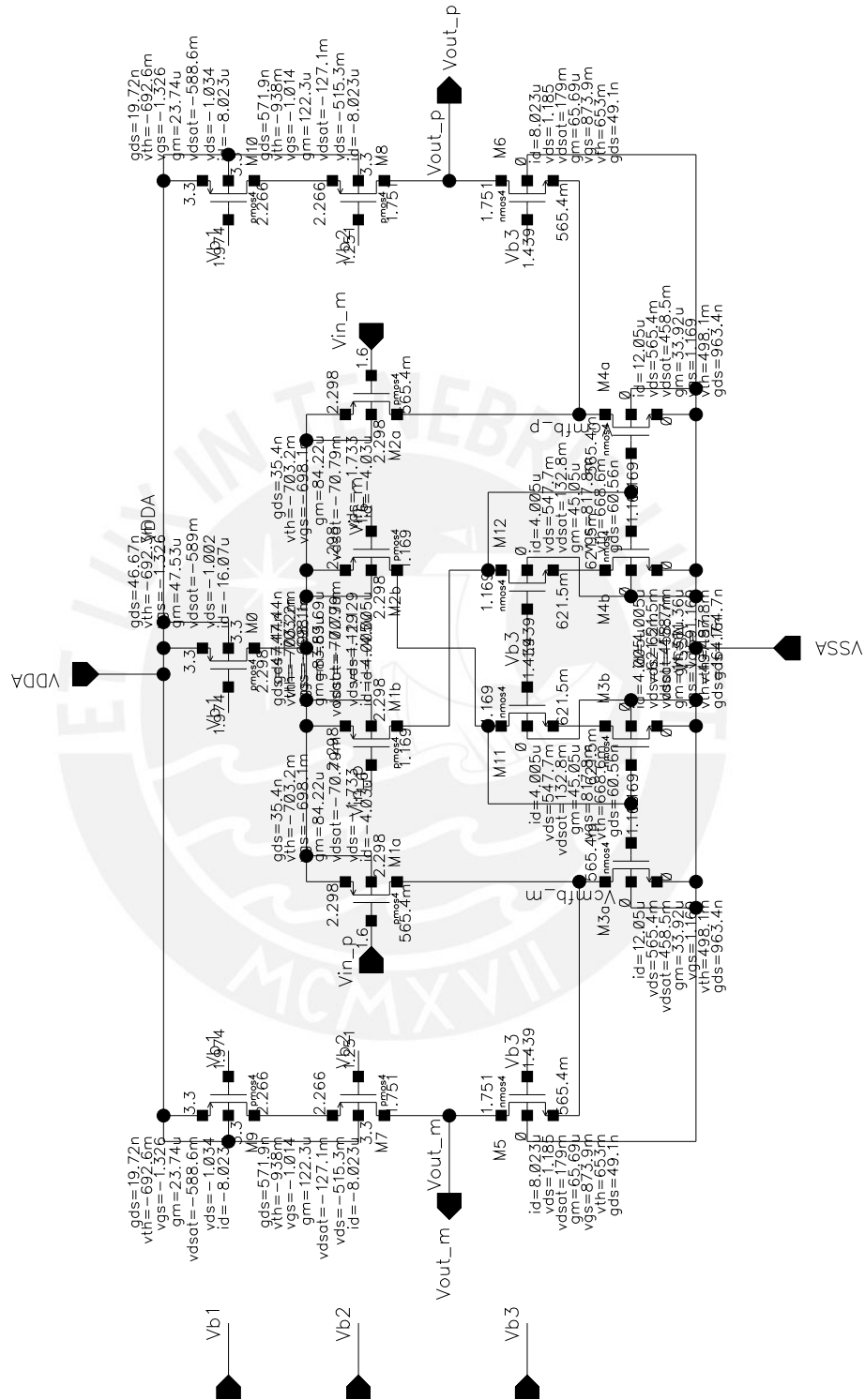


Figura 4.1: Circuito esquemático del FDRFC elaborado con la herramienta *Virtuoso Schematic*

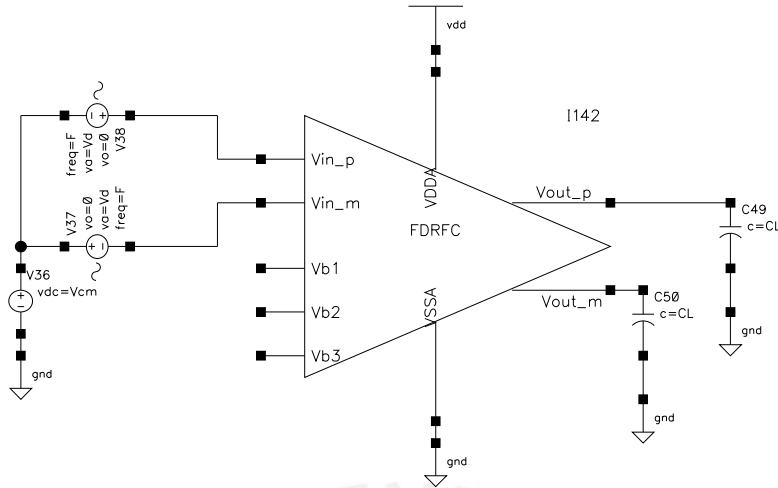


Figura 4.2: Testbench para el análisis DC del FDRFC en lazo abierto

que el punto de operación del amplificador tiene un voltaje de modo común a la salida igual a $1,751V$. Los voltajes de saturación del cascode PMOS(M8 y M10) y NMOS(M6 y M4a) son aproximadamente $710mV$ y $650mV$ respectivamente, es decir que la excursión de voltaje a la salida va desde $650mV$ hasta $2,59V$. La señal se satura primero para voltajes altos, por lo tanto tenemos que la máxima excursión simétrica es de $840mV$.

4.1.2. Análisis AC

Una vez que ya se definió el punto de operación del circuito el siguiente paso es determinar su respuesta en frecuencia. De esta manera podemos saber como se comporta para cada rango de frecuencias, debemos tener presente que la mínima banda de frecuencias debe incluir la banda de los LFP y AP. Para simular fue necesario asumir una capacitancia de carga que represente la siguiente etapa en el sistema de adquisición de señales. Según [11], un valor adecuado que podemos asumir es hasta $70pF$, para este caso asumimos $40pF$. En la Figura 4.3 se muestra la respuesta en lazo abierto del FDRFC.

En la imagen se señala la ganancia en lazo abierto, la cual es $113,7dB$. El valor de ganancia es bastante alto justamente por la topología *Recycling* analizada en el capítulo anterior. En la Figura 4.5 se muestra la respuesta en lazo cerrado, la cual tiene una ganancia de $45.5dB$. La ganancia esta definida por las impedancias de realimentación y su valor teórico es $46.02dB$. El ancho de banda del circuito es $7,512kHz$ con lo cual logra cumplir con las especificaciones de diseño.

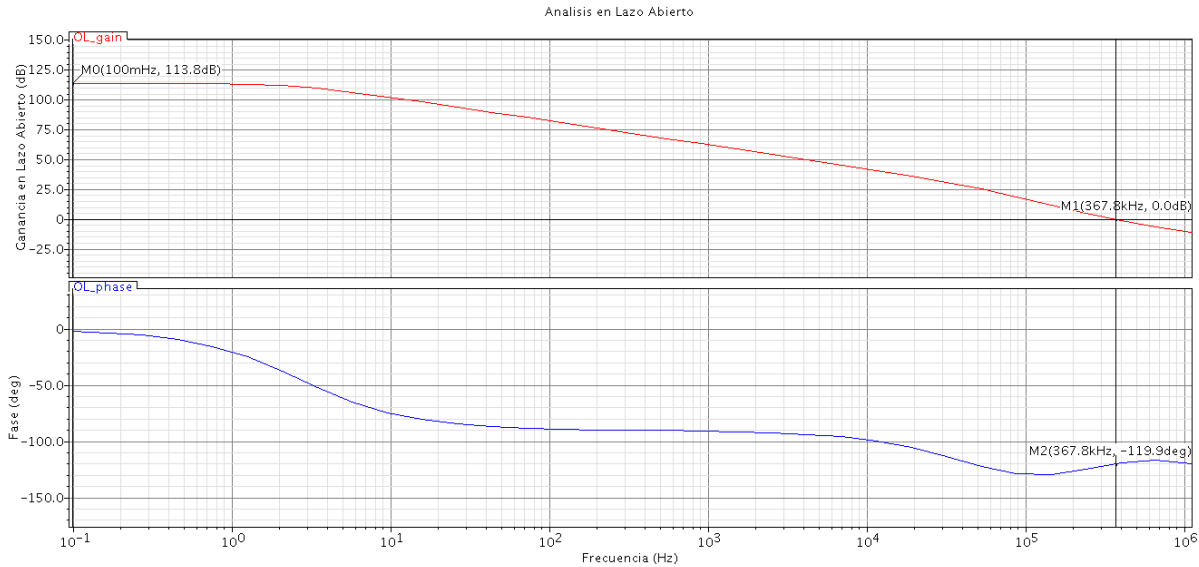


Figura 4.3: Respuesta en lazo abierto del FDRFC

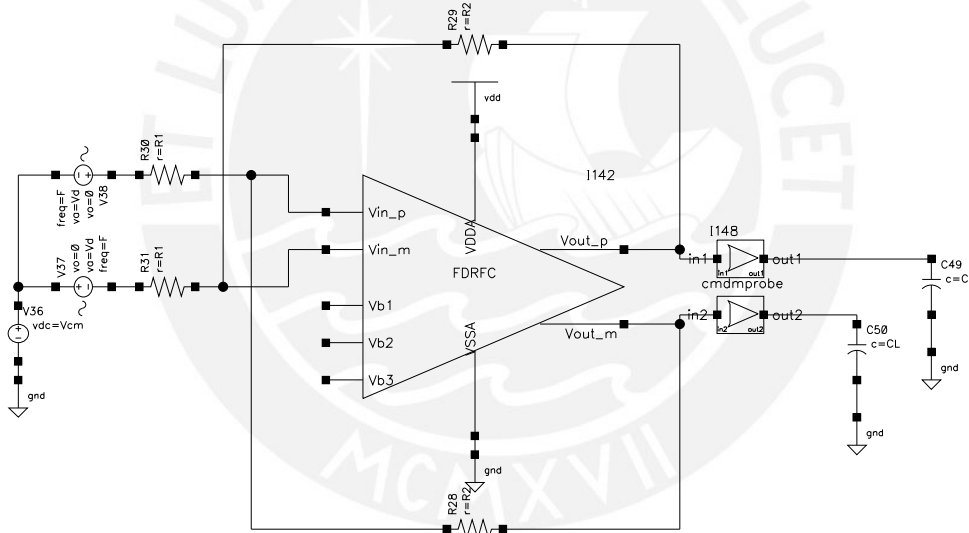


Figura 4.4: Testbench para el análisis AC del FDRFC en lazo cerrado

4.1.3. Análisis de Ruido

Uno de los principales objetivos de este trabajo es que el circuito diseñado sea de bajo ruido. Como ya se explicó en la Sección 2.1, el ruido referido a la entrada del amplificador debe ser menor al ruido neuronal extracelular y al ruido del electrodo. Con un valor de ruido referido a la entrada menor a $5\mu V_{rms}$ aseguramos definitivamente su robustez frente al ruido total. En el ADE de CADENCE se realizó la simulación de ruido y el resultado es la Figura 4.7.

En la imagen se observa la contribución del ruido Flicker para frecuencias bajas y como va disminuyendo conforme aumenta la frecuencia para luego solo tener ruido térmico el cual es constante y menor al al que se deseaba obtener según el cuadro 3.1. Utilizamos la opción del ADE

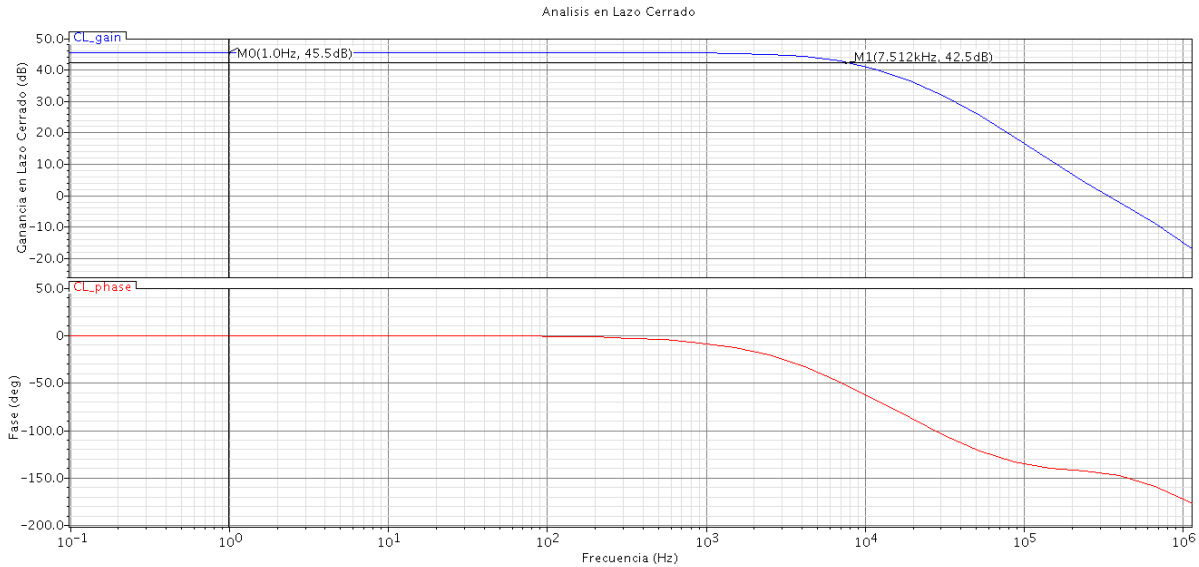


Figura 4.5: Respuesta en lazo cerrado del FDRFC

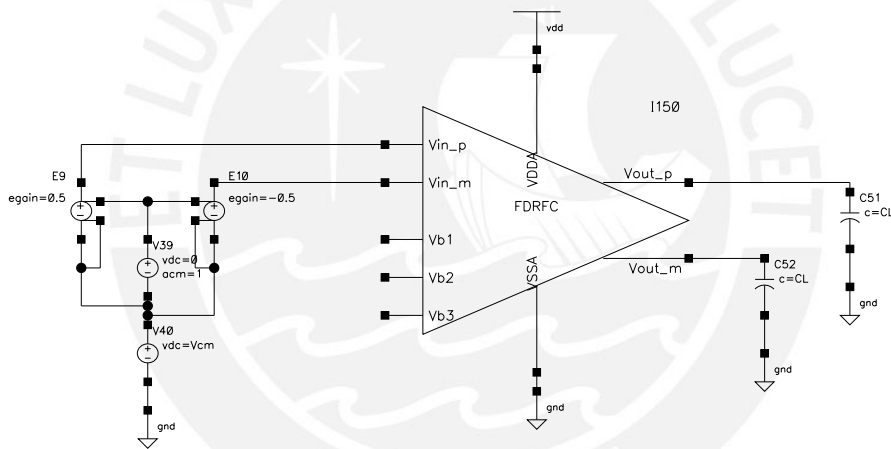


Figura 4.6: Testbench para el análisis de ruido del FDRFC

para calcular el ruido integrado en la banda de interés, desde 1Hz hasta 10kHz , obtenemos que el valor RMS del ruido referido a la entrada es $1,59\mu\text{Vrms}$. También evaluamos la densidad de ruido para la banda de interés no supera los $69,58\text{nV}/\text{Hz}^{1/2}$, por lo tanto cumple con nuestras especificaciones de diseño.

4.1.4. Análisis de Estabilidad

Para evaluar la estabilidad del circuito diseñado es necesario realizar un análisis *stb* en el ADE. En la Figura 4.8 se señala la ganancia de lazo y el margen de fase, $24,32\text{dB}$ y $76,28^\circ$. El margen de fase es mayor a 60° por lo tanto cumple con el criterio de estabilidad del diseño.

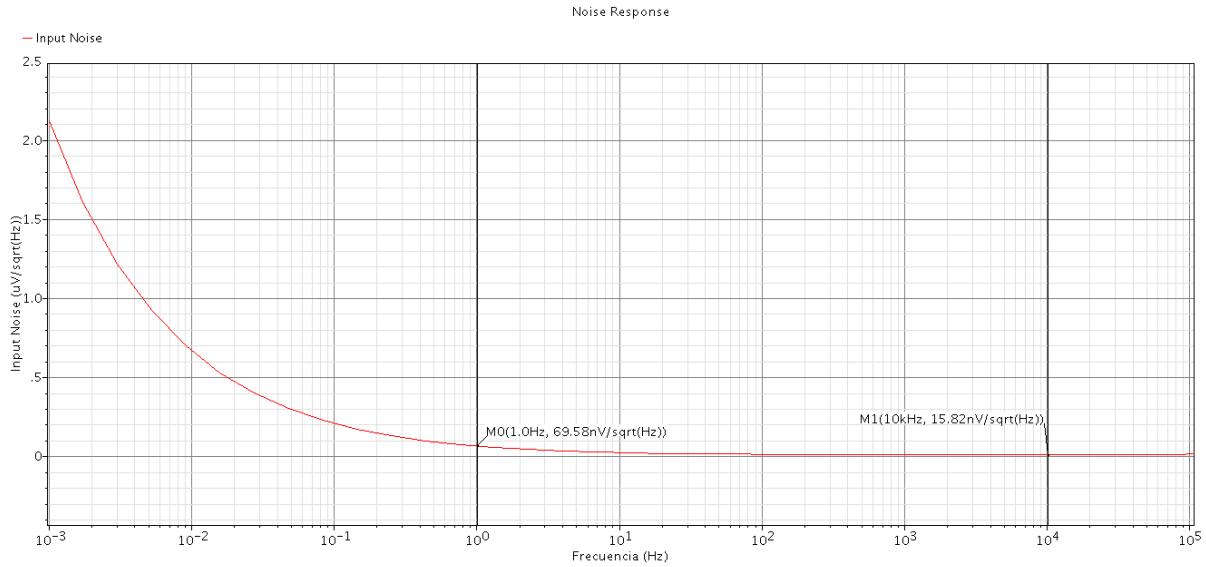


Figura 4.7: Densidad de ruido referido a la entrada del FDRFC

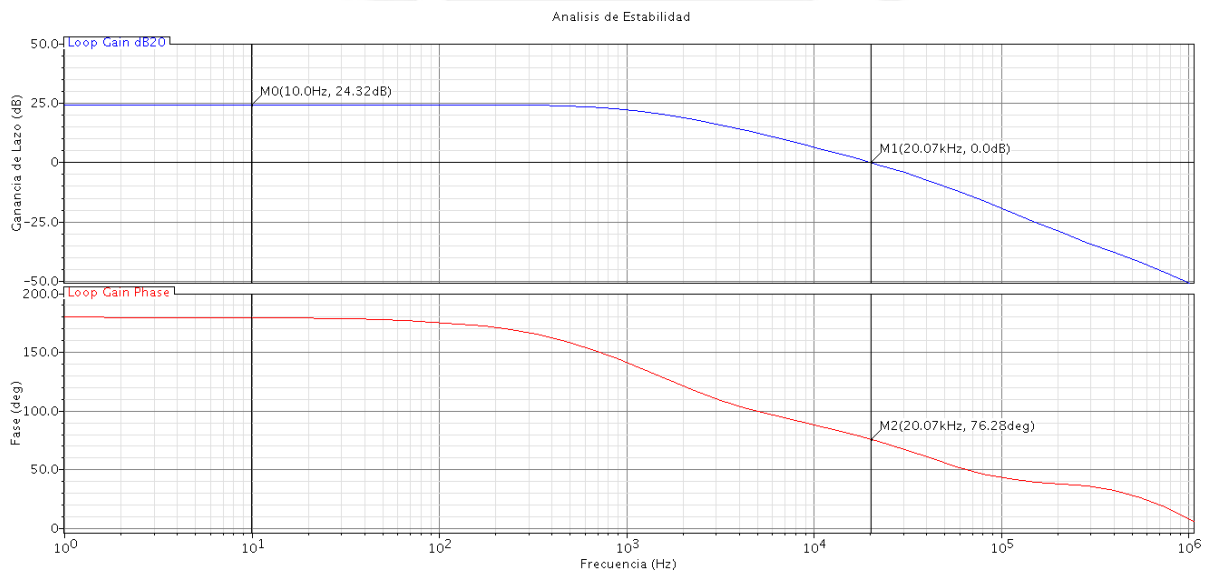


Figura 4.8: Análisis de estabilidad del FDRFC

4.1.5. Análisis *transient*

Con el propósito de ilustrar como se comporta una señal diferencial a la entrada y a la salida del FDRFC aplicamos una entrada con componente DC igual a 1,6V para que polarice el amplificador en su punto de operación. En la entrada V_{in+} y V_{in-} aplicamos un voltaje diferencial de 10mV de amplitud. Podemos observar como a la salida obtenemos una señal de 1,845V, es decir, equivale a una ganancia de 184.5 (45.32dB) con lo que se corrobora el análisis en lazo cerrado.

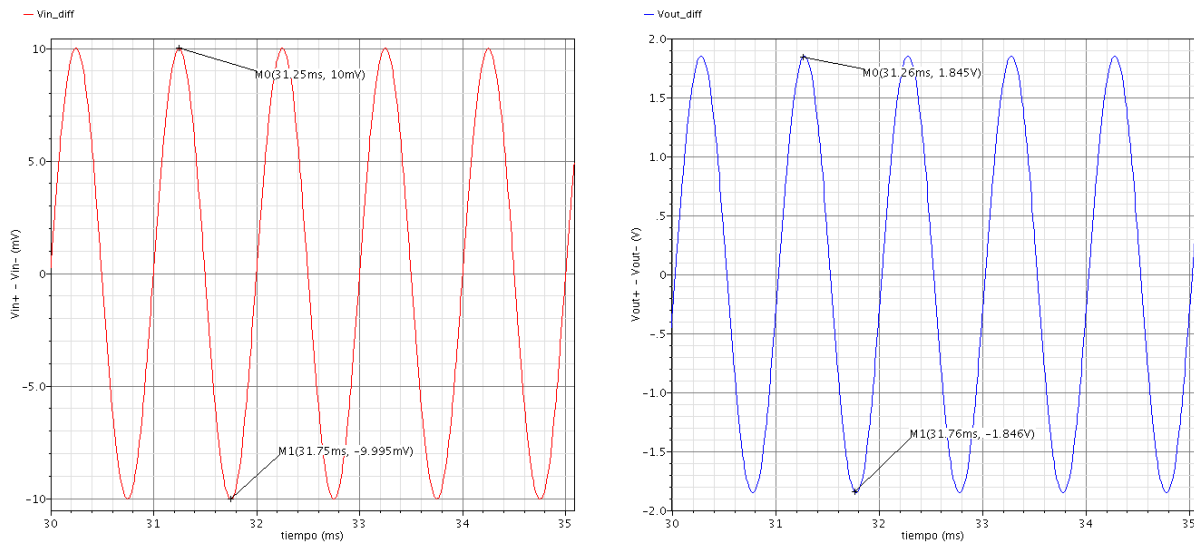


Figura 4.9: (a) Señal de entrada y (b) salida del FDRFC

4.2. Disposición del circuito (*Layout*)

A continuación se muestra el resultado del *layout*. En la Figura 4.10 se observa el conjunto de bloques del circuito del FDRFC. Cada uno de estos bloques fue elaborado con la herramienta Layout XL de CADENCE y se utilizó la herramienta ASSURA para validar cada uno de los bloques. Se evaluó que se respetará las reglas de diseño con el DRC (*Design Rule Check*) y la equivalencia en esquemático y *layout* con el LVS (*Layout Versus Schematic*).

4.2.1. Par diferencial

Los transistores del par diferencial (M1a, M1b, M2a y M2b) tienen un ancho de canal muy grande para maximizar su transconductancia y disminuir ruido térmico. Además estos transistores deben ser tan idénticos como sea posible para disminuir los efectos de modo común en la respuesta diferencial. Para reducir el área y disminuir el efecto de las gradientes de procesos en los diferentes transistores se optó por la técnica de interdigitación.

4.2.2. Cascodo PMOS

El cascodo PMOS está formado por los transistores M9 y M10 los cuales son dimensionados muy grandes. El gran largo del canal es para poder disminuir el efecto del ruido Flicker, mientras que debe ser también ancho para poder manejar la misma corriente que los NMOS que tienen portadores mayoritarios con más movilidad. Los transistores M7 y M8 no contribuyen al ruido referido a la entrada por lo tanto no hay necesidad de que sean de grandes dimensiones. Para este bloque la técnica empleada también es interdigitación.

4.2.3. Cascodo NMOS

El cascodo NMOS se refiere a los transistores M5 y M6 los cuales tampoco tienen ningún requerimiento de tamaño. También se aplica interdigitación para este bloque.

4.2.4. Corriente de cola (*Tail current*)

El transistor M0 cumple la función de suministrar una corriente constante a través de los transistores del par diferencial. La polarización de este transistor es la misma que la de M9 y M10 por lo tanto también necesita un gran largo de canal. Además, como fluye el doble de corriente por M0, necesita del doble de ancho para reflejar adecuadamente la corriente.

4.2.5. Espejos de corriente de la topología de reciclaje (*Recycling*)

La etapa *recycling* esta constituida por los espejos de corriente M3a:M3b y M4a:M4b. Estos transistores requieren un canal bastante largo para poder disminuir el ruido Flicker. Asimismo, M3a y M4a deben tener el triple de ancho que M3b y M4b para lograr la ganancia deseada del espejo diseñado, debido a esto serán de grandes dimensiones. El largo es mayor que al de cualquier otro transistor por esto es conveniente utilizar la técnica del *snake*. Los transistores M11 y M12 son de similar tamaño que M5 y M6, los cuales ayudan a mantener un voltaje de drenador parecido para mejorar el desempeño de los espejos M3a:M3b y M4a:M4b.

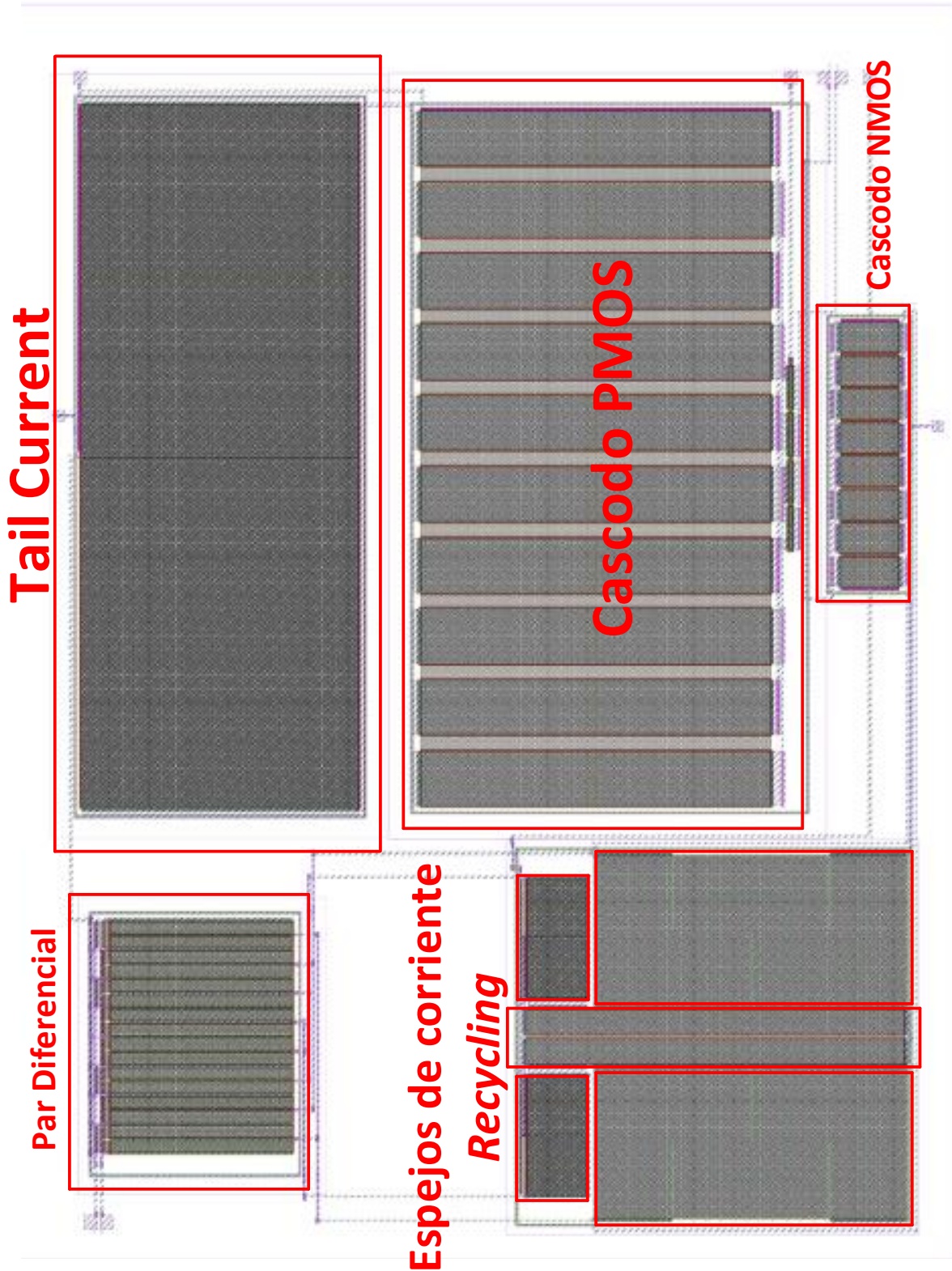


Figura 4.10: Layout del FDRFC

Conclusiones

La topología escogida para el diseño del amplificador de señales neuronales no había sido pensado para este tipo de aplicación. Sin embargo, se logró adaptar a los requerimientos planteados y se obtuvieron mejores resultados en cuanto a ganancia de lazo abierto, ancho de banda y ruido referido a la entrada, en comparación con trabajos recientes como el presentado en la literatura [11].

El área del amplificador es $0,122mm^2$, con lo cual cumple con los requerimientos para ser implantado como parte de un sistema de adquisición de señales neuronales.

La potencia del circuito es $105,98\mu W$, un poco más elevado que el de la literatura. No obstante, se consiguió un valor muy cercano a los trabajos previos [11] [12] [10] [7] [20] [6], aún habiendo sido éstos diseñados en tecnologías más modernas que se alimentan con voltajes menores y, por lo tanto, tienen menor potencia.

La topología de reciclaje utilizada en el diseño del amplificador genera un polo-cero asociado a los espejos de corriente M3a:M3b y M4a:M4b, el cual puede generar problemas de estabilidad. Por ello, se aseguró en este diseño que el efecto del cero se manifieste más allá de la banda de frecuencias de interés.

Recomendaciones

Se deben realizar simulaciones *post-layout* para poder asegurarnos que las capacitancias parásitas no afecten el apropiado funcionamiento del circuito en silicio.

Realizar simulaciones de variaciones de procesos como *Montecarlo* y *corners* para poder determinar el porcentaje de circuitos que cumplirían con las especificaciones después de ser fabricados.

Diseñar un circuito de CMFB que pueda solucionar los problemas de asimetría en cuanto a voltaje de modo común en las salidas del amplificador.

Mejorar el diseño de la disposición del circuito (*layout*) para mejorar su eficiencia en cuanto al área que ocupa y para disminuir aún más las capacitancias parásitas. Además agregar *dummy transistors* para evitar que los elementos en los extremos del *layout* estén bajo diferentes condiciones que los elementos más internos al momento de la fabricación.

Bibliografía

- [1] “The brain initiative,” Diciembre 2013. [Online]. Available: <http://thebraininitiative.org/>
- [2] “Darpa synapse program,” Diciembre 2013. [Online]. Available: <http://www.artificialbrains.com/darpa-synapse-program>
- [3] “European research programme (erp), human brain project,” Diciembre 2013. [Online]. Available: <https://www.humanbrainproject.eu/>
- [4] “National institute of health, brain research through advancing innovative neurotechnologies (brain) initiative,” Diciembre 2013. [Online]. Available: <http://www.nih.gov/science/brain/index.htm>
- [5] “The white house, brain initiative,” Diciembre 2013. [Online]. Available: <http://www.whitehouse.gov/share/brain-initiative>
- [6] R. Assaad and J. Silva-Martinez, “The recycling folded cascode: A general enhancement of the folded cascode amplifier,” *Solid-State Circuits, IEEE Journal of*, vol. 44, no. 9, pp. 2535–2542, 2009.
- [7] V. Chaturvedi and B. Amrutur, “A low-noise low-power noise-adaptive neural amplifier in 0.13 μ m cmos technology,” in *VLSI Design (VLSI Design), 2011 24th International Conference on*, 2011, pp. 328–333.
- [8] T. M. J. Eric R. Kandel, James H. Schwartz, *Principles of Neural Science*. McGraw-Hill, 2000.
- [9] H. Gao, R. Walker, P. Nuyujukian, K. Makinwa, K. Shenoy, B. Murmann, and T. Meng, “Hermese: A 96-channel full data rate direct neural interface in 0,13 μ m cmos,” *Solid-State Circuits, IEEE Journal of*, vol. 47, no. 4, pp. 1043–1055, 2012.
- [10] R. Harrison, “A low-power, low-noise cmos amplifier for neural recording applications,” in *Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on*, vol. 5, 2002, pp. V–197–V–200 vol.5.
- [11] C. Lopez, D. Prodanov, D. Braeken, I. Gligorijevic, W. Eberle, C. Bartic, R. Puers, and G. Gielen, “A multichannel integrated circuit for electrical recording of neural activity, with

- independent channel programmability,” *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 6, no. 2, pp. 101–110, 2012.
- [12] V. Majidzadeh, A. Schmid, and Y. Leblebici, “Energy efficient low-noise neural recording amplifier with enhanced noise efficiency factor,” *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 5, no. 3, pp. 262–271, 2011.
- [13] F. Maloberti, “Layout of analog cmos integrated circuits, part 2: Transistors and basic cells layout,” Diciembre 2013. [Online]. Available: <http://ims.unipv.it/Courses/download/DIC/Layout02.pdf>
- [14] R. Muller, S. Gambini, and J. Rabaey, “A 0.013 mm², 5 μ W, dc-coupled neural signal acquisition ic with 0.5 v supply,” *Solid-State Circuits, IEEE Journal of*, vol. 47, no. 1, pp. 232–243, 2012.
- [15] E. Patrick, “Design, fabrication, and characterization of microelectrodes for brain-machine interfaces,” Ph.D. dissertation, University of Florida, 2010, a dissertation presented to the graduate school of the university of florida in partial fulfillment of the requirements for the degree of doctor of philosophy.
- [16] E. Raygada, “Diseño de una resistencia integrada de alto valor aplicada a un sistema de adquisición de señales neuronales con tecnología mos,” Trabajo de tesis, Pontificia Universidad Católica del Perú, 2007.
- [17] B. Razavi, *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2000.
- [18] R. Reilly and T. C. Lee, “Electrograms (ecg, eeg, emg, eog),” *Technology Health Care*, vol. 18, no. 6, pp. 443–458, 2010.
- [19] A. M. Systems, “Process parameters,” Diciembre 2008, revisión 6.
- [20] W. Wattanapanitch and R. Sarpeshkar, “A low-power 32-channel digitally programmable neural recording integrated circuit,” *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 5, no. 6, pp. 592–602, 2011.