

ANEXOS

A continuación se presentan los códigos en VHDL realizados para la descripción de los módulos de la tesis.

El archivo DDS_1.pdf contiene el código VHDL de un DDS de 10 bits sin compresión. Este código se utilizó para hacer las comparaciones necesarias con la arquitectura optimizada.

El archivo DDS_DAC_8_2.pdf contiene el código VHDL de un DDS de 10 bits con compresión. Este código se utilizó para implementar el DDS sólo conectado al DAC de 10 bits de la tarjeta DE2 de Altera.

El archivo DE2_DEFAU_3.pdf contiene el código Verilog del sistema completo. Este código incluye todos los módulos diseñados. Se utilizó lenguaje de descripción de hardware Verilog debido a que el fabricante de la tarjeta DE2 provee las plantillas para el mapeo de los pines en el mencionado lenguaje. El código consta básicamente del mapeo de todos los submódulos incluido el generado por el SoPC Builder.