

**PONTIFICIA UNIVERSIDAD
CATÓLICA DEL PERÚ
ESCUELA DE POSGRADO**



**DISEÑO DE UNA UNIDAD DE GESTIÓN DE ENERGÍA PARA
DISPOSITIVOS MÉDICOS IMPLANTABLES CON
ALIMENTACIÓN BASADA EN TRANSFERENCIA
INALÁMBRICA DE POTENCIA POR ULTRASONIDO**

Tesis para obtener el grado académico de Maestro en Ingeniería Biomédica que
presenta:

Julio David Vilca Pizarro

Asesor:

Julio César Saldaña Pumarica

Lima, 2024


Informe de Similitud

Yo, Julio Cesar Saldaña Pumarica, docente de la Escuela de Posgrado de la Pontificia Universidad Católica del Perú, asesor(a) de la tesis/el trabajo de investigación titulado DISEÑO DE UNA UNIDAD DE GESTIÓN DE ENERGÍA PARA DISPOSITIVOS MÉDICOS IMPLANTABLES CON ALIMENTACIÓN BASADA EN TRANSFERENCIA INALÁMBRICA DE POTENCIA POR ULTRASONIDO, del/de la autor(a) / de los(as) autores(as): Julio David Vilca Pizarro, dejo constancia de lo siguiente:

- El mencionado documento tiene un índice de puntuación de similitud de 19%. Así lo consigna el reporte de similitud emitido por el software *Turnitin* el 18/12/2024.
- He revisado con detalle dicho reporte y la Tesis o Trabajo de Suficiencia Profesional, y no se advierte indicios de plagio.
- Las citas a otros autores y sus respectivas referencias cumplen con las pautas académicas.

Lugar y fecha:

Lima, 18 de Diciembre de 2024

Apellidos y nombres del asesor / de la asesora: Saldaña Pumarica Julio Cesar	
DNI: 10123705	Firma 
ORCID: https://orcid.org/0000-0001-6834-6436	

*A Dios mi creador y guía en el trajín
de la vida.*



A mis padres: Julio y Gloria.

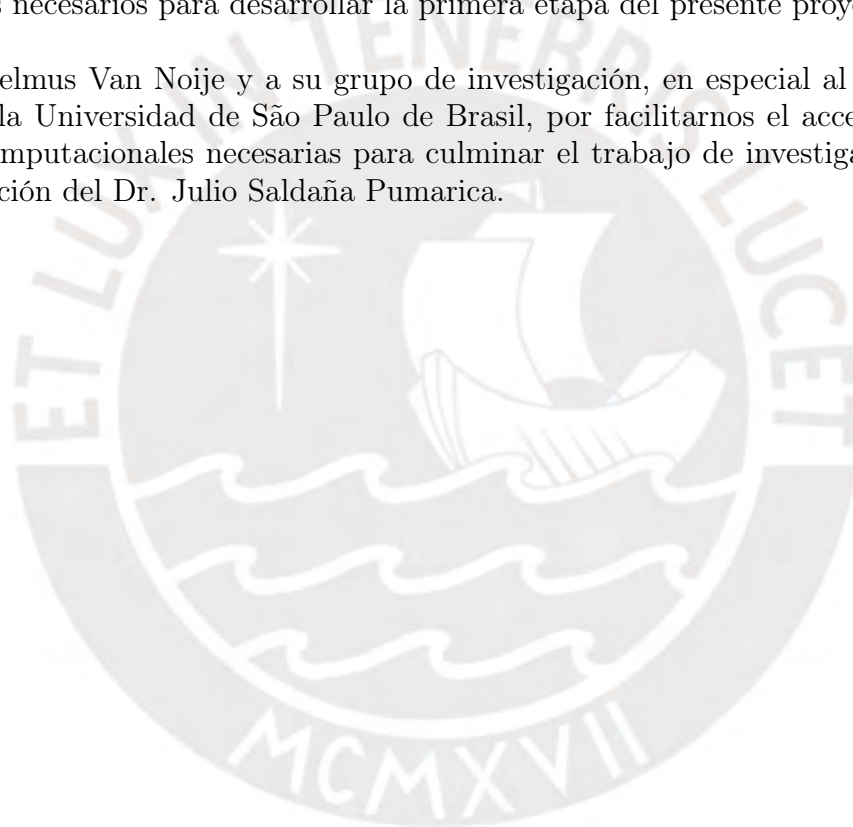
*A mis hermanos: Inés, Iván,
Joel y Marcelina.*

Agradecimientos

Al Dr. Julio Saldaña Pumarica, asesor de la tesis, por su acertada orientación durante la elaboración del proyecto y ejecución de la tesis.

Al Laboratorio del Grupo de Investigación en Microelectrónica de la Pontificia Universidad Católica del Perú (GUE PUCP), especialmente al Mg. Mario Raffo, por facilitarme los instrumentos necesarios para desarrollar la primera etapa del presente proyecto.

Al Dr. Wilhelmus Van Noiye y a su grupo de investigación, en especial al Ph.D. Bruno Sanches, de la Universidad de São Paulo de Brasil, por facilitarnos el acceso a sus herramientas computacionales necesarias para culminar el trabajo de investigación; gracias a la intervención del Dr. Julio Saldaña Pumarica.



Resumen

Esta tesis presenta el diseño de un circuito integrado de Unidad de Gestión de Energía (PMU), destinada a dispositivos médicos implantables (IMDs) alimentados mediante transferencia inalámbrica de potencia por ultrasonido. El diseño considera las restricciones propias de los IMDs, como la baja disponibilidad de energía y la necesidad de alta eficiencia para evitar daños térmicos en el tejido circundante. El circuito fue diseñado en una tecnología estándar CMOS de $0.18 \mu\text{m}$ de TSMC, y las simulaciones se realizaron utilizando el software Cadence. El diseño del PMU se basa en un rectificador activo CMOS compuesto por un núcleo, dos comparadores, dos buffers, una referencia de corriente compensada en temperatura y un limitador de voltaje. El núcleo del rectificador fue diseñado utilizando dos transistores PMOS en configuración *cross-coupled* y dos transistores NMOS como interruptores activos para la conversión de voltaje AC a DC. Los comparadores fueron diseñados con una topología de puerta común para generar el voltaje de control necesario para la activación de los interruptores activos. Estos comparadores, optimizados para funcionar con una corriente de polarización de $1 \mu\text{A}$, logran una ganancia de 48.37 dB, una frecuencia de ganancia unitaria de 221.8 MHz y un PSRR de 48.22 dB. Los buffers fueron diseñados con cadenas de cuatro inversores CMOS en configuración *exponential horn*, para restaurar el voltaje de salida del comparador con el mínimo tiempo de propagación. La referencia de corriente compensada en temperatura, diseñada con una topología basada en *self-cascode composite transistors* (SCCT), genera una corriente de $1 \mu\text{A}$ con un coeficiente de temperatura de $71.54 \text{ ppm}/^\circ\text{C}$ y regulación de línea de 9.14 nA/V , para suministrar la corriente de polarización necesaria a los comparadores. El limitador de voltaje fue implementado mediante transistores en configuración diodo conectados en antiparalelo para proteger el circuito de posibles sobrevoltajes superiores a 1.8 V . Con un consumo de potencia total de $21.7 \mu\text{W}$, el circuito PMU logra una eficiencia de conversión de potencia (PCE) de 95.48% y una relación de conversión de voltaje (VCR) de 87.29%. Alimentado por un modelo de transductor piezoeléctrico con potencia máxima disponible de $524.7 \mu\text{W}$, frecuencia de 1.5 MHz e impedancia de $Z_{\text{piezo}} = 2.14 \text{ k}\Omega + j398.7 \Omega$, el PMU es capaz de entregar una potencia de salida DC de $459.6 \mu\text{W}$ y un voltaje de salida DC de 1.17 V a la carga. El circuito PMU ha demostrado un desempeño robusto en condiciones de variaciones extremas de proceso, voltaje y temperatura, e incorporando una red de acoplamiento de impedancias externa, logra un PCE superior al 83.66% y un VCR superior al 93.39% en el peor de los casos.

Palabras clave: Dispositivos médicos implantables, transferencia inalámbrica de potencia por ultrasonido, sistemas de recolección de energía, unidad de gestión de energía, conversor AC-DC, rectificador activo.

Abstract

This thesis presents the design of a Power Management Unit (PMU) integrated circuit, intended for implantable medical devices (IMDs) powered by ultrasonic wireless power transfer. The design takes into account the specific constraints of IMDs, such as limited available power and the need for high efficiency to avoid thermal damage to surrounding tissue. The circuit was designed in a standard 0.18 μm CMOS technology from TSMC, and simulations were performed using Cadence software. The PMU design is based on an active rectifier composed of a core, two comparators, two buffers, a temperature-compensated current reference, and a voltage limiter. The core rectifier was designed using two PMOS transistors in a cross-coupled configuration and two NMOS transistors as active switches for AC to DC voltage conversion. The comparators were designed with a common-gate topology to generate the control voltage required for activating the active switches. These comparators, optimized to operate with a 1 μA bias current, achieve a gain of 48.37 dB, a unity-gain frequency of 221.8 MHz, and a PSRR of 48.22 dB. The buffers were designed with chains of four CMOS inverters in an exponential horn configuration to restore the comparator output voltage with minimal propagation delay. The temperature-compensated current reference, designed using a topology based on self-cascode composite transistors (SCCT), generates a 1 μA current with a temperature coefficient of 71.54 ppm/ $^{\circ}\text{C}$ and a line regulation of 9.14 nA/V, to supply the necessary bias current to the comparators. The voltage limiter was implemented using diode-connected transistors in antiparallel to protect the circuit from potential overvoltages exceeding 1.8 V. With a total power consumption of 21.7 μW , the PMU circuit achieves a power conversion efficiency (PCE) of 95.48% and a voltage conversion ratio (VCR) of 87.29%. Powered by a piezoelectric transducer model with a maximum available power of 524.7 μW , a frequency of 1.5 MHz, and an impedance of $Z_{\text{piezo}} = 2.14 \text{ k}\Omega + \text{j}398.7 \Omega$, the PMU is capable of delivering a DC output power of 459.6 μW and a DC output voltage of 1.17 V to the load. The PMU circuit has demonstrated robust performance under extreme variations of process, voltage, and temperature conditions, and incorporating an external impedance matching network, it achieves a PCE of over 83.66% and a VCR exceeding 93.39% in the worst-case scenario.

Keywords: Implantable medical devices, ultrasonic wireless power transfer, energy harvesting systems, power management unit, AC-DC converter, active rectifier.

Índice

Lista de Figuras	xii
Lista de Tablas	xiii
Lista de Abreviaturas	xiii
1 Introducción	1
1.1 Dispositivos médicos implantables	1
1.2 Planteamiento del problema	4
1.3 Estrategias de suministro de energía en IMDs	5
1.3.1 Enfoque dependiente de conexiones alámbricas	5
1.3.2 Enfoque basado en baterías	6
1.3.3 Enfoques basados en técnicas de recolección de energía	6
1.4 Estado del arte	12
1.5 Justificación	17
1.6 Objetivos de la tesis	18
1.6.1 Objetivo principal	18
1.6.2 Objetivos secundarios	18
1.7 Estructura de la tesis	18
2 Transferencia inalámbrica de potencia por ultrasonido	19
2.1 El ultrasonido	19
2.1.1 Tipos de ondas de ultrasonido	20
2.1.2 Intensidad acústica	20
2.1.3 Atenuación	22
2.1.4 Reflexión y transmisión de ondas de ultrasonido	24
2.2 El transductor piezoeléctrico	25
2.2.1 Principio piezoeléctrico	25
2.2.2 Tipos de materiales	27
2.2.3 Modelos de transductores piezoeléctricos	28
2.2.4 Modelamiento del transductor piezoeléctrico receptor	30
2.3 Sistema de transferencia inalámbrica de potencia por ultrasonido	34
2.3.1 Cadena de recuperación de energía	34
2.3.2 Diagrama de bloques	35
3 Topologías de circuitos de conversión de energía	37
3.1 Rectificador CMOS diferencial con acoplamiento cruzado	37
3.2 Rectificador CMOS activo	40
4 Análisis y diseño	43
4.1 Metodología de diseño	43
4.1.1 Procedimiento de diseño del circuito PMU	44
4.2 Comparador de voltaje	47

4.2.1	Análisis en gran señal	48
4.2.2	Análisis de respuesta en frecuencia	51
4.2.3	Diseño del comparador de voltaje	54
4.3	Núcleo del rectificador activo	62
4.3.1	Análisis de eficiencia	64
4.3.2	Diseño del núcleo del rectificador activo	67
4.4	Circuito de buffer	70
4.4.1	Análisis del tiempo de propagación	71
4.4.2	Diseño del buffer	73
4.5	Circuito de referencia de corriente	74
4.5.1	Análisis de la referencia de corriente compensada en temperatura	78
4.5.2	Diseño de la referencia de corriente compensada en temperatura	81
4.6	Limitador de voltaje	85
5	Simulaciones y resultados	87
5.1	Simulación transitoria del circuito PMU	88
5.2	Simulaciones de desempeño energético del circuito	95
5.3	Simulaciones de <i>corners</i>	99
6	Conclusiones	104
	Bibliografía	107
A	Función de transferencia del comparador	119
B	Esquemáticos de circuitos en Cadence	123
B.1	Esquemático del comparador de voltaje	123
B.2	Esquemático del circuito de polarización del cuerpo	124
B.3	Esquemático del núcleo del rectificador activo	124
B.4	Esquemático del circuito buffer de voltaje	125
B.5	Esquemático del circuito de referencia de corriente	126
B.6	Esquemático del multiplexor	127
B.7	Esquemático del inversor	127
B.8	Esquemático de la referencia de corriente PTAT-CTAT	128
B.9	Esquemático del amplificador operacional	129
B.10	Esquemático del circuito limitador de voltaje	129
B.11	Esquemático de la red de acoplamiento de impedancias	130
B.12	Esquemático del circuito equivalente del modelo BVD del transductor piezoeléctrico	130
B.13	<i>Testbench</i> de simulación del sistema	131
B.14	<i>Testbench</i> de simulación para el diseño del comparador	132
C	Modelos funcionales en Cadence	133
C.1	Modelo funcional del generador de señal de Power-On-Reset implementado en lenguaje Verilog-A	133

Lista de Figuras

1.1	Dispositivo de estimulación del nervio vago implantable.	1
1.2	Tipos de dispositivos médicos implantables.	2
1.3	Implante cerebral para el descifrado de actividad neuronal del intento de habla en tiempo real.	6
1.4	Técnicas de recolección de energía utilizadas en aplicaciones biomédicas.	7
1.5	Aplicaciones biomédicas basadas en la piezoelectricidad y la triboelectricidad generadas por eventos musculares dentro del cuerpo.	8
1.6	Diagramas esquemáticos de las principales técnicas de transferencia inalámbrica de potencia (WPT).	12
1.7	Registro neural inalámbrico desde regiones profundas del sistema nervioso periférico/central utilizando un implante de registro neural alimentado por ultrasonido.	13
1.8	Ilustración del sistema estimulador neural inalámbrico StimDust.	14
1.9	Diagrama esquemático del rectificador activo propuesto por Ballo et al.	15
2.1	Parámetros de una onda acústica.	19
2.2	Reflexión y transmisión de una onda de ultrasonido entre dos medios con diferentes impedancias acústicas Z_1 y Z_2 . La onda incidente (P_i) que ingresa con un ángulo de incidencia θ_i produce una onda reflejada (P_r) con un ángulo de reflexión $\theta_r = \theta_i$ y una onda transmitida (P_t) con un ángulo de transmisión θ_t	24
2.3	Representación del efecto piezoeléctrico (a) directo e (b) indirecto.	26
2.4	Representación de un receptor piezoeléctrico como un sistema de tres puertos.	28
2.5	Modelo de Mason.	29
2.6	Modelo de Redwood.	29
2.7	Modelo de Krimholtz, Leedom y Matthaei (KLM).	30
2.8	Modelo de Butterworth-Van Dyke (BVD).	30
2.9	Aplicación del teorema de Thévenin al modelo BVD de un transductor piezoeléctrico receptor.	31
2.10	Componentes real (R_{piezo}) e imaginaria (X_{piezo}) de la impedancia eléctrica Z_{piezo} del modelo del transductor piezoeléctrico en función de la frecuencia.	33
2.11	Diagrama esquemático de la cadena de recuperación de energía en un sistema de WPT por ultrasonido para un IMD.	34
2.12	Diagrama de bloques de un sistema de recolección de energía basado en transferencia inalámbrica de potencia por ultrasonido.	36
3.1	Rectificador CMOS <i>cross-coupled</i>	37
3.2	Formas de las señales V_{AC1} , V_{AC2} , $ V_{AC} $ y V_{DC} , y las etapas de funcionamiento ($S_1 - S_6$) de los transistores en un rectificador CMOS <i>cross-coupled</i> durante el proceso de rectificación en un período de la señal de entrada V_{AC}	38

3.3	Forma de la corriente de entrada en un rectificador CMOS <i>cross-coupled</i> durante un semiciclo de una señal de entrada senoidal V_{AC}	39
3.4	Rectificador CMOS con diodos activos NMOS.	40
3.5	Forma de los voltajes en los nodos internos (V_{AC1}, V_{AC2}, V_{DC}) y estados de funcionamiento ($S_1 - S_6$) en un rectificador CMOS activo durante el período de una señal de entrada senoidal V_{AC}	40
3.6	Corriente de entrada del rectificador activo durante un semiciclo de la señal V_{AC}	42
4.1	Metodología propuesta para el diseño del circuito de la PMU.	43
4.2	Procedimiento de diseño del circuito de la Unidad de Gestión de Energía propuesto.	45
4.3	Circuito del comparador de puerta común.	47
4.4	Principio de funcionamiento del comparador.	49
4.5	Modelo de pequeña señal para el análisis de respuesta en frecuencia del comparador.	52
4.6	Histogramas del voltaje de offset obtenidos mediante simulaciones Monte Carlo para diferentes anchos de canal.	55
4.7	Relación entre la frecuencia de ganancia unitaria y el ancho de canal.	56
4.8	Figura de mérito g_m/I_d en función del ancho de canal.	56
4.9	<i>Testbench</i> de simulación para la caracterización del comparador.	57
4.10	Curva de transferencia del comparador.	57
4.11	Diagrama de Bode de la magnitud de la ganancia del comparador.	58
4.12	Gráfico del PSRR del comparador.	58
4.13	Respuesta temporal del comparador ante una señal de entrada con amplitud asimétrica.	59
4.14	Formas de onda del voltaje de salida del comparador para diversas amplitudes negativas de la señal de entrada.	60
4.15	Densidad espectral de voltaje de ruido del comparador en función de la frecuencia.	61
4.16	Esquemático del núcleo del rectificador activo.	62
4.17	Trayectoria de la corriente en las etapas de conducción del rectificador activo.	63
4.18	Esquemático del circuito de autopolarización del cuerpo.	63
4.19	<i>Testbench</i> de simulación para el diseño del núcleo del rectificador.	67
4.20	Eficiencia de conversión de potencia PCE del rectificador en función del ancho de canal de los transistores PMOS.	68
4.21	Relación de conversión de voltaje VCR del rectificador en función del ancho del canal de los transistores PMOS.	69
4.22	Esquemático del buffer.	70
4.23	Dimensionamiento de los transistores de la cadena de inversores con un factor de escalamiento de 3.	72
4.24	Esquemático del circuito de referencia de corriente.	74
4.25	Concepto de referencia de corriente con compensación de temperatura.	75
4.26	Esquemático de la referencia de corriente compensada en temperatura PTAT-CTAT.	75
4.27	Esquemático del amplificador diferencial.	76
4.28	Esquemático del circuito multiplexor y su inversor para la selección de la referencia de corriente.	77
4.29	Estructura de un <i>Self-Cascode Composite Transistor</i> (SCCT).	79
4.30	Generación de las corrientes I_{PTAT} e I_{CTAT}	80

4.31	Corrientes I_{PTAT} e I_{CTAT} en función de la temperatura.	83
4.32	Corriente I_{REF} en función de la temperatura.	83
4.33	Corriente I_{REF} en función del voltaje de alimentación V_{DD}	84
4.34	Esquemático del circuito limitador de voltaje.	85
5.1	Esquemático final del circuito integrado de la Unidad de Gestión de Energía.	87
5.2	<i>Testbench</i> de simulación del sistema de recolección de energía.	88
5.3	Respuesta transitoria del voltaje V_{AC} a la entrada del rectificador.	89
5.4	Forma de onda del voltaje V_{AC}	89
5.5	Formas de onda de los voltajes V_{AC1} y V_{AC2}	90
5.6	Respuesta transitoria del voltaje V_{DC} a la salida del rectificador.	90
5.7	Voltaje de rizado de V_{DC}	91
5.8	Formas de onda de los voltaje V_{GN1} y V_{GN2} a la salida de los <i>buffers</i>	91
5.9	Formas de onda de los voltaje V_{CMP1} y V_{CMP2} a la salida de los comparadores.	92
5.10	Formas de onda de los voltaje V_{BB1} y V_{BB2} generados por los circuitos SBB en contraste con V_{AC1} y V_{AC2}	92
5.11	<i>Turn-on delay</i> de los transistores NMOS del núcleo del rectificador.	93
5.12	<i>Turn-off delay</i> de los transistores NMOS del núcleo del rectificador.	93
5.13	Formas de onda de las corrientes I_{AC1} e I_{AC2} en el núcleo del rectificador activo.	94
5.14	Respuesta transitoria de la corriente I_{REF} de la referencia de corriente PTAT-CTAT y la señal de control S para el multiplexor.	94
5.15	Distribución de la potencia consumida por los componentes del circuito PMU.	96
5.16	Resultados de simulación del PCE en función de la variación de la carga R_L para diferentes valores de V_{OC}	96
5.17	Resultados de simulación del VCR en función de la variación de la carga R_L para diferentes valores de V_{OC}	97
5.18	Resultados de simulación del PME en función de la variación de la carga R_L para diferentes valores de V_{OC}	97
5.19	Resultados de simulación del η_{total} en función de la variación de la carga R_L para diferentes valores de V_{OC}	98
5.20	Modelo simplificado del transductor piezoeléctrico	98
5.21	PCE en función de la frecuencia de operación.	98
5.22	<i>Testbench</i> de simulación del sistema de recolección de energía incluyendo una red de acoplamiento de impedancias.	99
5.23	Esquemático de la red de acoplamiento de impedancias.	100
A.1	Modelo de pequeña señal en la rama formada por los transistores M_4 y M_8	119
A.2	Modelo de pequeña señal en la rama formada por los transistores M_1 y M_5	120
A.3	Modelo de pequeña señal en la rama de salida formada por los transistores M_3 y M_6	121
B.1	Esquemático del circuito comparador de voltaje.	123
B.2	Esquemático del circuito de polarización del cuerpo.	124
B.3	Esquemático del núcleo del rectificador activo.	124
B.4	Esquemático del circuito buffer de voltaje.	125
B.5	Esquemático del circuito de referencia de corriente.	126
B.6	Esquemático del multiplexor del circuito de referencia de corriente.	127
B.7	Esquemático del inversor del circuito multiplexor.	127

B.8	Esquemático de la referencia de corriente compensada en temperatura (PTAT-CTAT).	128
B.9	Esquemático del amplificador operacional de la referencia de corriente PTAT-CTAT.	129
B.10	Esquemático del circuito limitador de voltaje.	129
B.11	Esquemático de la red de acoplamiento de impedancias.	130
B.12	Esquemático del circuito equivalente del modelo BVD del transductor piezoeléctrico.	130
B.13	<i>Testbench</i> de simulación del sistema de recolección de energía por ultrasonido.	131
B.14	<i>Testbench</i> de simulación para el diseño del comparador de voltaje.	132
C.1	Símbolo del modelo funcional del generador de señal POR en Cadence. . .	133



Lista de Tablas

1.1	Estado del arte de dispositivos implantables con alimentación basada en transferencia inalámbrica de potencia por ultrasonido.	16
2.1	Propiedades acústicas de algunos tejidos.	23
2.2	Propiedades del material piezoléctrico en modo de expansión longitudinal .	27
2.3	Elementos del modelo del transductor piezoléctrico receptor.	32
2.4	Frecuencias de resonancia e impedancias calculadas.	33
3.1	Estado de los transistores en función de las señales de entrada V_{AC1} y V_{AC2}	42
4.1	Especificaciones básicas del sistema.	44
4.2	Dimensiones de los transistores del comparador.	56
4.3	Dimensiones de los transistores del circuito de autopolarización del cuerpo.	67
4.4	Dimensiones de los transistores del núcleo del rectificador activo.	69
4.5	Dimensiones de los transistores del <i>buffer</i>	73
4.6	Dimensiones de los transistores del amplificador operacional.	77
4.7	Dimensiones de los transistores y valor de resistencia de los circuitos auxiliares de la referencia de corriente.	78
4.8	Dimensiones de los transistores y valores de los elementos que conforman la referencia de corriente compensada en temperatura.	82
4.9	Dimensiones de los transistores del limitador de voltaje.	86
5.1	Parámetros de desempeño energético del circuito PMU.	95
5.2	Parámetros de los elementos que conforman la red de acoplamiento de impedancias.	100
5.3	Simulaciones de <i>corner</i> de la eficiencia de conversión de potencia AC-DC.	100
5.4	Simulaciones de <i>corner</i> de la relación de conversión de voltaje.	101
5.5	Simulaciones de <i>corner</i> del voltaje de salida DC.	101
5.6	Resultados de las simulaciones de <i>corner</i> de la potencia de salida DC.	102
5.7	Resultados de las simulaciones de <i>corner</i> de la eficiencia de acoplamiento de potencia.	102
5.8	Resultados de las simulaciones de <i>corner</i> de la eficiencia total del sistema.	103

Lista de Abreviaturas y Símbolos

AC	Alternating Current
APT	Acoustic Power Transfer
BCD	Bipolar-CMOS-DMOS
BCI	Brain-Computer Interface
BJT	Bipolar Junction Transistor
CGC	Common Gate Comparator
CI	Circuito Integrado
CMOS	Complementary Metal-Oxide Semiconductor
DBS	Deep Brain Stimulation
DC	Direct Current
FDA	Food and Drug Administration
HEG	Hydroelectric Generator
HV	High Voltage
ICD	Implantable Cardioverter Defibrillator
IMD	Implantable Medical Device
IoT	Internet of things
ISPPA	Spatial Peak Pulse Average Intensity
ISPTA	Spatial Peak Temporal Average Intensity
LDO	Low Dropout
LED	Light Emitting Diode
LP	Low Power
MEMS	MicroElectroMechanical Systems
MI	Mechanical Index
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NMOS	N-Channel Metal Oxide Semiconductor

PCB	Printed Circuit Board
PCE	Power Conversion Efficiency
PENG	Piezoelectric Nanogenerator
PME	Power Matching Efficiency
PMOS	P-Channel Metal Oxide Semiconductor
PMU	Power Management Unit
POR	Power On Reset
PSRR	Power Supply Rejection Ratio
PTE	Power Transfer Efficiency
PZT	Lead Zirconate Titanate
RFID	Radio Frequency Identification
rms	root-mean-square
Rx	Receptor
SAR	Specific Absorption Rate
SBB	Self-Body Biasing
SCCT	Self-Composite Cascode Transistor
SoC	System on a Chip
TENG	Triboelectric Nanogenerator
TSMC	Taiwan Semiconductor Manufacturing Company
Tx	Transmisor
US	Ultrasonido
VCR	Voltage Conversion Ratio
VNS	Vagus Nerve Stimulation
WPT	Wireless Power Transfer

Capítulo 1

Introducción

1.1 Dispositivos médicos implantables

Los dispositivos médicos implantables (IMD, por sus siglas en inglés) se definen como una categoría específica de dispositivos médicos que se implantan total o parcialmente en el cuerpo humano mediante procedimientos quirúrgicos, con la intención de mantenerse en su posición una vez completado el procedimiento [1]. Estos dispositivos tienen la finalidad de sustituir estructuras anatómicas ausentes, administrar medicamentos, monitorear funciones corporales o brindar soporte a órganos y tejidos [2].

A lo largo de la historia, hemos sido testigos de una notable evolución en la tecnología de los dispositivos médicos implantables. Desde el desarrollo del primer marcapasos cardíaco completamente implantable en 1958 [3], la bioingeniería ha proporcionado una diversidad de dispositivos implantables a la medicina para el diagnóstico, tratamiento y monitoreo de diversas condiciones médicas. En la actualidad, los desfibriladores cardioversores implantables (ICD, por sus siglas en inglés) [4], sistemas de administración de medicamentos [5], estimuladores neurológicos [6], estimuladores de crecimiento óseo [7] y otros dispositivos implantables se han convertido en una parte esencial en la atención médica. Por ejemplo, la Figura 1.1 muestra la implantación de un dispositivo de estimulación del nervio vago (VNS, por sus siglas en inglés) para el tratamiento de la epilepsia, el dispositivo VNS desarrollado por Cyberonics está diseñado con componentes que pueden ser implantados dentro del cuerpo, como un generador de pulsos eléctricos y un cable conductor, así como elementos externos remotos, como un control remoto de programación, una computadora con software de programación y un accesorio de control magnético transcutáneo [8].

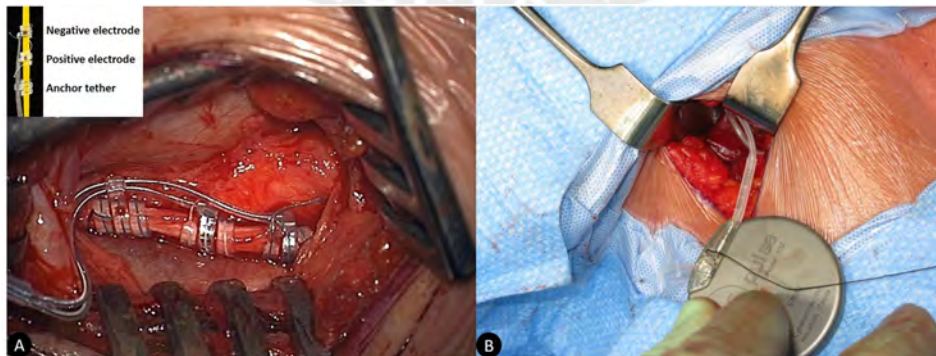


Figura 1.1: Dispositivo de estimulación del nervio vago implantable [8]. (a) Cable y electrodos en el nervio vago, (b) Inserción del generador de pulsos. Copyright © 2020 British Epilepsy Association. Publicado por Elsevier Ltd.

La constante evolución tecnológica no solo ha transformado el panorama de la ciencia y la medicina, sino que también ha tenido un impacto significativo en la calidad de vida y la longevidad de los pacientes. Este progreso se hace evidente en el creciente uso de IMDs, particularmente en países con sistemas de atención médica avanzados. Jiang y Zhou [9] destacan que entre el 8% y el 10% de la población en Estados Unidos y alrededor del 5% y el 6% de la población en los países industrializados utilizó algún tipo de IMD en el año 2010. Similarmente, en el estudio de Steiner et al. [10] se estimó que durante el año 2014 solo en los Estados Unidos se realizaron más de 500 mil intervenciones quirúrgicas que involucraron el uso de un marcapasos o un desfibrilador cardioversor.

Esta creciente dependencia de los IMDs refleja la diversidad de funciones y necesidades de energía de estos dispositivos. Según se muestra en la Figura 1.2, los IMDs se pueden dividir en dos categorías principales según su necesidad de energía: pasivos y activos [11]. Los implantes pasivos son dispositivos que no requieren una fuente de energía externa para su funcionamiento, carecen de componentes electrónicos activos y actúan principalmente como soportes o estructuras mecánicas de apoyo. Estos dispositivos pueden estar formados por elementos como tornillos, varillas, placas y discos [12]. En esta categoría podemos encontrar dispositivos como stents coronarios [13], clips de aneurisma [14] e implantes ortopédicos [15]. Por otra parte, los IMDs activos son dispositivos que requieren una fuente de energía externa para funcionar, esta fuente de energía suele ser una batería interna que proporciona la energía necesaria para las funciones del dispositivo. Esta clase de dispositivo a menudo incorporan unidades de gestión de energía, microcontroladores, sensores y transmisores, para controlar y ajustar su funcionamiento [12]. Ejemplos típicos de IMDs activos incluyen marcapasos cardíacos [16], dispositivos de estimulación cerebral profundo (DBS, por sus siglas en inglés) [17], implantes cocleares [18], y bombas de insulina implantables [19].

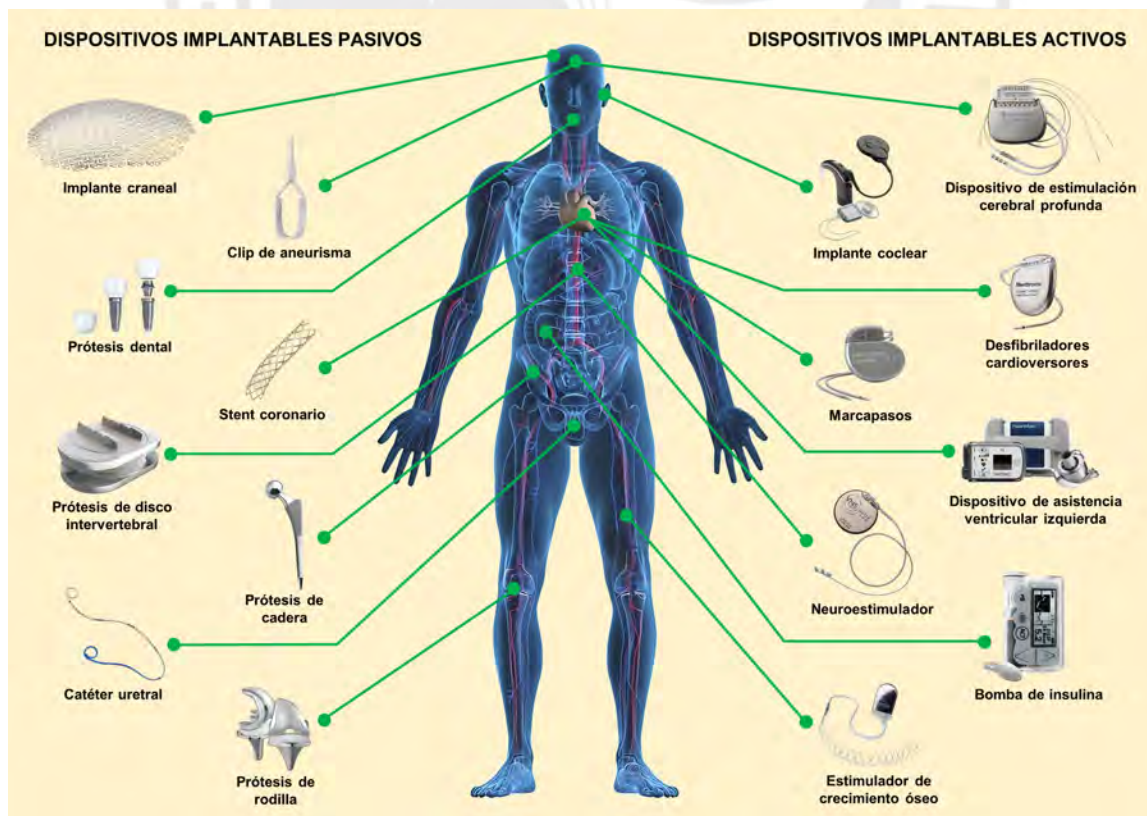


Figura 1.2: Tipos de dispositivos médicos implantables.

El diseño de dispositivos médicos implantables requiere un enfoque multidisciplinario que integra principios de ingeniería con requisitos médicos para desarrollar dispositivos seguros, efectivos y confiables para su implantación dentro del cuerpo humano. De acuerdo con Joung [9], las consideraciones de ingeniería en el diseño de IMDs abarcan aspectos fundamentales, tales como:

- **Biocompatibilidad:** Garantizar que los materiales utilizados en los dispositivos implantables sean compatibles con el cuerpo humano es fundamental para prevenir reacciones adversas y promover la funcionalidad del dispositivo a largo plazo.
- **Hermeticidad:** Mantener una barrera perfecta entre el dispositivo y los componentes internos del cuerpo humano, como los fluidos corporales y los tejidos, es esencial para el funcionamiento adecuado y la longevidad del dispositivo implantable.
- **Diseño estructural:** El diseño de la estructura de los dispositivos implantables requiere una investigación exhaustiva, simulaciones y pruebas para garantizar la compatibilidad con los complejos mecanismos y variaciones dentro del cuerpo humano.
- **Sistemas de entrega:** Desarrollar sistemas de entrega efectivos para dispositivos implantables implica consideraciones de tamaño, funcionalidad y método de inserción para minimizar la invasividad y optimizar los resultados para el paciente.
- **Gestión de energía:** Implementar fuentes de energía eficientes y sistemas de gestión de energía es necesario para dispositivos implantables que requieren procesamiento de datos y comunicación inalámbrica.
- **Comunicación inalámbrica:** Habilitar la comunicación inalámbrica en dispositivos implantables es esencial para la transmisión de datos y el monitoreo remoto, lo que requiere un diseño cuidadoso e integración dentro del dispositivo.

Asimismo, los avances en tecnología microelectrónica han sido fundamentales en la evolución de los dispositivos implantables, permitiendo la reducción tanto en su tamaño como en su consumo energético. Estos progresos han sido notables en diversos aspectos como los circuitos integrados (CI), los componentes discretos, los sistemas microelectromecánicos (MEMS, por sus siglas en inglés), los materiales, el empaquetado, las baterías, la comunicación inalámbrica y los procesos de fabricación. Gracias a estos avances, se viene logrando una mayor miniaturización de los IMDs activos, proporcionando ventajas como una mayor comodidad para el paciente, procedimientos quirúrgicos menos invasivos, una menor incidencia de infecciones y una reducción en el tiempo de hospitalización [20].

Muchos de los circuitos integrados de dispositivos médicos implantables emplean procesos comerciales estándar de tecnología Semiconductor Complementario de Óxido Metálico (CMOS, por sus siglas en inglés) [21]. La tecnología CMOS, conocida por su eficiencia energética, posibilita el funcionamiento de circuitos electrónicos con un consumo mínimo de energía, extendiendo así la vida útil de los dispositivos implantables. Esta tecnología es especialmente adecuada para integrar múltiples componentes de un sistema electrónico en un único circuito integrado, conocido como sistema en un chip (SoC, por sus siglas en inglés), lo que favorece la tendencia hacia la miniaturización de los IMDs. Además, la adopción de un SoC implica que todo el proceso de fabricación debe realizarse en el mismo proceso tecnológico, generando una reducción en los costos de producción. Entre las distintas tecnologías de fabricación de semiconductores, destaca el proceso CMOS estándar de 180 nm desarrollado por Taiwan Semiconductor Manufacturing Company (TSMC), debido a sus ventajas en términos de rendimiento y eficiencia energética [22].

1.2 Planteamiento del problema

A medida que avanzan los procedimientos médicos mínimamente invasivos y la tendencia hacia la miniaturización de los IMDs, persisten desafíos desde la ingeniería que deben superarse para un diseño adecuado de esta clase de dispositivos. Entre estos desafíos, la gestión de la energía se destaca como uno de los más importantes. Cabe resaltar que los sistemas de gestión de energía de los IMDs activos actuales dependen principalmente de enfoques de suministro de energía basados en baterías y en algunos casos de cables percutáneos. Aunque estas tecnologías son maduras y se utilizan ampliamente, presentan una serie de limitaciones y posibles riesgos para la salud de los pacientes.

Los IMDs con alimentación basada en un enfoque dependiente de conexiones alámbricas enfrentan una serie de problemas vinculados con su mayor grado de invasividad y dependencia de conexiones externas al cuerpo humano. Las desventajas de utilizar cables físicos en IMDs incluyen un mayor riesgo de inflamación e infección debido a las aberturas permanentes producidas por las conexiones de cables transcutáneos, restricciones en la libertad del movimiento y la comodidad del sujeto implantado, y la posibilidad de que los delicados cables que se utilizan fallen debido a la fatiga crónica y la exposición al entorno *in vivo* [23]. Es por ello que los IMDs alimentados mediante conexiones por cable se utilizan generalmente en aplicaciones con mediciones a corto plazo o en entornos de laboratorio controlados [24].

Por otra parte, la gran mayoría de IMDs comerciales incorporan fuentes de energía locales como las baterías. Las baterías son dispositivos convencionales y confiables que se utilizan para suministrar energía a dispositivos implantables en diferentes situaciones clínicas, se pueden encontrar en dispositivos tales como marcapasos cardíacos y estimuladores cerebrales profundos [23]. Sin embargo, una de sus desventajas es su gran tamaño, a menudo ocupan hasta el 90% del volumen de los dispositivos implantables y representan más del 60% de su peso [25]. Otros problemas relacionados con los IMDs que dependen de baterías incluyen complicaciones quirúrgicas debido al tamaño del dispositivo, limitaciones en la ubicación de los implantes debido a la necesidad de cables entre la batería y el tejido objetivo [26], una baja densidad de energía en estado inactivo, una vida útil corta [12], riesgo de fuga y toxicidad, y la necesidad de que los pacientes se sometan a cirugías periódicas para reemplazar las baterías. Alrededor del 25% de las cirugías de marcapasos se deben al cambio de batería [24].

En contraste, en las últimas décadas se han explorado diversas técnicas para suministrar de energía a los IMDs directamente del medio, sin la necesidad de utilizar voluminosas baterías o complicados cables. Uno de estos enfoques corresponde a los IMDs con alimentación mediante tecnologías de transferencia inalámbrica de potencia. Estos dispositivos emplean enlaces inalámbricos de energía, que simultáneamente facilitan la transferencia de energía y la transmisión y recepción de datos. El suministro inalámbrico de energía permite la construcción de dispositivos implantables con factores de forma miniaturizados, reducir los daños a los tejidos circundantes, incrementar su tiempo de vida, y reducir los riesgos por intervenciones quirúrgicas [27]. Además, estos dispositivos no sufren de la vida útil limitada de los IMDs alimentados por baterías y pueden ofrecer una mayor flexibilidad en cuanto a la duración que otros dispositivos de tamaño similar [24]. Sin embargo, es importante destacar que estos dispositivos presentan aún limitaciones como una baja eficiencia energética, una baja potencia entregada, profundidad de implantación limitada, entre otros. Esto se debe en gran medida a que la tecnología aún se encuentra en su fase inicial y queda mucho camino por recorrer. Desde una perspectiva del diseño electrónico de los circuitos integrados para IMDs con alimentación

inalámbrica, se presentan desafíos en la búsqueda de un diseño eficiente en componentes esenciales como la gestión de energía, la adquisición de señales, el procesamiento de los datos, y la transmisión de la información. En la gestión de energía se requiere identificar una técnica de transferencia inalámbrica de potencia adecuada para una determinada aplicación biomédica y desarrollar una arquitectura para la unidad de gestión de energía (PMU, por sus siglas en inglés) que facilite una distribución eficaz de la energía recolectada. Este proceso implica considerar rigurosamente parámetros de seguridad tales como la Intensidad Promedio-Temporal Pico-Espacial (ISPTA, por sus siglas en inglés) y la Tasa de Absorción Específica (SAR, por sus siglas en inglés), ambos utilizados como límites de seguridad por parte de organismos competentes como la U.S. Food and Drug Administration (FDA). Este desafío se agrava significativamente debido a la disponibilidad limitada de energía y los riesgos para la seguridad del paciente en esta clase de dispositivos.

1.3 Estrategias de suministro de energía en IMDs

En la actualidad, todos los sistemas microelectrónicos, incluyendo los dispositivos médicos implantables activos, dependen de una fuente de energía para su funcionamiento. A medida que progresa la tecnología microelectrónica se ha logrado una reducción continua en el tamaño de los circuitos integrados y su consumo de energía, proporcionando a los IMDs la capacidad de realizar operaciones de mayor complejidad en diversas aplicaciones médicas utilizando niveles de potencia cada vez más bajos, y abriendo la posibilidad de explorar una variedad de técnicas de suministro de energía alternativas a los métodos convencionales.

Las estrategias convencionales de suministro de energía para dispositivos implantables incluyen enfoques que dependen de conexiones alámbricas y enfoques basados en baterías. Estas dos modalidades de suministro de energía han sido empleadas desde el desarrollo de los primeros dispositivos implantables. Sin embargo, a pesar de su antigüedad, la mayoría de los IMDs comerciales siguen utilizando estos tipos de técnicas debido a su madurez tecnológica, fiabilidad y capacidad de potencia entregada.

En contraste, en las últimas décadas se han explorado diversas técnicas para suministrar energía a los IMDs sin la necesidad de utilizar voluminosas baterías o complicados cables [25]. Estos nuevos enfoques de suministro de energía aprovechan diversas fuentes de energía, como la energía cinética, térmica y bioquímica, para alimentar de manera sostenible los dispositivos electrónicos. A diferencia de las baterías que almacenan energía químicamente, las técnicas de recolección de energía convierten directamente la energía obtenida del medio en energía eléctrica [28].

1.3.1 Enfoque dependiente de conexiones alámbricas

El enfoque dependiente de conexiones alámbricas se basa en tecnologías que utilizan conexiones físicas percutáneas, como cables eléctricos, cables de fibra óptica o tuberías para líquidos, hacia un hardware externo de apoyo. Los IMDs con suministro de energía alámbrica son frecuentemente empleadas en investigaciones en neurociencia y en sistemas médicos [25]. Dispositivos médicos implantables que emplean conexiones cableadas para su alimentación abarcan una variedad de aplicaciones, incluyendo interfaz cerebro-computadora [29] (BCI, por sus siglas en inglés), registro de señales neuronales, neuroestimulación eléctrica, estimulación optogenética [23], entre otras. La Figura 1.3 muestra a un paciente con esclerosis lateral amiotrófica implantado con arreglos de microelectrodos intracorticales para el registro de señales spikes en una BCI para la interpretación del habla [30].



Figura 1.3: Implante cerebral para el descifrado de actividad neuronal del intento de habla en tiempo real [30]. Copyright © 2023, Francis R. Willett et al.

1.3.2 Enfoque basado en baterías

El enfoque de suministro de energía con baterías es el método de alimentación predominante en los IMDs actuales. Este enfoque implica el empleo de baterías convencionales, como las de iones de litio o las de óxido de plata [25], para el suministro de la energía eléctrica necesaria para el funcionamiento del dispositivo implantable. Las baterías alimentan todo el sistema, que pueden incluir sensores, actuadores, unidades de procesamiento de señales y almacenamiento de datos. Entre las características técnicas más resaltantes de las baterías utilizadas en IMDs se encuentran el voltaje nominal, la densidad de energía, la capacidad, la vida útil y el perfil de descarga, los cuales determinan su idoneidad en aplicaciones biomédicas específicas [28]. Los IMDs con batería se caracterizan por disponer de una fuente de energía confiable y autónoma, lo que permite su funcionamiento continuo sin necesidad de fuentes de transmisión de energía externa.

1.3.3 Enfoques basados en técnicas de recolección de energía

Los enfoques de alimentación de IMDs basados en técnicas de recolección de energía implican la transformación de energía procedente de fuentes como el cuerpo humano y el ambiente circundante en energía eléctrica para mantener el funcionamiento de estos dispositivos sin la necesidad de recurrir a baterías convencionales [31]. Mediante el uso de las técnicas de recolección de energía, los dispositivos implantables logran un funcionamiento eficiente y sostenible, reduciendo la dependencia de las baterías tradicionales y mejorando el desempeño y la durabilidad del dispositivo en el ámbito de la atención médica de alta precisión [32]. La clasificación de las principales técnicas de recolección de energía usadas en los dispositivos implantes se muestra con mayor detalle en la Figura 1.4.

Las **técnicas de recolección de energía del cuerpo humano** tienen como objetivo minimizar la necesidad de reemplazos invasivos de baterías en dispositivos implantables y permitir la generación continua y sostenible de energía eléctrica a partir de los procesos naturales del cuerpo [32]. Al utilizar las propias fuentes de energía del cuerpo como la energía cinética, la energía térmica y la energía química, la recolección de energía centrada en el ser humano ofrece una solución prometedora para alimentar dispositivos médicos de manera segura, eficiente y autosostenible [33]. Sin embargo, aspectos como la irregularidad

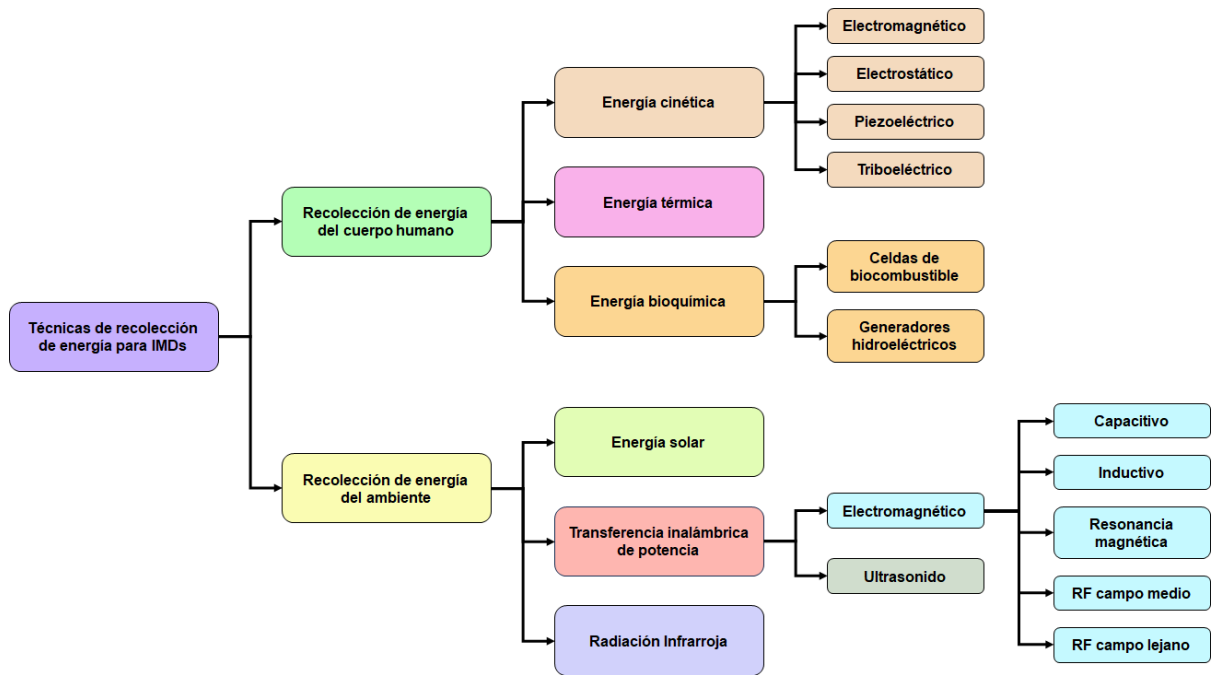


Figura 1.4: Técnicas de recolección de energía utilizadas en aplicaciones biomédicas.

y la carga fisiológica relacionada con las fuentes de energía biológica pueden influir en la fiabilidad y eficacia de los dispositivos implantados [25]. Entre las principales fuentes de energía internas en el cuerpo humano que se han estudiado en el estado del arte tenemos:

- Energía cinética:** La recolección de energía cinética para alimentar dispositivos implantables implica convertir la energía mecánica de movimientos corporales como los movimientos esqueléticos o viscerales en energía eléctrica [25]. Para este proceso se pueden utilizar transductores como nanogeneradores piezoeléctricos (PENG, por sus siglas en inglés), generadores electromagnéticos, generadores electrostáticos y nanogeneradores triboeléctricos (TENG, por sus siglas en inglés). Los PENGs funcionan bajo el principio de conversión de la energía mecánica en energía eléctrica a través del efecto piezoeléctrico; este efecto ocurre cuando un material piezoeléctrico se ve sometido a fuerzas mecánicas o deformación, lo que resulta en un desequilibrio de carga eléctrica y la generación de un potencial eléctrico en el material [34]–[36]. Por otra parte, los generadores electromagnéticos operan según la ley de inducción electromagnética de Faraday, donde el movimiento relativo entre un campo magnético y una bobina induce una fuerza electromotriz en la bobina, que provoca así mismo un cambio en el flujo magnético, resultando en la generación de la energía eléctrica [33], [37]. En contraste, los generadores electrostáticos convierten las vibraciones mecánicas en energía eléctrica mediante el principio de inducción electrostática, utilizando para ello capacitores variables que cambian su capacitancia bajo fuerzas externas como el movimiento del cuerpo humano, y generan un movimiento de carga que crea una variación de voltaje aprovechable como energía eléctrica [31], [38]. Asimismo, los TENGs transforman los movimientos biomecánicos de baja frecuencia en señales eléctricas de alto voltaje y baja corriente mediante la combinación de los principios de electrificación por contacto e inducción electrostática [39], [40]. La Figura 1.5 nos muestra algunas aplicaciones de dispositivos biomédicos con alimentación basada en PENGs y TENGs para la conversión de energía cinética producida por movimientos fisiológicos de órganos como el corazón, pulmón o estómago.

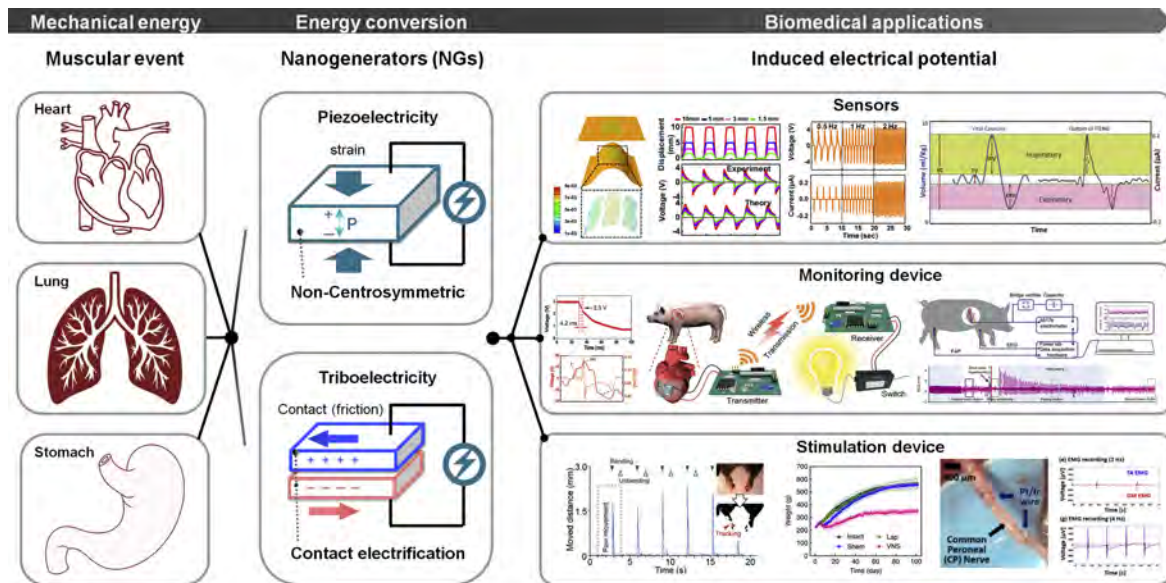


Figura 1.5: Aplicaciones biomédicas basadas en la piezoelectricidad y la triboelectricidad generadas por eventos musculares dentro del cuerpo [41]. Copyright © 2020 Elsevier Inc.

- **Energía térmica:** Los recolectores de energía térmica utilizan los gradientes de temperatura entre el cuerpo humano y el entorno circundante para generar energía eléctrica a través del efecto Seebeck [42]. En los dispositivos implantables, los generadores de energía termoeléctrica (TEG, por sus siglas en inglés) son comúnmente utilizados para la recolección de energía térmica [43]. Los TEGs constan de materiales semiconductores de tipo n y tipo p conectados en una configuración en serie, lo que permite que los electrones fluyan desde el terminal caliente hasta el terminal frío, creando así una diferencia de potencial y generando un flujo de corriente [32].
- **Energía bioquímica:** La recolección de energía bioquímica implica la conversión de la energía química presente en procesos biológicos dentro del cuerpo, como el metabolismo de la glucosa o las reacciones enzimáticas, en energía eléctrica para mantener el funcionamiento de los dispositivos implantables [44]. En el estado del arte, se han estudiado las celdas de biocombustible y los generadores hidroeléctricos (HEG) como los principales sistemas para la recolección de energía bioquímica. Las células de biocombustible son dispositivos que transforman energía química en eléctrica a través de reacciones electroquímicas en sus electrodos, utilizando fuentes biológicas como la glucosa y las enzimas para catalizar estas reacciones [25], [42], [45]. Por otra parte, los HEGs aprovechan la interacción entre moléculas de agua y nanomateriales para generar electricidad [46], prescindiendo de fuerza mecánica adicional, y basándose en la creación de una diferencia de potencial y corriente eléctrica a través de la evaporación del agua y la formación de una doble capa eléctrica en la superficie de los materiales utilizados [32].

El enfoque basado en **técnicas de recolección de energía del ambiente** consiste en aprovechar múltiples fuentes de energía ambiental de baja intensidad como la radiación solar, la radiación infrarroja y la transferencia inalámbrica de potencia (WPT, por sus siglas en inglés), para convertirlas en energía eléctrica utilizable en IMDs [33]. Al aprovechar estas fuentes de energía externas, las técnicas de recolección de energía del ambiente buscan proporcionar soluciones de energía alternativas para dispositivos implantables, especialmente en escenarios donde las fuentes de energía obtenidas del cuerpo humano pueden

no estar disponibles o ser insuficientes [32]. Asimismo, al estar separada la alimentación del dispositivo respecto al individuo, las fuentes de energía externas pueden garantizar un suministro de energía constante y estable para aplicaciones como el registro de señales fisiológicas, la estimulación neural o la regulación de funciones orgánicas en lazo cerrado [25].

La recolección de **energía solar** consiste en la conversión de la luz solar en energía eléctrica para alimentar IMDs utilizando celdas fotovoltaicas, tales como paneles solares sensibilizadas por colorantes o celdas Grätzel [33], para convertir la luz solar en energía eléctrica. El principio de funcionamiento de los paneles solares se basa en el efecto fotovoltaico, donde ciertos materiales producen corriente eléctrica al ser expuestos a los fotones provenientes de la luz solar. La densidad de energía que las paneles solares implantables pueden generar varía entre 2 y 10 $\text{mW}\cdot\text{cm}^{-2}$ en su pico máximo durante el mediodía [47]. Ensayos en tejido porcino han demostrado que paneles solares subcutáneos implantables pueden generar potencias eléctricas desde decenas de microWatts hasta algunas unidades de miliWatts, dependiendo de las condiciones de luz. Se han reportado potencias de salida de 67 μW [48], 130 μW [49] y 2.26 mW [47], valores de potencia suficientes para alimentar sensores y dispositivos implantables de baja potencia.

Similarmente, la recolección de **energía por radiación infrarroja** se basa en la captura y conversión de la radiación infrarroja, que es una forma de radiación electromagnética con longitudes de onda más largas que la luz visible, en energía eléctrica para alimentar IMDs. Esta técnica utiliza arreglos de fotodiodos implantados como componentes principales para la captura de la radiación infrarroja producida por una fuente de luz artificial en la región del infrarrojo cercano, que va desde los 650 hasta los 1350 nm, colocada en la superficie de la piel [32]. Investigaciones relevantes sobre la recolección de energía infrarroja subcutánea para IMDs mencionan densidades de energía de salida de 1.06 $\mu\text{W}/\text{mm}^2$ en [50] y 22 mW/cm^2 en [51]. Mediante esta técnica se han podido alcanzar profundidades de penetración de alrededor de 10 mm [50], [52]. Asimismo, se han reportado potencias eléctricas de salida de 8.2 μW [53], 60 μW [54] y 4 mW [51].

Por otra parte, la **transferencia inalámbrica de potencia** se refiere a la transmisión de energía eléctrica desde una fuente de alimentación a un dispositivo electrónico sin la necesidad utilizar conexiones físicas. Los sistemas WPT pueden cargarse o alimentarse de energía de forma remota a distancias que varían desde unos pocos milímetros a varios centímetros [55]. La técnica de WPT ofrece una forma segura y eficiente de alimentar IMDs sin las limitaciones de las baterías tradicionales o las conexiones con cable, mejorando la comodidad del usuario, reduciendo los riesgos de infección y permitiendo el funcionamiento continuo del dispositivo [25], [42], [55]–[57]. A diferencia de otras estrategias de alimentación para IMDs, la WPT permite utilizar un mismo enlace para la transmisión de la energía y la comunicación inalámbrica. Como se observa en la Figura 1.4, existen varios métodos de WPT para alimentar IMDs; la idoneidad de cada método depende del tipo de aplicación, las condiciones de operación y las especificaciones energéticas requeridas. Entre las principales métodos tenemos:

- La **WPT Capacitiva** utiliza el principio de acoplamiento capacitivo en la región de campo cercano para transferir energía. Este principio opera en función de un campo eléctrico variante en el tiempo entre dos placas conductoras paralelas y un medio dieléctrico entre ambas [56], simulando un capacitor. La primera placa, el transmisor (Tx), es colocada fuera del cuerpo y fijada a la piel; la segunda placa, el receptor (Rx), es implantada dentro del cuerpo y conectada al IMD [33], como se

muestra en la Figura 1.6(a). Al utilizar un campo eléctrico entre dos conductores externos, se producen corrientes de baja intensidad, sin embargo, cuando el Rx se acerca al Tx, la impedancia mutua disminuye, facilitando el flujo de corriente y la alimentación del dispositivo implantado mediante el acoplamiento [55]. La WPT capacitiva demuestra un mejor rendimiento para profundidades de penetración de muy corto alcance (<10 mm) y frecuencias de operación de decenas de MHz [56]; se han reportado eficiencias de transferencia de potencia (PTE, por sus siglas en inglés) mayores al 50% [58], [59], y potencias de salida de 30.6 mW [59], 108.4 mW [58] y 290 mW [60]. La desventaja de este método es que se encuentra limitada a aplicaciones de corto alcance, generalmente para implantes transcutáneos.

- La **WPT Inductiva** está basada en la ley de inducción electromagnética de Faraday. Como se ilustra en la Figura 1.6(b), el método utiliza una bobina primaria (Tx) ubicada fuera del cuerpo para producir un campo magnético variable que induce una fuerza electromotriz en la bobina secundaria (Rx) implantada dentro de los tejidos corporales debido a la inducción electromagnética o acoplamiento inductivo [55]. El voltaje inducido en la bobina receptora es utilizada posteriormente para alimentar al IMD. La WPT inductiva es el método más ampliamente utilizado en IMDs con alimentación inalámbrica, ya que utiliza ondas de RF en la región de campo cercano, las cuales son menos afectadas por la atenuación de los tejidos humanos [56]. El rendimiento del enlace de acoplamiento inductivo y el tamaño de la bobina receptora depende en gran medida de su frecuencia de operación, que puede variar desde 25.5 kHz hasta 460 MHz [12], con valores típicos como 13.56 MHz y 40.68 MHz [26], [55], [56]. Este método puede lograr distancias al transmisor o profundidades de penetración en el rango de milímetros hasta unas pocas unidades de centímetros [61]. La WPT inductiva es adecuada para aplicaciones que requieren valores de potencia de carga relativamente altas (>100 mW) en enlaces debidamente alineados y distancias cortas. Se ha reportado que el método permite obtener potencias de salida desde decenas de μ W [62]–[64] hasta centenas de mW [65]–[68], y PTEs desde 0.15% hasta valores superiores al 50% [12], [61].
- La **WPT por Resonancia Magnética** consiste en el uso de la resonancia magnética no radiativa sobre un sistema de acoplamiento inductivo. La principal característica del acoplamiento de resonancia magnética radica en el uso de capacitores de resonancia y bobinas resonantes en ambos lados del transmisor y el receptor, como se observa en la Figura 1.6(c). El Tx y el Rx se encuentran sintonizados a una misma frecuencia para alcanzar una alta eficiencia mediante el acoplamiento de impedancias y la condición de máxima transferencia de potencia [69]. Los sistemas de WPT por resonancia magnética utilizan arquitecturas basadas en tres o cuatro bobinas dependiendo de las especificaciones requeridas como la distancia entre el Tx y el RX, la PTE y la potencia requerida por la carga [57]. A diferencia del acoplamiento inductivo, el acoplamiento de resonancia magnética utiliza un menor factor de acoplamiento (k_m), que le permite mantener la eficiencia incluso con factores de acoplamiento muy bajos ($k_m < 0.1$) [70]. El método proporciona una mayor flexibilidad en términos de posición y requiere menos precisión en la alineación. Sin embargo, el método también implica diseños e implementaciones más complejos, así como el uso de bobinas de mayor tamaño para lograr una transferencia de energía eficiente [71]. La WPT por resonancia magnética trabaja con frecuencias de resonancia de cientos de kHz hasta cientos de MHz, y puede lograr PTEs superiores al 50% a profundidades de algunas unidades de cm [72], [73]. Se han reportado potencias entregadas a la carga de 26 mW [74], 33 mW [75], 50.2 mW [76] y 64 mW [77].

- La **WPT de Campo Medio** aprovecha el modo de propagación de la radiación electromagnética en el tejido para transportar la energía al dispositivo. A diferencia de las técnicas de WPT de campo cercano tradicionales (inductivo y capacitivo) que se basan en campos magnéticos cuasiestáticos, la WPT de campo medio utiliza una placa metálica plana colocada fuera del cuerpo para controlar un campo magnético evanescente no estacionario que induce la transferencia de energía de las ondas electromagnéticas mediante el modo de propagación. La placa metálica emplea patrones para enfocar el campo magnético de salida de una antena Tx en dimensiones inferiores a su longitud de onda en el vacío, lo que permite crear regiones de alta densidad de energía que pueden ser recolectadas por antenas dipolo Rx de escalas milimétricas [78]. En la Figura 1.6(d) se observa el diagrama esquemático de un sistema de WPT de campo medio. Este método permite alimentar IMDs a profundidades mayores de 5 cm [79], [80] utilizando frecuencias de la región de campo medio en el rango bajo de algunos GHz [57], [81]. Por lo general, la WPT de campo medio se caracteriza por obtener PTEs inferiores al 1% [82], cuyos valores, sin embargo, son superiores a los obtenidos por los métodos de WPT inductivo de campo cercano bajo las mismas condiciones de operación. Potencias de salida de 200 μW [83], 800 μW [84] y 5.6 mW [82] se pueden encontrar mencionadas en la literatura.
- La **WPT de Campo Lejano** utiliza ondas electromagnéticas radiantes, como señales de RF o microondas, para transmitir energía desde una antena Tx hacia una antena Rx miniaturizada. La Figura 1.6(e) muestra el diagrama esquemático de un sistema de WPT de campo lejano. La antena RX convierte las ondas electromagnéticas recibidas en energía eléctrica, que puede ser utilizada para alimentar a un dispositivo implantable. La WPT de campo lejano se basa en los principios de la radiación electromagnética en la región de campo lejano y puede ser implementada utilizando diversas técnicas como el formado de haces, matrices de fase y sistemas de rectena. Este método emplea frecuencias altas en el rango de GHz, y una profundidad de penetración de unas pocas decenas de milímetros en tejido [55]. Sin embargo, la potencia recibida utilizando este método es generalmente limitada por un bajo valor de PTE [26], en algunos casos menores al 0.1% [85]. Potencias de salida con un máximo de alrededor de 1 mW [86], [87] se han reportado en el estado del arte. No obstante, una elevada pérdida por rectificación de potencia al operar a altas frecuencias sumado con su baja PTE, lo hace un método poco atractivo para satisfacer los requisitos de potencia de la mayoría de IMDs de diferentes aplicaciones.
- La **WPT por Ultrasonido** emplea ondas de ultrasonido para transportar energía de manera inalámbrica. Las ondas ultrasónicas son generadas por un transmisor basado en un oscilador ultrasónico excitado eléctricamente que genera vibraciones superficiales y ondas de presión acústica, tal como se observa en la Figura 1.6(f). Las ondas acústicas producidas por el Tx pueden transportar energía a través del aire y los tejidos hasta un dispositivo implantado, donde un transductor piezoeléctrico receptor convierte la energía mecánica de las ondas de ultrasonido en energía eléctrica [88]. A diferencia de los métodos electromagnéticos, este método requiere un medio de propagación y no puede transferir energía a través del vacío [55]. Las frecuencias de operación de ultrasonido utilizadas en este método varían entre 35 kHz y 30 MHz [12]. Este método permite lograr PTEs superiores al 2% dependiendo de la distancia [27], [89] y eficiencias de conversión acústica a eléctrica (PCE, por sus siglas en inglés) superiores al 50% [56]. A grandes profundidades de implantación, la WPT por ultrasonido presenta un mejor performance que la WPT inductiva, con un alcance o rango activo superior a los 10 cm [26], [56], [88]. Se ha demostrado en el

estado del arte, que la WPT por ultrasonido en IMDs puede proporcionar potencias de salida en el orden de sub- μW [90], [91] hasta varias unidades de mW [92]–[95].

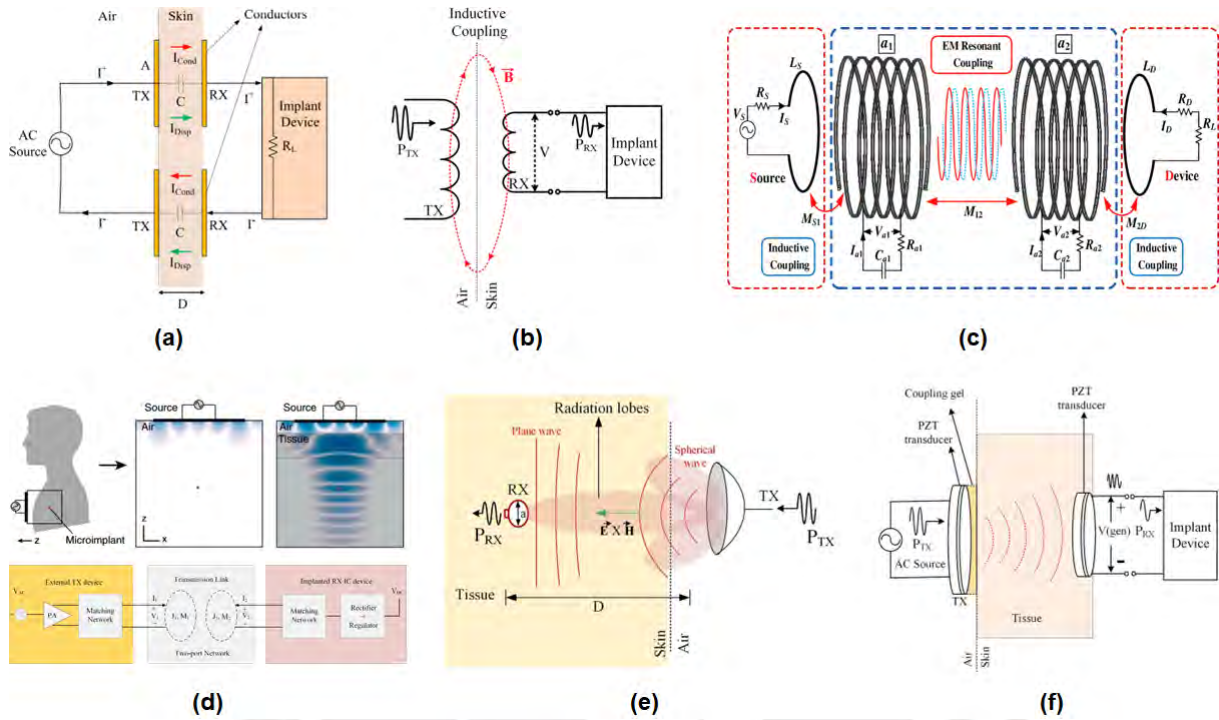


Figura 1.6: Diagramas esquemáticos de las principales técnicas de transferencia inalámbrica de potencia. (a) Capacitivo [58], (b) Inductivo [55], (c) Resonancia magnética [96], (d) Campo medio [55], [78], (e) Campo lejano [55], (f) Ultrasonido [55]. Copyright © 2017, IEEE. Copyright © 2018, Xian Zhang et al.

La exposición a campos electromagnéticos producida por las técnicas de WPT que utilizan ondas electromagnéticas, tales como la inductiva, capacitiva, por resonancia magnética, de campo medio y de campo lejano, está regulada por el estándar C95.1 del Institute of Electrical and Electronics Engineers (IEEE), que expresa los valores máximos para el SAR de 2 W/kg por cada 1 g de tejido corporal en cabeza y torso, y 0.08 W/kg en promedio para todo el cuerpo [26], [97]. Por otra parte, la WPT por ultrasonido utiliza como límite de seguridad la ISPTA especificada en las directrices de la FDA para el diagnóstico por ultrasonido. Las directrices de la FDA establecen para una salida acústica los valores máximos de ISPTA en 720 mW/cm² [25], [56], [98], Intensidad Promedio-Pulso Pico-Espacial (ISPPA, por sus siglas en inglés) en 190 W/cm² e Índice Mecánico (MI, por sus siglas en inglés) en 1.9 [99].

1.4 Estado del arte

En esta sección se describe el panorama actual de los principales trabajos sobre IMDs con alimentación basada en WPT por ultrasonido. Esta tecnología emergente ha suscitado un creciente interés en la comunidad científica en los últimos años, impulsada por la necesidad de desarrollar soluciones energéticas eficientes y seguras para dispositivos implantables. Cada trabajo científico revisado será presentado de forma concisa y enfocada en las arquitecturas de circuito integrado utilizadas, los parámetros eléctricos identificados, los resultados obtenidos y las aplicaciones en el ámbito biomédico.

Ghanbari et al. [100], [101] presentaron el diseño de un dispositivo implantable para registro neural de 0.8 mm^3 . Este dispositivo (Figura 1.7) opera a una frecuencia de resonancia de 1.78 MHz y a una profundidad de 5 cm . El implante consta de un CI para la gestión de la energía y el procesamiento de señales, un resonador piezocerámico de titanato zirconato de plomo (PZT, por sus siglas en inglés) para la recolección de energía y transmisión de los datos, y un par de electrodos para el registro de las señales neuronales. El CI, fabricado bajo un proceso CMOS LP de 65 nm , incorpora un circuito de unidad de gestión de energía que rectifica y regula a 1 V el voltaje suministrado por el piezoeléctrico, utilizando un rectificador activo basado en comparadores y un regulador de voltaje de baja caída (LDO, por sus siglas en inglés). En [100], la disipación de potencia medida después de la rectificación fue de $30 \mu\text{W}$, con un consumo total del implante de $37.7 \mu\text{W}$, y un consumo de $4 \mu\text{W}$ para el front-end de registro neural. Sin embargo, en [101], la disipación de potencia promedio del circuito fue de $13 \mu\text{W}$, y $28.8 \mu\text{W}$ incluyendo la eficiencia de conversión de energía.

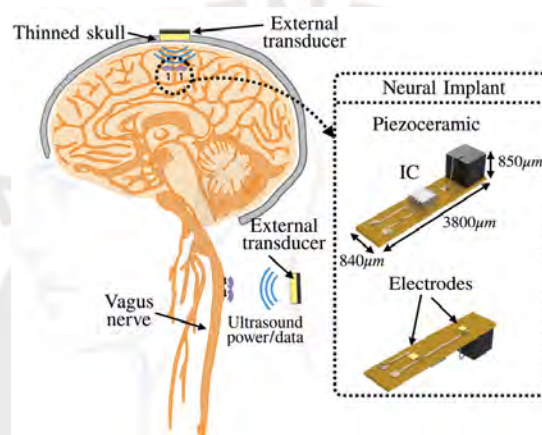


Figura 1.7: Registro neural inalámbrico desde regiones profundas del sistema nervioso periférico/central utilizando un implante de registro neural alimentado por ultrasonido [100]. Copyright © 2019, IEEE.

Weber et al. [102] diseñaron un sensor implantable de alta precisión para el monitoreo continuo de presión en aplicaciones biomédicas. El dispositivo logra un rango de presión de escala completa de 800 mmHg y una resolución de 0.78 mmHg . El IMD de dimensiones milimétricas está constituido por un piezoeléctrico PZT-5A con una red de casamiento tipo L capacitiva, un transductor de presión de puente resistivo, un CI y un condensador de almacenamiento. El piezoeléctrico trabaja con una frecuencia de 790 kHz permitiendo el funcionamiento del dispositivo a una profundidad superior a los 10 cm en tejido. El chip del CI fue diseñado en un proceso BCD HV de 180 nm , que contiene los componentes para la gestión de la energía y el procesamiento de las señales de presión. La arquitectura del circuito de gestión de energía incluye un rectificador de onda completa tipo puente fabricado con diodos Schottky, una referencia de bandgap basada en transistores de unión bipolar (BJT, por sus siglas en inglés), y un LDO para ajustar los voltajes de salida del rectificador a un valor de 1.9 V .

Jhonson et al. [103] desarrollaron un estimulador eléctrico de nervio periférico implantable de 6.5 mm^3 llamado "StimDust". El dispositivo miniaturizado es alimentado y controlado mediante ondas de ultrasonido a una frecuencia 1.85 MHz , permitiéndole alcanzar una eficiencia máxima del chip del 82% a una profundidad de 2.15 cm . El neuroestimulador "StimDust", como se ilustra en la Figura 1.8, está compuesto por un CI, un cristal piezoeléctrico y un capacitor de almacenamiento de carga, todos montados en

una placa de circuito impreso (PCB, por sus siglas en inglés) flexible con dos electrodos en la parte inferior. Para mejorar la gestión de la energía, el CI, fabricado en un proceso CMOS LP de 65 nm, utiliza un rectificador activo de onda completa para convertir el voltaje proveniente del cristal piezoeléctrico, que oscila entre 3 V y 5 V, a un voltaje nominal de 2.5 V. Además, se emplea un LDO para regular el voltaje rectificado a un valor de 1 V y alimentar la circuitería de control digital. El dispositivo puede proporcionar una corriente de estimulación máxima de hasta 400 μA . Posteriormente, el mismo dispositivo "StimDust" fue mejorado por Piech et al. [104], logrando una potencia de estimulación de 89 μW con una eficiencia de transferencia de potencia acústica a eléctrica del 3.4% a una distancia de 7 cm en un modelo de fantoma.

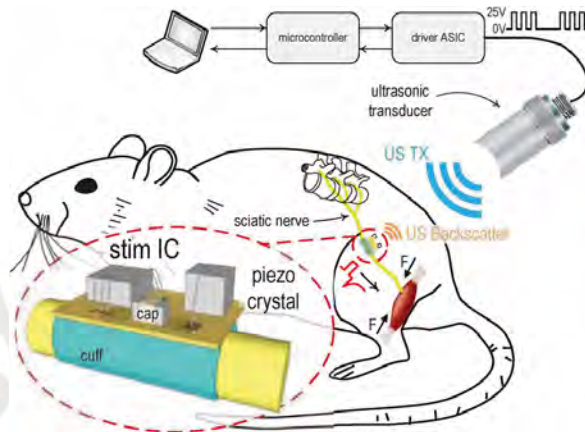


Figura 1.8: Ilustración del sistema estimulador neural inalámbrico StimDust [103]. Copyright © 2018, IEEE.

Sonmezoglu et al. [105], [106] presentaron un dispositivo implantable mínimamente invasivo con un sensor de oxígeno para el monitoreo continuo de la oxigenación tisular regional. El implante de dimensiones $3 \times 4.5 \times 1.2 \text{ mm}^3$ es alimentado con ultrasonido a una frecuencia de operación de 2 MHz, y alcanza una profundidad de 10 cm en tejido porcino ex vivo [106]. El dispositivo está conformado por un piezocristal PZT, un sensor de luminiscencia y un circuito integrado, todos montados sobre una placa flexible y encapsulados en algunas partes con silicona negra. El sensor de luminiscencia utiliza la técnica de espectroscopía del infrarrojo cercano para sensar O_2 de un tejido en un rango fisiológico de 0 a 100 mmHg, y está constituido por un μLED , un soporte para el LED, una película biocompatible para la detección de O_2 y un filtro óptico. Por otra parte, el CI que está fabricado bajo el proceso CMOS de 65 nm LP contiene los circuitos electrónicos para la gestión eficiente de la energía, el procesamiento de la señales y la comunicación bidireccional de los datos. La unidad de gestión de energía está conformado por un rectificador con diodos activos basados en comparadores de puerta común (CGC, por sus siglas en inglés), junto con otros componentes como un circuito de referencia de corriente y voltaje, dos LDOs, un circuito de Power On Reset (POR) y un circuito doblador de voltaje. La energía obtenida por el piezoeléctrico es almacenada por un capacitor externo de 2.5 nF. Asimismo, la potencia promedio consumida por el dispositivo es de 140 μW .

Rashidi et al. [92] propusieron un microestimulador optogenético alimentado por ultrasonido orientado para el tratamiento de la enfermedad de Parkinson. El dispositivo implantable consta de un transductor piezoeléctrico PZT-4, un chip del CI, un capacitor de almacenamiento de carga de 10 nF, un μLED azul y microelectrodos para la estimulación óptica. El chip de dimensiones 0.09 mm^2 fue fabricado con tecnología CMOS de 180 nm de TSMC. La arquitectura del sistema contiene un rectificador activo, un regu-

lador de doble paso, un circuito de referencia de corriente y un circuito de detección de ráfagas de potencia. El rectificador exhibe una eficiencia de rectificación (η_{rect}) máxima de 94.51% y una relación de conversión de voltaje (VCR, por sus siglas en inglés) máxima de 93.57% para entradas de voltaje de alrededor de 3 V. El dispositivo opera con frecuencias de ultrasonido de 2.7 MHz y proporciona una potencia de salida DC de 2.276 mW ante una intensidad acústica de entrada de 28.8 mW/mm². La potencia suministrada por el circuito rectificador es suficiente para alimentar un μ LED que genera una intensidad luminosa de 9.29 mW/mm².

Ballo et al. [107], [108] presentaron el diseño de un circuito integrado de gestión de energía para la recolección de energía de ultrasonido en IMDs. El diseño se centra principalmente en el bloque de conversión AC/DC de una PMU, representado por un rectificador activo. El rectificador utiliza diodos activos basados en una topología de comparadores de puerta común con entrada diferencial push-pull (CGC-DIP, por sus siglas en inglés) para la conmutación de los transistores de potencia NMOS. Los comparadores son diseñados utilizando una metodología basada en la técnica g_m/I_D . Asimismo, el rectificador activo emplea otros componentes como dos buffers para accionar los transistores de potencia NMOS, y un circuito active body biasing (ABB, por sus siglas en inglés) para evitar el efecto de cuerpo en los transistores de potencia PMOS, tal como se observa en la Figura 1.9. Los resultados de las simulaciones del CI, diseñado con una tecnología CMOS de 28 nm de TSMC, demostraron una η_{rect} máxima de 95%, una VCR máxima de 95% y una potencia de salida (P_{out}) máxima de 600 μ W para voltajes generados por el piezoeléctrico de 2.5 a 3.5 V, que operan a una frecuencia de resonancia de 2 MHz.

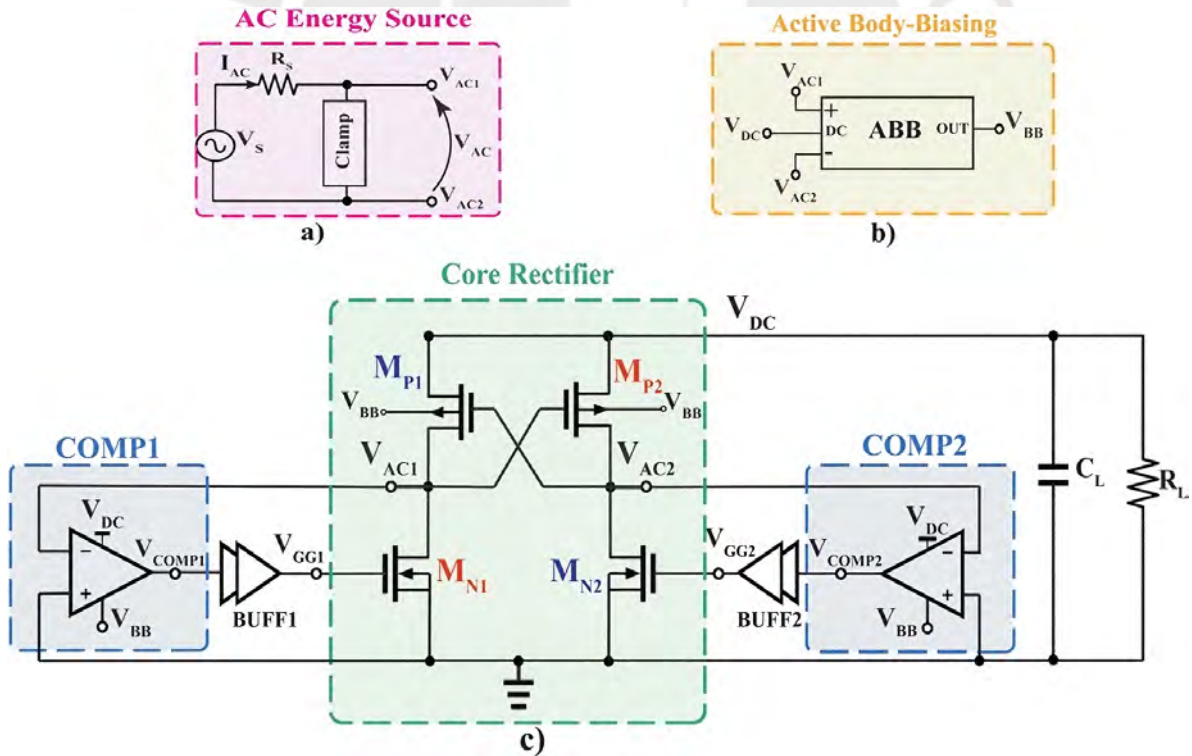


Figura 1.9: Diagrama esquemático del rectificador activo propuesto por Ballo et al. [107]. Copyright © 2022, IEEE

Una comparación detallada con los principales parámetros de diferentes trabajos científicos sobre IMDs con alimentación basada en la técnica de WPT por ultrasonido mencionados en la literatura, se presenta en la Tabla 1.1.

Tabla 1.1: Estado del arte de dispositivos implantables con alimentación basada en transferencia inalámbrica de potencia por ultrasonido.

Referencias	Parámetros														
	f (MHz)	d (cm)	V_{oc} (V)	R_{piezo} (k Ω)	η_{aper} (%)	P_{av} (μ W)	PME (%)	V_{ac} (V)	V_{dc} (V)	P_{out} (μ W)	C_{store} (nF)	PCE (%)	VCR (%)	Tecnología	Aplicación
[92]	2.7	N/D	N/D	N/D	27.17	2454	98.13**	3	2.84	2276	10	94.51*	93.57*	180 mm	Estimulación óptica
[109]	1	3	-	4.3	>50	176**	-	0.8	0.72	100*	2	89.4	90	65 mm	Propósito general
[107],[108]	2	1	2.5 - 3.5	1	-	-	-	1.79**	1.7*	600*	1	95*	95*	28 mm	Propósito general
[110]	1.28, 1.6	8.5	-	2.6	>50	-	-	2.1	\sim 1.9	\sim 60	0.716	-	-	180 mm	Monitoreo de presión
[100],[101]	1.78	5	> 2.25**	4	-	-	-	\sim 1.5**	> 1.25*	37.7*, 28.8	0.13	-	-	65 mm LP	Registro neural
[91]	8.3	2.2	2.5**	1.13	-	-	-	< 2	1.8*	\sim 0.0472*	0.25	71.3	-	180 mm	Monitoreo de temperatura
[111]	1	5	-	0.0663	-	-	-	-	4.5*	2000	-	-	-	350 mm	Estimulación eléctrica
[106],[105]	2	5, 10	-	-	\sim 20.4	-	-	-	\sim 2**	140, 194	2.5	-	-	65 mm LP	Monitoreo de oxígeno
[112]	1.314	10.5	-	2	38	3000	82	< 4.5	2.5 - 4.02	1756**	39	71.4	92	180 mm HV BCD	Estimulación eléctrica, óptica
[93]	2	-	3.4	0.5	-	-	-	1.79**	1.29*	2400*	100	98.4*	72*	28 mm	Propósito general
[113]	0.1	-	2	-	-	-	-	-	5	197*	-	80	-	180 mm BCD	Propósito general
[114]	0.95	8.5	\sim 1**	0.9	-	-	-	-	-	> 150**	20	-	-	65 mm	Propósito general
[102]	0.79	12	-	\sim 30	40	\sim 300	-	-	2.1 - 2.65	\sim 100	80	-	-	180 mm HV BCD	Monitoreo de presión
[103],[104]	1.85	2.15, 7*	3 - 5	\sim 4	3.4	-	-	-	2.5	120**, 89	4000	82	-	65 mm LP	Estimulación eléctrica
[115]	3	2.5	-	0.0241	-	-	-	-	1.22	18.8*	100000	-	-	-	Propósito general
[116]	2.15	1	-	1.65	-	4200	-	2.5*	2.02*	1000*	10	95*	87.8*	28 mm	Propósito general
[117]	0.955	6	-	3.3	50	-	-	-	-	-	4.7	\sim 80	-	-	Estimulación óptica
[94]	1.38	-	4.28	2.55	34.7	2497.5	87.5**	1.5 - 3.3	2.5	2197.6	10	91.2	-	180 mm	Estimulación óptica
[95]	1	10.5	-	3.552*	0.5	-	-	6.54	5.15	25000	100	82.45	78.74	180 mm HV	Propósito general
[71]	1.2	0.6	-	-	-	-	-	-	2.5*	480	-	70	-	65 mm	Registro neural, estimulación eléctrica
[90]	0.304	2	-	\sim 0.1**	-	-	-	-	0.54*	0.16	220000	-	-	-	Estimulación eléctrica
[118]	1.1	-	-	-	-	-	-	-	4	-	300	-	-	350 mm	Propósito general

* Valor máximo mencionado.

** Valor calculado o estimado.

Donde:

f	es la frecuencia de operación del ultrasonido
d	es el rango activo o la distancia entre el TX y el Rx de ultrasonido
V_{oc}	es el voltaje de circuito abierto del piezoeléctrico receptor
R_{piezo}	es la resistencia del piezoeléctrico receptor
η_{aper}	es la eficiencia de conversión de potencia acústica a eléctrica
P_{av}	es la potencia eléctrica DC disponible en el piezoeléctrico receptor
PME	es la eficiencia de acoplamiento de potencia
V_{ac}	es el voltaje de entrada AC del rectificador
V_{dc}	es el voltaje de salida DC del rectificador
P_{out}	es la potencia promedio de salida DC del rectificador
C_{store}	es la capacitancia del condensador de almacenamiento
PCE	es la eficiencia de conversión de potencia AC-DC del rectificador
VCR	es la relación de conversión de voltaje del rectificador

1.5 Justificación

En el contexto de la evolución tecnológica de los IMDs, la gestión de la energía es uno de los elementos de máxima relevancia a la hora de diseñar este tipo de dispositivos, debido a que operan habitualmente en entornos biológicos críticos, donde la disponibilidad de una fuente de energía fiable y sostenible es esencial para su funcionamiento y su éxito clínico. La alimentación de los IMDs mediante técnicas de transferencia inalámbrica de potencia se ha convertido en una tecnología prometedora debido a su capacidad para proporcionar energía sin cables y eliminar la necesidad de intervenciones quirúrgicas recurrentes para el reemplazo de baterías. Particularmente, la técnica de WPT por ultrasonido está emergiendo como una solución promisoría para proporcionar energía a dispositivos implantados a gran profundidad en el cuerpo humano [93]. Las ventajas del ultrasonido en comparación con otras tecnologías incluyen una focalización altamente directiva, buena eficiencia de conversión acústico-eléctrica, menor atenuación en tejido [102], gran capacidad para la miniaturización [26] y un límite de seguridad FDA más alto [89], [103], [106]. Asimismo, por lo observado en el estado del arte, los IMDs diseñados con alimentación por ultrasonido pueden obtener valores de potencia eléctrica de salida relativamente grandes para funcionar en un conjunto de aplicaciones biomédicas de gran relevancia.

Esta tesis representa una contribución valiosa al campo de la ingeniería biomédica, al abordar desafíos técnicos relacionados con dispositivos diseñados para aplicaciones médicas y proponer soluciones prácticas. El enfoque de esta investigación se centra en el diseño de un circuito integrado específico para gestionar la energía de dispositivos médicos implantables que se alimentan de manera inalámbrica a través de ondas de ultrasonido, con principal énfasis en el diseño del circuito rectificador. Se presta atención a la formulación de propuestas innovadoras destinadas a superar los desafíos relacionados con la gestión de la energía como la minimización de la disipación de potencia en tejido humano, la optimización de la transferencia de energía, la miniaturización y el cumplimiento riguroso de los parámetros de seguridad impuestos por entidades reguladoras.

Por otra parte, los resultados de la investigación pueden servir como referencia para otros investigadores y un punto de partida para futuros estudios, lo que incluye la posibilidad de realizar una implementación física del circuito integrado y ensayos en modelos de tejidos simulados y biológicos. Asimismo, esta investigación aspira a avanzar en el conocimiento científico y tecnológico en un campo de vital importancia como los dispositivos médicos, para la mejora de la atención médica y la calidad de vida de los pacientes.

1.6 Objetivos de la tesis

1.6.1 Objetivo principal

Diseñar el circuito integrado de una unidad de gestión de energía para dispositivos médicos implantables con alimentación basada en la técnica de transferencia inalámbrica de potencia por ultrasonido.

1.6.2 Objetivos secundarios

- Revisar el estado del arte de los dispositivos médicos implantables con alimentación mediante transmisión inalámbrica de potencia por ultrasonido.
- Definir una arquitectura para los bloques componentes del sistema de la unidad de gestión de energía.
- Comparar diferentes topologías de circuitos electrónicos de rectificadores AC-DC utilizados en las unidades de gestión de energía.
- Establecer los parámetros de diseño para los circuitos electrónicos del sistema de gestión de energía considerando un mínimo consumo de energía.
- Diseñar los esquemáticos de los circuitos electrónicos que conforman la unidad de gestión de energía.
- Implementar un modelo teórico de un sensor piezoeléctrico receptor como fuente de energía del circuito integrado de la unidad de gestión de energía durante las simulaciones.
- Evaluar el impacto del uso de una red de casamiento de impedancias en la unidad de gestión de energía.
- Analizar la eficiencia de rectificación, la eficiencia de casamiento y la eficiencia total del sistema de la unidad de gestión de energía para dispositivos médicos implantables bajo diferentes condiciones de operación.

1.7 Estructura de la tesis

La presente tesis se encuentra dividida en 6 capítulos. En el **Capítulo 1** se introduce brevemente el tema de los IMDs y se detallan los problemas actuales en el suministro de energía. Asimismo, se presentan las estrategias energéticas existentes y se revisa el estado del arte de IMDs con alimentación basada en la técnica de WPT por ultrasonido. En el **Capítulo 2** se exploran las propiedades de un transductor piezoeléctrico y la generación del ultrasonido. En particular, se estudian modelos teóricos y se diseña un transductor piezoeléctrico Rx para posteriores simulaciones. Además, se detallan los componentes y los parámetros más importantes de un sistema de gestión de energía basado en ultrasonido. En el **Capítulo 3** se describen diferentes topologías de circuitos electrónicos comúnmente utilizados en el diseño de PMU como circuitos convertidores AC-DC, convertidores DC-DC y redes de casamiento de impedancias. En el **Capítulo 4** se presentan de manera metodológica los diseños esquemáticos de cada uno de los circuitos electrónicos que conforman la PMU propuesta. En el **Capítulo 5** se realizan diversas simulaciones para calcular los principales parámetros del sistema y evaluar el rendimiento del circuito integrado diseñado. Finalmente, el **Capítulo 6** resume los hallazgos principales de la investigación y discute el impacto de los resultados obtenidos.

Capítulo 2

Transferencia inalámbrica de potencia por ultrasonido

2.1 El ultrasonido

El ultrasonido son ondas mecánicas de naturaleza acústica con frecuencias superiores al rango audible del oído humano (20 Hz a 20 kHz). El espectro del ultrasonido abarca un amplio rango de frecuencias que va desde los 20 kHz hasta aproximadamente 1 GHz. El ultrasonido es utilizado en una amplia gama de aplicaciones de diferentes campos, tales como imagenología médica, pruebas no destructivas, limpieza, transmisión de energía, procesamiento de materiales, entre otros [119].

Los principales parámetros que describen una onda acústica de ultrasonido son su longitud de onda, frecuencia, amplitud y período (Figura 2.1).

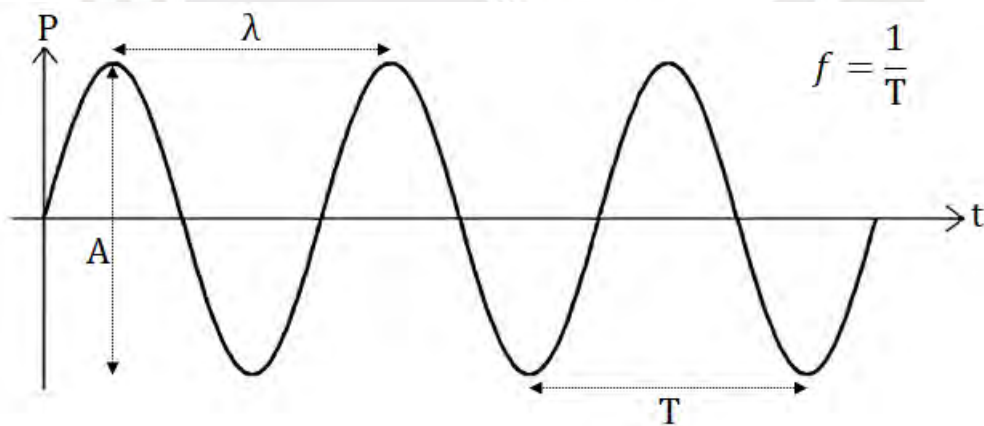


Figura 2.1: Parámetros de una onda acústica. P es la presión acústica, A es la amplitud, λ es la longitud de onda, T es el período y f es la frecuencia.

A diferencia de las ondas electromagnéticas que pueden viajar en el vacío, las ondas acústicas del ultrasonido requieren un medio elástico como líquidos, gases, sólidos y tejidos biológicos para propagarse [120]. La ecuación lineal de una onda acústica en un medio homogéneo se representa de la siguiente forma

$$\nabla^2 p(\mathbf{r}, t) - \frac{1}{c^2} \frac{\partial^2 p(\mathbf{r}, t)}{\partial t^2} = 0, \quad (2.1)$$

donde ∇^2 es el operador Laplaciano tridimensional, p es la presión acústica de la onda, \mathbf{r} es el vector de posición de la onda en coordenadas Cartesianas, t es el tiempo, y c es la

velocidad de la onda acústica longitudinal en el medio.

Para el caso particular de una onda armónica plana en un medio homogéneo, la solución a la ecuación 2.1 se puede escribir como

$$p(\mathbf{r}, t) = Ae^{-i(\mathbf{k}\cdot\mathbf{r}-\omega t)} + Be^{i(\mathbf{k}\cdot\mathbf{r}-\omega t)}, \quad (2.2)$$

donde A y B son constantes que respresentan las amplitudes de las componentes de la onda y cuyos valores se calculan al aplicar las condiciones iniciales y/o de frontera [120], \mathbf{k} es el vector de onda, ω es la frecuencia angular e i es la unidad imaginaria. La magnitud del vector de onda es conocido como el número de onda k y se define como

$$k = |\mathbf{k}| = \frac{\omega}{c}, \quad (2.3)$$

Asimismo, la velocidad de la onda acústica c en un medio homogéneo se define como

$$c = \lambda f, \quad (2.4)$$

donde λ es la longitud de la onda y f es la frecuencia. Por consiguiente, la relación entre la longitud de onda y el número de onda se establece de la siguiente manera

$$\lambda = \frac{2\pi}{k}, \quad (2.5)$$

2.1.1 Tipos de ondas de ultrasonido

Los tipos de ondas de ultrasonido más utilizados son las ondas longitudinales y las ondas transversales, aunque existen otras formas de propagación como las ondas superficiales y las ondas de Lamb. En las ondas longitudinales, la energía se desplaza en la misma dirección que la propagación de la onda, coincidiendo con el desplazamiento y la velocidad de las partículas del medio. Por otra parte, en las ondas transversales, la energía se mueve perpendicularmente a la dirección de propagación de la onda, es decir, propagándose en un plano perpendicular al desplazamiento y la velocidad de las partículas del medio [121].

2.1.2 Intensidad acústica

La intensidad acústica se define como la cantidad de energía por unidad de tiempo que atraviesa una superficie perpendicular a la dirección de propagación de la onda. La intensidad acústica es una magnitud vectorial y se expresa típicamente en unidades de Watts por cada metro cuadrado (W/m^2) [122]. Cuando el flujo de energía no es promediada, la intensidad acústica instantánea se define como

$$\mathbf{I}(t) = p(t)\mathbf{u}(t), \quad (2.6)$$

donde \mathbf{I} es la intensidad acústica y \mathbf{u} es el vector de la velocidad de partículas, que son cantidades variables en el tiempo. Sin embargo, en la práctica es común estudiar los campos estacionarios de ultrasonido y la intensidad acústica promediada a lo largo del tiempo en lugar de la intensidad en un momento específico [123]. Por consiguiente, la intensidad acústica promedio se puede representar como

$$\langle \mathbf{I}(t) \rangle = \langle p(t)\mathbf{u}(t) \rangle, \quad (2.7)$$

En una onda acústica plana que viaja en la dirección \mathbf{r} , la presión acústica y la velocidad de las partículas están en fase [123] y se relacionan mediante la siguiente ecuación

$$u_r(t) = \frac{p(t)}{\rho c}, \quad (2.8)$$

donde u_r es la magnitud de la velocidad de partículas en la dirección r y ρ es la densidad del medio. Bajo estas condiciones, la intensidad acústica promedio para una onda plana en la dirección arbitraria r se puede expresar como

$$I_r = \langle p(t)u_r(t) \rangle = \frac{\langle p^2(t) \rangle}{\rho c} = \frac{P_{rms}^2}{\rho c}, \quad (2.9)$$

donde P_{rms}^2 es el valor cuadrático medio (rms, por sus siglas en inglés) de la presión acústica o la presión acústica eficaz.

En ultrasonidos, y en acústica en general, los niveles de intensidad y presión acústica se suelen expresar en escalas de decibelios (dB). Un decibelio, que equivale a una décima parte de un bel, se utiliza para indicar la proporción entre dos valores de una cantidad física [119]. El nivel de intensidad acústica en decibelios se define como 10 veces el logaritmo en base 10 de la proporción entre dos intensidades, y se representa de la siguiente forma

$$IL = 10 \log_{10} \frac{I}{I_0}, \quad (2.10)$$

donde IL es el nivel de intensidad acústica, I es la intensidad que se está midiendo e I_0 es la intensidad de referencia. De la ecuación 2.9, se puede deducir que la proporción entre dos presiones acústicas equivale a la raíz cuadrada de sus respectivas intensidades; por lo tanto, el nivel de presión acústica en dB se calcula multiplicando por 20 el logaritmo en base 10 de la relación de ambas presiones [122], y se expresa como

$$SPL = 20 \log_{10} \frac{P}{P_0}, \quad (2.11)$$

donde SPL es el nivel de presión acústica, P es la presión acústica eficaz que se está midiendo y P_0 es la presión de referencia.

Según la intensidad acústica, el ultrasonido se puede clasificar en ultrasonidos de baja intensidad y ultrasonidos de alta intensidad. Los ultrasonidos de baja intensidad se refieren a ondas ultrasónicas que tienen los niveles de energía acústica relativamente más bajos, con intensidades $<3 \text{ W/cm}^2$. Asimismo, el ultrasonido de baja intensidad se caracteriza por utilizar frecuencias altas en un rango típico de entre 1 y 100 MHz [120]. Por lo general, los ultrasonidos de baja intensidad se emplean para propósitos de detección, percepción e información sin generar cambios importantes o daños en el medio; entre las aplicaciones podemos encontrar pruebas no destructivas, diagnósticos médicos, control de procesos, y acústica submarina para detección y medición de distancias [119]. Por otra parte, el ultrasonido de alta intensidad se refiere a ondas ultrasónicas con niveles significativamente más altos de energía acústica, con intensidades $>3 \text{ W/cm}^2$, y se caracterizan por emplear frecuencias bajas con un rango aproximado de entre 20 y 100 kHz [120]. Dentro de esta clasificación, las ondas ultrasónicas se utilizan para generar efectos permanentes o inducir fenómenos específicos en el medio. El ultrasonido de alta intensidad tiene la capacidad de producir fenómenos como la cavitación, el flujo acústico y la formación de dislocaciones en materiales sólidos. Aplicaciones típicas incluyen limpieza, emulsificación, homogeneización, soldadura, perforación, reacciones sonoquímicas y terapias médicas [119]. Según el estado del arte, la alimentación de IMDs mediante la técnica de WPT por ultrasonido utiliza intensidades acústicas $<0.72 \text{ W/cm}^2$ en tejido, por lo que podemos clasificarla como una aplicación de ultrasonido de baja intensidad.

2.1.3 Atenuación

Uno de los principales fenómenos de las ondas de ultrasonido es la atenuación. La atenuación se puede definir como la reducción de la amplitud e intensidad de una onda cuando interactúa mecánicamente con el medio por el que se propaga [124]. En su forma más simplificada de una sola componente del vector de posición, el efecto de la atenuación de una onda plana se puede relacionar como un número de onda complejo y se expresa mediante la siguiente ecuación

$$p(x, t) = Ae^{i(\omega t \pm (k - i\alpha)x)}, \quad (2.12)$$

$$p(x, t) = Ae^{(\pm\alpha x)} e^{i(\omega t \pm kx)}, \quad (2.13)$$

donde x es la distancia desde el origen a un punto a lo largo del eje X, A es la amplitud de la onda y α es el coeficiente de atenuación en unidades de Neper por metro ($\text{Np} \cdot \text{m}^{-1}$). En ultrasonido, el coeficiente de atenuación se suele expresadamente convenientemente en decibeles por centímetro ($\text{dB} \cdot \text{cm}^{-1}$). En la ecuación 2.12 se puede observar en mayor detalle que la amplitud de la onda decae exponencialmente con la distancia debido a la atenuación.

Los principales procesos que causan atenuación son la absorción, la reflexión, la dispersión y la refracción. La absorción de ultrasonido es la conversión de parte de la energía acústica en calor debido a la interacción de la onda ultrasónica con las moléculas del medio por el que se propaga, la cantidad de energía convertida en calor depende de la viscosidad del medio y la frecuencia de la onda transmitida [124]. La reflexión de una onda de ultrasonido ocurre en la frontera entre dos medios con impedancias acústicas diferentes, donde parte de la energía de la onda retorna en la dirección de la fuente y el resto se transmite al siguiente medio [125]. La dispersión o *scattering* es el fenómeno en el cual parte de la energía de una onda de ultrasonido se redistribuye en otras direcciones del espacio cuando atraviesa un medio heterogéneo que contiene estructuras de diferentes impedancias acústicas y de tamaños inferiores a la longitud de onda incidente [126]. La refracción se produce cuando un haz de ultrasonido se desvía al atravesar una interfaz entre dos medios con diferentes velocidades de propagación y en un ángulo de incidencia diferente de cero [127].

La disminución de la intensidad del ultrasonido cuando se propaga a través del cuerpo humano es causada en mayor medida por la absorción y la dispersión [128]. En efecto, más del 80% de la atenuación total en tejidos blandos se debe a la absorción de la onda ultrasónica, lo que resulta en una generación de calor [129]. Es por ello que la atenuación de la intensidad del ultrasonido en el tejido se puede aproximar al generado por el proceso de absorción, y se representa mediante la ley de Beer-Lambert de la siguiente forma [128]

$$I = I_0 e^{-\alpha z}, \quad (2.14)$$

donde I_0 es la intensidad acústica sin atenuación y z es la profundidad que una onda ultrasónica recorre a través del cuerpo. La cantidad de atenuación varía según el tipo de tejido por el que se propaga, diferentes tejidos tendrán diferentes coeficientes de atenuación. El coeficiente de atenuación es mayor en tejidos densos como el hueso y menor en tejidos menos densos como la grasa [130]. Por otra parte, existe una fuerte dependencia de la atenuación del ultrasonido con la frecuencia, por lo que es común encontrar coeficientes de atenuación de tejidos biológicos expresados en unidades de $\text{dB} \cdot \text{cm}^{-1} \cdot \text{MHz}^{-1}$. La relación del coeficiente de atenuación con la frecuencia de la onda de ultrasonido se puede expresar como [126]

$$\alpha = \alpha_0 f^b, \quad (2.15)$$

donde α es el coeficiente de atenuación (por absorción) para una determinada frecuencia f , α_0 es la constante de atenuación del medio, y b es una constante numérica que depende del tipo de tejido. El coeficiente de atenuación en tejidos biológicos crece de manera aproximadamente lineal con la frecuencia, a excepción de los huesos y otros tejidos de materiales calcificados [125]. En consecuencia, a medida que aumenta la frecuencia del ultrasonido, la atenuación en cualquier tejido blando también será mayor. El coeficiente de atenuación en la mayoría de los tejidos del cuerpo humano se encuentra aproximadamente entre 0.5 y $1.0 \text{ dB} \cdot \text{cm}^{-1} \cdot \text{MHz}^{-1}$ [128]. Asimismo, propiedades acústicas como la velocidad del ultrasonido y la impedancia acústica radiativa son similares en la mayoría de los tejidos debido a su fuerte composición de agua. En la Tabla 2.1 se muestra de manera detallada los coeficientes de atenuación y otras propiedades físicas de algunos fluidos y tejidos del cuerpo humano.

Tabla 2.1: Propiedades acústicas de algunos tejidos.

Tejido	Densidad (kg/m^3)	Velocidad (m/s)	Impedancia acústica (MRayls)	Coeficiente de atenuación	
				α_0 ($\text{dB} \cdot \text{cm}^{-1} \cdot \text{MHz}^{-b}$)	b
Aire	1.16	343	0.0004	0.0034	2.0
Agua	994	1482	1.47	0.0022	1.0
Bazo	1089	1567	1.71	0.38	1.4
Cartílago	1099	1639	1.80	0.04	1.0
Cerebro	1045	1546	1.62	0.59	1.3
Cerebelo	1045	1537	1.61	0.34	1.6
Corazón	1080	1561	1.69	0.34	1.3
Estómago	1088	1500	1.63	0.50	1.0
Grasa	911	1440	1.31	0.38	1.1
Hígado	1078	1585	1.71	0.60	1.0
Hueso esponjoso	1178	2117	2.50	4.08	1.2
Hueso cortical	1908	3514	6.71	4.74	1.0
Intestino delgado	1030	1500	1.55	0.50	1.0
Intestino grueso	1088	1500	1.63	0.50	1.0
Músculo	1090	1588	1.73	0.62	1.1
Nervio	1075	1630	1.75	1.15	1.0
Páncreas	1086	1591	1.73	0.83	1.0
Paredes vasculares	1101	1569	1.73	0.61	1.0
Piel	1109	1624	1.80	1.84	1.0
Pulmón	394	949	0.37	20.06	1.0
Riñón	1066	1554	1.66	0.24	1.0
Sangre	1050	1578	1.66	0.20	1.1
Tendón	1142	1750	2.00	1.26	1.2
Vejiga	1086	1500	1.63	0.50	1.0

*Obtenido de [128], [131].

2.1.4 Reflexión y transmisión de ondas de ultrasonido

Cuando una onda de ultrasonido atraviesa el límite que separa dos medios de diferentes propiedades acústicas, se produce una onda reflejada y una onda transmitida a partir de la onda incidente (Figura 2.2), estos fenómenos son denominados reflexión y transmisión respectivamente. La propiedad acústica que determina la cantidad de reflexión y transmisión de la onda de ultrasonido es la impedancia acústica.

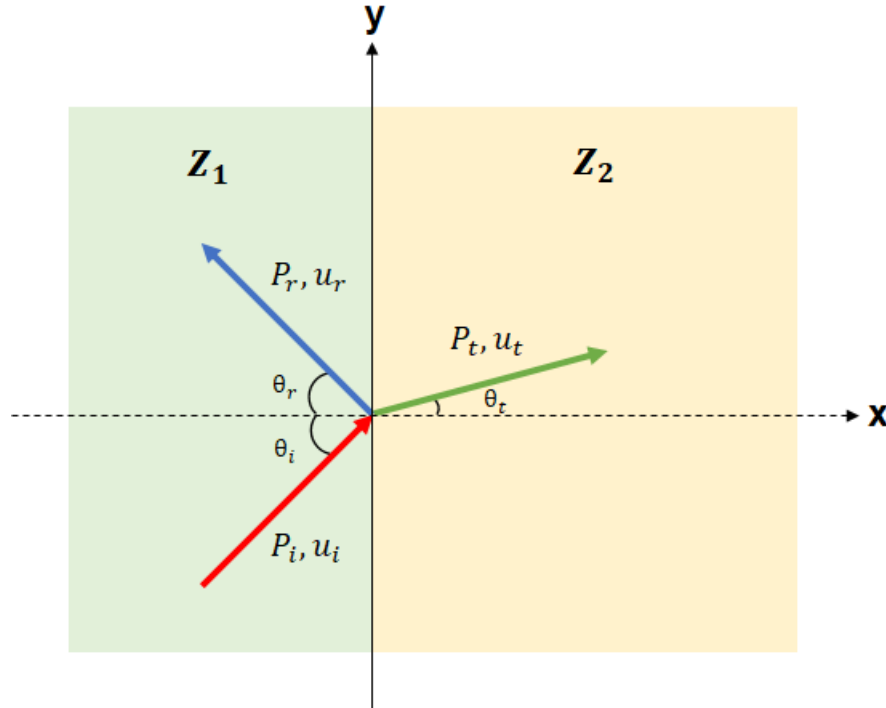


Figura 2.2: Reflexión y transmisión de una onda de ultrasonido entre dos medios con diferentes impedancias acústicas Z_1 y Z_2 . La onda incidente (P_i) que ingresa con un ángulo de incidencia θ_i produce una onda reflejada (P_r) con un ángulo de reflexión $\theta_r = \theta_i$ y una onda transmitida (P_t) con un ángulo de transmisión θ_t .

La impedancia acústica es una medida de la resistencia que un sistema presenta al flujo acústico como resultado de una presión acústica aplicada [132]. Matemáticamente, la impedancia acústica de un material es la razón entre la presión acústica y la velocidad de las partículas asociadas al medio. La impedancia acústica se calcula como

$$Z = \frac{P}{u}, \quad (2.16)$$

donde Z es la impedancia acústica en unidades de $\text{kg}\cdot\text{m}^{-2}\cdot\text{s}^{-1}$ o Rayls, P es la presión acústica y u es la velocidad de las partículas. Para el caso de las ondas planas, se ha demostrado que la impedancia acústica no depende de la forma de la onda sino de las propiedades intrínsecas del medio a través del cual se propaga la onda. Esta impedancia acústica es también conocida como impedancia acústica característica y se define como

$$Z = \rho c, \quad (2.17)$$

donde ρ es la densidad del medio y c es la velocidad de propagación del ultrasonido en el medio.

La cantidad de ultrasonido reflejado en el límite que separa dos medios de diferentes impedancias acústicas se expresa mediante el coeficiente de reflexión, que representa la

relación entre la amplitud de la presión acústica reflejada y la presión acústica incidente. Similarmente, la cantidad de ultrasonido transmitido se puede expresar mediante el coeficiente de transmisión para representar la relación entre la amplitud de la presión acústica transmitida y la presión acústica incidente. Ambos coeficientes se pueden calcular utilizando las ecuaciones de continuidad de la presión acústica y la velocidad de partículas [133]. Las ecuaciones de continuidad en la condición de frontera establecen que

$$1 + R = T, \quad (2.18)$$

donde R es el coeficiente de reflexión y T es el coeficiente de transmisión. En base a la Figura 2.2 podemos deducir que el coeficiente de reflexión y el coeficiente de transmisión se pueden expresar como

$$R = \frac{P_r}{P_i} = \frac{Z_2 \cos \theta_i - Z_1 \cos \theta_t}{Z_2 \cos \theta_i + Z_1 \cos \theta_t}, \quad (2.19)$$

$$T = \frac{P_t}{P_i} = \frac{2Z_2 \cos \theta_i}{Z_2 \cos \theta_i + Z_1 \cos \theta_t}, \quad (2.20)$$

donde, P_r es la amplitud de la presión acústica reflejada, P_i es la amplitud de la presión acústica incidente, P_t es la amplitud de la presión acústica transmitida, Z_1 es la impedancia acústica del primer medio, Z_2 es la impedancia acústica del segundo medio, θ_r es el ángulo de reflexión, θ_t es el ángulo de transmisión y θ_i es el ángulo de incidencia. Se debe tener en cuenta que las ecuaciones 2.19 y 2.20 son expresiones simplificadas considerando que se cumple la ley de reflexión $\theta_i = \theta_r$.

Para el caso particular de una onda incidente normal a la superficie de la interfaz entre dos medios de diferentes impedancias acústicas ($\theta_i = 0^\circ$), los coeficientes de reflexión y transmisión son iguales a

$$R = \frac{Z_2 - Z_1}{Z_2 + Z_1}, \quad (2.21)$$

$$T = \frac{2Z_2}{Z_2 + Z_1}, \quad (2.22)$$

2.2 El transductor piezoeléctrico

Un transductor es un dispositivo que transforma una forma de energía en otra. Los transductores piezoeléctricos son un tipo de transductores electroacústicos que emplean el efecto piezoeléctrico para transformar la energía mecánica del ultrasonido en energía eléctrica, o la energía eléctrica en energía mecánica [124].

2.2.1 Principio piezoeléctrico

El principio piezoeléctrico, descubierto por los hermanos Pierre y Jacques Curie en 1880, se basa en la conversión bidireccional de la energía mecánica y eléctrica en ciertos materiales debido a su estructura cristalina asimétrica [134]. Cuando se aplica una deformación mecánica a un material piezoeléctrico polarizado, conocido como elemento piezoeléctrico, se generan cargas eléctricas o un voltaje proporcional a dicha deformación debido al cambio en el momento dipolar del material, este fenómeno se denomina efecto piezoeléctrico directo. Por el contrario, el efecto piezoeléctrico inverso ocurre cuando un voltaje aplicado provoca una deformación mecánica en el material [135]. La polaridad del voltaje generado o la deformación resultante, es decir el elemento se alarga o se contrae,

depende de la dirección y naturaleza de la deformación o voltaje aplicados [126] (Figura 2.3). Esta propiedad de convertir la energía de forma bidireccional con un mismo elemento, permite utilizar al transductor piezoeléctrico tanto en la transmisión como en la recepción de ondas en un enlace de ultrasonido.

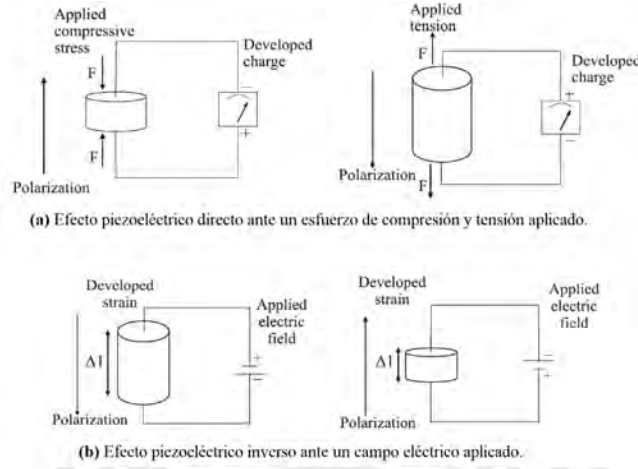


Figura 2.3: Representación del efecto piezoeléctrico (a) directo e (b) indirecto [136]. Copyright © 2014 Springer International Publishing Switzerland.

Las ecuaciones constitutivas del principio piezoeléctrico en el régimen lineal que describen el acoplamiento entre la parte mecánica y eléctrica de un transductor piezoeléctrico son [137]

$$S = s^E T + dE, \quad (2.23)$$

$$D = \varepsilon^T E + dT, \quad (2.24)$$

donde S es la deformación mecánica, D es el desplazamiento eléctrico (C/m^2), T es el esfuerzo mecánico (N/m^2), E es el campo eléctrico (V/m), s^E es la constante de rigidez elástica evaluada en un campo eléctrico constante (N/m^2), ε^T es la constante dieléctrica evaluada en un esfuerzo mecánico constante (F/m), y d es la constante piezoeléctrica directa (C/m^2). La naturaleza de las variables eléctricas E y D es vectorial, mientras que las variables mecánicas S y T son tensores de 6 componentes. Para un material piezoeléctrico polarizado e isotrópico en el plano 12 (xy), y con simetría alrededor del eje 3 (z), la forma matricial de las ecuaciones constitutivas utilizando la notación del estándar de la IEEE sobre piezoelectricidad [138] se puede expresar como

$$\begin{bmatrix} S_1 \\ S_2 \\ S_3 \\ S_4 \\ S_5 \\ S_6 \\ D_1 \\ D_2 \\ D_3 \end{bmatrix} = \begin{bmatrix} s_{11}^E & s_{12}^E & s_{13}^E & 0 & 0 & 0 & 0 & 0 & d_{13} \\ s_{21}^E & s_{22}^E & s_{23}^E & 0 & 0 & 0 & 0 & 0 & d_{32} \\ s_{31}^E & s_{32}^E & s_{33}^E & 0 & 0 & 0 & 0 & 0 & d_{33} \\ 0 & 0 & 0 & s_{13}^E & 0 & 0 & 0 & d_{42} & 0 \\ 0 & 0 & 0 & 0 & s_{55}^E & 0 & d_{51} & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & s_{66}^E & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & d_{15} & 0 & \varepsilon_{11}^T & 0 & 0 \\ 0 & 0 & 0 & d_{24} & 0 & 0 & 0 & \varepsilon_{22}^T & 0 \\ d_{31} & d_{32} & d_{33} & 0 & 0 & 0 & 0 & 0 & \varepsilon_{33}^T \end{bmatrix} \begin{bmatrix} T_1 \\ T_2 \\ T_3 \\ T_4 \\ T_5 \\ T_6 \\ E_1 \\ E_2 \\ E_3 \end{bmatrix} \quad (2.25)$$

2.2.2 Tipos de materiales

Los materiales piezoeléctricos son esenciales en la conversión de energía acústica en energía eléctrica, desempeñando un papel crucial en el diseño de transductores para aplicaciones biomédicas, especialmente en IMDs con alimentación basada en WPT por ultrasonido. Entre los materiales más utilizados se encuentran el PZT4, PZT5H, el titanato de bario (BaTiO_3) y el niobato de litio (LiNbO_3)[139]–[141].

El titanato de plomo y zirconio (PZT, por sus siglas en inglés) es un transductor cerámico conocido por su alta constante dieléctrica (ϵ^T) y por tener uno de los coeficientes de acoplamiento electromecánico (k_{33}) más altos. Estas propiedades lo convierten en un material popular en transductores de imagen[137], [141], sensores e IMDs [92], [100], [102]. Sin embargo, su contenido de plomo plantea preocupaciones sobre su biocompatibilidad [142]. Por otro lado, el niobato de litio, si bien es un material libre de plomo, presenta una menor constante dieléctrica y, por lo tanto, no resulta tan eficiente en aplicaciones que requieren una alta conversión de energía [139].

En contraste, el titanato de bario se destaca por su alta constante dieléctrica y su capacidad para ser biocompatible, lo que lo convierte en una opción atractiva para aplicaciones en el cuerpo humano [143]. Su estructura cerámica permite una buena respuesta piezoeléctrica [139], lo que lo hace ideal para dispositivos que requieren una conversión eficiente de energía acústica a eléctrica. En esta tesis, se tomarán en cuenta las propiedades del BaTiO_3 para el modelado del transductor piezoeléctrico receptor de ultrasonido, debido a sus ventajas previamente expuestas, incluyendo su capacidad para operar en un rango de frecuencias adecuado para aplicaciones médicas [140].

En la Tabla 2.2 se presentan las propiedades de estos materiales piezoeléctricos operando en modo de expansión longitudinal (LE, por sus siglas en inglés). Este modo, caracterizado por la vibración en la dirección longitudinal, permite una conversión eficiente de energía acústica en eléctrica. En IMDs, se asume este modo debido a su adecuada aproximación cuando la relación de aspecto del transductor piezoeléctrico receptor (G), definida como:

$$G = \frac{w}{t} \quad (2.26)$$

donde w es el ancho y t el espesor del transductor, es inferior a la unidad, lo que permite reducir el volumen total del implante [134], [139], [141].

Tabla 2.2: Propiedades del material piezoeléctrico en modo de expansión longitudinal

Propiedad	PZT4	PZT5H	BaTiO ₃	LiNbO ₃
Densidad, ρ (kg/cm ³)	7500	7500	5700	4640
Velocidad del ultrasonido, v (m/s)	4100	3850	5000	6400
Impedancia acústica, Z_C (MRayls)	30.8	28.9	28.5	29.7
Coefficiente de acoplamiento electromecánico, k_{33}	0.70	0.75	0.50	~0.50
Permitividad relativa (ϵ^T)	1300	3400	1700	30
Factor de calidad mecánica	500	65	300	>1000

Tomado de [139].

2.2.3 Modelos de transductores piezoeléctricos

El diseño y modelado de transductores piezoeléctricos se fundamenta en la interacción entre sus propiedades mecánicas y eléctricas, caracterizadas por el coeficiente de acoplamiento electromecánico (k_{33}), cuya magnitud varía con la geometría del resonador. Estas interacciones, descritas por las ecuaciones constitutivas presentadas en (2.25), pueden analizarse mediante métodos numéricos como el modelado por elementos finitos (FE, por sus siglas en inglés), que se basa en formulaciones variacionales como el principio de Hamilton, el principio de trabajo virtual y los residuos de Galerkin, para evaluar detalladamente la respuesta piezoeléctrica del sensor en configuraciones específicas [134]. Aunque este enfoque es altamente efectivo, presenta limitaciones debido al elevado costo computacional y a su dificultad para modelar sistemas completos que incluyen tanto los transductores como los circuitos eléctricos asociados [144].

En configuraciones donde los transductores presentan modos de resonancia dominantes, como en barras delgadas en modo longitudinal extensional (LE) o en modos de espesor extensional, su comportamiento puede aproximarse como un sistema unidimensional (1D). En este caso, los transductores se modelan mediante redes con tres puertos, dos acústicos y uno eléctrico, como se ilustra en la Figura 2.4. Las magnitudes mecánicas, como la fuerza (F) y la velocidad de las partículas (u), se representan de manera análoga al voltaje y la corriente en circuitos eléctricos [145].

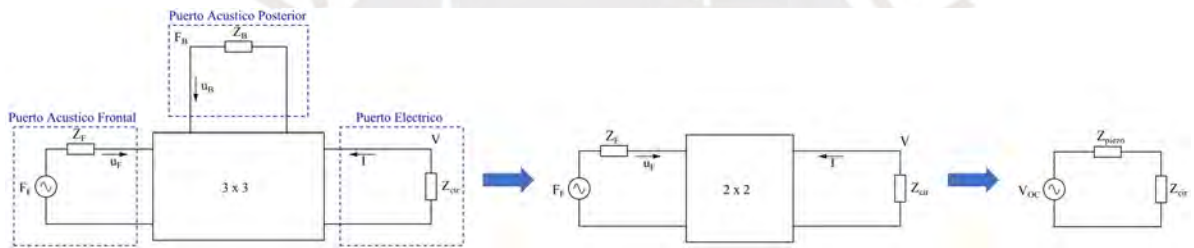


Figura 2.4: Representación de un receptor piezoeléctrico como un sistema de tres puertos. Puede simplificarse a un modelo de dos puertos cuando se definen las propiedades acústicas de la sección posterior del dispositivo, y posteriormente a un circuito eléctrico equivalente de Thévenin con un voltaje de circuito abierto (V_{OC}) y una impedancia eléctrica asociada al receptor piezoeléctrico (Z_{piezo}). Adaptado de [128].

En el puerto acústico frontal, F_F representa la fuerza externa de la onda ultrasónica entrante aplicada en la superficie frontal del transductor piezoeléctrico, u_F es la velocidad de las partículas en esta misma sección, y Z_F corresponde a la impedancia acústica del medio situado frente al transductor. En el puerto acústico posterior, F_B es la fuerza externa de la onda ultrasónica resultante en la superficie posterior del transductor, u_B es la velocidad de las partículas en esta sección, y Z_B es la impedancia acústica del medio detrás del transductor. Por su parte, en el puerto eléctrico, I denota la corriente, V el voltaje, y Z_{cir} la impedancia eléctrica equivalente del circuito externo conectado al transductor piezoeléctrico.

La simplificación del transductor piezoeléctrico receptor a una red de tres puertos ha dado lugar al desarrollo de varios modelos de circuitos equivalentes, como el modelo de Mason [145], [146], el modelo de Redwood [144], [147], el modelo de Krimholtz, Leedom y Matthaehi (KLM) [128], [146] y el modelo Butterworth–Van Dyke (BVD) [118], [139]. Estos modelos permiten representar las interacciones mecánicas y acústicas mediante parámetros eléctricos simplificados.

El modelo de Mason representa al transductor piezoeléctrico mediante un circuito equiv-

alente fundamentado en la teoría de redes. Como se muestra en la Figura 2.5, este modelo utiliza un transformador ideal con relación de transformación N para modelar la conversión de energía entre los dominios acústico y eléctrico. Entre los puertos acústicos, incorpora una red de impedancias en T, donde Z_T y Z_S son las impedancias de línea de transmisión relacionadas con la impedancia acústica característica del material piezoeléctrico. En el puerto eléctrico, el modelo incluye las capacitancias C_0 y $-C_0$, que representan capacitancias intrínsecas del transductor piezoeléctrico. Aunque este enfoque es efectivo para capturar el comportamiento electromecánico, la necesidad de una capacitancia negativa en el puerto eléctrico constituye una limitación[148].

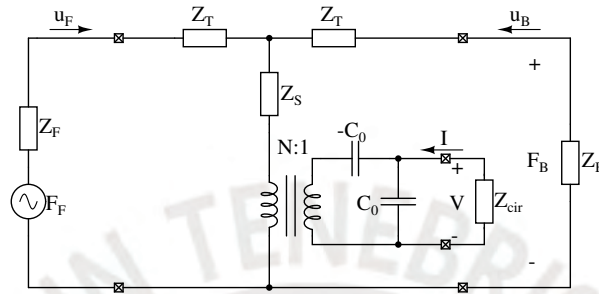


Figura 2.5: Modelo de Mason.

El modelo de Redwood surge como una alternativa al modelo de Mason y representa la impedancia acústica característica del transductor piezoeléctrico de espesor t mediante una línea de transmisión con impedancia Z_C , calculada como el producto de la impedancia acústica del material y el área del dispositivo. La Figura 2.6 muestra que este modelo emplea la línea de transmisión, modelada como una línea coaxial cuyo blindaje externo está conectado al transformador ideal, para sustituir la red en T utilizada en el modelo de Mason. Además, a diferencia del modelo de Mason, este modelo no requiere una capacitancia negativa en el puerto eléctrico y es compatible con simuladores como SPICE [147], lo que simplifica el análisis de la respuesta a pulsos cortos y sistemas dependientes del tiempo [145].

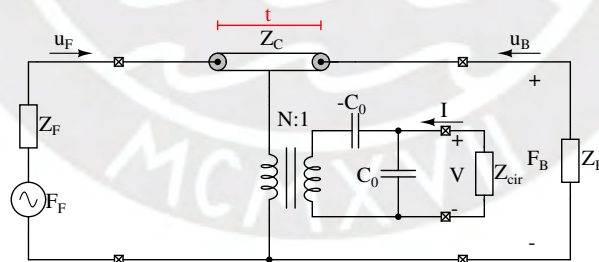


Figura 2.6: Modelo de Redwood.

El modelo KLM es un circuito equivalente ampliamente utilizado para el diseño de transductores de alta frecuencia, dispositivos multicapa y arreglos de transductores [148]. Como se ilustra en la Figura 2.7, este modelo también emplea una línea de transmisión con impedancia Z_C , para representar la impedancia acústica característica del transductor piezoeléctrico. La longitud de la línea corresponde al espesor t del transductor. En el centro de la red, un transformador ideal con relación de transformación Φ convierte los parámetros acústicos al dominio eléctrico. Además, C_0 y C_1 representan la capacitancia intrínseca y la capacitancia motriz asociada al transductor, respectivamente. Aunque el modelo KLM es ampliamente utilizado, presenta la limitación de que Φ varía con la frecuencia [145], lo que complica su implementación en algunas herramientas de simulación.

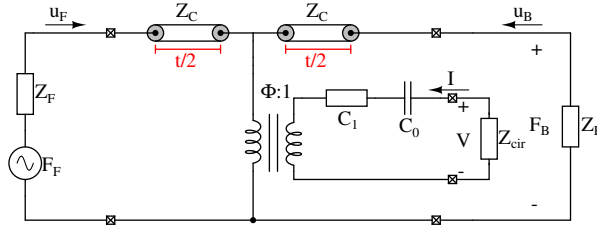


Figura 2.7: Modelo de Krimholtz, Leedom y Matthaei (KLM).

El modelo BVD es un circuito equivalente de parámetros discretos ampliamente utilizado para representar resonadores piezoeléctricos que operan cerca de su frecuencia de resonancia. Como se observa en la Figura 2.8, el modelo consta de dos ramas en paralelo: una rama eléctrica compuesta únicamente por una capacitancia C_p , que representa la capacitancia estática del resonador y sus conexiones externas; y una rama mecánica formada por una resistencia R_s , una inductancia L_s , y una capacitancia C_s , las cuales describen las características acústicas y electromecánicas del resonador [149], [150]. Además, la rama mecánica incluye una fuente de voltaje V_s , que representa la energía eléctrica generada por la fuerza mecánica del ultrasonido. Este modelo es simple y no requiere componentes no lineales ni transformadores, lo que facilita su implementación en simulaciones y análisis prácticos. Sin embargo, su aplicación se limita a predecir el comportamiento eléctrico del resonador en un rango estrecho de frecuencias cercanas a la resonancia, siendo inadecuado para representar efectos fuera de este rango [151].

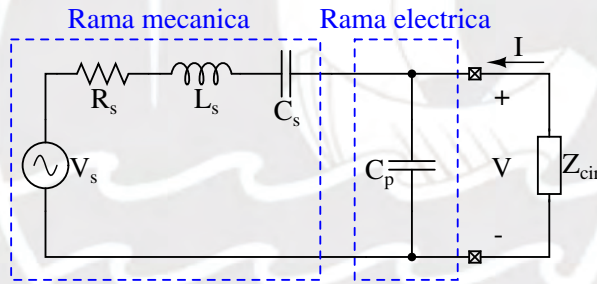
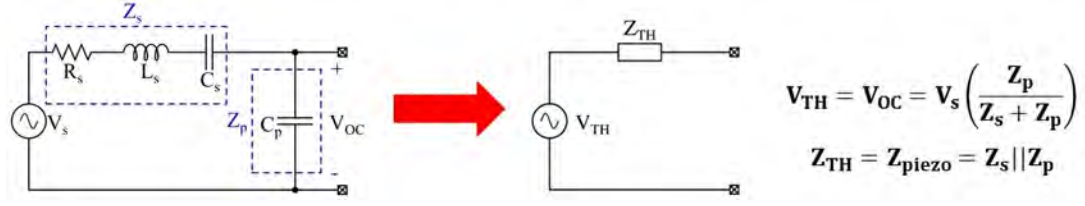


Figura 2.8: Modelo de Butterworth-Van Dyke (BVD).

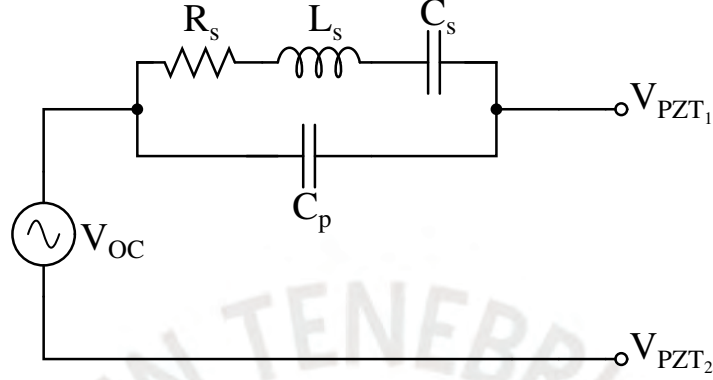
2.2.4 Modelamiento del transductor piezoeléctrico receptor

Para modelar el transductor piezoeléctrico receptor que se utilizará en las simulaciones del circuito integrado de la Unidad de Gestión de Energía (PMU) de esta tesis, se ha seleccionado el modelo BVD por su simplicidad y facilidad de implementación en el software de diseño y simulación Cadence. Este modelo, que incluye una estructura de componentes RLC y una fuente de voltaje senoidal para representar la conversión de energía mecánica a eléctrica, permite caracterizar de manera eficiente las interacciones entre el transductor y el circuito PMU dentro de un *testbench* de simulación para un sistema de recolección de energía por WPT mediante ultrasonido.

Además, se adoptará el circuito equivalente de Thévenin del modelo BVD, con el objetivo de expresar el voltaje generado por el transductor piezoeléctrico en función del voltaje de circuito abierto V_{OC} , definido como la diferencia de potencial producida por el sensor en ausencia de carga conectada. Este enfoque permite simplificar el análisis de transferencia de potencia al representar el transductor como una fuente de voltaje senoidal en serie con una impedancia. El circuito resultante se ilustra en la Figura 2.9.



(a) Circuito equivalente de Thévenin del modelo BVD.



(b) Esquemático del modelo del transductor piezoeléctrico.

Figura 2.9: Aplicación del teorema de Thévenin al modelo BVD de un transductor piezoeléctrico receptor.

De acuerdo con Gordon Kino [145], los elementos del circuito del modelo BVD dependen de las propiedades del material del transductor piezoeléctrico que opera en modo LE y de sus dimensiones físicas. Las expresiones correspondientes para estos elementos pasivos están dadas por:

$$C_p = \varepsilon_0 \varepsilon_{33}^T (1 - k_{33}^2) \frac{w^2}{t} \quad (2.27)$$

$$C_s = \frac{8C_p k_{33}^2}{\pi^2 - 8k_{33}^2} \quad (2.28)$$

$$L_s = \frac{1}{4\pi^2 f_r^2 C_s} \quad (2.29)$$

$$R_s = \frac{Z_F + Z_B}{8k_{33}^2 f_r C_s Z_C} \quad (2.30)$$

donde ε_0 es la permitividad del vacío, ε_{33}^T es la permitividad relativa del material piezoeléctrico, k_{33} es el coeficiente de acoplamiento electromecánico, w y t son el ancho y el espesor del transductor piezoeléctrico, respectivamente, y f_r es la frecuencia de resonancia de la rama mecánica RLC. Además, Z_F , Z_B , y Z_C son las impedancias acústicas del medio frente al transductor, detrás de él, y del material piezoeléctrico, respectivamente.

La frecuencia de resonancia, f_r , también conocida como frecuencia de corto-circuito, es la frecuencia en la cual la impedancia del piezoeléctrico (Z_{piezo}) alcanza su valor mínimo. En este punto, las reactancias inductiva y capacitiva de la rama mecánica se cancelan mutuamente, lo que facilita una transferencia máxima de energía. En contraste, la frecuencia de antiresonancia, f_a , o frecuencia de circuito abierto, corresponde a la frecuencia en la que Z_{piezo} alcanza su valor máximo, lo que reduce la eficiencia en la transferencia de energía. Estas dos frecuencias definen los límites del rango de frecuencias en el que la impedancia reactiva de Z_{piezo} (X_{piezo}) es inductiva, conocida como la banda inductiva

[139]. Esta banda es especialmente útil para contrarrestar el componente fuertemente capacitivo de la impedancia equivalente del circuito externo (Z_{cir}), y facilita el diseño de redes de casamiento de impedancias. Las expresiones para estas frecuencias y la impedancias resistivas de Z_{piezo} (R_{piezo}) a dichas frecuencias, se definen como:

$$f_a = \frac{v}{2t} \quad (2.31)$$

$$f_r = \sqrt{1 - \frac{8k_{33}^2}{\pi^2}} f_a \quad (2.32)$$

$$R_{sc} = \frac{Z_F + Z_B}{8k_{33}^2 f_r C_s Z_C} \quad (2.33)$$

$$R_{oc} = \frac{2k_{33}^2 f_r Z_C}{\pi^2 f_a^2 C_p (Z_F + Z_B)} \quad (2.34)$$

donde v es la velocidad del ultrasonido en el material piezoeléctrico, R_{sc} es la impedancia resistiva a la frecuencia de f_r o resistencia de corto-circuito, y R_{oc} es la impedancia resistiva a la frecuencia de f_a o resistencia de circuito abierto.

Por otro lado, para una frecuencia de operación determinada f , la impedancia equivalente Z_{piezo} , la potencia eléctrica DC disponible P_{av} , y el voltaje de circuito abierto V_{OC} del transductor piezoeléctrico receptor, se pueden calcular como:

$$Z_{piezo} = R_{piezo} + jX_{piezo} = \left[R_s + j \left(\frac{4\pi^2 f^2 L_s C_s - 1}{2\pi f C_s} \right) \right] \parallel \frac{-j}{2\pi f C_p} \quad (2.35)$$

$$P_{av} = \eta_{aper} I_{acou,rx} A_{rx} \quad (2.36)$$

$$V_{OC} = \sqrt{8P_{av} R_{piezo}} \quad (2.37)$$

donde η_{aper} es eficiencia de conversión de potencia acústica a eléctrica del transductor piezoeléctrico, $I_{acou,rx}$ es la intensidad acústica de ultrasonido recibida, y A_{rx} es el área del transductor, dado por w^2 para una sección transversal cuadrada.

Entonces, asumiendo que el transductor piezoeléctrico receptor a modelar está fabricado con titanato de bario, un material seleccionado por su biocompatibilidad con el tejido humano, y que presenta dimensiones de $1.5 \text{ mm} \times 1.1 \text{ mm} \times 1.1 \text{ mm}$ ($t = 1.5 \text{ mm}$ y $w = 1.1 \text{ mm}$), similares a las reportadas por Chang et al. [139], es posible determinar los parámetros de su modelo BVD. Además, se asume que la parte frontal del transductor estará en contacto con tejido humano ($Z_F = Z_{tejido} \approx 1.5 \text{ MRayls}$) al ser implantado en el cuerpo, mientras que la parte trasera estará respaldada por aire ($Z_B = Z_{aire} = 400 \text{ Rayls}$) para minimizar el amortiguamiento mecánico. Con base en estos supuestos y las propiedades del material detalladas en la Tabla 2.2, los valores de los elementos del modelo del transductor piezoeléctrico receptor se calcularon utilizando las ecuaciones desde la (2.27) hasta la (2.30). Los resultados obtenidos se presentan en la Tabla 2.3.

Tabla 2.3: Elementos del modelo del transductor piezoeléctrico receptor.

Elementos	Valores
C_p	9.102 pF
C_s	2.313 pF
L_s	4.944 mH
R_s	1.943 k Ω

Asimismo, utilizando las ecuaciones (2.31) a (2.34) y los valores previamente calculados de los elementos del modelo BVD, se determinaron las frecuencias de resonancia y antiresonancia, así como las impedancias de cortocircuito y circuito abierto. Los resultados obtenidos se resumen en la Tabla 2.4.

Tabla 2.4: Frecuencias de resonancia e impedancias calculadas.

Parámetros	Valores
f_r	1.49 MHz
f_a	1.67 MHz
R_{sc}	1.94 k Ω
R_{oc}	56.66 k Ω

En la Figura 2.10 se analiza el comportamiento de la parte real e imaginaria de Z_{piezo} en función de la frecuencia. Dentro de la banda inductiva, la resistencia R_{piezo} incrementa notablemente desde 1.94 k Ω en la frecuencia de resonancia f_r hasta un máximo de 56.66 k Ω en la frecuencia de antiresonancia f_a . Por otro lado, la reactancia X_{piezo} presenta valores positivos en la misma región, alcanzando un pico aproximado de 18.72 k Ω alrededor de una frecuencia de 1.64 MHz, reflejando el predominio de la reactancia inductiva asociada al componente L_s del modelo BVD.

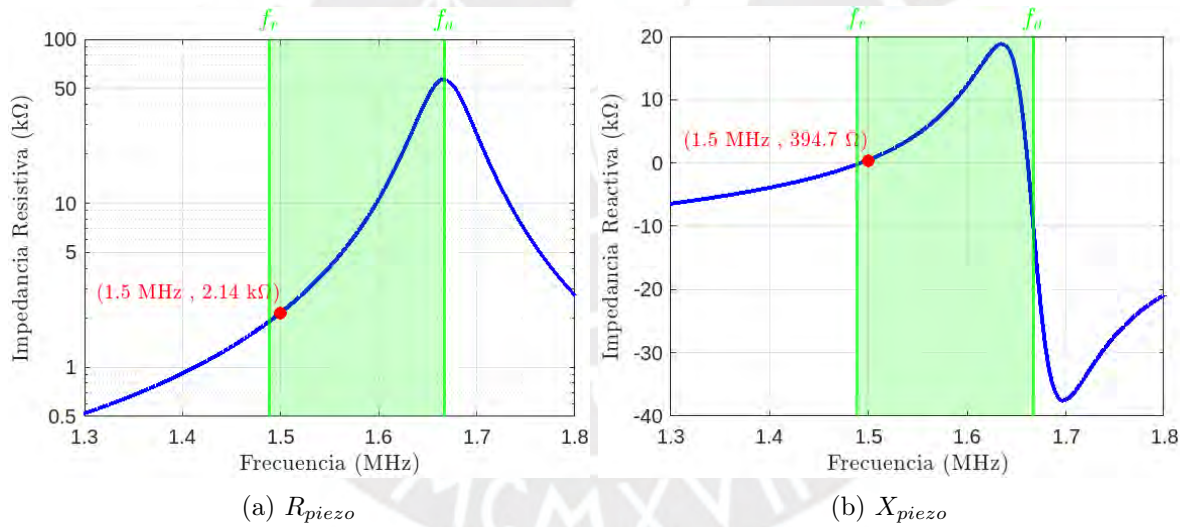


Figura 2.10: Componentes real (R_{piezo}) e imaginaria (X_{piezo}) de la impedancia Z_{piezo} del modelo del transductor piezoeléctrico en función de la frecuencia. La banda inductiva se resalta en verde.

Se sabe que para optimizar la transferencia de energía es necesario operar el transductor piezoeléctrico dentro de la banda inductiva, idealmente cercano a f_r . Por otra parte, a medida que se incrementa la frecuencia de operación, el coeficiente de atenuación aumenta, como se describe en la expresión (2.15). Esto obligaría a aplicar intensidades de ultrasonido más elevadas para compensar las pérdidas, lo que podría provocar una mayor disipación térmica en el tejido y, además, la posibilidad de entrar en conflicto con el límite de seguridad ISPTA establecido por la FDA.

En consecuencia, se optó por una frecuencia de operación de 1.5 MHz, valor que se encuentra dentro del rango de frecuencias utilizadas en la alimentación de IMDs mediante WPT por ultrasonido. En esta frecuencia, como se ilustra en la Figura 2.10, R_{piezo} alcanza

un valor de $2.14 \text{ k}\Omega$ y X_{piezo} de 394.7Ω , lo que da como resultado una impedancia Z_{piezo} de $2.14 \text{ k}\Omega + j394.7 \Omega$.

Asimismo, se ha seleccionado un rango para V_{OC} entre 2.5 V y 3.5 V , basado en los valores empleados por Ballo et al. [108], con un valor nominal de 3 V . Este rango es adecuado para obtener un V_{DC} superior a 1 V en el circuito conversor AC-DC, para alimentar una carga resistiva de un valor similar a R_{piezo} . Reemplazando el valor nominal de V_{OC} de 3 V en la expresión (2.37), se calcula un P_{av} de $524.7 \mu\text{W}$. Considerando un η_{aper} de aproximadamente 30% , como se reporta en el trabajo de Chang et al. [139], y un A_{rx} de 1.21 mm^2 , calculado a partir de un w de 1.1 mm , requeriríamos un $I_{acou,rx}$ de 1.45 mW/mm^2 para alcanzar un V_{OC} de 3 V . Este valor de intensidad acústica de ultrasonido estaría por debajo del límite seguro de exposición ISPTA de 7.2 mW/mm^2 . Incluso en el caso extremo de un V_{OC} de 3.5 V , para el cual se obtiene un P_{av} de $714.2 \mu\text{W}$, se necesitaría un valor de $I_{acou,rx}$ de 1.97 mW/mm^2 , manteniéndose el cumplimiento con el límite de seguridad ISPTA.

2.3 Sistema de transferencia inalámbrica de potencia por ultrasonido

2.3.1 Cadena de recuperación de energía

El sistema de WPT por ultrasonido para un IMD emplea ondas acústicas generadas por un transmisor externo, las cuales viajan a través del tejido corporal hasta el implante. En el IMD, un transductor piezoeléctrico convierte las ondas en energía eléctrica, que luego es procesada por un circuito de gestión de energía, como un conversor AC-DC, para alimentar aplicaciones como sensores, neuroestimuladores o registro neural [128], formando así la cadena de recuperación de energía, como se muestra en la Figura 2.11.

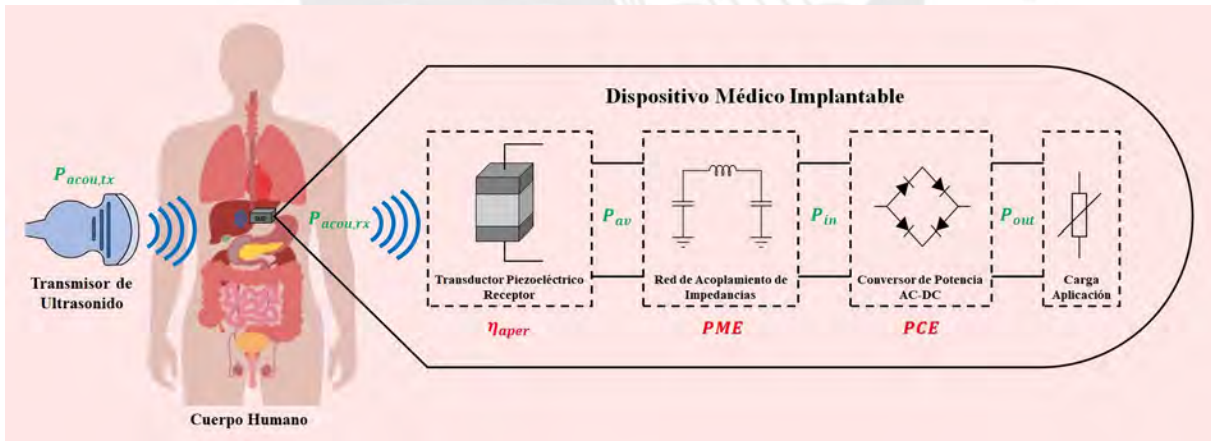


Figura 2.11: Diagrama esquemático de la cadena de recuperación de energía en un sistema de WPT por ultrasonido para un IMD.

La eficiencia total del enlace ultrasónico, η_{US} , en la cadena de recuperación de energía se puede expresar como el producto de las eficiencias o relaciones de potencia de cada uno de los componentes del sistema, como se muestra en la siguiente ecuación:

$$\eta_{US} = \frac{P_{acou,rx}}{P_{acou,tx}} \cdot \frac{P_{av}}{P_{acou,rx}} \cdot \frac{P_{in}}{P_{av}} \cdot \frac{P_{out}}{P_{in}} = PTE \cdot \eta_{aper} \cdot PME \cdot PCE \quad (2.38)$$

donde $P_{acou,tx}$ es la potencia eléctrica necesaria en el transmisor para generar la potencia acústica $P_{acou,rx}$ en el receptor piezoeléctrico que se transmite a través del cuerpo

humano, mientras que P_{av} es la potencia eléctrica disponible convertida de la potencia acústica recibida por el receptor. P_{in} representa la potencia eléctrica AC que entra al circuito de gestión de energía, y P_{out} es la potencia de salida en DC que alimenta la carga del implante. Las eficiencias en cada etapa del sistema son PTE , que corresponde a la eficiencia de transferencia de energía acústica del transmisor al receptor, η_{aper} , que representa la eficiencia de conversión de energía acústica a eléctrica, PME , que es la eficiencia de acoplamiento de potencia, y PCE , que corresponde a la eficiencia de conversión de AC a DC en el circuito de gestión de energía [89], [128], [139].

Para asegurar un suministro eficiente, la cadena de recuperación de energía debe ser optimizada en cada etapa del proceso, garantizando que la máxima cantidad de energía transmitida se convierta en potencia eléctrica utilizable por la carga. En esta tesis, nos centraremos en el diseño del circuito de gestión de energía, priorizando la optimización del PCE . Además, se abordará de manera superficial el PME , mientras que las demás eficiencias no serán analizadas en detalle.

2.3.2 Diagrama de bloques

El diagrama de bloques de la Figura 2.12 ilustra el esquema típico de un sistema de recolección de energía por ultrasonido en un IMD. Este sistema está compuesto por varios bloques funcionales, cada uno responsable de una etapa específica en la conversión, procesamiento y gestión de la energía ultrasónica recolectada, hasta que se entrega a la carga final.

- **Transductor Piezoeléctrico Receptor (Rx):** Convierte las ondas ultrasónicas en señales eléctricas alternas (V_{PZT}). La eficiencia de conversión depende de las propiedades del material piezoeléctrico y la frecuencia de resonancia.
- **Red de Acoplamiento de Impedancias:** Este bloque, compuesto por inductancias y capacitancias, ajusta la impedancia entre el transductor y el siguiente circuito, asegurando que la máxima cantidad de energía sea transferida, reduciendo las pérdidas.
- **Circuito Limitador de Voltaje:** Protege los circuitos posteriores de sobrecargas, manteniendo la señal de voltaje dentro de niveles seguros antes de ser procesada por el rectificador.
- **Rectificador Activo CMOS:** Convierte la señal de corriente alterna (V_{AC}) en corriente continua (V_{DC}) con alta eficiencia, utilizando transistores CMOS para minimizar las pérdidas energéticas típicas de los rectificadores pasivos.
- **Generador de Señal Power-On-Reset (POR):** Se encarga de inicializar y reiniciar los módulos electrónicos, asegurando que todos los circuitos comiencen en un estado conocido al encenderse el sistema, evitando errores en el arranque.
- **Circuito de Referencia de Corriente:** Genera la corriente de referencia (I_{Ref}) necesaria para el funcionamiento de varios bloques clave del sistema, con un diseño compensado térmicamente que garantiza estabilidad frente a variaciones de temperatura, preservando así la precisión y confiabilidad del sistema.

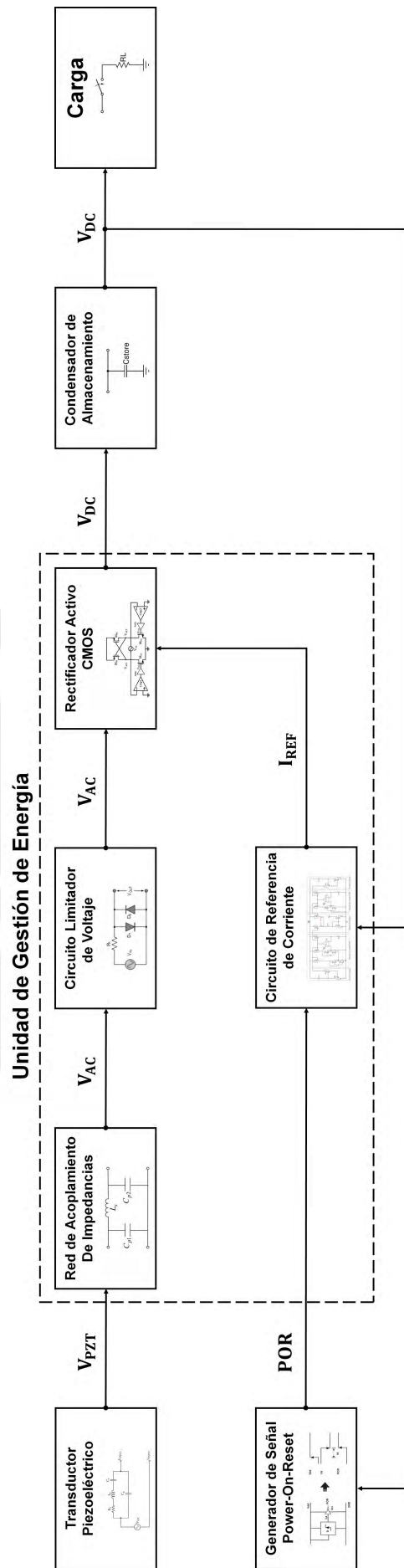


Figura 2.12: Diagrama de bloques de un sistema de recolección de energía basado en transferencia inalámbrica de potencia por ultrasonido.

Capítulo 3

Topologías de circuitos de conversión de energía

3.1 Rectificador CMOS diferencial con acoplamiento cruzado

El rectificador CMOS diferencial con acoplamiento cruzado, o *cross-coupled*, es uno de los rectificadores pasivos de onda completa más utilizados en aplicaciones de bajo consumo energético por sus características de operación a bajo voltaje y su capacidad de conmutación automática [152], como por ejemplo en sistemas de recolección de energía para identificación por radiofrecuencia (RFID, por sus siglas en inglés)[153]–[155], redes de sensores inalámbricos, Internet de las Cosas (IoT, por sus siglas en inglés) y dispositivos biomédicos [156].

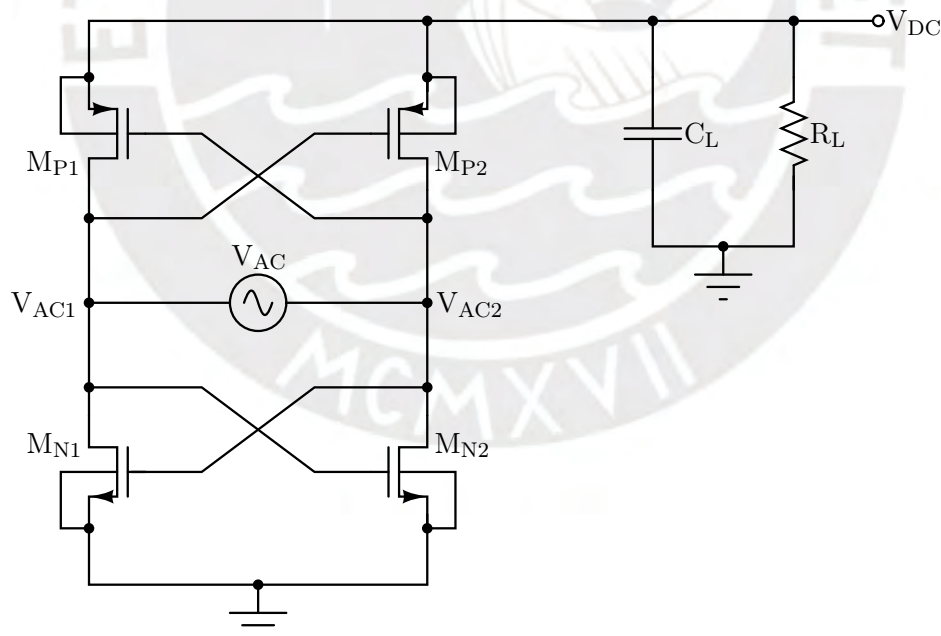


Figura 3.1: Rectificador CMOS *cross-coupled*.

La topología del rectificador CMOS *cross-coupled*, como se muestra en la Figura 3.1, emplea transistores de conmutación NMOS y PMOS con puertas conectadas de forma cruzada a las entradas diferenciales V_{AC1} y V_{AC2} del rectificador [157], en lugar de usar transistores conectados como diodos. Esta configuración cruzada permite una polarización dinámica de los transistores, compensando sus voltajes de umbral V_{th} . Como resultado,

se reduce la resistencia de conducción y la caída de tensión ($|V_{DS}|$, voltaje drenador-surtidor) cuando los transistores están polarizados directamente, mejorando así el PCE. Sin embargo, este circuito presenta corrientes de fuga inversa cuando los transistores están polarizados inversamente, lo que degrada el rendimiento del rectificador, especialmente bajo condiciones de voltajes de entrada elevados. En cada ciclo, los voltajes V_{AC1} y V_{AC2} activan un transistor NMOS y un transistor PMOS, estableciendo un camino para el flujo de corriente desde la fuente hacia la carga durante la fase de conducción, mientras los transistores opuestos permanecen apagados. Los transistores están diseñados para activarse con diferentes niveles de voltaje en la puerta: los PMOS se activan con voltajes bajos y los NMOS con voltajes altos [157].

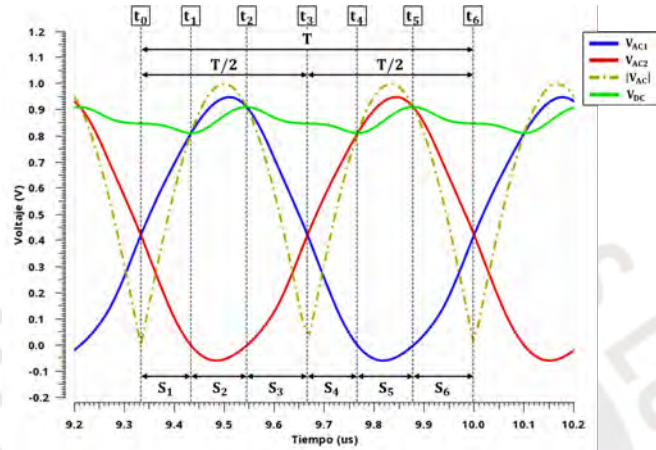


Figura 3.2: Formas de las señales V_{AC1} , V_{AC2} , $|V_{AC}|$ y V_{DC} , y las etapas de funcionamiento ($S_1 - S_6$) de los transistores en un rectificador CMOS *cross-coupled* durante el proceso de rectificación en un período de la señal de entrada V_{AC} .

La Figura 3.2 muestra los voltajes transitorios en los nodos de entrada y salida del rectificador CMOS *cross-coupled*, obtenidos mediante simulación con una señal de entrada V_{AC} senoidal de 1 V de amplitud y 1.5 MHz de frecuencia. Se observa que el voltaje de salida rectificadora V_{DC} (en verde) no se mantiene constante y presenta un rizado causado por la carga y descarga del condensador de almacenamiento C_L . Por otro lado, los voltajes V_{AC1} (en azul) y V_{AC2} (en rojo) se combinan para formar la onda senoidal V_{AC} (representada en valor absoluto en amarillo), dado que $V_{AC} = V_{AC1} - V_{AC2}$. Ambas señales, V_{AC1} y V_{AC2} , presentan también una forma senoidal. Además, en ciertos tramos del período, pueden adoptar valores negativos debido a la naturaleza flotante de V_{AC} respecto a la tierra (GND) del circuito.

El mecanismo de operación del rectificador se puede explicar en detalle utilizando la Figura 3.2, donde se observan las distintas etapas de funcionamiento de los transistores de conmutación a lo largo de un período T de la señal V_{AC} . Al inicio de cada ciclo (en t_0, t_3, t_6), los voltajes V_{AC1} y V_{AC2} se encuentran en modo común, es decir, $V_{AC1} = V_{AC2}$, con un valor cercano a la mitad de V_{DC} bajo condiciones de estado estacionario [153], [158]. En este punto, todos los transistores se encuentran desactivados operando en la región de corte debido a que $V_{AC} = 0$, impidiendo la circulación de corriente a través del circuito.

Durante el ciclo positivo ($V_{AC1} > V_{AC2}$), se distinguen tres etapas de funcionamiento (S_1, S_2, S_3) en los transistores de conmutación, determinadas por la polaridad del voltaje entre drenador y fuente (V_{DS}) y el voltaje de polarización entre puerta y fuente (V_{GS}). En la primera etapa (S_1), los transistores M_{P1} y M_{N2} entran en una fase de transición,

activándose gradualmente a medida que el voltaje entre sus terminales puerta-fuente (o viceversa) supera los 0 V, debido al incremento de V_{AC1} y la disminución de V_{AC2} ($V_{AC1} - V_{AC2}$); mientras que M_{P2} y M_{N1} permanecen desactivados por el voltaje negativo aplicado a sus puertas ($V_{AC2} - V_{AC1}$). Dado que $V_{AC1} < V_{DC}$, el transistor M_{P1} se encuentra polarizado de manera inversa, al igual que el transistor M_{N2} , ya que $V_{AC2} > GND$. Esta polarización inversa crea un camino entre V_{DC} y GND , lo que genera una corriente que circula en dirección opuesta a la deseada (de V_{AC} hacia la carga), conocida como corriente de fuga inversa.

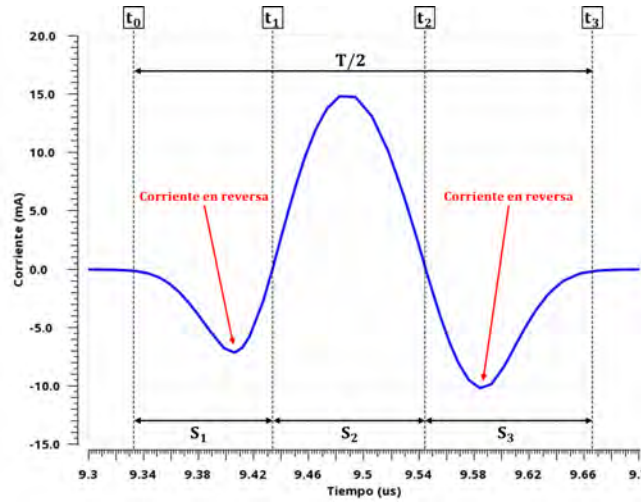


Figura 3.3: Forma de la corriente de entrada en un rectificador CMOS *cross-coupled* durante un semiciclo de una señal de entrada senoidal V_{AC} .

La corriente de fuga inversa, como se muestra en la Figura 3.3, comienza a aumentar considerablemente a medida que $|V_{AC}|$ crece y V_{AC1} tarda más en alcanzar el valor V_{DC} en t_1 . Cuando $|V_{AC}| < V_{th}$, M_{P1} y M_{N2} operan en modo de inversión débil, lo que resulta en una corriente de fuga pequeña. En este tramo, la corriente de fuga inversa (I_{fuga}) exhibe un comportamiento exponencial y se puede aproximar mediante la ecuación de la corriente del transistor en la región subumbral:

$$I_{fuga} = I_0 \exp\left(\frac{V_{GS} - V_{th}}{nV_T}\right) \left(1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right) \quad (3.1)$$

donde I_0 es la corriente subumbral a $V_{GS} = 0$, V_{GS} es el voltaje entre puerta y fuente, V_{th} es el voltaje de umbral del transistor, n es el factor de pendiente en inversión débil, V_T es el voltaje térmico, V_{DS} es el voltaje entre drenador y fuente. Sin embargo, cuando $|V_{AC}| > V_{th}$, M_{P1} y M_{N2} cambian a un modo de operación en inversión fuerte. Durante este tramo, la corriente aumenta considerablemente, lo que implica una mayor pérdida por disipación en los transistores. En esta condición, la corriente de fuga inversa suele encontrarse en la región óhmica, por lo que aumenta linealmente con V_{GS} y también comienza a disminuir a medida que V_{DS} disminuye. La corriente en este tramo se puede aproximar mediante la siguiente ecuación:

$$I_{fuga} = k' \frac{W}{L} \left((V_{GS} - V_{th})V_{DS} - \frac{(V_{DS})^2}{2} \right) \quad (3.2)$$

donde k' es el parámetro de transconductancia del transistor, W es el ancho del canal, L es la longitud del canal.

3.2 Rectificador CMOS activo

La Figura 3.4 muestra la topología de un rectificador activo. El rectificador activo mostrado mantiene la misma estructura básica de un rectificador pasivo de onda completa, pero reemplaza los diodos tradicionales por diodos activos. Estos diodos activos consisten esencialmente en transistores CMOS controlados mediante comparadores. Comparado con las topologías convencionales, como el rectificador *cross-coupled*, las arquitecturas con diodos activos ofrecen mejores soluciones cuando las señales de entrada tienen amplitudes elevadas [152].

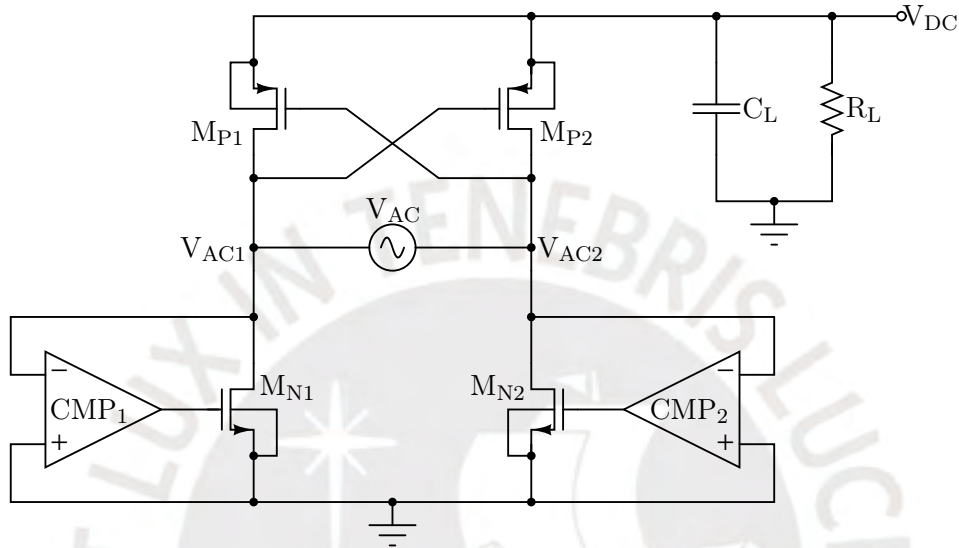


Figura 3.4: Rectificador CMOS con diodos activos NMOS.

La Figura 3.5 presenta los voltajes transitorios en los nodos de entrada y salida del rectificador CMOS activo, obtenidos a través de simulaciones utilizando una señal de entrada V_{AC} senoidal con 1 V de amplitud y una frecuencia de 1.5 MHz. Además, se ilustran los diferentes estados de operación de los transistores de potencia del rectificador durante un ciclo completo de la señal de entrada.

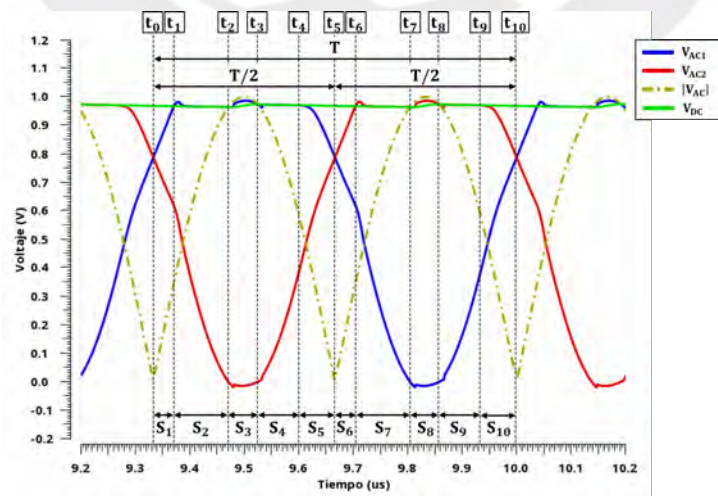


Figura 3.5: Forma de los voltajes en los nodos internos (V_{AC1} , V_{AC2} , V_{DC}) y estados de funcionamiento ($S_1 - S_6$) en un rectificador CMOS activo durante el período de una señal de entrada senoidal V_{AC} .

A lo largo del ciclo de V_{AC} , los estados de funcionamiento del rectificador activo evolucionan de manera secuencial. Cuando las señales de entrada son iguales, es decir, $V_{AC_1} = V_{AC_2}$ en t_0 , todos los transistores de potencia, tanto NMOS como PMOS, permanecen desactivados.

Cuando $V_{AC_1} > V_{AC_2}$, se da inicio al primer estado, que abarca desde t_0 hasta t_1 . En esta etapa, los comparadores CMP_1 y CMP_2 permanecen inactivos porque ambos voltajes de entrada, V_{AC_1} y V_{AC_2} , son mayores que V_{SS} . Como resultado, los transistores NMOS M_{N_1} y M_{N_2} se mantienen en corte debido a que $V_{GS} = 0$. De manera similar, los transistores PMOS M_{P_1} y M_{P_2} permanecen desactivados porque sus V_{SG} no superan el voltaje de umbral $|V_{thp}|$.

A medida que la señal V_{AC_1} continúa aumentando y V_{AC_2} disminuye, el rectificador entra en el segundo estado, que se desarrolla entre t_1 y t_2 . En este punto, el V_{SG} del transistor M_{P_1} alcanza el umbral $|V_{thp}|$, activándolo y permitiendo su conducción. Como consecuencia, M_{P_1} iguala V_{AC_1} con el voltaje de salida V_{DC} , estableciendo una conexión directa entre ambos. Mientras tanto, los transistores M_{P_2} , M_{N_1} , M_{N_2} y los comparadores permanecen desactivados.

El tercer estado, que abarca desde t_2 hasta t_3 , marca el inicio del ciclo de conducción. Durante esta etapa, el transistor M_{P_1} sigue activo, ya que su V_{SG} continúa siendo mayor a $|V_{thp}|$. Además, el comparador CMP_2 activa al transistor NMOS M_{N_2} cuando V_{AC_2} cae por debajo de V_{SS} . Esto permite cerrar el lazo de corriente entre la entrada V_{AC_1} y la carga, facilitando la transferencia de energía. En este estado, los transistores M_{P_2} , M_{N_1} y el comparador CMP_1 permanecen desactivados. Durante la conducción se generan pequeñas caídas de tensión entre V_{AC_1} y V_{DC} , debido a las resistencias de conducción R_{on} de M_{P_1} y M_{N_2} .

En el cuarto estado, que se extiende desde t_3 hasta t_4 , el transistor M_{P_1} sigue activo, pero el comparador CMP_2 desactiva al transistor NMOS M_{N_2} debido a que V_{AC_2} se vuelve mayor que V_{SS} . Aunque no hay corriente de conducción durante este periodo debido a la desactivación de CMP_2 , el transistor M_{P_1} mantiene la conexión entre V_{AC_1} y V_{DC} . En este estado, los transistores M_{P_2} , M_{N_1} y el comparador CMP_1 permanecen inactivos, sin afectar el comportamiento general del rectificador.

El quinto estado, que se desarrolla entre t_4 y t_5 , es similar al primero, en el que todos los transistores de potencia y comparadores se encuentran desactivados. Este estado persiste hasta que V_{AC_1} se iguala a V_{AC_2} , completando así la mitad del ciclo de la señal de entrada V_{AC} .

Durante la segunda mitad del ciclo, cuando $V_{AC_1} < V_{AC_2}$, el funcionamiento del rectificador es análogo, pero con los roles principales intercambiados: los transistores M_{P_1} y M_{N_2} , junto con el comparador CMP_2 , son los elementos activos, mientras que M_{P_2} y CMP_1 permanecen inactivos. Esta simetría asegura una rectificación eficiente en ambos semiciclos de la señal V_{AC} . Durante la segunda mitad del ciclo, cuando $V_{AC_1} < V_{AC_2}$, el funcionamiento del rectificador sigue siendo similar, pero con los roles principales intercambiados. En esta etapa, los transistores M_{P_2} y M_{N_1} , junto con el comparador CMP_1 , son los elementos activos. Por otro lado, los transistores M_{P_1} y el comparador CMP_2 permanecen desactivados.

La Tabla 3.1 resume los estados operativos de cada transistor durante un período completo de la señal V_{AC} .

	Estados	M_{P1}	M_{P2}	M_{N1}	M_{N2}
$V_{AC1} > V_{AC2}$	S_1	OFF	OFF	OFF	OFF
	S_2	ON	OFF	OFF	OFF
	S_3	ON	OFF	ON	OFF
	S_4	ON	OFF	OFF	OFF
	S_5	OFF	OFF	OFF	OFF
$V_{AC1} < V_{AC2}$	S_6	OFF	OFF	OFF	OFF
	S_7	OFF	ON	OFF	OFF
	S_8	OFF	ON	OFF	ON
	S_9	OFF	ON	OFF	OFF
	S_{10}	OFF	OFF	OFF	OFF

Tabla 3.1: Estado de los transistores en función de las señales de entrada V_{AC1} y V_{AC2} .

Cabe destacar que, en un rectificador ideal, las pérdidas durante el proceso de rectificación están determinadas principalmente por las pérdidas de conducción y de conmutación. Las pérdidas por conducción se producen debido a la resistencia inherente de los transistores en estado de conducción, lo que genera una caída de tensión y una disipación de potencia asociada. Sin embargo, en un rectificador activo real, el panorama es más complejo, ya que, además de las pérdidas por conducción y conmutación, también surgen pérdidas relacionadas con corrientes en reversa.

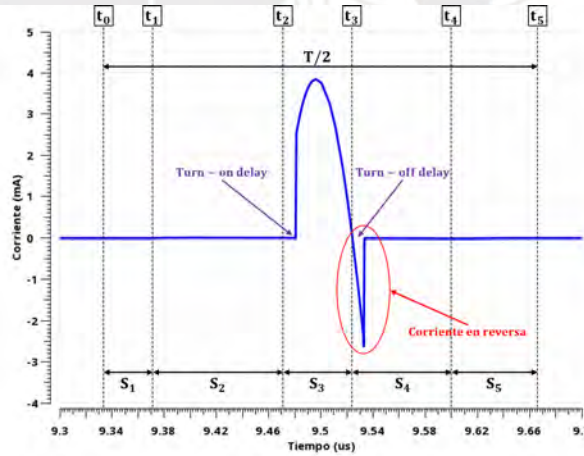


Figura 3.6: Corriente de entrada del rectificador activo durante un semiciclo de la señal V_{AC} .

Estas corrientes en reversa, observadas en la Figura 3.6, son consecuencia, principalmente, de los retardos en la respuesta del circuito, particularmente en los comparadores que controlan los transistores. En el contexto del rectificador, estos retardos, conocidos como *turn-off delay*, ocurren al momento de desactivar los transistores. Por ejemplo, durante la transición entre el tercer estado y el cuarto estado del ciclo de operación, un comportamiento ideal requeriría que el comparador desactive el transistor M_{N2} en el instante exacto en que V_{AC2} iguala a V_{SS} . No obstante, en la práctica, los comparadores presentan un pequeño retraso en su respuesta. Este retardo, aunque breve, permite que el transistor continúe conduciendo por un corto período, lo que genera una corriente inversa no deseada y, con ello, una pérdida adicional de potencia.

Capítulo 4

Análisis y diseño

4.1 Metodología de diseño

La metodología propuesta para el diseño del circuito integrado de una PMU para dispositivos médicos implantables con alimentación basada en transferencia inalámbrica de potencia por ultrasonido, ha sido adaptada parcialmente del proceso de diseño para circuitos integrados analógicos presentado en el libro *CMOS Analog Circuit Design* de Allen y Holberg [159]. Como se muestra en la Figura 4.1, esta metodología de diseño adopta un enfoque estructurado que incluye una serie de etapas, desde la concepción inicial del diseño hasta la obtención del esquemático final del circuito.

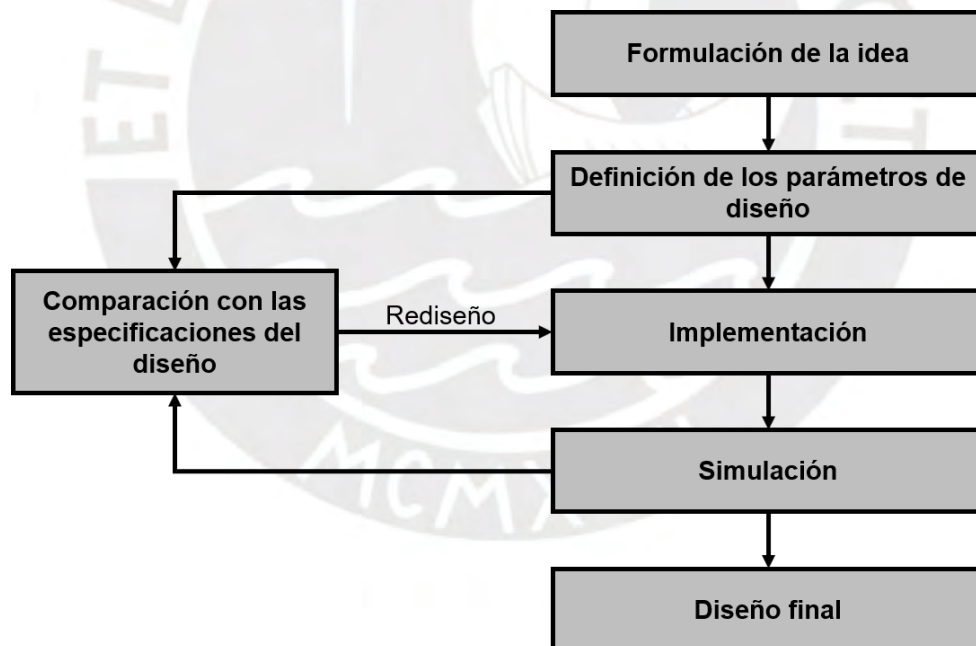


Figura 4.1: Metodología propuesta para el diseño del circuito de la PMU. Adaptado de [159].

El proceso de diseño se inicia con la **formulación de la idea**, donde se definen claramente los objetivos del diseño y se selecciona la topología del circuito mediante un exhaustivo análisis del estado del arte. En esta etapa, se establecen las especificaciones que el circuito debe cumplir de acuerdo con los requisitos del sistema, así como la interrelación entre los distintos bloques funcionales.

En la **definición de los parámetros de diseño**, se identifican los parámetros críticos que determinan el funcionamiento del circuito y afectan su rendimiento de manera general.

Para establecer estos parámetros de diseño, es fundamental recurrir a las ecuaciones teóricas que describen el comportamiento eléctrico del circuito. Estas ecuaciones, derivadas de principios fundamentales como la Ley de Ohm, las leyes de Kirchhoff y ecuaciones específicas de componentes como los transistores, permiten comprender cómo varían las corrientes y voltajes según las condiciones del circuito.

Durante la etapa de **implementación**, se procede con la creación del esquemático del circuito en base a la topología seleccionada y la configuración de los parámetros de diseño previamente definidos. El ajuste de estos parámetros permite al diseñador cumplir con las especificaciones de diseño establecidas y asegurar que el circuito funcione correctamente bajo diferentes condiciones de operación. Para el desarrollo de esta tesis, el diseño de los esquemáticos se llevará a cabo en el entorno del software de diseño y simulación de circuitos integrados **Virtuoso** de Cadence [160]. Además, los componentes activos y pasivos empleados en los esquemáticos estarán basados en la tecnología de proceso de fabricación de semiconductores CMOS de 180 nm de la empresa Taiwan Semiconductor Manufacturing Company (TSMC). El diseño analógico basado en tecnología CMOS nos permitirá integrar el circuito en un mismo sustrato y cumplir con tres de los principales requisitos del sistema: bajo consumo energético, simplicidad y tamaño reducido.

En la etapa de **simulación** se realizan diferentes simulaciones en Cadence para validar el desempeño del diseño en diferentes condiciones operativas, incluyendo variaciones de temperatura, voltaje y carga. Estas simulaciones son iterativas, permitiendo realizar correcciones y ajustes en el diseño hasta cumplir con las especificaciones establecidas. La **comparación con las especificaciones del diseño** se realiza al finalizar cada simulación, verificando que el rendimiento del circuito cumple con los requisitos iniciales. Si se encuentran discrepancias, se ajustan los parámetros de diseño y se repite el proceso hasta obtener un diseño adecuado que cumpla con las especificaciones establecidas. La simulación incluye la caracterización del circuito mediante la simulación de proceso, voltaje y temperatura (PVT), para comprender cómo se comporta en diversas condiciones y optimizar su rendimiento.

4.1.1 Procedimiento de diseño del circuito PMU

Como punto de partida en el diseño de la Unidad de Gestión de Energía, es fundamental definir los requisitos básicos del sistema, ya que estos dictarán las restricciones y directrices para el diseño del circuito. Estos requisitos están principalmente relacionados con las necesidades energéticas del IMD, y estarán basados en los parámetros técnicos observados en el estado del arte, presentados en la Tabla 1.1 del capítulo 1. Las especificaciones básicas del sistema que hemos definido se detallan en la Tabla 4.1.

Tabla 4.1: Especificaciones básicas del sistema.

Especificaciones	Valores
P_{out}	300 – 600 μW
V_{DC}	1 – 1.5 V
PCE	> 90%
VCR	> 80%

Asimismo, como se observa en la Figura 2.12, una PMU está formada por diversos bloques, cada uno cumpliendo una función específica en la conversión y regulación de la

energía. Entre estos bloques, destaca el rectificador activo, que es el componente central del PMU. El rectificador activo incluye elementos clave como comparadores de voltaje, *buffers*, y transistores de potencia o conducción, los cuales trabajan en conjunto para garantizar un rendimiento eficiente. Además, están presentes circuitos anexos, como la referencia de corriente y el limitador de voltaje, que son esenciales para la regulación y seguridad del sistema. Debido a la interrelación entre estos componentes, el diseño de la PMU debe seguir un enfoque estructurado, dado que la implementación de algunos bloques depende de la correcta implementación de otros, lo que requiere una secuencia lógica en su diseño.

El procedimiento de diseño del circuito PMU se ilustra en la Figura 4.2, donde se presenta el flujo detallado del proceso de diseño del circuito integrado. El diagrama está organizado de forma que los parámetros de diseño más relevantes, tales como las relaciones de aspecto de los transistores y los valores de los componentes como resistencias y capacitancias, se encuentran en el centro. Las señales de entrada se disponen a la izquierda y las señales de salida a la derecha. Esta secuencia ha sido definida en base a una conceptualización previa del funcionamiento general del circuito, en la que ya se han determinado las topologías de cada uno de los bloques. Dichas topologías han sido seleccionadas tras una exhaustiva revisión del estado del arte, considerando las especificaciones básicas del sistema.

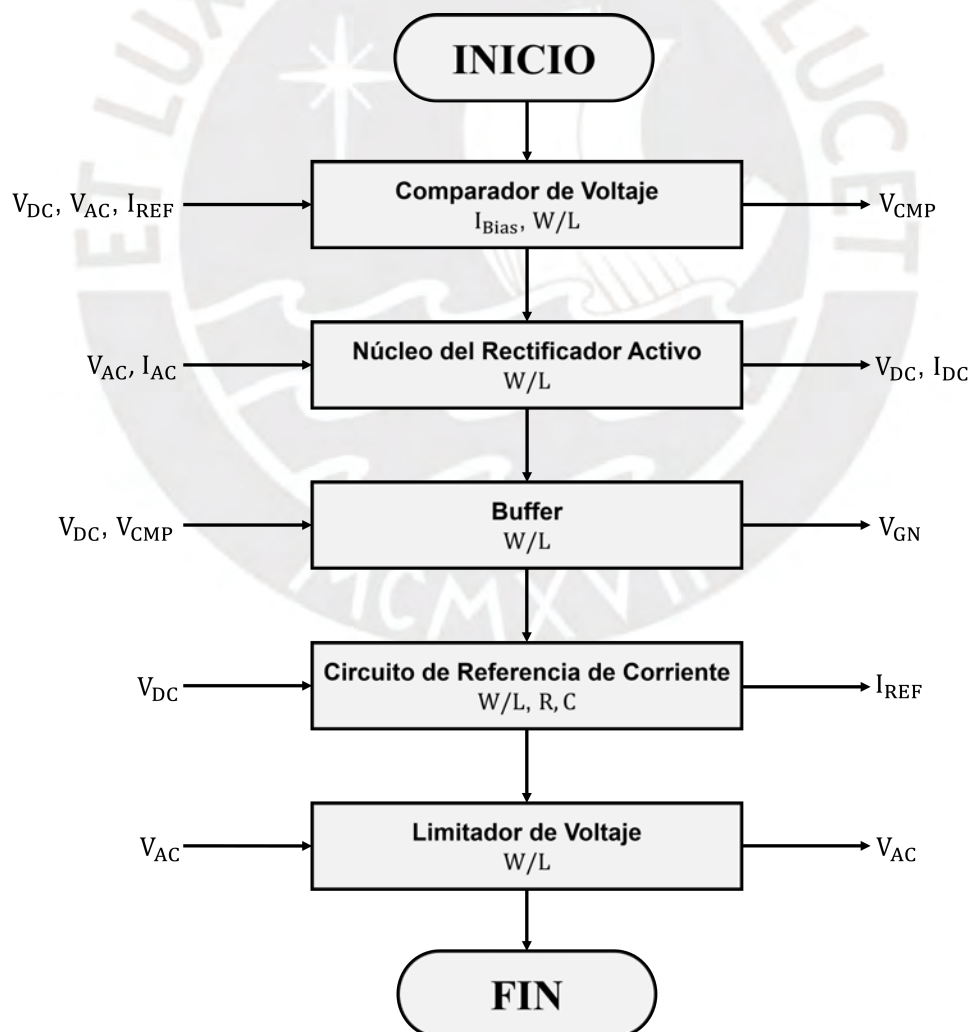


Figura 4.2: Procedimiento de diseño del circuito de la Unidad de Gestión de Energía propuesto.

A continuación, se detalla de forma breve la función y los parámetros de diseño de cada componente del circuito PMU:

- **Comparador de Voltaje:** Este componente compara la señal de entrada de corriente alterna V_{AC} del rectificador con un voltaje de referencia para detectar el cruce por cero o los cambios de polaridad. Al detectar dicho cambio, el comparador genera una señal de salida V_{CMP} que activa o desactiva los transistores de potencia del núcleo del rectificador activo. Los parámetros de diseño, como la relación de aspecto W/L de sus transistores y la corriente de polarización I_{bias} requerida, afectan el rendimiento del comparador, influenciando su ganancia, respuesta en frecuencia y consumo energético.
- **Núcleo del Rectificador Activo:** Este bloque es responsable de convertir la señal de corriente alterna V_{AC} , generada por el transductor piezoeléctrico, en una señal de corriente continua V_{DC} adecuada para alimentar los componentes del sistema. El diseño del núcleo involucra el uso de transistores NMOS y PMOS, los cuales son cuidadosamente dimensionados mediante la optimización de sus relaciones de aspecto W/L para maximizar el PCE y el VCR , al mismo tiempo que se minimizan las pérdidas de potencia.
- **Buffer:** Este componente garantiza que la señal de voltaje V_{CMP} generada por el comparador se transfiera de manera eficiente a la compuerta de los transistores de potencia en el núcleo del rectificador activo. En el diseño, se considerará la relación de aspecto W/L de los transistores que lo componen, optimizándola para minimizar el tiempo de retardo de propagación entre el voltaje de entrada V_{CMP} y el voltaje de salida del buffer V_{GN} . Además, se asegurará que el buffer proporcione la carga adecuada a los transistores del núcleo, que son de mayor tamaño.
- **Referencia de Corriente:** Este bloque genera una corriente de referencia estable I_{ref} a partir de un voltaje de alimentación V_{DC} . Su diseño debe garantizar un funcionamiento independiente frente a variaciones de temperatura y voltaje. Los parámetros clave en el diseño incluyen la relación de aspecto W/L de los transistores, junto con los valores de las resistencias R y condensadores C que conforman el circuito.
- **Limitador de Voltaje:** Este bloque actúa como un circuito de protección para los componentes de la PMU, regulando el voltaje de entrada al rectificador V_{AC} a niveles seguros y previniendo daños por sobrevoltaje. La selección cuidadosa de la relación de aspecto W/L de los transistores que conforman el circuito de protección asegura una respuesta eficiente a voltajes de entrada que superen el límite máximo permitido por la tecnología del proceso de fabricación, todo ello con un consumo de energía mínimo.

4.2 Comparador de voltaje

La función principal del comparador en el rectificador activo es detectar los cruces por cero de la señal de entrada alterna V_{AC} proporcionada por el transductor piezoeléctrico. Este cruce por cero determina el instante en el que el comparador debe activar o desactivar el transistor de conmutación NMOS, permitiendo así un control adecuado de la etapa de conducción durante el proceso de conversión de la señal V_{AC} en una señal continua V_{DC} .

En el caso de los dispositivos médicos implantables, es importante que el rectificador mantenga una alta eficiencia bajo condiciones de baja energía. Para ello, se requiere que el comparador ofrezca una alta velocidad de respuesta, esto minimiza las pérdidas de potencia causadas por la corriente de fuga inversa y mejora tanto el PCE como el VCR , como fue analizado en el capítulo 3. Además, como parte integrante de un diodo activo, el comparador, con ayuda de un circuito *buffer*, debe tener la capacidad de suministrar la corriente de carga necesaria para garantizar la conmutación del transistor NMOS sin introducir retrasos significativos.

Para cumplir con estos requisitos, se seleccionó una topología basada en el comparador de puerta común (CGC, por sus siglas en inglés), presentado en la Figura 4.3. Los comparadores de puerta común son utilizados ampliamente en rectificadores activos y dobladores de voltaje, por su bajo voltaje de alimentación requerido para su funcionamiento, su capacidad para comparar voltajes de entrada cercanos a cero y su alta velocidad de respuesta en frecuencia [161]. En particular, este comparador ha demostrado un buen desempeño en rectificadores activos para dispositivos médicos implantables alimentados mediante WPT por ultrasonido [107], [108], [116] y por acoplamiento inductivo a 13.56 MHz [161], [162].

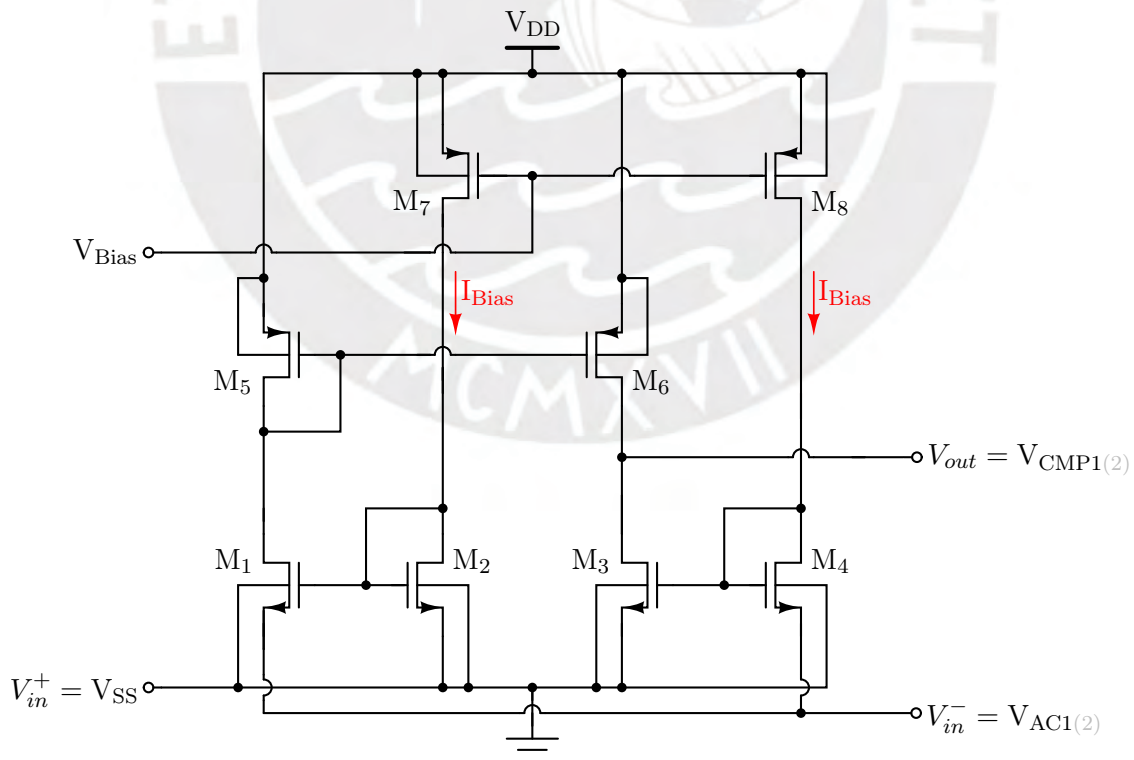


Figura 4.3: Circuito del comparador de puerta común.

El comparador consta de dos entradas en configuración de puerta común. La entrada

no inversora (V_{in}^+) está formada por los terminales de fuente de los transistores M_2 y M_3 , conectada a la tierra del circuito rectificador (V_{SS}), que sirve como un voltaje de referencia. La entrada inversora (V_{in}^-) está conectada a los terminales de fuente de los transistores M_1 y M_4 , para recibir la señal de uno de los terminales de entrada AC del rectificador (V_{AC1} o V_{AC2}). Por otra parte, los transistores M_7 y M_8 actúan como fuentes de corriente que requiere un voltaje de polarización (V_{Bias}) en sus terminales de puerta para fijar una corriente de polarización (I_{Bias}) en las ramas del circuito. Tanto el voltaje V_{Bias} como la corriente I_{Bias} son generados por el bloque del circuito de referencia de corriente que será diseñado posteriormente. Asimismo, las cuatro ramas del circuito están conectadas al voltaje de alimentación del comparador (V_{DD}) a través de los terminales de fuente de los transistores M_5 , M_6 , M_7 y M_8 . Este V_{DD} será suministrado por la señal de salida DC del rectificador (V_{DC}). Finalmente, los terminales de drenador de los transistores M_6 y M_3 forman el nodo de salida (V_{out}) en una configuración push-pull [162]. En este nodo se genera el voltaje de salida del comparador (V_{CMP1} o V_{CMP2}) mediante el proceso de carga y descarga de la capacitancia de carga (C_L), formada a partir de capacitancias de difusión en la salida del comparador y la capacitancia de entrada del circuito de *buffer*.

Esta topología requiere que los transistores M_1 , M_2 , M_3 y M_4 compartan las mismas dimensiones (W/L) para mantener cierta homogeneidad en las cuatro ramas del circuito. Asimismo, debido al espejo de corriente, los transistores M_5 y M_6 deben ser iguales en tamaño. De manera similar, las fuentes de corriente M_7 con M_8 deben proporcionar el mismo valor de corriente, por lo que también deben ser de las mismas dimensiones.

4.2.1 Análisis en gran señal

En este análisis estudiaremos el comportamiento dinámico del comparador producido por un cambio en el voltaje de las entradas del comparador. Para ello, consideraremos que V_{out} se encuentra en estado transitorio y en un valor de voltaje alrededor del punto de conmutación del comparador donde los transistores M_3 y M_6 se encuentren saturados. Además, tomaremos en cuenta que V_{DD} es lo suficientemente alto para garantizar que el circuito funcione adecuadamente en la región de operación deseada. El voltaje mínimo de alimentación ($V_{DD_{min}}$) que asegura que los transistores operen en la región de saturación, se determina mediante la siguiente ecuación:

$$V_{DD_{min}} = V_{OV_7} + V_{OV_2} + V_{thn_2} \quad (4.1)$$

donde V_{thn_2} es el voltaje de umbral del transistor M_2 , y V_{OV} es el voltaje de *overdrive*, expresado como $V_{OV_2} = V_{GS_2} - V_{thn_2}$ para M_2 y $V_{OV_7} = V_{SG_7} - |V_{thp_7}|$ para M_7 . Para simplificar el análisis, asumiremos que todos los transistores operan en inversión fuerte por lo que se usará el modelo de ley cuadrada para las ecuaciones del transistor, omitiendo el efecto de modulación de la longitud del canal ($\lambda = 0$). El principio de funcionamiento del comparador se ilustra en la Figura 4.4.

En primer lugar, se observa que, independientemente de la condición de V_{in}^- , las corrientes que atraviesan los transistores M_2 y M_4 van a estar fijadas para ser siempre igual a I_{Bias} , ya que son las mismas corrientes que fluyen a través de M_7 y M_8 . Por otro lado, la corriente en M_5 va a tener el mismo valor que la corriente en M_1 . Es importante mencionar que, durante el estado transitorio de V_{out} , parte de la corriente que pasa por M_6 puede desviarse hacia la capacitancia de carga C_L en la salida del comparador ($I_L = I_6 - I_3$). Esta variación de corriente depende de la diferencia entre las entradas del comparador y determina el comportamiento dinámico del circuito.

Cuando los voltajes de entrada del comparador son iguales ($\Delta V_{in} = V_{in}^+ - V_{in}^- = 0$), las cuatro ramas del circuito se encuentran en un estado de equilibrio. En esta condición, las

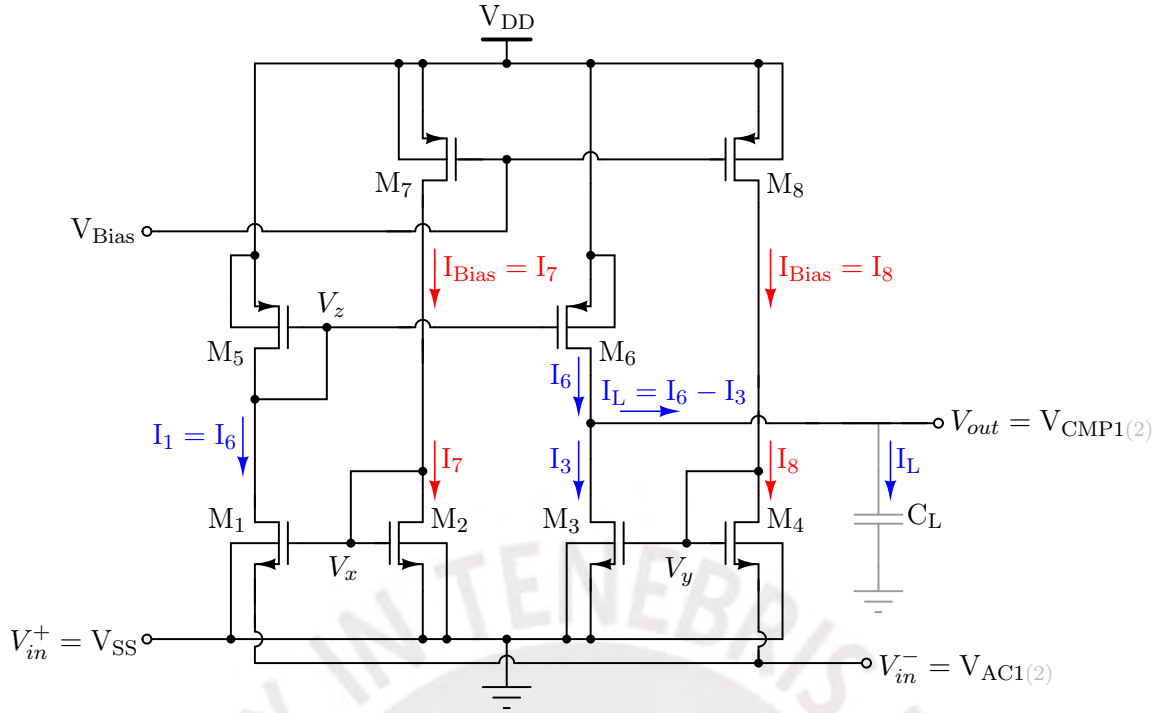


Figura 4.4: Principio de funcionamiento del comparador.

corrientes que atraviesan los transistores NMOS (M_{1-4}), son iguales a la corriente I_{Bias} , debido al mismo V_{GS} en los nodos V_x y V_y , y por los espejos de corriente en M_2 y M_4 . Además, la corriente I_6 toma el valor de I_{Bias} por el espejo de corriente en M_5 . Dado que la corriente en M_6 y M_3 es la misma, no existe flujo de corriente a través de la capacitancia C_L ($I_L = I_6 - I_3 = 0$). En consecuencia, no se produce un cambio en el nivel de voltaje de V_{out} .

Por otra parte, cuando existe una diferencia de voltaje en las entradas del comparador ($\Delta V_{in} \neq 0$), se produce un desequilibrio en los V_{GS} de los transistores M_1 y M_2 . El potencial en el nodo V_x se puede expresar como:

$$V_x = V_{GS1} + V_{in}^- = V_{GS2} \quad (4.2)$$

Al despejar V_{GS1} y considerando que M_2 opera en la región de saturación, se obtiene:

$$V_{GS1} = V_{thn2} + \sqrt{\frac{2I_{Bias}}{\mu_n C_{ox} \frac{W}{L}}} - V_{in}^- \quad (4.3)$$

donde μ_n es la movilidad de electrones en los transistores NMOS, C_{ox} es la capacitancia de óxido, W es el ancho del canal y L es la longitud del canal para los transistores M_{1-4} . Además, dado que la corriente en M_1 y M_6 tiene el mismo valor, la corriente I_6 se puede expresar como:

$$I_6 = I_1 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS1} - V_{thn1})^2 \quad (4.4)$$

Reemplazando la ecuación (4.3) en (4.4) y omitiendo el efecto de cuerpo en M_1 ($V_{thn1} \approx V_{thn2}$), se obtiene la siguiente expresión:

$$I_6 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \left(\sqrt{\frac{2I_{Bias}}{\mu_n C_{ox} \frac{W}{L}}} - V_{in}^- \right)^2 \quad (4.5)$$

De igual forma, la diferencia de voltaje en las entradas del comparador genera que los V_{GS} de M_3 y M_4 sean diferentes. El potencial en el nodo V_y se puede expresar como:

$$V_y = V_{GS3} = V_{GS4} + V_{in}^- \quad (4.6)$$

Dado que M_4 opera en la región de saturación, la ecuación se puede reescribir como:

$$V_{GS3} = V_{thn4} + \sqrt{\frac{2I_{Bias}}{\mu_n C_{ox} \frac{W}{L}}} + V_{in}^- \quad (4.7)$$

Entonces, la expresión para la corriente I_3 se está dada por:

$$I_3 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS3} - V_{thn3})^2 \quad (4.8)$$

Reemplazando la ecuación (4.7) en (4.8) y omitiendo el efecto de cuerpo en M_4 ($V_{thn3} \approx V_{thn4}$), se obtiene lo siguiente:

$$I_3 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \left(\sqrt{\frac{2I_{Bias}}{\mu_n C_{ox} \frac{W}{L}}} + V_{in}^- \right)^2 \quad (4.9)$$

Por lo tanto, con base en lo indicado en la Figura 4.4 y las ecuaciones (4.5) y (4.9), la corriente en la capacitancia de carga (I_L) se puede calcular como:

$$I_L = I_6 - I_3 = -\sqrt{8\mu_n C_{ox} \frac{W}{L} I_{Bias}} V_{in}^- \quad (4.10)$$

Esta expresión demuestra que, cuando $V_{in}^- < 0$, la diferencia entre las corrientes I_6 e I_3 genera un incremento en la corriente I_L ($I_L > 0$) debido a que $I_6 > I_3$, cargando la capacitancia C_L y produciendo que V_{out} pase de un nivel lógico bajo a uno alto ($0 \rightarrow V_{DD}$). Por el contrario, cuando $V_{in}^- > 0$, la corriente I_L disminuye ($I_L < 0$) dado que $I_6 < I_3$, descargando C_L y provocando que V_{out} cambie de un nivel lógico alto a uno bajo ($V_{DD} \rightarrow 0$).

La variación del voltaje de salida (ΔV_{out}) alrededor del punto de conmutación del comparador, producido durante la carga o descarga de C_L , se describe mediante la siguiente ecuación:

$$\Delta V_{out}(t) = \frac{1}{C_L} \int_{t_1}^{t_2} I_L dt \quad (4.11)$$

donde t_1 y t_2 representan instantes de tiempo donde se mide el cambio de V_{out} . Reemplazando la expresión (4.10) en (4.11), se tiene:

$$\Delta V_{out} = -\frac{\sqrt{8\mu_n C_{ox} \frac{W}{L} I_{Bias}}}{C_L} V_{in}^- \Delta t \quad (4.12)$$

donde $\Delta t = t_2 - t_1$ es el tiempo que tarda en producirse el cambio de V_{out} , y recordando que W/L es la relación de aspecto de los transistores NMOS (M_{1-4}). Al despejar Δt , obtenemos la tasa de cambio del voltaje de salida del comparador:

$$\frac{\Delta V_{out}}{\Delta t} = -\frac{\sqrt{8\mu_n C_{ox} \frac{W}{L} I_{Bias}}}{C_L} V_{in}^- \quad (4.13)$$

A pesar de las simplificaciones realizadas, la expresión obtenida en (4.13) permite extraer conclusiones importantes. Esta expresión muestra que incrementar la corriente I_{bias} aumenta la tasa de cambio de V_{out} , aunque esto también conlleva un mayor consumo de potencia en el comparador. Por otra parte, optimizar la relación de aspecto W/L de los transistores NMOS sin afectar significativamente el ancho de banda, que depende de C_L , podría contribuir a mejorar la tasa de cambio de V_{out} . Es importante destacar que un cambio rápido del voltaje de salida del comparador ayudaría a reducir el *turn-on delay* y el *turn-off delay* durante el proceso de rectificación. Como se discutió en el capítulo 3, estos retrasos impactan negativamente en la eficiencia y en el VCR del rectificador activo.

Al establecer un valor mínimo realista para V_{in}^- cuando $V_{in}^- < 0$, como algunas unidades o decenas de mV que reflejan las condiciones prácticas observables durante la operación del rectificador activo, la expresión (4.13) permite aproximar el *slew rate* positivo del comparador, que se produce cuando V_{out} transita de un nivel lógico bajo a uno alto. La aproximación del *slew rate* positivo (SR^+) se puede expresar como:

$$SR^+ \approx \frac{\sqrt{8\mu_n C_{ox} \frac{W}{L} I_{Bias}}}{C_L} |V_{in}^-| \quad (4.14)$$

Sin embargo, esta expresión no es aplicable para el caso del *slew rate* negativo, que se presenta cuando V_{out} disminuye de un nivel lógico alto a uno bajo. En la práctica, V_{in}^- puede asumir valores significativos cuando $V_{in}^- > 0$, por lo que el *slew rate* negativo ocurre cuando V_{in}^- alcanza su máximo. Al considerar un valor elevado para V_{in}^- , como por ejemplo V_{DD} , podríamos estimar el *slew rate* negativo. En esta situación, si $V_{in}^- = V_{DD}$, no fluye corriente a través de los transistores M_1 ni M_4 , lo que resulta en que los nodos V_y y V_z se establecen en V_{DD} . Dado que $V_z = V_{DD}$, se tiene que $V_{SG_6} = 0$, lo que implica que la corriente I_6 sea nula. A su vez, como $V_y = V_{DD}$, se tiene que $V_{GS_3} = V_{DD}$, lo que indica que el transistor M_3 si conduce una corriente I_3 . Despreciando el efecto de modulación de longitud de canal, la corriente I_3 se puede expresar como:

$$I_3 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DD} - V_{thn_3})^2 \quad (4.15)$$

En estas condiciones, la corriente I_L alcanza su máximo valor de descarga, expresado como $I_L = -I_3$. Por lo tanto, el *slew rate* negativo (SR^-) se puede formular de la siguiente manera:

$$SR^- = \left| \frac{I_L}{C_L} \right| = \frac{I_3}{C_L} \quad (4.16)$$

Si reemplazamos la ecuación (4.15) en (4.16), la expresión del *slew rate* negativo se puede aproximar como:

$$SR^- \approx \frac{\mu_n C_{ox} W (V_{DD} - V_{thn_3})^2}{2LC_L} \quad (4.17)$$

Al comparar las expresiones (4.14) y (4.17), se deduce que en la práctica el *slew rate* negativo es mayor que el *slew rate* positivo. Esto indica que los mayores retrasos se producen durante la activación del comparador en contraste con su desactivación, lo que resulta en un impacto mayor en la pérdida de VCR que en PCE .

4.2.2 Análisis de respuesta en frecuencia

En este análisis estudiaremos la respuesta en frecuencia del comparador mediante el modelo de pequeña señal del circuito para altas frecuencias (Figura 4.5). Este modelo permite evaluar los efectos de las capacitancias parasitarias y otros elementos de alta

frecuencia, y facilita el cálculo de la función de transferencia, a partir de la cual se derivan las expresiones para la ganancia de voltaje, el ancho de banda y la frecuencia de ganancia unitaria (UGF, por sus siglas en inglés). Estos parámetros caracterizan el comportamiento del circuito en el dominio de la frecuencia.

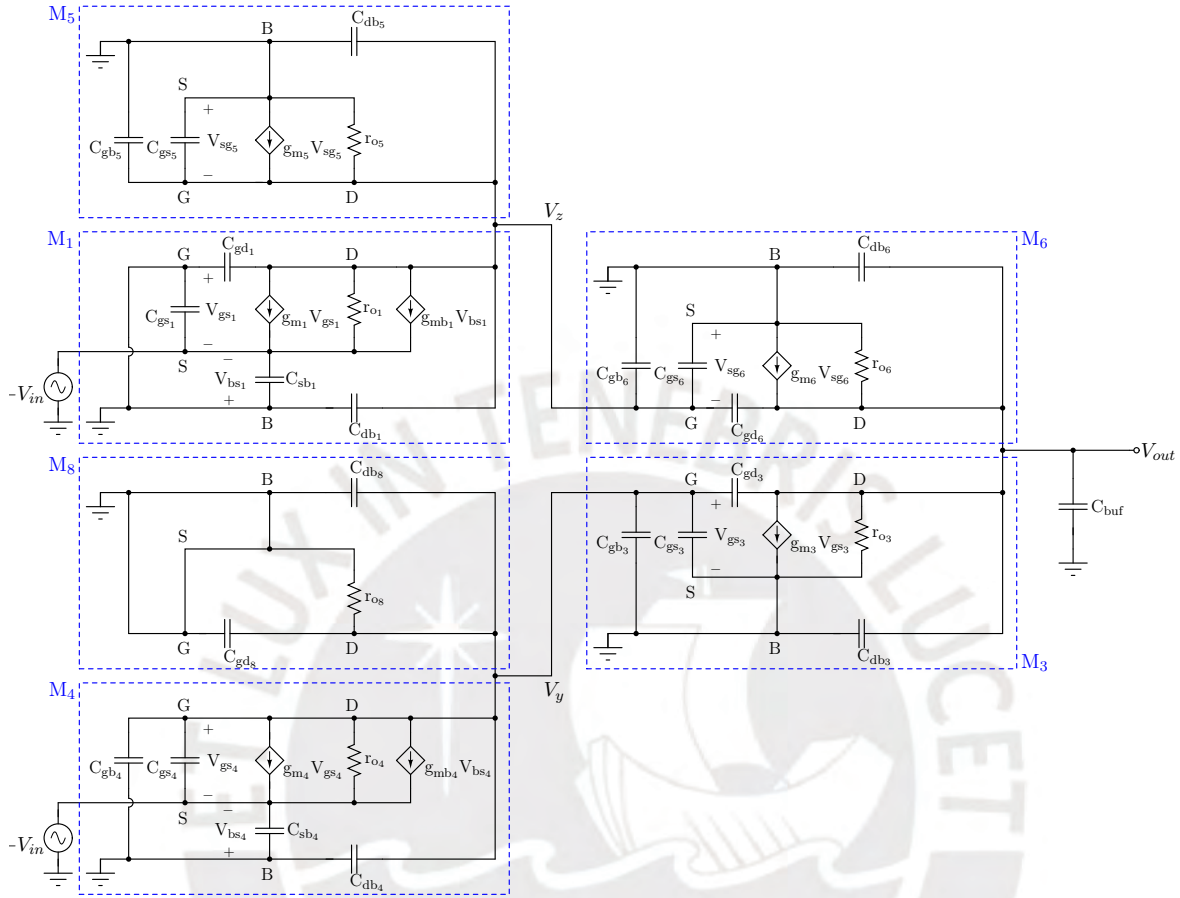


Figura 4.5: Modelo de pequeña señal para el análisis de respuesta en frecuencia del comparador.

Como se muestra en la Figura 4.5, los elementos g_{m_i} , g_{mb_i} , r_{o_i} , V_{gs_i} , V_{sg_i} , V_{bs_i} , C_{gs_i} , C_{gd_i} , C_{gb_i} , C_{db_i} y C_{sb_i} representan, respectivamente, la transconductancia, transconductancia de cuerpo, resistencia de salida, voltaje de puerta-fuente, voltaje de fuente-sustrato, voltaje de sustrato-fuente, capacitancia de puerta-fuente, capacitancia de puerta-drenador, capacitancia de puerta-sustrato, capacitancia de drenador-sustrato y capacitancia de fuente-sustrato del i -ésimo transistor del comparador. Por otro lado, C_{buf} denota la capacitancia de entrada del *buffer*. Los valores de estos elementos de pequeña señal dependen del punto de operación y de las dimensiones de los transistores.

Al aplicar la transformada de Laplace a las ecuaciones obtenidas mediante la Ley de Corriente de Kirchhoff (LCK) en los nodos V_y , V_z y V_{out} del modelo de pequeña señal, se obtiene la función de transferencia del comparador, $H(s)$. Esta función de transferencia describe la relación entre el voltaje de salida y el voltaje de entrada en el dominio de la frecuencia ($s = j\omega$), y se expresa de la siguiente manera:

$$H(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{2g_{m_3} (1 + \eta) (r_{o_3} \parallel r_{o_6}) \left(1 + s \frac{C_{gs_5}}{2g_{m_5}}\right)}{(1 + sC_L(r_{o_3} \parallel r_{o_6})) \left(1 + s \frac{C_{gs_5}}{g_{m_5}}\right)} \quad (4.18)$$

donde $\eta = g_{mb_4}/g_{m_4}$, con un valor típico de 0.25 [163], y C_L representa la capacitancia de

carga, formada por la suma de las capacitancias de difusión de los transistores de salida del comparador y la capacitancia de entrada del *buffer*, que corresponde a otro bloque de circuito que se diseñará en etapas posteriores. La capacitancia C_L se expresa como:

$$C_L = C_{gd3} + C_{db3} + C_{gd6} + C_{db6} + C_{buf} \quad (4.19)$$

Para mayor información, se recomienda consultar el Apéndice A, donde se detalla el procedimiento de cálculo de la función de transferencia del comparador.

La expresión obtenida en (4.18) permite calcular la ganancia de voltaje del comparador (A_v), definida como la magnitud de la función de transferencia en la región de bajas frecuencias, donde se considera constante. Por lo tanto, A_v se puede calcular de la siguiente manera:

$$A_v = |H(0)| = 2g_{m3}(1 + \eta)(r_{o3} \parallel r_{o6}) \quad (4.20)$$

Asimismo, la función de transferencia del sistema revela la presencia de un cero y dos polos que afectan la ganancia del comparador a medida que aumenta la frecuencia de la señal de entrada. A partir de la expresión (4.18), se pueden calcular las expresiones del cero (ω_z) y los polos (ω_{p1} y ω_{p2}), que son:

$$\omega_z = \frac{2g_{m5}}{C_{gs5}} \quad (4.21)$$

$$\omega_{p1} = \frac{1}{C_L(r_{o3} \parallel r_{o6})} \quad (4.22)$$

$$\omega_{p2} = \frac{g_{m5}}{C_{gs5}} \quad (4.23)$$

Al comparar las expresiones obtenidas, se concluye que ω_{p1} es el polo dominante del sistema, ya que $\omega_{p1} \ll \omega_{p2}$. Por lo tanto, el polo dominante ω_{p1} determina la frecuencia de corte del ancho de banda del comparador (f_{-3dB}), definida como el punto en el que la magnitud de $H(s)$ es igual $A_v/\sqrt{2}$, es decir disminuye en -3 dB. La frecuencia f_{-3dB} se puede calcular de la siguiente manera:

$$f_{-3dB} = \frac{\omega_{p1}}{2\pi} \quad (4.24)$$

Reemplazando la expresión (4.22) en (4.24), se tiene:

$$f_{-3dB} = \frac{1}{2\pi C_L(r_{o3} \parallel r_{o6})} \quad (4.25)$$

La expresión obtenida demuestra que el ancho de banda del comparador es inversamente proporcional a la capacitancia C_L .

Si asumimos que ω_{p2} y ω_z se encuentran muy alejados del polo dominante ω_{p1} , podemos simplificar el análisis aproximando la función de transferencia del comparador como una función de primer orden. Por lo tanto, bajo estas condiciones, la función de transferencia a frecuencias mucho menores que $\omega_{p2}/2\pi$ se puede aproximar a:

$$H(s) \approx \frac{2g_{m3}(1 + \eta)(r_{o3} \parallel r_{o6})}{(1 + sC_L(r_{o3} \parallel r_{o6}))} \quad (4.26)$$

Con base en esta aproximación, es posible estimar la frecuencia de ganancia unitaria (f_{0dB}) como el producto de la ganancia de voltaje y el ancho de banda del comparador. De esta manera, f_{0dB} se puede calcular como:

$$f_{0dB} \approx A_v \cdot f_{-3dB} \quad (4.27)$$

Sustituyendo las expresiones (4.20) y (4.25) en (4.27), obtenemos la expresión de la UGF:

$$f_{0dB} \approx \frac{g_{m3}(1 + \eta)}{\pi C_L} \quad (4.28)$$

Esta expresión indica que f_{0dB} es directamente proporcional a la transconductancia de los transistores NMOS (M_{1-4}) e inversamente proporcional a la capacitancia C_L . Debido a que C_L es un parámetro más difícil de controlar, es conveniente aumentar la UGF incrementando el g_m de los transistores. Esto se puede lograr elevando la corriente I_{Bias} , lo que conlleva un mayor consumo de potencia, o bien optimizando las dimensiones de los transistores. Obtener el valor máximo de f_{0dB} permite lograr la mayor velocidad de respuesta junto con la máxima ganancia posible en el comparador. Asimismo, la topología del comparador evidencia que el efecto de cuerpo, presente en η , favorece la mejora de A_v y f_{0dB} .

4.2.3 Diseño del comparador de voltaje

Dada nuestra especificación de potencia entregada a la carga (P_{out}) de $\sim 500 \mu W$, mostrada en la Tabla 4.1, se escogió como criterio de diseño que el consumo de potencia estática del comparador no sobrepase el 1% de P_{out} para que su impacto en la eficiencia sea mínimo. Por esta razón, se estableció un límite máximo de consumo de potencia estática de $5 \mu W$ para un voltaje nominal de V_{DD} de 1.2 V, lo que implica un límite de corriente de $4.1 \mu A$. Asimismo, simulaciones previas realizadas en un prototipo del comparador demostraron que una corriente I_{Bias} mayor a $1.5 \mu A$ no mejoraba la eficiencia del rectificador; por el contrario, reducía el PCE debido al incremento en el consumo de potencia de los comparadores. Asimismo, una corriente I_{Bias} inferior a $1 \mu A$ reducía tanto el PCE como en el VCR , ya que una corriente baja implicaba una menor velocidad de respuesta del comparador, lo que generaba mayores tiempos de retardo en la conmutación de los transistores NMOS del rectificador activo. Teniendo en cuenta los resultados de las simulaciones y el criterio de diseño previamente expuesto, se estableció un valor de $1 \mu A$ para la corriente I_{Bias} .

Por otra parte, a partir de un análisis preliminar y considerando la limitación de corriente impuesta por los requisitos de potencia, se verificó mediante simulaciones que la topología del comparador no permite alcanzar una ganancia superior a 50 dB sin comprometer el ancho de banda. Entonces, con I_{Bias} establecido en $1 \mu A$, se definió como criterio de diseño una ganancia mínima de 45 dB para asegurar que el comparador sea suficientemente sensible a pequeñas variaciones de voltaje de entrada. Por ejemplo, con esa ganancia, una diferencia de voltaje en las entradas (ΔV_{in}) de -10 mV podría saturar el comparador con un V_{DD} de 1.2 V.

Considerando que las dimensiones de los transistores M_7 y M_8 , que actúan como fuentes de corriente, tienen menor influencia en la respuesta en frecuencia del comparador, se definió una relación W/L de $6 \mu m/2 \mu m$. Un valor de $L = 2 \mu m$ contribuye a reducir significativamente el efecto de modulación de longitud de canal y, por ende, el desajuste en el espejo de la corriente I_{Bias} de $1 \mu A$, mientras que $W = 6 \mu m$ proporciona un margen adecuado para la saturación de los transistores.

A partir de los valores iniciales utilizados en las simulaciones preliminares, se procedió a una optimización adicional de las dimensiones de los transistores M_1 a M_6 , con el objetivo de mejorar los parámetros de desempeño del comparador. Para ello, se observó que L debía ser lo suficientemente grande para minimizar el efecto de modulación de longitud de canal en los espejos de corriente, pero también lo suficientemente pequeña para evitar

un incremento significativo en las capacitancias parásitas, que afectan negativamente la respuesta en frecuencia del comparador. Para lograr este balance, se estableció que L debía ser al menos $4L_{min}$ (donde $L_{min} = 0.18 \mu\text{m}$), siguiendo la recomendación de Ballo et al. [107], a fin de evitar que el rendimiento del transistor se vea comprometido por el efecto de modulación de longitud de canal. En base a este criterio, se definió $L = 0.8 \mu\text{m}$ para los transistores M_1 a M_6 .

Sabemos que, en los transistores PMOS M_5 y M_6 , la reducción de W disminuye el impacto de sus capacitancias parásitas en los polos del sistema, mejorando así la respuesta en frecuencia del circuito. No obstante, esta reducción afecta negativamente el margen de saturación de los transistores, e incrementa el *mismatch* debido a la variabilidad aleatoria del proceso de fabricación, aumentando el riesgo de un *offset* sistemático mayor en el comparador. En contraste, un aumento en W mejora el margen de saturación y reduce el *mismatch*, aunque a expensas de una menor velocidad de respuesta del circuito, afectando el rendimiento del rectificador activo debido a mayores tiempos de retardo en la salida del comparador. Teniendo en cuenta este *trade-off*, se realizaron diversas simulaciones para ajustar el valor de W de M_5 y M_6 , donde se observó que incrementar W más allá de $0.5 \mu\text{m}$ era perjudicial para el rectificador activo. Por ejemplo, al aumentar el valor de W de $0.5 \mu\text{m}$ a $2 \mu\text{m}$, las simulaciones transitorias mostraron una reducción significativa en los parámetros de rendimiento del rectificador, destacándose una disminución del VCR en un 4% y de P_{out} en $30 \mu\text{W}$. Por otro lado, las simulaciones de Monte Carlo realizadas sobre el circuito presentado en la Figura 4.9 indicaron que el incremento en W mejoró en solo un 6% la desviación estándar (σ) del voltaje de offset de entrada (V_{OS}) por efecto del *mismatch*, como se muestra en la Figura 4.6. En base a estos resultados, se optó por definir una relación W/L de $0.5 \mu\text{m}/0.8 \mu\text{m}$ para los transistores M_5 y M_6 .

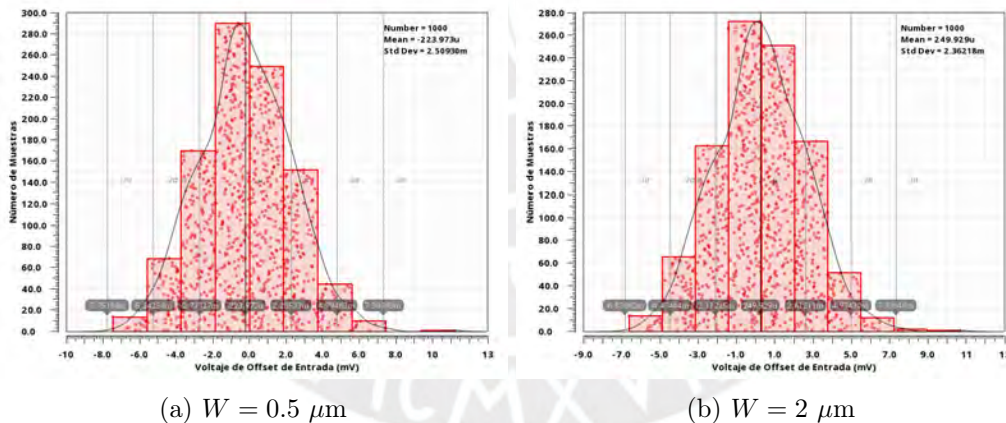


Figura 4.6: Histogramas del voltaje de offset obtenidos mediante simulaciones Monte Carlo para diferentes anchos de canal. La desviación estándar σ es de 2.51 mV para $W = 0.5$ y de 2.36 mV para $W = 2 \mu\text{m}$.

La expresión obtenida en (4.28) indica que un incremento en la transconductancia de los transistores NMOS, determinada por la relación W/L , permite aumentar el valor de la frecuencia de ganancia unitaria. Sin embargo, como se mencionó anteriormente, el aumento en las dimensiones de los transistores también da lugar a un incremento en ciertas capacitancias que afectan negativamente la respuesta en frecuencia del comparador, como C_L , cuyo valor fue estimado aproximadamente en 8 fF. Para optimizar el valor de W de los transistores NMOS, con L fijado en $0.8 \mu\text{m}$, se realizaron simulaciones cuyo objetivo fue maximizar f_{0dB} . Los resultados, mostrados en la Figura 4.7, indican que el valor máximo de f_{0dB} (221.8 MHz) se alcanza con un W de $1.4 \mu\text{m}$.

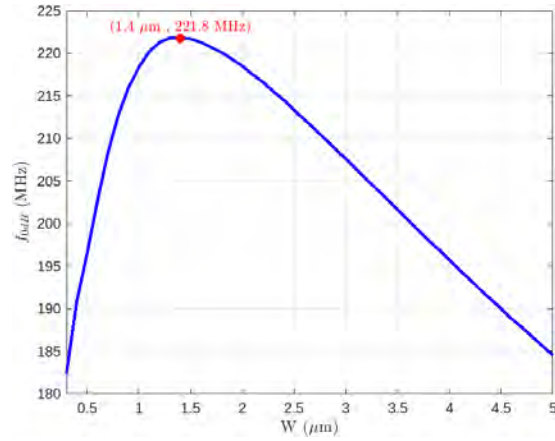


Figura 4.7: Relación entre la frecuencia de ganancia unitaria y el ancho de canal.

Además, para $W = 1.4 \mu\text{m}$, se obtuvo una figura de mérito g_m/I_d de 17.24 V^{-1} , como se observa en la Figura 4.8. Este valor de g_m/I_d indica que los transistores NMOS operan en la región de inversión moderada, la cual es la región de operación que ofrece mejor eficiencia en términos de transconductancia, consumo de corriente y velocidad. Con base en estos resultados, se decidió establecer una relación W/L de $1.4 \mu\text{m}/0.8 \mu\text{m}$ para los transistores M_1 a M_4 .

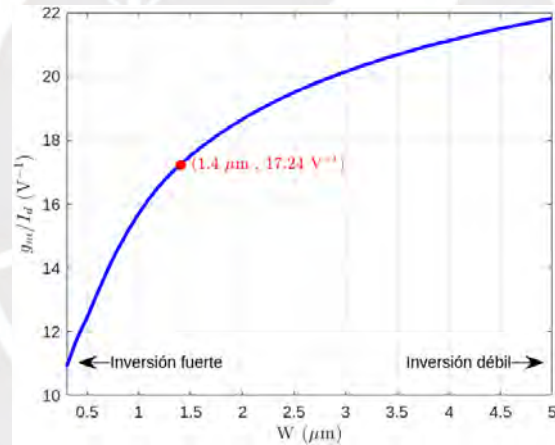


Figura 4.8: Figura de mérito g_m/I_d en función del ancho de canal. Los transistores NMOS con un menor W operan en la región de inversión fuerte, mientras que los de mayor W lo hacen en la región de inversión débil.

De forma resumida, en la Tabla 4.2 se presentan las relaciones de aspecto de todos los transistores que conforman el circuito del comparador de voltaje.

Tabla 4.2: Dimensiones de los transistores del comparador.

Transistores	W/L ($\mu\text{m}/\mu\text{m}$)	m
M_1, M_2, M_3, M_4	1.4/0.8	1
M_5, M_6	0.5/0.8	1
M_7, M_8	6/2	1

Una vez finalizado el diseño del comparador, se llevaron a cabo simulaciones con el fin de obtener los parámetros más relevantes del circuito. Para ello, se utilizó el *testbench* ilustrado en la Figura 4.9. En este *testbench*, el comparador es alimentado por una fuente de voltaje DC de 1.2 V, la corriente I_{Bias} es suministrada por una fuente de corriente ideal de $1 \mu\text{A}$, y la señal de la entrada inversora se genera mediante una fuente de voltaje pulsante V_{AC} . Asimismo, la entrada del *buffer* se modela mediante un inversor compuesto por transistores con relaciones de aspecto reducidas, siendo $2 \mu\text{m}/0.18 \mu\text{m}$ para el PMOS y $1 \mu\text{m}/0.18 \mu\text{m}$ para el NMOS.

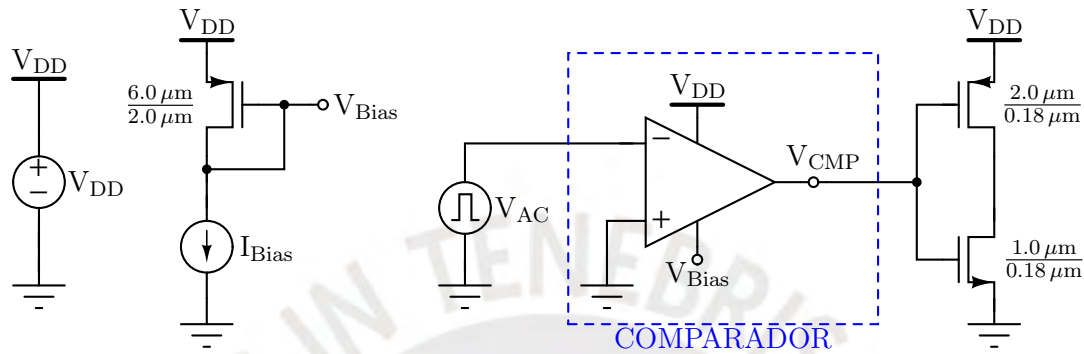


Figura 4.9: *Testbench* de simulación para la caracterización del comparador.

La Figura 4.10 muestra la curva de transferencia del comparador, obtenida mediante una simulación en DC, donde se representa la variación del voltaje salida V_{out} en función de la diferencia de los voltajes de entrada ΔV_{in} . En la gráfica, se observa que el voltaje de offset de entrada V_{OS} tiene un valor de $-291.6 \mu\text{V}$, donde V_{OS} se define como el ΔV_{in} necesario para que V_{out} cambie de un nivel lógico a otro, lo cual ocurre cuando $V_{out} = V_{DD}/2$ (600 mV). Este bajo valor de V_{OS} sugiere una alta precisión en la detección de voltajes de activación. La gráfica también evidencia una respuesta adecuada del comparador cuando ΔV_{in} excede $\pm 4 \text{ mV}$.

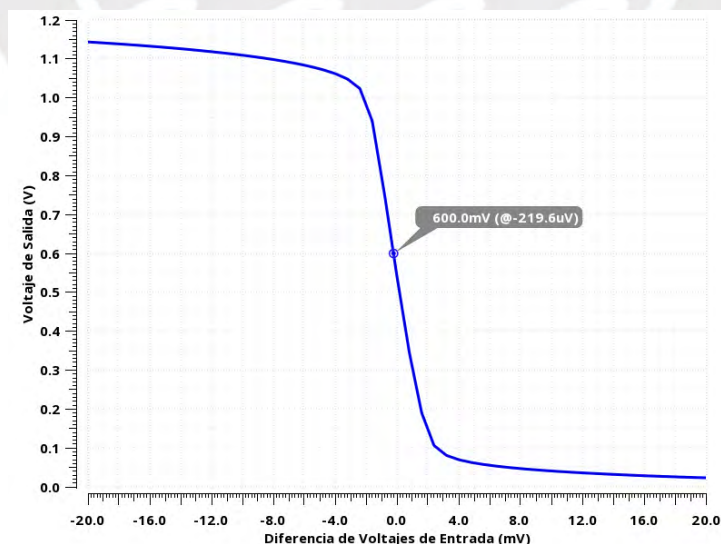


Figura 4.10: Curva de transferencia del comparador.

La respuesta en frecuencia del comparador, representada por el diagrama de Bode de la ganancia (Figura 4.11), fue obtenida mediante simulación en AC. Se observa que, a bajas frecuencias, la ganancia A_v es de aproximadamente 48.37 dB. A medida que la frecuencia

aumenta, la ganancia disminuye de forma pronunciada, alcanzando 0 dB a 221.8 MHz, que corresponde a la frecuencia de ganancia unitaria f_{0dB} . La frecuencia de corte f_{-3dB} , medida en aproximadamente 1.5 MHz, coincidiendo con la frecuencia nominal de la señal de entrada del rectificador, donde la ganancia es de 45.39 dB. La ganancia obtenida cumple con el criterio de diseño previamente establecido de una ganancia mínima de 45 dB.

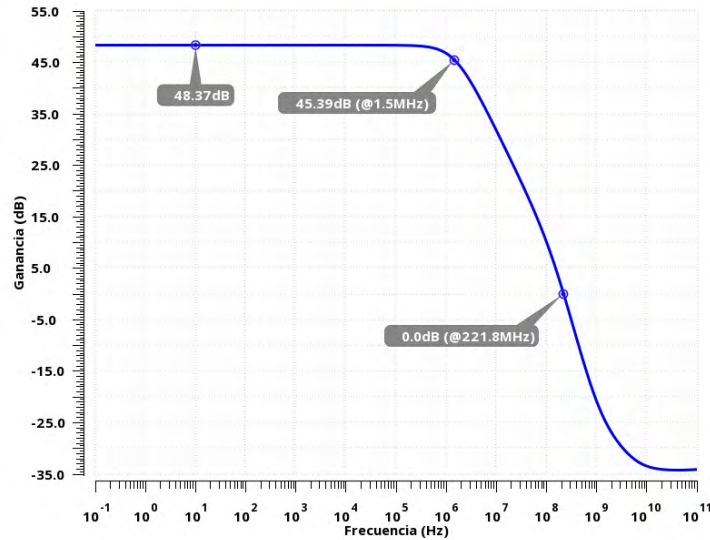


Figura 4.11: Diagrama de Bode de la magnitud de la ganancia del comparador.

Para evaluar el impacto del ruido de V_{DD} en la salida del comparador, se realizó la simulación del Factor de Rechazo a la Fuente de Alimentación (PSRR, por sus siglas en inglés). Para un comparador, el PSRR se define como la relación entre la ganancia de la señal de entrada a la salida y la ganancia de la fuente de alimentación a la salida [163]. Los resultados de la simulación, presentados en la Figura 4.12, muestran un valor máximo de PSRR de 48.22 dB a bajas frecuencias, el cual disminuye progresivamente con el aumento de la frecuencia, siguiendo un comportamiento similar al de la ganancia del comparador. A una frecuencia de 1.5 MHz, se obtuvo un PSRR de 46.98 dB, lo que indica que el ruido de V_{DD} no se amplifica en la salida del comparador.

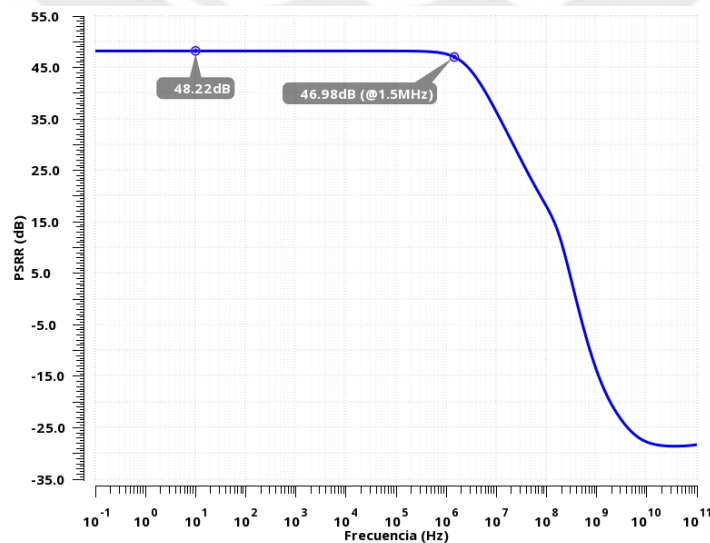


Figura 4.12: Gráfico del PSRR del comparador.

La Figura 4.13 presenta los resultados de la simulación transitoria realizada para verificar la respuesta temporal del comparador ante una señal de entrada representativa de las condiciones reales de operación del rectificador activo. Para ello, se utilizó una señal de entrada V_{AC} (en rojo), configurada como un pulso cuadrado de frecuencia 1.5 MHz y amplitud 1.2 V en la fase positiva y -10 mV en la fase negativa, aplicada a la entrada inversora del comparador. La señal de salida V_{CMP} (en azul), confirma el comportamiento esperado del comparador descrito en el análisis en gran señal, alcanzando un nivel bajo ($V_{CMP} = 3.12 \mu\text{V}$) cuando $\Delta V_{in} < 0$ ($V_{AC} = 1.2 \text{ V}$), y un nivel alto ($V_{CMP} = 1.11 \text{ V}$) cuando $\Delta V_{in} > 0$ ($V_{AC} = -10 \text{ mV}$). Asimismo, se observa que el cambio de voltaje durante la activación del comparador es más lento que en la desactivación, lo cual se atribuye a la diferencia significativa en amplitud entre las fases de V_{AC} ($1.2 \text{ V} \gg 10 \text{ mV}$). En consecuencia, se prevé un impacto mayor en el VCR del rectificador en comparación con el PCE .

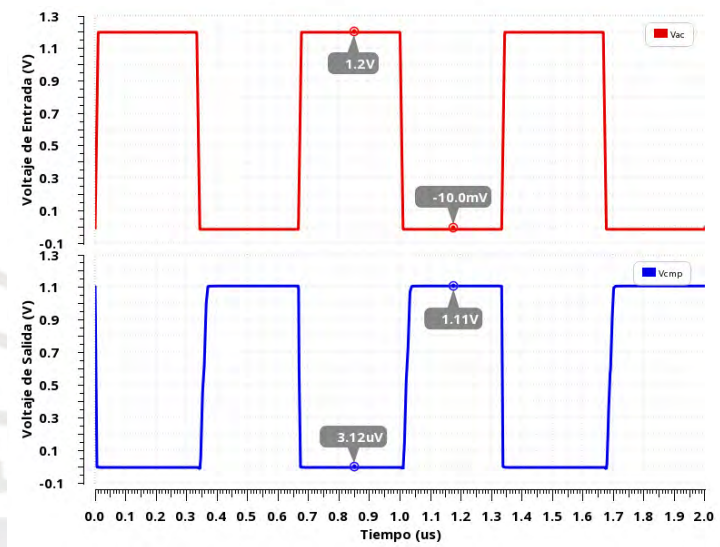


Figura 4.13: Respuesta temporal del comparador ante una señal de entrada con amplitud asimétrica.

Asimismo, esta simulación permitió, a modo de ejemplo, estimar el *slew rate* del comparador. La medición se realizó mediante un método práctico, evaluando el cambio de voltaje de la salida entre el 10% y el 90% de su amplitud máxima y dividiendo este valor entre el tiempo de transición correspondiente: tiempo de subida para el *slew rate* positivo (SR^+) y tiempo de bajada para el *slew rate* negativo (SR^-). Para el voltaje de salida V_{CMP} mostrado en la Figura 4.13, se obtuvo un SR^+ de $52.29 \text{ V}/\mu\text{s}$ y un SR^- de $437.2 \text{ V}/\mu\text{s}$. Como se anticipó en el análisis teórico, estos valores difieren entre sí debido a la asimetría de la señal de entrada V_{AC} .

Por otra parte, se realizaron simulaciones transitorias adicionales para analizar las formas de onda del voltaje de salida del comparador bajo diferentes amplitudes en la fase negativa de V_{AC} . Los resultados obtenidos se presentan en la Figura 4.14. Se observa que, para amplitudes pequeñas, como en el caso de -1 mV , el comparador tarda considerablemente en activarse, alcanzando un V_{CMP} de aproximadamente 800 mV sin llegar a saturarse completamente. Para una amplitud de -5 mV , la forma de la onda es similar a la observada en -10 mV (Figura 4.13), con V_{CMP} superando los 1 V . En el caso de amplitudes negativas mayores, como -50 mV y -100 mV , el comparador alcanza la saturación completa, logrando un V_{CMP} cercano a 1.2 V . Además, para estos valores más altos, la forma de onda de V_{CMP} tiende a aproximarse a una señal cuadrada debido a que

el cambio de voltaje de salida se produce de manera más rápida.

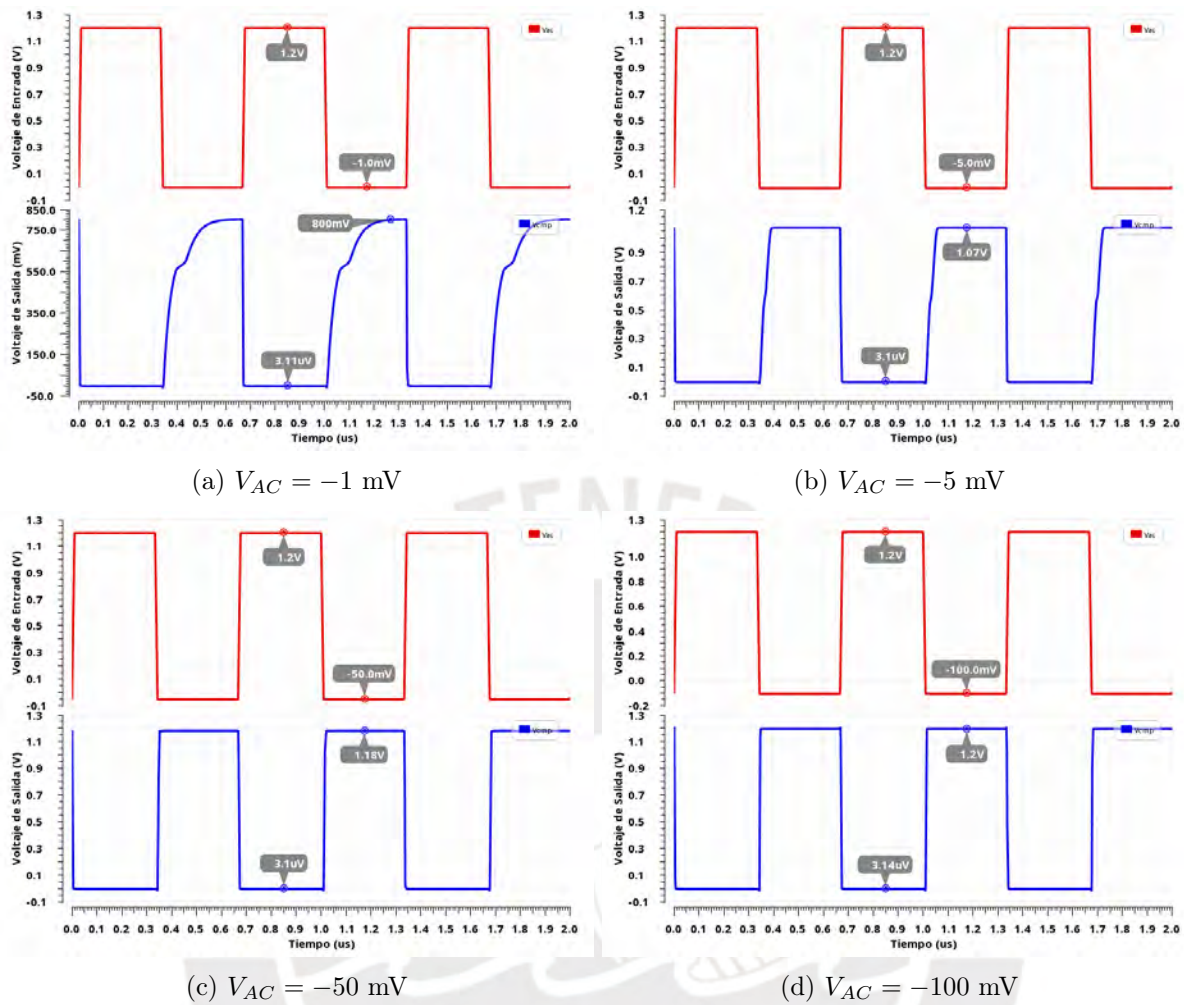
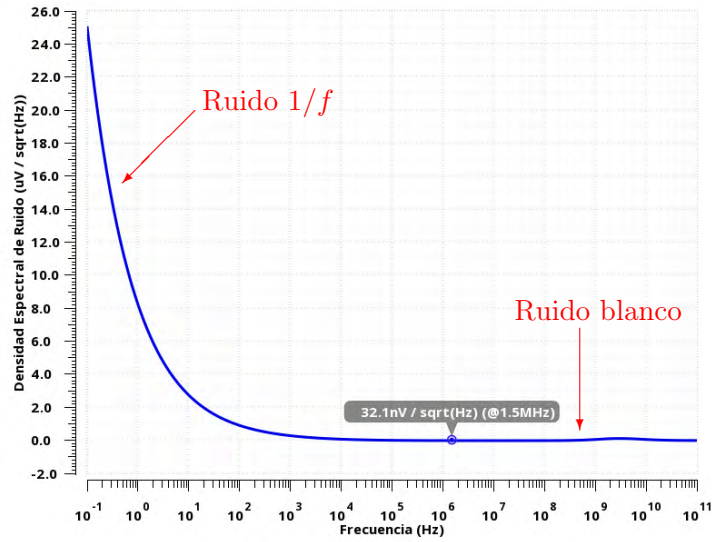
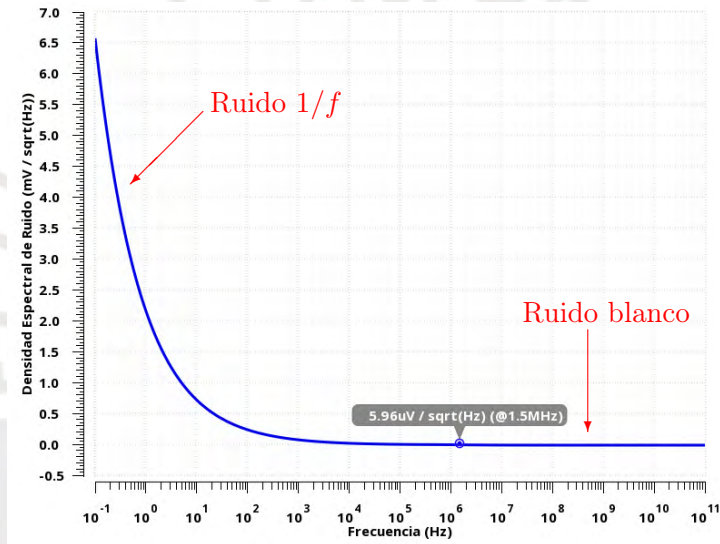


Figura 4.14: Formas de onda del voltaje de salida del comparador para diversas amplitudes negativas de la señal de entrada. La amplitud de la fase positiva de V_{AC} fue fijada en $V_{DD} = 1.2 \text{ V}$ en todos los casos.

Finalmente, se realizó una simulación de ruido para evaluar el ruido intrínseco asociado al circuito. La Figura 4.15 muestra las densidades espectrales de voltaje de ruido referidas a la entrada y a la salida del comparador en distintos valores de frecuencia. En el rango de frecuencias muy bajas, aproximadamente por debajo de 100 Hz , predomina el ruido de *flicker* ($1/f$), cuya densidad espectral de voltaje de ruido decrece de forma inversamente proporcional a la frecuencia. La frecuencia de *corner* del ruido $1/f$ se estima entre 10 y 100 Hz , señalando el límite a partir del cual comienza a predominar el ruido blanco. A frecuencias superiores a 10 kHz , el ruido de *flicker* pierde relevancia, mientras que el ruido blanco, compuesto típicamente por ruido térmico y de disparo (*shot noise*), presenta una densidad espectral de voltaje de ruido relativamente constante. Los resultados indican que para la frecuencia de operación del rectificador de 1.5 MHz , donde predomina el ruido blanco, la densidad espectral de voltaje de ruido referida a la entrada es de $32.1 \text{ nV}/\sqrt{\text{Hz}}$, representando el nivel de ruido intrínseco antes de ser procesado por el circuito. Por otro lado, la densidad espectral de voltaje de ruido referida a la salida, a esta misma frecuencia, es de $5.96 \text{ } \mu\text{V}/\sqrt{\text{Hz}}$, reflejando el nivel de ruido después de haber sido amplificado conforme a la ganancia del comparador.



(a) Densidad espectral de voltaje de ruido referida a la entrada



(b) Densidad espectral de voltaje de ruido referida a la salida

Figura 4.15: Densidad espectral de voltaje de ruido del comparador en función de la frecuencia.

4.3 Núcleo del rectificador activo

El núcleo del rectificador activo de onda completa es el componente principal en la conversión de la señal de entrada alterna ($V_{AC} = V_{AC1} - V_{AC2}$) generada por el transductor piezoeléctrico en una señal de salida continua (V_{DC}), necesaria para el funcionamiento de los circuitos analógicos y digitales que conforman un IMD. Como se muestra en la Figura 4.16, el núcleo presenta una estructura puente formada por dos transistores PMOS de potencia (MP_1 , MP_2) con puertas en configuración *cross-coupled*, junto con dos transistores NMOS de potencia (MN_1 , MN_2) que funcionan como interruptores activos.

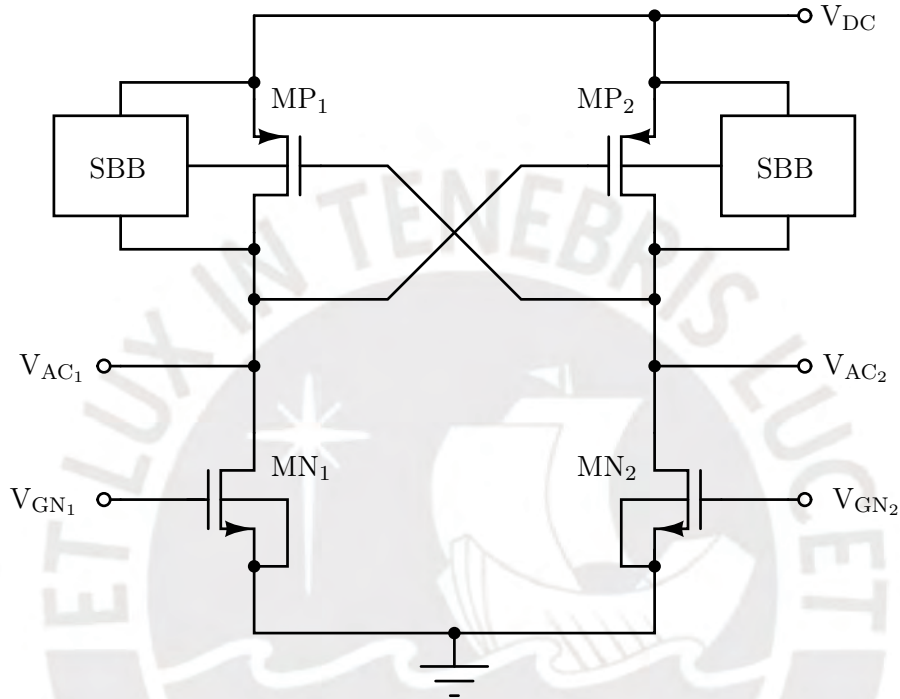


Figura 4.16: Esquemático del núcleo del rectificador activo.

Esta topología de rectificador activo permite minimizar la corriente de fuga inversa, que degrada el PCE , mediante un control adecuado de la conmutación de los transistores NMOS. Este control sería realizado por los comparadores, cuyos voltajes de salida se transmiten a las puertas V_{GN1} y V_{GN2} a través de *buffers*. Es importante señalar que se ha optado por una topología basada en diodos activos NMOS en lugar de PMOS, ya que esta configuración facilita el funcionamiento de los comparadores durante la etapa de arranque del rectificador. Esto se debe a que los comparadores en diodos activos NMOS pueden emplear la tierra del circuito como referencia de voltaje en las comparaciones, a diferencia de V_{DC} , cuya estabilidad no está garantizada durante el arranque.

El funcionamiento del rectificador activo en estado estable se describe de la siguiente manera. En el primer semiciclo de V_{AC} , cuando $V_{AC} > 0$ (es decir, V_{AC1} aumenta y V_{AC2} disminuye), la conducción se inicia cuando se activa el transistor MN_2 por el cambio de nivel bajo a alto en V_{GN2} , producido por el comparador al detectar que $V_{AC2} < 0$. En consecuencia, V_{AC2} se conecta a tierra. Al mismo tiempo, MP_1 conduce debido a que $V_{SG1} = V_{AC1} - V_{AC2} > |V_{thp}|$, conectando V_{AC1} a V_{DC} y permitiendo el flujo de corriente I_{AC1} hacia la carga, como se muestra en la Figura 4.17. Los transistores MN_1 y MP_2 permanecen inactivos en esta fase. La conducción finaliza cuando el comparador desactiva MN_2 al detectar que $V_{AC2} > 0$. En el siguiente semiciclo, cuando $V_{AC} < 0$, el

funcionamiento del rectificador en la etapa de conducción es análogo, activándose MN_1 y MP_2 mientras que los otros transistores permanecen inactivos, permitiendo el paso de la corriente I_{AC2} hacia la carga. El funcionamiento del rectificador activo en cada etapa del ciclo de V_{AC} ha sido explicado con mayor detalle en el capítulo 3.

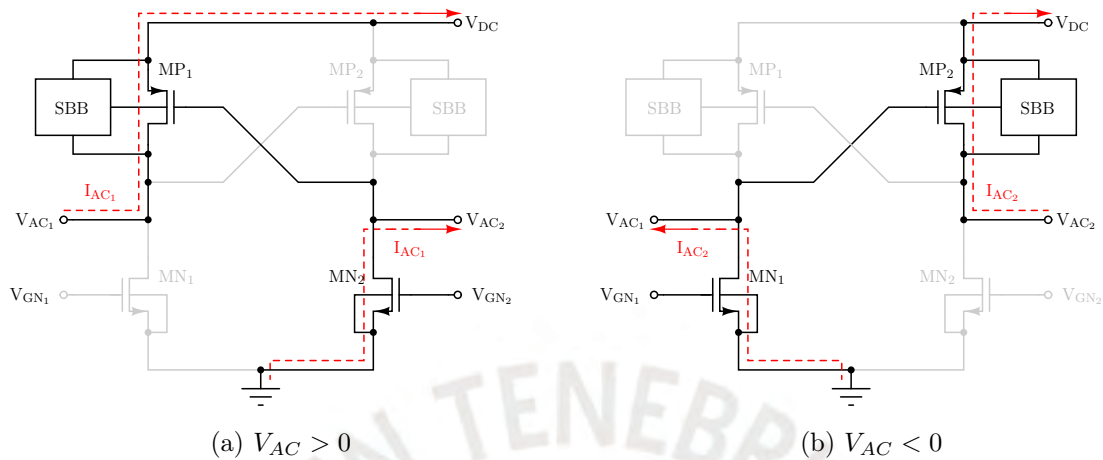


Figura 4.17: Trayectoria de la corriente en las etapas de conducción del rectificador activo.

Asimismo, en el núcleo del rectificador se observa que los terminales de cuerpo de MP_1 y MP_2 están conectados a unos circuitos auxiliares (Figura 4.16). Estos circuitos regulan dinámicamente el voltaje del cuerpo (V_B) de los transistores PMOS para mitigar el efecto de cuerpo, asegurando que V_B se mantenga en el nivel más alto posible [108] y evitando así un aumento en el voltaje de umbral $|V_{thp}|$. Esto es especialmente relevante, ya que durante la etapa de conducción V_{DC} no es el mayor voltaje en el circuito y los valores de V_{AC1} y V_{AC2} varían constantemente en amplitud y polaridad, por lo que no es recomendable conectar de manera fija el cuerpo de MP_1 y MP_2 al drenador o al surtidor. Por otro lado, en los transistores NMOS, los terminales de cuerpo de MN_1 y MN_2 están conectados directamente a tierra, lo que asegura que el voltaje del cuerpo se mantenga en un valor bajo.

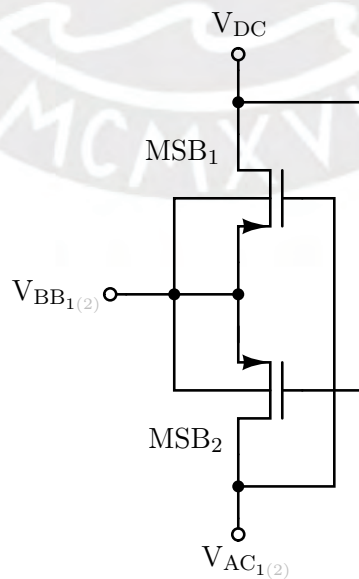


Figura 4.18: Esquemático del circuito de autopolarización del cuerpo.

La topología del circuito de regulación del cuerpo empleado en el rectificador corresponde al circuito de autopolarización del cuerpo (SBB, por sus siglas en inglés), ilustrado la Figura 4.18. Esta topología ha sido ampliamente implementada en rectificadores CMOS tanto pasivos como activos [164]–[166]. El circuito consta de dos transistores PMOS, MSB_1 y MSB_2 , cuyas compuertas están entrecruzadas y unidas respectivamente al terminal de drenador ($V_{AC_{1(2)}}$) y al terminal de fuente (V_{DC}) de $MP_{1(2)}$. Los terminales de cuerpo de MSB_1 y MSB_2 convergen en un nodo común formado por la unión de sus terminales de fuente, que define el nodo de salida $V_{BB_{1(2)}}$. Este nodo establece el voltaje de cuerpo de los transistores PMOS de potencia del núcleo del rectificador. El funcionamiento del circuito SBB se basa en que, cuando $V_{AC_{1(2)}} < V_{DC}$, MSB_1 conduce y MSB_2 permanece desactivado, lo que establece $V_{BB_{1(2)}}$ aproximadamente en V_{DC} . Por el contrario, cuando $V_{AC_{1(2)}} > V_{DC}$, MSB_1 se desactiva y MSB_2 entra en conducción, ajustando $V_{BB_{1(2)}}$ a un valor cercano a $V_{AC_{1(2)}}$.

4.3.1 Análisis de eficiencia

El presente análisis tiene como objetivo evaluar el impacto de los transistores del núcleo en parámetros clave del desempeño del rectificador activo, como la eficiencia de conversión de potencia (PCE) y la relación de conversión de voltaje (VCR). El PCE está directamente influenciado por las pérdidas internas del circuito de conversión AC-DC. Estas pérdidas comprenden aquellas generadas por los transistores del núcleo del rectificador, las cuales se dividen en pérdidas por conducción y pérdidas por conmutación.

Las pérdidas por conducción están asociadas a la resistencia en conducción (R_{on}) de los transistores [167], que genera una disipación de potencia durante el estado de conducción. En cada semiciclo, las pérdidas de potencia por conducción están determinadas por un transistor PMOS (MP_1 o MP_2) y un transistor NMOS (MN_1 o MN_2). La potencia promedio disipada por conducción en cada transistor se define como:

$$P_{ron,p} = \frac{1}{T} \int_0^T I_{on}^2 R_{on,p} dt \quad (4.29)$$

$$P_{ron,n} = \frac{1}{T} \int_0^T I_{on}^2 R_{on,n} dt \quad (4.30)$$

donde $P_{ron,p}$ y $P_{ron,n}$ representan las potencias disipadas por conducción en los transistores PMOS y NMOS, respectivamente; $R_{ron,p}$ y $R_{ron,n}$ son las resistencias en conducción asociadas a dichos transistores. Además, T corresponde al periodo de la señal de entrada V_{AC} , e I_{on} denota la corriente de conducción que circula a través de los transistores, la cual está relacionada con las corrientes I_{AC_1} e I_{AC_2} del rectificador activo. Para simplificar el análisis, asumiendo que R_{on} es constante, las expresiones presentadas en (4.29) y (4.30) pueden aproximarse a:

$$P_{ron,p} = I_{on,rms}^2 \cdot R_{on,p} \quad (4.31)$$

$$P_{ron,n} = I_{on,rms}^2 \cdot R_{on,n} \quad (4.32)$$

donde $I_{on,rms}$ es la corriente eficaz de conducción. Durante el tiempo de conducción, los transistores del núcleo del rectificador operan en la región óhmica. Por lo tanto, las resistencias $R_{ron,p}$ y $R_{ron,n}$ pueden describirse de la siguiente manera:

$$R_{on,p} = \frac{1}{\mu_p C_{ox} \left(\frac{W}{L}\right)_p (V_{SG} - |V_{thp}|)} \quad (4.33)$$

$$R_{on,n} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{GS} - V_{thn})} \quad (4.34)$$

donde μ_p y μ_n son las movilidades de los portadores en los transistores PMOS y NMOS, respectivamente, y V_{thp} y V_{thn} son los voltajes umbrales correspondientes. De acuerdo con las ecuaciones (4.31) y (4.32), para reducir las pérdidas por conducción, es necesario disminuir $R_{ron,p}$ y $R_{ron,n}$. Como se observa en las expresiones (4.33) y (4.33), esto puede lograrse incrementando el ancho W y disminuyendo la longitud L de los transistores PMOS y NMOS del núcleo del rectificador.

Las pérdidas por conmutación se producen durante las transiciones de encendido y apagado de los transistores de potencia. En estas transiciones, se crea un camino para que la corriente cargue o descargue capacitancias parásitas en las puertas de los transistores, generando disipación adicional de energía [168]. Según [168], [169], la potencia promedio disipada por conmutación en los transistores PMOS se expresa como:

$$P_{sw,p} = C_{g,p} \cdot V_{DC}^2 \cdot f \quad (4.35)$$

donde $P_{sw,p}$ representa la potencia disipada por conmutación en los transistores PMOS, $C_{g,p}$ es la capacitancia en el terminal de puerta del PMOS, V_{DC} es el voltaje promedio de la salida rectificadora y f es la frecuencia de conmutación, la cual coincide con la frecuencia de V_{AC} . Dado que f es un valor constante (1.5 MHz), la expresión (4.35) indica que las pérdidas por conmutación dependerían principalmente de la capacitancia de puerta, la cual está determinada por las dimensiones del transistor. Por lo tanto, reducir W y L de los transistores del núcleo del rectificador contribuiría a la disminución de las pérdidas por conmutación. Es importante señalar que las pérdidas por conmutación en los transistores NMOS tendrían una expresión similar, aunque no se presentan aquí, ya que se incluirían implícitamente en las potencias promedio de consumo de los *buffers*.

A partir del consumo total del circuito de conversión AC-DC, el *PCE* se puede estimar como:

$$PCE = \frac{P_{DC}}{P_{in}} = \frac{P_{DC}}{P_{DC} + 2(P_{ron,p} + P_{ron,n} + P_{sw,p}) + P_{dis}} \quad (4.36)$$

donde P_{in} es la potencia promedio de entrada del rectificador, P_{DC} es la potencia promedio de salida entregada a la carga, y P_{dis} es la potencia promedio consumida por otros bloques del rectificador, como comparadores, *buffers*, el circuito de referencia de corriente, entre otros. El factor de 2 se aplica a las pérdidas por conducción y conmutación debido a que el rectificador activo de onda completa utiliza cuatro transistores de potencia que operan alternadamente en cada semiciclo de V_{AC} . La expresión (4.36) muestra que minimizar las pérdidas por conducción y conmutación mejora el *PCE*, lo cual se puede lograr optimizando las dimensiones de los transistores del núcleo del rectificador.

Por otra parte, la tensión de salida V_{DC} del rectificador está directamente afectada por las caídas de tensión en los transistores del núcleo durante la conducción. Bajo el supuesto de que la amplitud de V_{AC} permanece relativamente constante en esta etapa, V_{DC} se expresa como:

$$V_{DC} = |V_{AC}| - V_{SD,p} - V_{DS,n} \quad (4.37)$$

donde $|V_{AC}|$ es la amplitud de la señal de entrada, $V_{SD,p}$ es el voltaje de fuente-drenador del transistor PMOS, y $V_{DS,n}$ es el voltaje de drenador-fuente del transistor NMOS. Reorganizando la ecuación (4.37), se obtiene:

$$|V_{AC}| = V_{DC} + V_{SD,p} + V_{DS,n} \quad (4.38)$$

Durante la conducción, las caídas de tensión en los transistores de potencia se pueden estimar en función de la corriente de conducción y sus resistencias en conducción:

$$V_{SD,p} = I_{on} \cdot R_{on,p} \quad (4.39)$$

$$V_{DS,p} = I_{on} \cdot R_{on,n} \quad (4.40)$$

Sustituyendo (4.39) y (4.40) en la ecuación (4.38), se obtiene:

$$|V_{AC}| = V_{DC} + I_{on}(R_{on,p} + R_{on,n}) \quad (4.41)$$

El VCR , definido como la relación entre el voltaje promedio de salida DC y la amplitud del voltaje de entrada AC del rectificador, se expresa como:

$$VCR = \frac{V_{DC}}{|V_{AC}|} \quad (4.42)$$

Sustituyendo la ecuación (4.41) en (4.42), tenemos:

$$VCR = \frac{V_{DC}}{V_{DC} + I_{on}(R_{on,p} + R_{on,n})} \quad (4.43)$$

Esta expresión indica que para mejorar el VCR , se requiere reducir R_{on} , lo cual se logra disminuyendo el L y aumentando el W de los transistores del núcleo del rectificador. Sin embargo, es importante considerar que el incremento excesivo de W puede impactar en otros parámetros del rectificador como las pérdidas de potencia por conmutación.

A partir de las expresiones para las resistencias en conducción de los transistores, descritas en (4.33) y (4.34), se puede observar que estas muestran una dependencia directa de su voltaje de umbral. Por lo tanto, para reducir R_{on} y, consecuentemente, mejorar tanto el PCE como el VCR , es necesario que los valores de V_{thp} y V_{thn} sean lo más bajos posibles. Los voltajes de umbral para los transistores PMOS y NMOS están determinados por el efecto de cuerpo mediante las siguientes ecuaciones:

$$V_{thp} = V_{th0} - \gamma(\sqrt{|2\Phi_F - V_{SB}|} - \sqrt{|2\Phi_F|}) \quad (4.44)$$

$$V_{thn} = V_{th0} + \gamma(\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|}) \quad (4.45)$$

donde V_{SB} es el voltaje de fuente-cuerpo, V_{th0} es el voltaje de umbral cuando $V_{SB} = 0$, γ es el coeficiente de efecto de cuerpo, y Φ_F es el potencial de Fermi. Durante la etapa de conducción, V_{SB} genera efectos opuestos en el voltaje de umbral según el tipo de transistor en el núcleo del rectificador. En los transistores NMOS, V_{SB} es un valor negativo muy cercano a cero, dado que el cuerpo está conectado a tierra y la fuente adquiere un voltaje negativo muy pequeño debido a $V_{AC_{1(2)}}$. Según la expresión (4.45), esta condición provoca que V_{thn} sea ligeramente menor a V_{th0} , lo que resulta en una reducción leve de $R_{on,n}$. Por otro lado, en los transistores PMOS, la expresión (4.44) indica que V_{SB} debe mantenerse mayor o igual a cero para evitar un aumento en V_{thp} . Para garantizar esta condición, se emplea un circuito de autopolarización del cuerpo que asegura que $V_{SB} \approx 0$, de modo que el cuerpo se polariza al mismo potencial que la fuente, $V_{AC_{1(2)}}$. Esto resulta en que V_{thp} se mantenga aproximadamente igual a V_{th0} , evitando así un incremento en $R_{on,p}$.

4.3.2 Diseño del núcleo del rectificador activo

Primero, se definieron las dimensiones de los transistores del circuito de autopolarización del cuerpo, como se detalla en la Tabla 4.3. Los transistores MSB_1 y MSB_2 fueron diseñados con $L = 0.18 \mu\text{m}$ y $W = 10 \mu\text{m}$. Esta elección se fundamentó en la necesidad de minimizar las capacitancias parásitas que podrían afectar el desempeño de otros circuitos del rectificador, limitar el área ocupada en el circuito integrado y mantener un valor de W moderado para reducir el impacto del *mismatch* entre los transistores. De este modo, se estableció una relación $W/L = 10 \mu\text{m}/0.18 \mu\text{m}$ para ambos transistores.

Tabla 4.3: Dimensiones de los transistores del circuito de autopolarización del cuerpo.

Transistores	W/L ($\mu\text{m}/\mu\text{m}$)	m
MSB_1, MSB_2	10/0.18	1

Seguidamente, el diseño del núcleo del rectificador activo se basó en la minimización de las pérdidas de potencia por conducción y conmutación, así como en la maximización del VCR . Según el análisis realizado, para reducir las pérdidas por conducción y mejorar VCR , era necesario aumentar W y reducir L en los transistores. En cambio, para disminuir las pérdidas por conmutación, tanto L como W debían ser reducidos. Dado que en ambos casos se requería un valor mínimo para L , se estableció $L = 0.18 \mu\text{m}$ para todos los transistores del núcleo del rectificador activo. Sin embargo, definir el valor de W comprometía un *trade-off* entre las pérdidas por conducción y VCR por un lado, y las pérdidas por conmutación por otro. Por lo tanto, se realizó una optimización de W bajo el criterio de obtener buenos resultados en términos de PCE sin sacrificar significativamente VCR .

Por otro lado, con la finalidad de homogeneizar el circuito, se estableció que las caídas de tensión en conducción fueran iguales en los transistores PMOS y NMOS, lo cual se logra manteniendo resistencias en conducción similares en ambos. Según las expresiones (4.33) y (4.34), para que se cumpla la condición $R_{on,p} = R_{on,n}$, se debía satisfacer la relación $W_p/W_n = \mu_n/\mu_p$, donde μ_n/μ_p , que depende de la tecnología de fabricación, tiene un valor típico entre 2 y 3. Esto implicaba que el ancho del transistor PMOS (W_p) debía ser de 2 a 3 veces mayor que el ancho del transistor NMOS (W_n). Con $L = 0.18 \mu\text{m}$ y conociendo la posible relación de anchos de canal entre los transistores PMOS y NMOS del núcleo, se decidió realizar simulaciones para medir el PCE y VCR en diferentes valores W , con la finalidad de determinar el valor adecuado para W_p y W_n . Para llevar a cabo estas simulaciones, se utilizó el *testbench* mostrado en la Figura 4.19.

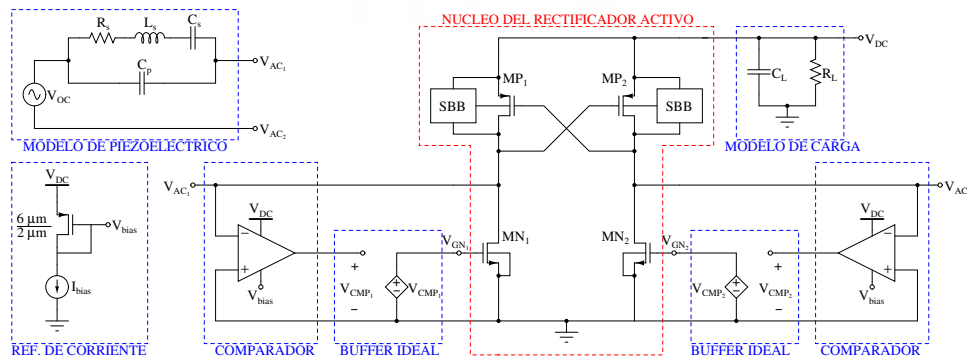


Figura 4.19: *Testbench* de simulación para el diseño del núcleo del rectificador.

En este *testbench*, cada uno de los transistores NMOS del núcleo tiene su terminal de puerta conectada a una fuente de voltaje dependiente controlada por voltaje, que actúa como un “*buffer ideal*”. Estas fuentes dependientes replican el voltaje de salida de los comparadores diseñados previamente, sin introducir retardo de propagación ni restricciones para suministrar la corriente necesaria a las capacitancias parásitas asociadas a las puertas de los transistores NMOS. Se emplea este “*buffer ideal*” porque el diseño real del circuito del *buffer* será desarrollado posteriormente, ya que su implementación depende de las dimensiones finales de los transistores NMOS que están siendo definidas en las simulaciones actuales. Se utilizó el circuito equivalente del transductor piezoeléctrico, descrito en el Capítulo 2, con un $V_{OC} = 3$ V, para generar la señal de entrada V_{AC} del rectificador. La corriente I_{Bias} requerida por los comparadores se suministra mediante una fuente de corriente ideal de $1 \mu\text{A}$. La salida del rectificador está conectada a un condensador $C_L = 10$ nF, encargado de filtrar V_{DC} y almacenar energía, así como a una resistencia $R_L = 3$ k Ω , que modela la carga para simular el consumo de potencia del IMD.

Los resultados de las simulaciones para el *PCE*, considerando relaciones $W_p/W_n = 2$ y $W_p/W_n = 3$, se presentan en la Figura 4.20. En ambos casos, se observa que el *PCE* incrementa conforme aumenta el ancho de canal (W_p) de los transistores PMOS. Además, el comportamiento del *PCE* es similar para ambas relaciones, mostrando diferencias mínimas entre ellas. Es importante destacar que, a partir de un valor de W_p cercano a $700 \mu\text{m}$, las mejoras en el *PCE* son insignificantes. Por otra parte, estos resultados no reflejan con precisión el impacto de las pérdidas por conmutación, ya que se emplean “*buffers ideales*”, en los cuales la conmutación se realiza de manera casi instantánea, sin depender del tamaño de la capacitancia de puerta.

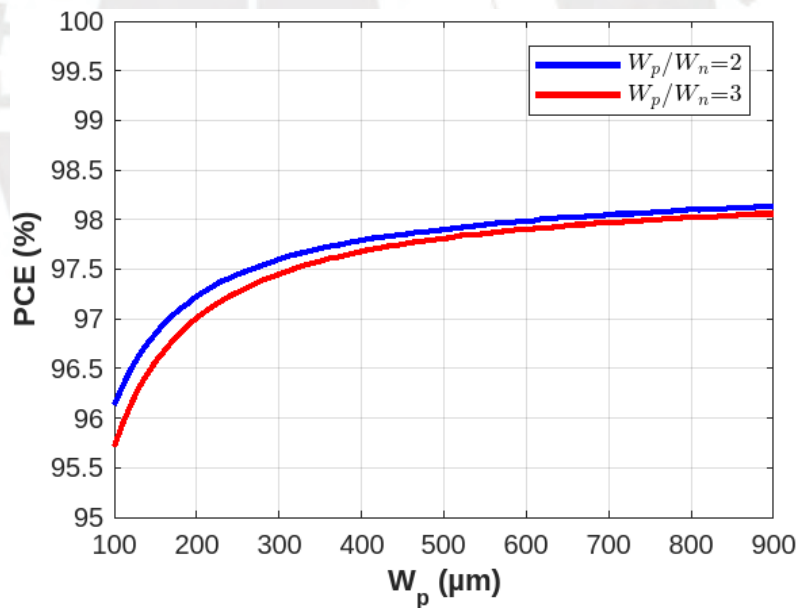


Figura 4.20: Eficiencia de conversión de potencia *PCE* del rectificador en función del ancho de canal de los transistores PMOS. Para una relación W_p/W_n de 2 (en rojo) y 3 (en azul), con $L = 0.18 \mu\text{m}$.

La Figura 4.21 muestra los resultados de las simulaciones para el *VCR*. Como se puede observar, el *VCR* incrementa de manera casi lineal a medida que W_p aumenta. Este comportamiento se mantiene consistente para ambas relaciones, aunque para $W_p/W_n = 2$, el valor de *VCR* es ligeramente superior. Esto puede atribuirse a que un menor valor de W_n en la relación $W_p/W_n = 3$ genera un R_{on} ligeramente mayor. Además, el impacto del

aumento de W_p se vuelve menos significativo conforme W_p crece, ya que un incremento de $100 \mu\text{m}$ en W_p resulta en una mejora inferior al 0.5% , particularmente para valores elevados de W_p . Estos resultados sugieren que la mejora en VCR debido a incrementos en W presenta un límite práctico en términos de eficiencia.

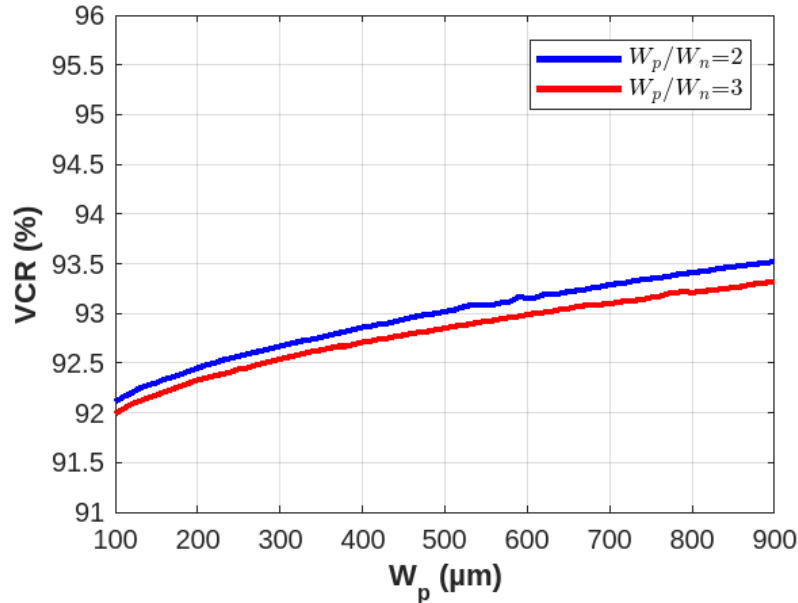


Figura 4.21: Relación de conversión de voltaje VCR del rectificador en función del ancho del canal de los transistores PMOS. Para una relación W_p/W_n de 2 (en rojo) y 3 (en azul), con $L = 0.18 \mu\text{m}$.

En consecuencia, dado que los resultados para la relación $W_p/W_n = 2$ eran similares a los de $W_p/W_n = 3$, se optó por seleccionar una relación $W_p/W_n = 3$, ya que permite minimizar el área ocupada en el circuito integrado. Por otro lado, se definió un $W_p = 750 \mu\text{m}$, considerando que, según lo observado en las simulaciones, incrementar W_p a un valor superior no resultaría en un aumento significativo del PCE , además de tener en cuenta el incremento de las pérdidas por conmutación. Tampoco se eligió un W_p menor, ya que esto afectaría de manera negativa el valor de VCR . En consecuencia, se definió una relación $W/L = 750 \mu\text{m}/0.18 \mu\text{m}$ para los transistores MP_1 y MP_2 . Con el valor de W_p establecido, se determinó un $W_n = 250 \mu\text{m}$ para cumplir con la relación $W_p/W_n = 3$ previamente definida. Así, se estableció una relación $W/L = 250 \mu\text{m}/0.18 \mu\text{m}$ para los transistores MN_1 y MN_2 . De manera resumida, las relaciones de aspecto de los transistores del núcleo del rectificador se presentan en la Tabla 4.4.

Tabla 4.4: Dimensiones de los transistores del núcleo del rectificador activo.

Transistores	W/L ($\mu\text{m}/\mu\text{m}$)	m
MP_1, MP_2	750/0.18	1
MN_1, MN_2	250/0.18	1

4.4 Circuito de buffer

El circuito *buffer* tiene como función principal permitir que el comparador de voltaje maneje cargas capacitivas elevadas sin comprometer su desempeño. Esto es especialmente relevante debido a las grandes dimensiones del transistor de potencia NMOS del núcleo del rectificador, cuya capacitancia de puerta resulta excesiva para que el comparador la maneje eficientemente, dadas sus restricciones en consumo de corriente y capacidad de respuesta en frecuencia. De modo que el buffer asegura que a la salida del comparador se tengan capacitancias de carga pequeñas.

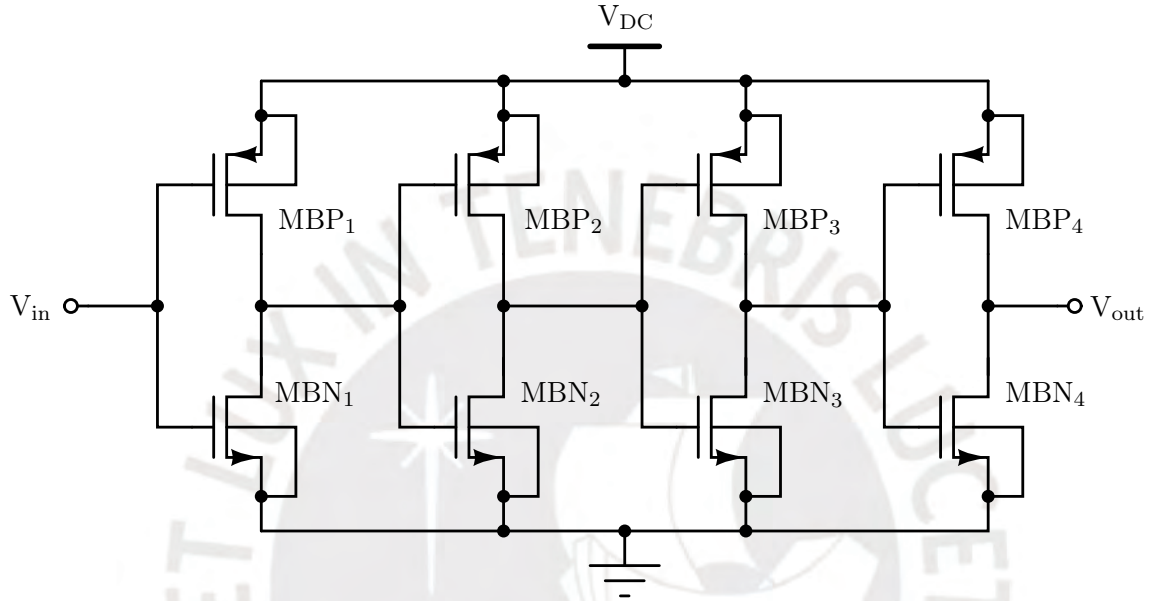


Figura 4.22: Esquemático del buffer.

La topología implementada, ilustrada en la Figura 4.22, corresponde a una cadena de inversores CMOS con anchos de canal que incrementan exponencialmente en cada etapa, siguiendo el diseño conocido como *exponential horn* [170], [171]. Este circuito, ampliamente utilizado en *buffers*, está optimizado para manejar grandes cargas capacitivas mientras se minimiza el retardo de propagación [172]. El número de etapas del *buffer* fue definido en cuatro, considerando un balance entre el retardo intrínseco y el *fanout* efectivo. Esto se debe a que un número excesivo de etapas no solo incrementa el retardo total, derivado de la acumulación de los tiempos de propagación en cada inversor, sino que también eleva el consumo de energía. Por el contrario, si se emplea un número insuficiente de etapas, el *fanout* efectivo aumenta significativamente, lo que afecta de forma negativa tanto la velocidad como la eficiencia del circuito [171].

El funcionamiento del *buffer* es el siguiente. Cuando la entrada V_{in} recibe el voltaje de salida del comparador, la primera etapa invierte la señal en su salida mediante una configuración *push-pull*. En esta configuración, el transistor PMOS (MBP_1) carga la capacitancia de salida del primer inversor cuando V_{in} es bajo, mientras que el transistor NMOS (MBN_1) descarga la capacitancia cuando V_{in} es alto, generando una señal invertida respecto a la entrada. Esta señal invertida se transfiere a la siguiente etapa, donde el proceso se repite, invirtiendo nuevamente la señal en cada etapa sucesiva. Este ciclo continúa hasta la cuarta etapa, donde la salida V_{out} se conecta a la puerta del transistor de potencia NMOS, transfiriendo el voltaje de salida del comparador sin inversión. Durante todo el proceso, el *buffer* es alimentado por la salida V_{DC} del rectificador.

4.4.1 Análisis del tiempo de propagación

El propósito de este análisis es determinar el factor de escalamiento entre las dimensiones de los inversores que permita optimizar el tiempo de propagación total del circuito. Según Rabaey et al. [171], el retardo mínimo en una cadena de inversores se logra cuando el tamaño de cada inversor corresponde a la media geométrica de los tamaños de las etapas adyacentes. Este criterio implica que cada etapa se escala por un factor constante f , conocido como *fanout* efectivo, el cual se define como:

$$f = \frac{C_{g,i+1}}{C_{g,i}} \quad (4.46)$$

donde $C_{g,i}$ representa la capacitancia de entrada del inversor actual, y $C_{g,i+1}$ es la capacitancia de entrada de la etapa siguiente. Mantener un *fanout* efectivo uniforme a lo largo de todas las etapas garantiza una distribución equitativa del tiempo de propagación, reduciendo el retardo total.

En nuestro diseño del *buffer*, compuesto por $N = 4$ etapas, el *fanout* efectivo puede calcularse mediante:

$$f = \sqrt[4]{F} = \sqrt[4]{\frac{C_{g,n}}{C_{g,1}}} \quad (4.47)$$

donde F simboliza el *fanout* total del *buffer* y se define como $F = C_{g,n}/C_{g,1}$. Aquí, $C_{g,n}$ representa la capacitancia de carga a la salida del *buffer*, que corresponde a la capacitancia de puerta del transistor NMOS del núcleo del rectificador, mientras que $C_{g,1}$ es la capacitancia de entrada del primer inversor.

El tiempo de propagación total para el *buffer* de 4 etapas se expresa como:

$$t_p = 4t_{p0} \left(1 + \frac{f}{\gamma} \right) \quad (4.48)$$

donde t_p representa el tiempo de propagación total, t_{p0} corresponde al retardo intrínseco de un inversor, y γ es un factor de proporcionalidad que relaciona la capacitancia intrínseca de salida del inversor con su capacitancia de entrada. Ambos parámetros, t_{p0} y γ , dependen exclusivamente de la tecnología utilizada en el proceso de fabricación.

Las ecuaciones (4.47) y (4.48) muestran la existencia de un *trade-off* al seleccionar el valor de f . Por un lado, un valor elevado de f permite minimizar $C_{g,1}$, dado que $C_{g,n}$ es fijo, reduciendo así su impacto en la respuesta en frecuencia del comparador. No obstante, un incremento en f conlleva un aumento en el tiempo de propagación total t_p . Por el contrario, reducir t_p mediante un menor valor de f resulta en un incremento de $C_{g,1}$. Por esta razón, es necesario determinar un valor de f que optimice t_p sin comprometer significativamente $C_{g,1}$.

De acuerdo con [171], el valor óptimo de f está dado por:

$$f = e^{(1+\gamma/f)} \quad (4.49)$$

Si se ignoran las capacitancias de difusión a la salida de los inversores de modo que la capacitancia de carga se encuentre compuesta únicamente por la capacitancia de entrada de las etapas siguientes ($\gamma = 0$), el *fanout* efectivo óptimo es $f = e$. Este diseño óptimo escala las etapas consecutivas en forma exponencial, lo que da origen al término *exponential horn*.

En este trabajo se seleccionó un valor práctico de $f = 3$ con el objetivo de equilibrar el tiempo de propagación y la capacitancia de entrada del *buffer*. Siguiendo este factor

de escalamiento, las relaciones de aspecto de los transistores del *buffer* fueron definidas siguiendo el patrón mostrado en la Figura 4.23.

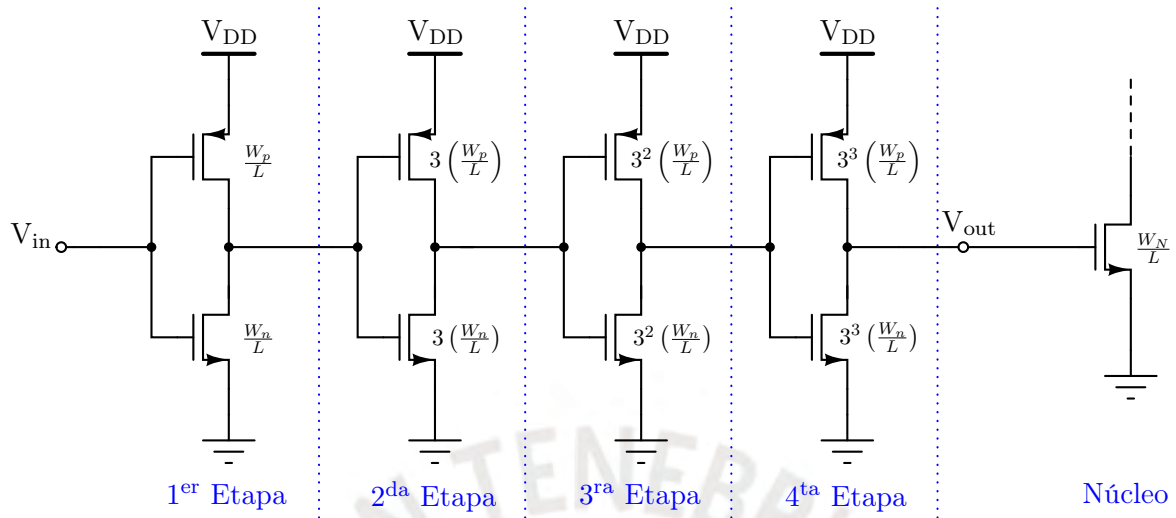


Figura 4.23: Dimensionamiento de los transistores de la cadena de inversores con un factor de escalamiento de 3.

En esta configuración, W_p y W_n representan, respectivamente, los anchos de canal de los transistores PMOS y NMOS del primer inversor, mientras que W_N corresponde al ancho de canal del transistor de potencia NMOS del núcleo del rectificador. Para simplificar el diseño, se asumió que todos los transistores comparten la misma longitud de canal L , la cual coincide con la longitud de canal del transistor de potencia NMOS. Adicionalmente, se debe considerar que las dimensiones del transistor de potencia NMOS están determinadas por la suma de las dimensiones del cuarto inversor, multiplicada por el factor de escalamiento f . Dado que las dimensiones de este transistor ya fueron definidas en la sección anterior, es posible derivar una expresión que permita calcular W_p y W_n a partir de dichas dimensiones. Esta relación se define como:

$$W_N = 3^4(W_p + W_n) = 81(W_p + W_n) \quad (4.50)$$

Por otro lado, para garantizar una respuesta simétrica en cada inversor, asegurando que el punto de operación se mantenga alrededor de $V_{DD}/2$, la relación entre las dimensiones del transistor PMOS y MOS (W_p/W_n) del inversor debe estar entre 2 y 3. En este análisis, se adoptó $W_p/W_n = 2$, lo que permite simplificar la expresión (4.50) de la siguiente manera:

$$W_N = 81(2W_n + W_n) \quad (4.51)$$

Lo que equivale a:

$$W_n = \frac{W_N}{243} \quad (4.52)$$

La expresión (4.51) permite inferir que la capacitancia de entrada del *buffer*, $C_{g,1}$, será 81 veces menor que la capacitancia de puerta del transistor NMOS del núcleo del rectificador, $C_{g,n}$, dado que $F = 3^4 = 81$ y $C_g \propto W$. De este modo, se demuestra que el comparador trabajará con capacitancias más pequeñas, lo que mejora su velocidad de respuesta.

4.4.2 Diseño del buffer

En primer lugar, se definió un valor de $L = 0.18 \mu\text{m}$ para todos los transistores del *buffer*, el cual se tomó de la longitud de canal del transistor de potencia NMOS del núcleo del rectificador, previamente diseñado en una sección anterior. Asimismo, se utilizó la anchura de canal conocida de este transistor, $W_N = 250 \mu\text{m}$, para calcular las dimensiones de los transistores del *buffer*. Con el valor de W_N y utilizando la expresión presentada en (4.52), se procedió a calcular el valor de W_n , obteniendo:

$$W_n = \frac{250 \mu\text{m}}{243} \approx 1 \mu\text{m}$$

Con este valor de $W_n = 1 \mu\text{m}$, se calculó $W_p = 2 \mu\text{m}$. Con estos valores definidos, se establecieron las relaciones de aspecto W/L para cada uno de los transistores del *buffer*, de la siguiente manera:

- En el primer inversor, para el transistor PMOS MBP₁, la relación es $2 \mu\text{m}/0.18 \mu\text{m}$, y para el transistor NMOS MBN₁, la relación es $1 \mu\text{m}/0.18 \mu\text{m}$.
- En el segundo inversor, al multiplicar los valores de W_p y W_n por $f = 3$, obtenemos que para el transistor PMOS MBP₂, la relación es $6 \mu\text{m}/0.18 \mu\text{m}$, y para el transistor NMOS MBN₂, la relación es $3 \mu\text{m}/0.18 \mu\text{m}$.
- En el tercer inversor, al multiplicar W_p y W_n por $f^2 = 9$, obtenemos que para el transistor PMOS MBP₃, la relación es $18 \mu\text{m}/0.18 \mu\text{m}$, y para el transistor NMOS MBN₃, la relación es $9 \mu\text{m}/0.18 \mu\text{m}$.
- Finalmente, en el cuarto inversor, al multiplicar W_p y W_n por $f^3 = 27$, para el transistor PMOS MBP₄, la relación es $54 \mu\text{m}/0.18 \mu\text{m}$, y para el transistor NMOS MBN₄, la relación es $27 \mu\text{m}/0.18 \mu\text{m}$.

La Tabla 4.5 resume las relaciones de aspecto de cada uno de los transistores del *buffer*, calculadas en este diseño.

Tabla 4.5: Dimensiones de los transistores del *buffer*.

Transistores	W/L ($\mu\text{m}/\mu\text{m}$)	m
MBP ₁	2/0.18	1
MBN ₁	1/0.18	1
MBP ₂	6/0.18	1
MBN ₂	3/0.18	1
MBP ₃	18/0.18	1
MBN ₃	9/0.18	1
MBP ₄	54/0.18	1
MBN ₄	27/0.18	1

4.5 Circuito de referencia de corriente

En el diseño del rectificador activo, la estabilidad de la corriente de polarización I_{Bias} del comparador de voltaje desempeña un papel crucial en el funcionamiento adecuado del sistema. Esta estabilidad es asegurada por el circuito de referencia de corriente, cuya función es proporcionar una corriente constante e independiente de las variaciones de temperatura, voltaje de alimentación y proceso, condiciones que se presentan comúnmente durante el funcionamiento de un circuito. El circuito de referencia de corriente propuesto, diseñado para establecer una corriente de I_{Bias} de $1 \mu A$, se ilustra en la Figura 4.24.

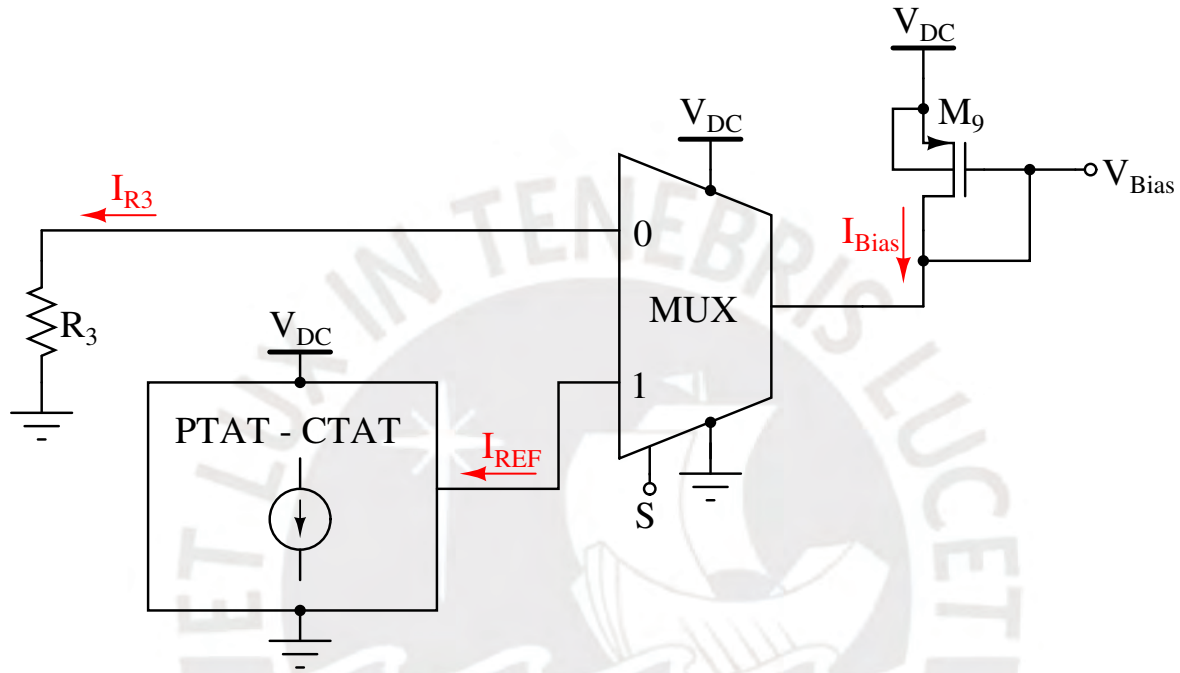


Figura 4.24: Esquemático del circuito de referencia de corriente.

El circuito de referencia de corriente tiene como elemento central un subsistema basado en una arquitectura de compensación de temperatura, representado en la Figura 4.24 como un esquema PTAT-CTAT. Este subsistema es fundamental para garantizar la estabilidad térmica de la corriente de referencia y trabaja en conjunto con componentes adicionales como un multiplexor (MUX) de 2 a 1, una fuente de corriente auxiliar (R_3) y un espejo de corriente (M_9), que en conjunto permiten el funcionamiento del sistema dentro del rectificador activo.

La arquitectura con compensación de temperatura es ampliamente reconocida en el estado del arte por su capacidad para generar corrientes estables frente a variaciones térmicas [173]. Esta estrategia se basa en la combinación equilibrada de dos corrientes con coeficientes de temperatura opuestos: una corriente proporcional a la temperatura absoluta (PTAT, por sus siglas en inglés), caracterizada por un coeficiente de temperatura positivo, y una corriente complementaria a la temperatura absoluta (CTAT, por sus siglas en inglés), con un coeficiente negativo [174].

Como se muestra en la Figura 4.25, el subsistema PTAT-CTAT emplea un sumador que ajusta adecuadamente las proporciones de las corrientes I_{PTAT} e I_{CTAT} , logrando obtener una corriente de referencia I_{REF} con un coeficiente de temperatura cercano a cero. Esto garantiza que las variaciones de I_{REF} sean mínimas dentro del rango de temperatura definido, que en este trabajo corresponde al intervalo comercial de $-40^\circ C$ a $+85^\circ C$.

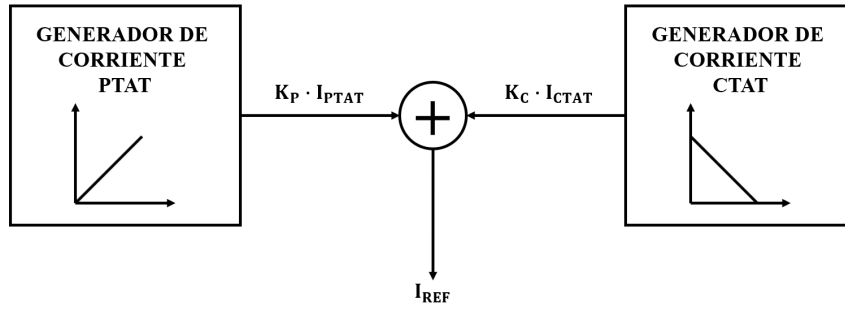


Figura 4.25: Concepto de referencia de corriente con compensación de temperatura.

Entre las distintas topologías de circuitos de referencia de corriente compensada en temperatura con estructura PTAT-CTAT, se seleccionó un diseño basado en la propuesta de De Castro et al. [174]. La topología, representada en la Figura 4.26, se fundamenta en el uso de un arreglo de transistores denominado *Self-Cascode Composite Transistor* (SCCT), implementado en configuraciones NMOS y PMOS, para generar las corrientes I_{PTAT} e I_{CTAT} , respectivamente.

A diferencia de otras arquitecturas, como las basadas en fuentes de corriente Widlar [175], circuitos de polarización automática con multiplicador beta [176], o espejos de corriente con compensación de temperatura y proceso [177], que requieren voltajes de alimentación (V_{DD}) superiores a 1.4 V, esta topología destaca por operar con un V_{DD} mínimo de 0.85 V [174]. Esta característica resulta crucial para aplicaciones de bajo voltaje, como en este diseño, donde las condiciones de arranque y la inestabilidad del voltaje generado por el transductor piezoeléctrico pueden reducir el voltaje de entrada del rectificador a valores menores de 1 V. La capacidad del circuito para mantener un desempeño estable bajo estas condiciones justifica su elección como referencia de corriente en este proyecto.

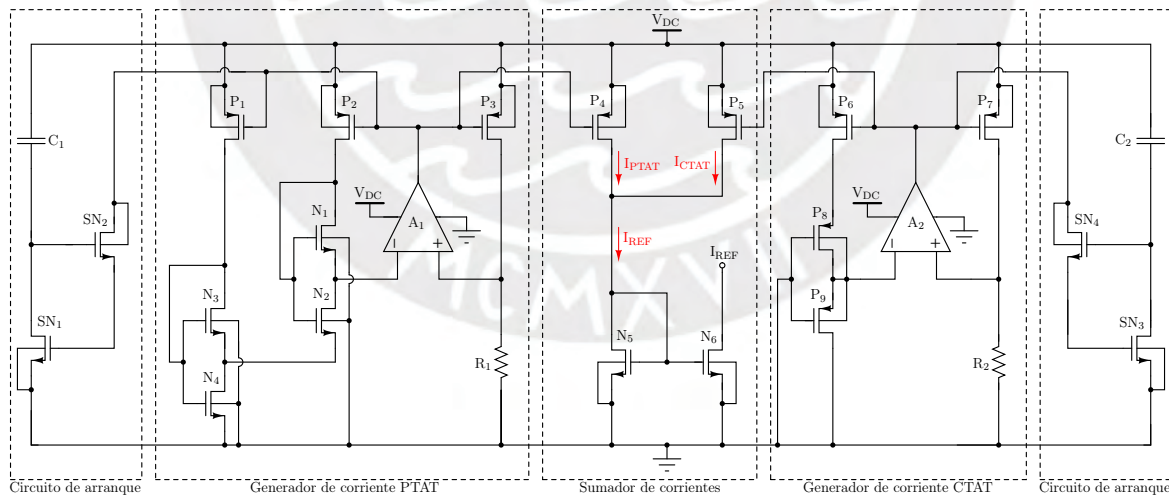


Figura 4.26: Esquemático de la referencia de corriente compensada en temperatura PTAT-CTAT.

El funcionamiento del circuito se detalla a continuación. En el generador de corriente PTAT, la tensión en la entrada negativa del amplificador operacional A_1 es la suma de los V_{DS} de los transistores NMOS N_2 y N_4 , los cuales responden de manera directamente proporcional a la temperatura debido a la configuración en SCCT tipo NMOS. Esta tensión se transfieren al terminal positivo de A_1 , generando la corriente I_{PTAT} a través de la resistencia R_1 . En el generador de corriente CTAT, la tensión en la entrada negativa

del amplificador A_2 proviene del V_{SD} de P_9 , que tiene una dependencia inversa con la temperatura debido a la configuración en SCCT tipo PMOS. Esta tensión se transfiere al terminal positivo de A_2 , generando la corriente I_{CTAT} a través de la resistencia R_2 . Las resistencias R_1 y R_2 determinan la proporción de ambas corrientes para obtener I_{REF} , ajustando sus contribuciones en función de los coeficientes de temperatura. Los transistores PMOS P_4 y P_5 copian las corrientes I_{PTAT} e I_{CTAT} desde los transistores P_3 y P_7 , respectivamente. Finalmente, ambas corrientes se suman en el transistor NMOS N_5 , generando I_{REF} , que es copiada mediante un espejo de corriente hacia N_6 . El análisis detallado del mecanismo de operación de los SCCTs y el diseño del circuito de referencia PTAT-CTAT se presentará en las subsecciones posteriores.

Asimismo, la referencia de corriente PTAT-CTAT incluye dos subcircuitos de arranque basadas en transistores NMOS y capacitores, necesarios para establecer un voltaje de polarización inicial en los generadores PTAT y CTAT. Durante el arranque, los capacitores C_1 y C_2 se encuentran descargados, permitiendo que la corriente fluya a través de los transistores SN_1 y SN_3 , activándolos. Esto iguala el voltaje en la puerta de los transistores SN_2 y SN_4 a V_{DD} . Con los transistores SN_2 y SN_4 en funcionamiento, se establece un voltaje de polarización de puerta en los transistores PMOS, excepto los del SCCT PMOS. Al completarse la carga de los capacitores, todos los transistores NMOS de los subcircuitos de arranque se desactivan.

La Figura 4.27 muestra el circuito de los amplificadores operacionales A_1 y A_2 utilizados, los cuales están basados en la topología convencional conocida como amplificador diferencial con carga activa. Como se mencionó anteriormente, estos amplificadores diferenciales han sido diseñados para forzar que los voltajes de salida de los SCCTs coincidan con los voltajes en las resistencias R_1 y R_2 .

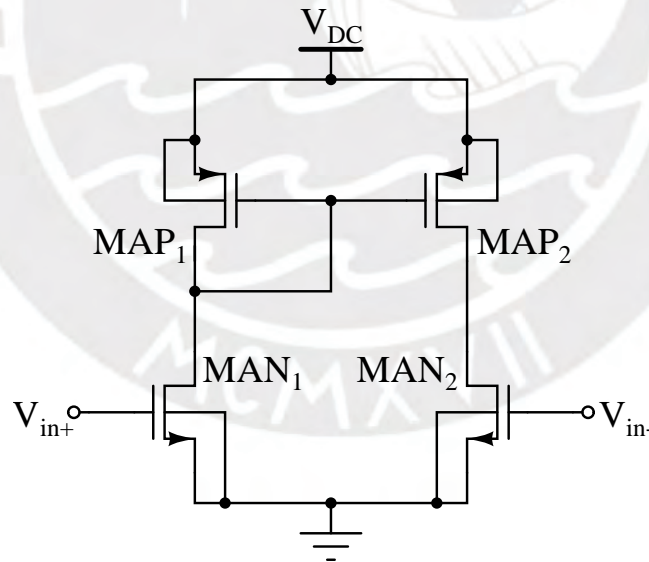


Figura 4.27: Esquemático del amplificador diferencial.

En el diseño del amplificador operacional, los transistores NMOS (MAN_1 y MAN_2) presentan una relación W/L de $15 \mu\text{m}/0.18 \mu\text{m}$ para maximizar la ganancia mediante un aumento en la transconductancia. Los transistores PMOS (MAP_1 y MAP_2) tienen un W/L de $5 \mu\text{m}/0.8 \mu\text{m}$ para mitigar el efecto de modulación por longitud de canal, considerando la presencia de un espejo de corriente. Las dimensiones W/L de todos los transistores se resumen en la Tabla 4.6.

Tabla 4.6: Dimensiones de los transistores del amplificador operacional.

Transistores	W/L ($\mu\text{m}/\mu\text{m}$)	m
MAP ₁ , MAP ₂	5/0.8	1
MAN ₁ , MAN ₂	15/0.18	1

Para garantizar el funcionamiento del comparador en condiciones de bajo voltaje ($< 0.85\text{ V}$), se implementó una fuente de corriente auxiliar basada en la resistencia R_3 , como se muestra en la Figura 4.24. Esta fuente genera una corriente provisional I_{R3} a partir de la caída de tensión en R_3 , permitiendo la operación del sistema cuando la referencia PTAT-CTAT no puede generar I_{REF} debido a un V_{DC} insuficiente, como durante el arranque del rectificador o fluctuaciones en el voltaje suministrado por el piezoeléctrico. Cabe destacar que la corriente I_{R3} no es estable, ya que depende de V_{DC} y varía con la temperatura. Se definió un valor de R_3 de $360\text{ k}\Omega$, seleccionado para obtener una corriente cercana a $1\text{ }\mu\text{A}$ con un V_{DC} de 0.9 V . Para implementar R_3 se utilizó una resistencia de polisilicio de alta resistencia tipo P (rppolyhri) de la tecnología CMOS TSMC de 180 nm .

En el circuito de referencia de corriente, el multiplexor se emplea para garantizar una transición adecuada entre la corriente auxiliar I_{R3} , utilizada durante el arranque del sistema, y la corriente de referencia principal I_{REF} , una vez que V_{DC} alcanza un nivel de voltaje funcional. Como se muestra en la Figura 4.28, el diseño del multiplexor se basa en dos puertas de paso (*Transmission Gates*), que operan como interruptores controlados por voltaje, permitiendo o bloqueando el paso de señales según el nivel lógico en la señal de control S . Se utilizó una topología basada en puertas de paso debido a su baja resistencia en estado de conducción y su elevada resistencia en estado de apagado [178].

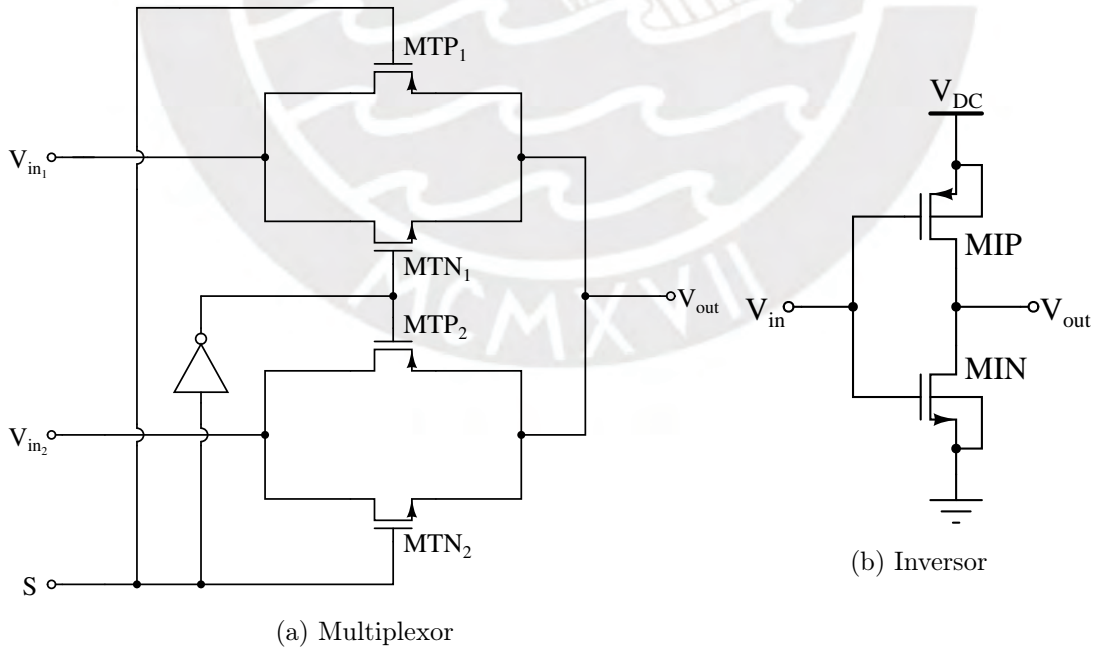


Figura 4.28: Esquemático del circuito multiplexor y su inversor para la selección de la referencia de corriente.

Cuando $S = 0$, la puerta de paso de I_{R3} (transistores MTP1 y MTN1) se activa, permitiendo su conducción, mientras que la de I_{REF} permanece bloqueada. Por el contrario,

cuando $S = 1$, la puerta de paso de I_{REF} (transistores MTP2 y MTN2) se activa, permitiendo el paso de I_{REF} y bloqueando la de I_{R3} . La inversión de la señal S necesaria para controlar las puertas se realiza mediante un inversor simple, también representado en la Figura 4.28. Es importante señalar que la señal de control S debe ser generada por un circuito externo que garantice el cambio adecuado cuando el voltaje V_{DC} alcance un nivel funcional. Esto podría lograrse mediante un circuito *Power-On-Reset* (POR), cuyo diseño no es objeto de estudio en esta tesis, por lo que no se incluirá como componente del circuito integrado de la Unidad de Gestión de Energía.

Para evitar un incremento significativo en la resistencia de conducción sin aumentar excesivamente las dimensiones de los transistores del multiplexor, se definieron relaciones W/L de $6 \mu\text{m}/0.6 \mu\text{m}$ para los transistores MTN1 y MTN2, y $12 \mu\text{m}/0.6 \mu\text{m}$ para los transistores MTP1 y MTP2. Por otro lado, en el inversor, se utilizaron dimensiones reducidas para sus transistores con el fin de minimizar el consumo de potencia. Así, se definió un W/L de $2 \mu\text{m}/0.18 \mu\text{m}$ para el transistor PMOS (MPI) y $1 \mu\text{m}/0.18 \mu\text{m}$ para el transistor NMOS (MNI).

Finalmente, la salida del multiplexor está conectada a un transistor PMOS (M_9), que actúa como espejo de corriente para transferir la corriente del circuito de referencia al comparador de voltaje. Su terminal de puerta se conecta al terminal V_{Bias} del comparador, que corresponde a las puertas de los transistores M_7 y M_8 . Para asegurar el espejeo de corriente, las dimensiones de M_9 deben coincidir con las de dichos transistores, por lo que se definió una relación W/L de $6 \mu\text{m}/2 \mu\text{m}$ para M_9 . De manera resumida, las dimensiones de los transistores y valor de resistencia de los circuitos auxiliares de la referencia de corriente, excluyendo los del PTAT-CTAT, se detallan en la Tabla 4.7.

Tabla 4.7: Dimensiones de los transistores y valor de resistencia de los circuitos auxiliares de la referencia de corriente.

Transistores	W/L ($\mu\text{m}/\mu\text{m}$)	m	Resistencias	Valor ($\text{k}\Omega$)
MTP ₁ , MTP ₂	12/0.6	1	R ₃	360
MTN ₁ , MTN ₂	6/0.6	1		
MIP	2/0.18	1		
MIN	1/0.18	1		
M ₉	6/2	1		

4.5.1 Análisis de la referencia de corriente compensada en temperatura

Como se mencionó previamente, el circuito de referencia de corriente compensada en temperatura genera las corrientes I_{PTAT} e I_{CTAT} mediante el principio de operación de los SCCTs, cuyos voltajes de salida responden a variaciones de la temperatura. En la Figura 4.29, se ilustran las dos configuraciones del SCCT: una basada en transistores NMOS, con una tensión de salida V_O proporcional a la temperatura absoluta utilizada para I_{PTAT} , y otra basada en transistores PMOS, con una tensión V_O complementaria a la temperatura absoluta utilizada para I_{CTAT} . Los transistores del SCCT operan en la región de subumbral (inversión débil), donde la corriente de drenaje I_D muestra una

relación con la temperatura a través del voltaje térmico, expresada por:

$$I_D = I_0 \exp\left(\frac{V_{GS} - V_{th}}{nV_T}\right) \left(1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right) \quad (4.53)$$

donde I_0 es la corriente subumbral a $V_{GS} = 0$, n es el factor de pendiente en inversión débil, el cual depende de la tecnología, y V_T es el voltaje térmico.

Por otro lado, I_0 está relacionado con las dimensiones del transistor, lo cual se expresa de la siguiente forma:

$$I_0 = \mu_0 C_{ox} \frac{W}{L} (n - 1) V_T^2 \quad (4.54)$$

donde μ_0 representa la movilidad eléctrica de los portadores y C_{ox} es la capacitancia de óxido por unidad de área. A partir de la ecuación (4.53), se puede derivar la expresión para el voltaje V_{GS} de la siguiente forma:

$$V_{GS} = nV_T \ln\left(\frac{I_D}{I_0 \left(1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right)}\right) + V_{th} \quad (4.55)$$

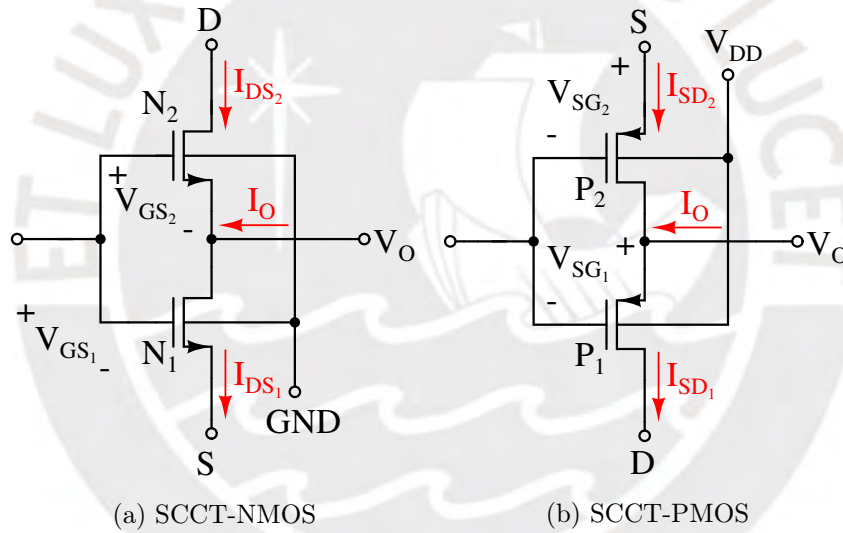


Figura 4.29: Estructura de un *Self-Cascode Composite Transistor* (SCCT).

En la Figura 4.29, se muestra que para el SCCT-NMOS, su voltaje de salida V_O corresponde al voltaje V_{DS} del transistor N_1 , y está dado por:

$$V_O = V_{DS_1} = V_{GS_1} - V_{GS_2} \quad (4.56)$$

Suponiendo que el terminal de fuente del SCCT-NMOS está conectado a tierra, y reemplazando la expresión (4.55) en (4.56), considerando que los voltajes de umbral de los transistores N_1 y N_2 son iguales, V_O puede escribirse como:

$$V_O = nV_T \ln\left(\frac{I_{DS_1} S_{N_2} \left(1 - \exp\left(-\frac{V_{DS_2}}{V_T}\right)\right)}{I_{DS_2} S_{N_1} \left(1 - \exp\left(-\frac{V_{DS_1}}{V_T}\right)\right)}\right) \quad (4.57)$$

donde S representa la relación de aspecto W/L de los transistores. Para simplificar la expresión, si se asume que ambos transistores están operando en saturación, de modo que

$V_{DS} \geq 4V_T$, la ecuación (4.57) puede aproximarse a:

$$V_O = V_{DS_1} \approx nV_T \ln \left(\frac{I_{DS_1} S_{N2}}{I_{DS_2} S_{N1}} \right) \quad (4.58)$$

Esta expresión muestra que el voltaje de salida V_O de un SCCT-NMOS tiene un comportamiento PTAT, ya que es directamente proporcional a V_T .

Por otra parte, para el caso del SCCT-PMOS, se tiene que si consideramos que si la terminal de drenador y puerta del transistor P_1 está conectado a tierra, observando la Figura 4.29 se tiene que el voltaje V_{SD} del transistor P_2 equivale a:

$$V_{SD_2} = V_{SG_2} - V_{SG_1} \quad (4.59)$$

Utilizando el mismo criterio que permitió obtener la expresión (4.58), la expresión (4.59) puede aproximarse como:

$$V_{SD_2} \approx nV_T \ln \left(\frac{I_{SD_2} S_{P1}}{I_{SD_1} S_{P2}} \right) \quad (4.60)$$

Asimismo el voltaje de salida V_O del SCCT-PMOS que equivale al V_{SD} del transistor P_1 , puede escribirse como:

$$V_O = V_{SD_1} = V_{SG_2} - V_{SD_2} \quad (4.61)$$

Si reemplazamos la expresión (4.60) en (4.61), V_O puede aproximarse como:

$$V_O = V_{SD_1} \approx V_{SG_2} - nV_T \ln \left(\frac{I_{SD_2} S_{P1}}{I_{SD_1} S_{P2}} \right) \quad (4.62)$$

Según [174], el término V_{SG_2} en esta expresión exhibe un comportamiento CTAT, ya que el voltaje $|V_{SG}|$ tiende a disminuir casi linealmente con el incremento de la temperatura, siempre que el transistor opere con una corriente inferior a un umbral específico definido por la tecnología. Asimismo, el segundo término contribuye a este comportamiento CTAT, ya que, aunque aumenta con la temperatura, su naturaleza negativa provoca una reducción adicional en el voltaje V_O a medida que la temperatura se incrementa.

A partir de estas ecuaciones, es posible derivar las expresiones correspondientes para las corrientes I_{PTAT} e I_{CTAT} en el circuito propuesto. El proceso de generación de dichas corrientes se detalla en la Figura 4.30.

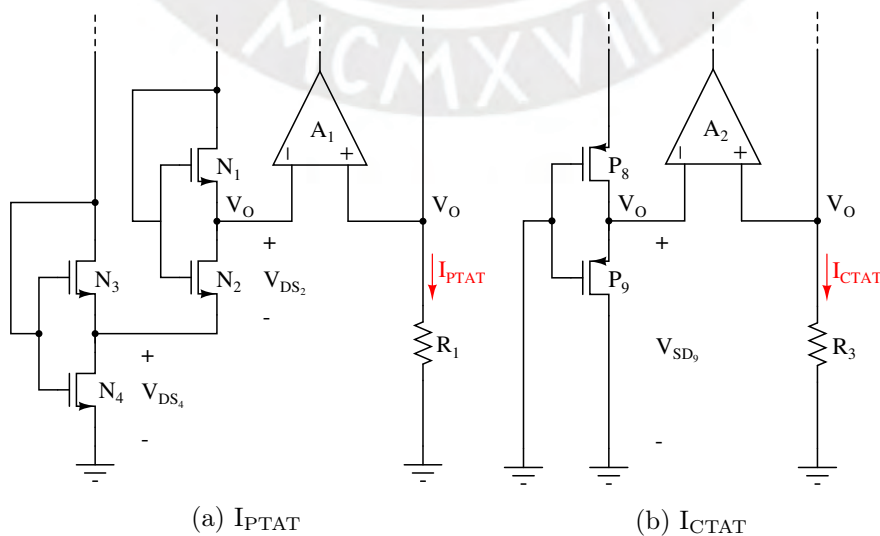


Figura 4.30: Generación de las corrientes I_{PTAT} e I_{CTAT} .

Para el generador PTAT, la corriente I_{PTAT} se expresa como:

$$I_{PTAT} = \frac{V_{DS_2} + V_{DS_4}}{R_1} \quad (4.63)$$

Sustituyendo los valores de V_{DS_2} y V_{DS_4} según la ecuación (4.58), se obtiene:

$$I_{PTAT} = \frac{nV_T \left(\ln \left(\frac{I_{DS_2} S_{N1}}{I_{DS_1} S_{N2}} \right) + \ln \left(\frac{I_{DS_4} S_{N3}}{I_{DS_3} S_{N4}} \right) \right)}{R_1} \quad (4.64)$$

De manera similar, para el generador CTAT, la corriente I_{CTAT} está dada por:

$$I_{CTAT} = \frac{V_{SD_9}}{R_2} = \frac{V_{SG_8} - V_{SD_8}}{R_2} \quad (4.65)$$

Reemplazando V_{SD_8} según la ecuación (4.62), se tiene:

$$I_{CTAT} = \frac{V_{SG_8} - nV_T \ln \left(\frac{I_{SD_8} S_{P9}}{I_{SD_9} S_{P8}} \right)}{R_2} \quad (4.66)$$

Las corrientes I_{PTAT} e I_{CTAT} se replican hacia el sumador de corrientes, en función de las relaciones de aspecto de los transistores P_3 y P_4 para I_{PTAT} , y de P_5 y P_6 para I_{CTAT} . Si asumimos que estos transistores tienen dimensiones idénticas, la corriente de referencia resultante, I_{REF} , se expresa como:

$$I_{REF} = I_{PTAT} + I_{CTAT} \quad (4.67)$$

Sustituyendo las expresiones (4.64) y (4.66) en la expresión anterior, se obtiene:

$$I_{REF} = \frac{nV_T \left(\ln \left(\frac{I_{DS_2} S_{N1}}{I_{DS_1} S_{N2}} \right) + \ln \left(\frac{I_{DS_4} S_{N3}}{I_{DS_3} S_{N4}} \right) \right)}{R_1} + \frac{V_{SG_8} - nV_T \ln \left(\frac{I_{SD_8} S_{P9}}{I_{SD_9} S_{P8}} \right)}{R_2} \quad (4.68)$$

Finalmente, se observa que la proporción de las corrientes I_{PTAT} e I_{CTAT} en I_{REF} , está determinada por los valores de las resistencias R_1 y R_2 , respectivamente. Estos componentes nos van a permitir ajustar con precisión el coeficiente de temperatura de I_{REF} durante el proceso de diseño.

4.5.2 Diseño de la referencia de corriente compensada en temperatura

Primeramente, se definieron las dimensiones para los transistores P_1 a P_7 utilizando la misma relación W/L , con el fin de asegurar que las corrientes I_{PTAT} e I_{CTAT} en el sumador coincidieran con las producidas por los respectivos generadores, facilitando así el diseño. A partir de unas dimensiones preliminares, se realizaron simulaciones DC para ajustar los valores y asegurar la correcta polarización de los transistores. El ajuste de la relación W/L también buscó minimizar el *mismatch* de proceso y mitigar los efectos de modulación por longitud de canal, lo cual permitió definir una relación W/L de $5 \mu\text{m}/2 \mu\text{m}$ para los transistores P_1 a P_7 .

Posteriormente se procedió al diseño de los SCCT-NMOS. Se tiene que para mantener en saturación a los transistores $N2$ y $N4$ y garantizar la validez de la relación obtenida en (4.58), era necesario maximizar los valores de V_{DS_2} y V_{DS_4} . Dado que los transistores $N1$ y $N3$ siempre permanecían saturados por su configuración como diodos, incrementar V_{DS} en $N2$ y $N4$ se logró ajustando la proporción de las relaciones de aspecto S_{N1}/S_{N2} y

S_{N_3}/S_{N_4} . Mediante simulaciones, se determinó que la proporción máxima de las relaciones de aspecto era de 30, antes de que alguno de los transistores entrara en corte. Los mejores resultados de V_{DS} se lograron con relaciones W/L de $2 \mu\text{m}/0.5 \mu\text{m}$ para N2 y de $3 \mu\text{m}/0.5 \mu\text{m}$ para N4. Para minimizar el *mismatch*, se decidió escalar las dimensiones de N2 y N4 para definir las dimensiones de N1 y N3, respectivamente. Como resultado, se definieron relaciones W/L de $2 \mu\text{m}/0.5 \mu\text{m}$ para N1 y $3 \mu\text{m}/0.5 \mu\text{m}$ para N3, ambos con un factor de multiplicidad de 30.

En el caso de los SCCT-PMOS, para garantizar que el transistor P_8 permaneciera en saturación, era necesario incrementar su V_{SD} . Esto se lograba reduciendo el V_{SD} del transistor P_9 , el cual ya estaba en saturación debido a su configuración como diodo. Esta respuesta se logró incrementando la proporción de las relaciones de aspecto S_{P_9}/S_{N_8} . Mediante simulaciones, se determinó que la proporción máxima de las relaciones de aspecto era de 40, antes de que alguno de los transistores entrara en corte. Los mejores resultados de V_{SD} se lograron con relaciones W/L de $2 \mu\text{m}/0.5 \mu\text{m}$ para P8, mientras que para P9 se utilizó la misma relación W/L de $2 \mu\text{m}/0.5 \mu\text{m}$ con un factor de multiplicidad de 40.

Establecidas las dimensiones de los transistores de los SCCTs, se procedió a determinar los valores de las resistencias R_1 y R_2 . Este proceso se llevó a cabo mediante simulaciones iterativas, ajustando cuidadosamente sus valores con el objetivo de obtener una corriente I_{ref} de $1 \mu\text{A}$ y el menor coeficiente de temperatura. Los mejores resultados se obtuvieron con R_1 de $540 \text{ k}\Omega$ y R_2 de $568 \text{ k}\Omega$. Para implementar R_1 y R_2 , se utilizaron resistencias de polisilicio de alta resistencia tipo P (`rppolyhri`).

Finalmente, para los transistores del sumador N5 y N6 se definió una relación W/L de $10 \mu\text{m}/4 \mu\text{m}$, con el objetivo de minimizar el efecto de modulación por longitud de canal y proporcionar un mejor margen de saturación para los transistores PMOS P4 y P5. Por otro lado, en los circuitos de arranque, se logró un menor tiempo de encendido utilizando transistores con una relación W/L de $10 \mu\text{m}/1 \mu\text{m}$ para SN1 a SN4, complementados con capacitores C1 y C2 de 1 pF . Las dimensiones de todos los transistores y los valores de los elementos pasivos del circuito de referencia de corriente compensada en temperatura se detallan en la Tabla 4.8.

Tabla 4.8: Dimensiones de los transistores y valores de los elementos que conforman la referencia de corriente compensada en temperatura.

Transistores	W/L ($\mu\text{m}/\mu\text{m}$)	m
$P_1, P_2, P_3, P_4, P_5, P_6, P_7$	5/2	1
P_8	2/0.5	1
P_9	2/0.5	40
N_1	2/0.5	30
N_2	2/0.5	1
N_3	3/0.5	30
N_4	3/0.5	1
N_5, N_6	10/4	1
SN_1, SN_2, SN_3, SN_4	10/1	1

Resistencias	Valor ($\text{k}\Omega$)
R_1	540
R_2	568

Condensadores	Valor (pF)
C_1, C_2	1

A continuación, se presentan los resultados de las simulaciones realizadas a la referencia de corriente compensada en temperatura, con el objetivo de verificar su funcionamiento.

En la Figura 4.31, se muestra el comportamiento de las corrientes I_{PTAT} e I_{CTAT} en función de la temperatura. Se puede observar que la corriente I_{PTAT} sigue una relación directamente proporcional con el aumento de la temperatura. Por otro lado, la corriente I_{CTAT} exhibe un comportamiento inverso. Este comportamiento confirma la capacidad de compensación térmica de este tipo de referencia de corriente.

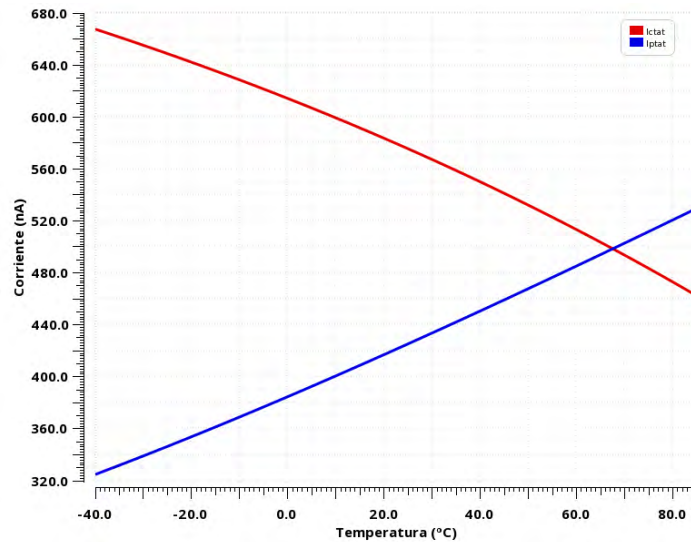


Figura 4.31: Corrientes I_{PTAT} e I_{CTAT} en función de la temperatura.

Por otro lado, la Figura 4.32 muestra la corriente de referencia I_{ref} , que corresponde a la suma de I_{PTAT} e I_{CTAT} . Se observa que la variación de la corriente es mínima ante el cambio de la temperatura. Esta gráfica permitió calcular el coeficiente de temperatura (TC), obteniéndose un valor de TC de 71.54 ppm/°C.

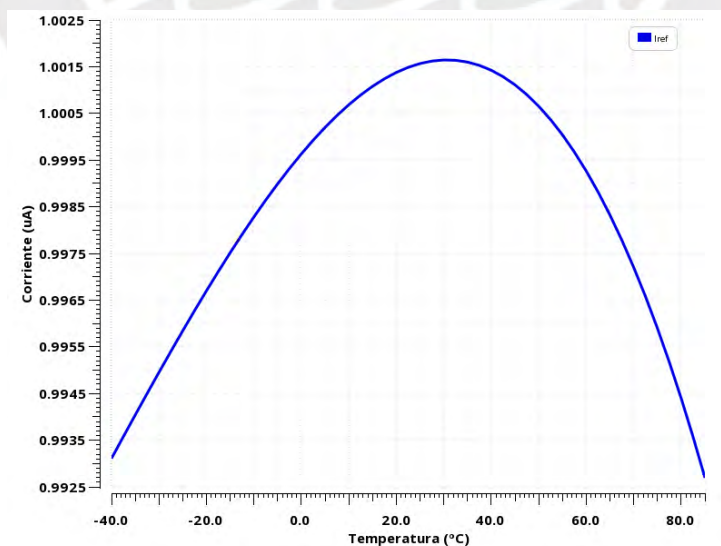


Figura 4.32: Corriente I_{REF} en función de la temperatura.

Finalmente, en la Figura 4.33 se presenta la respuesta de la corriente I_{ref} en función de la variación de V_{DD} . Se observa que I_{ref} comienza a activarse a partir de un voltaje mayor a 0.5 V, alcanzando un valor estable de $1 \mu\text{A}$ aproximadamente desde los 0.85 V y manteniéndose constante hasta los 1.8 V. Esto demuestra la capacidad del circuito para mantener su funcionalidad ante variaciones en V_{DD} . A partir de esta gráfica, se determinó la regulación de línea del circuito, medida entre 0.85 V y 1.8 V, obteniendo un valor de 9.14 nA/V .

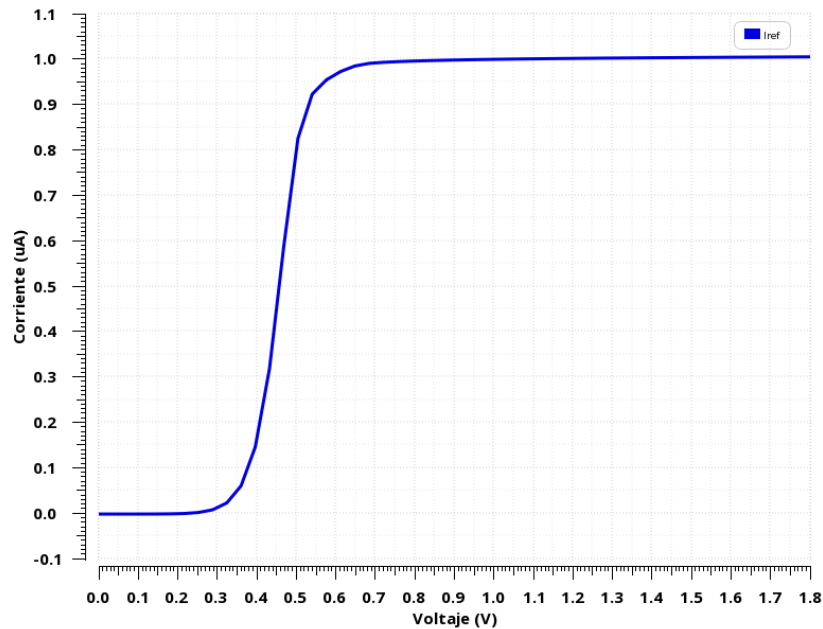


Figura 4.33: Corriente I_{REF} en función del voltaje de alimentación V_{DD} .

4.6 Limitador de voltaje

Dado que el diseño de la PMU está basado en un proceso CMOS estándar de $0.18\ \mu\text{m}$ a $1.8\ \text{V}$, los transistores del núcleo no están diseñados para soportar voltajes V_{AC} superiores a $1.8\ \text{V}$. Por lo tanto, es necesario incorporar un circuito de protección que limite el voltaje de entrada, a fin de salvaguardar los transistores del rectificador contra posibles sobretensiones. Esto es especialmente crítico, ya que en condiciones de operación reales pueden ocurrir fluctuaciones de voltaje que superen la capacidad de tolerancia de los componentes.

La protección contra sobretensiones estaría garantizada por el circuito limitador de voltaje o *clamp*, mostrado en la Figura 4.34. Este limitador se basa en dos ramas de transistores en serie conectadas en antiparalelo, donde cada rama está formada por dos transistores PMOS configurados como diodos. Esta configuración permite que el limitador de voltaje tenga un funcionamiento similar al de un *clamp* basado en diodos.

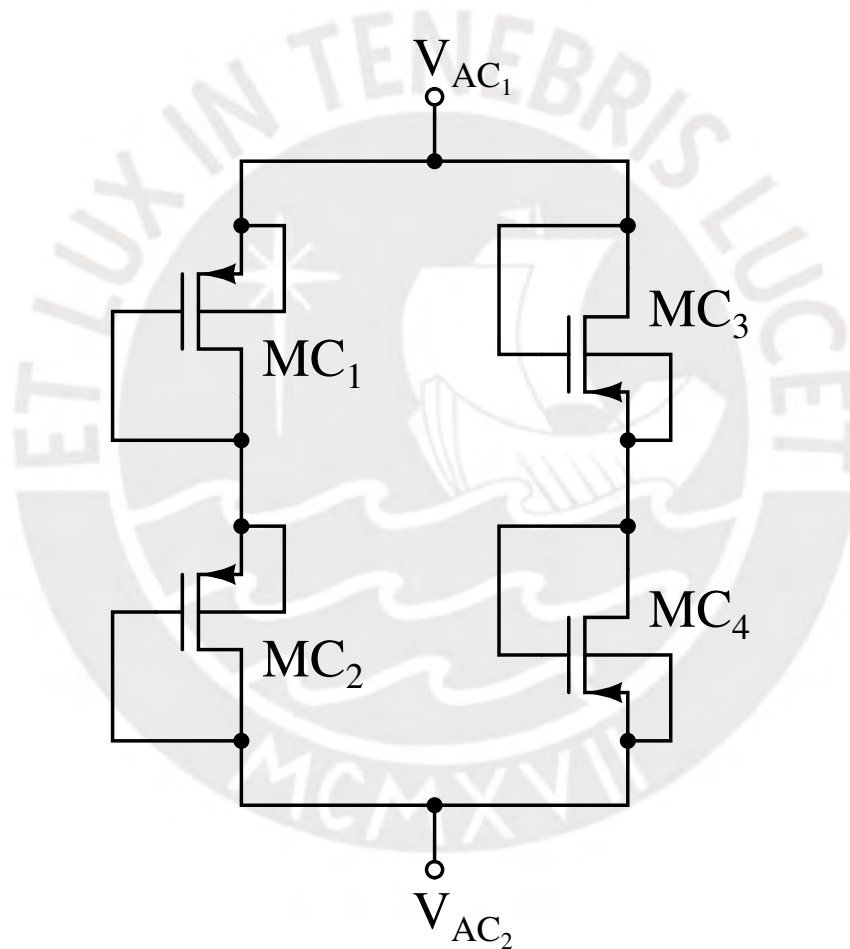


Figura 4.34: Esquemático del circuito limitador de voltaje.

La elección de transistores PMOS sobre NMOS configurados como diodos se debe a que los NMOS, con un V_{th} más bajo, consumen más corriente a menores voltajes de entrada, lo que afecta negativamente la eficiencia. Las simulaciones mostraron una caída del 0.64% en el PCE para un V_{OC} de $3.5\ \text{V}$, lo que justificó el uso de transistores PMOS para optimizar el rendimiento del limitador de voltaje. Otra alternativa que ha mostrado mejor rendimiento en situaciones similares es el uso de diodos convencionales, por lo que se sugiere investigar esta opción como trabajo futuro.

El funcionamiento del circuito se desarrolla de la siguiente manera. Cuando V_{AC} supera un determinado voltaje de umbral, una de las ramas de transistores PMOS, dependiendo de la fase de la señal, entra en la región de ruptura y comienza a conducir corriente. Este funcionamiento es alternado en cada fase de la señal, ya que mientras una rama está polarizada directamente, la otra se encuentra polarizada inversamente. Este proceso desvía parte de la potencia de entrada al rectificador, disipándola y permitiendo la regulación de V_{AC} . Mediante simulaciones, se determinó que el limitador de voltaje comenzaba a operar al alcanzar un umbral de aproximadamente 1.4 V, lo cual permitía al rectificador protegerse antes de llegar a los 1.8 V.

En el diseño de los transistores del limitador de voltaje, se observó un *trade-off* entre las dimensiones de W y L de los transistores. Estableciendo que las dimensiones en todos los transistores fueran las mismas, se encontró que al aumentar el valor de W , el *clamp* podía soportar mayores voltajes de entrada antes de alcanzar los 1.8 V. Sin embargo, este aumento en W reducía el umbral a partir del cual el *clamp* comenzaba a consumir corriente, lo que afectaba negativamente la eficiencia del rectificador a voltajes de operación nominales. Por el contrario, al incrementar L , el consumo de corriente del *clamp* disminuía, ya que su umbral de operación aumentaba, pero soportaba menores voltajes de entrada.

A través de simulaciones empíricas, se determinó que una relación W/L de $10 \mu\text{m}/15 \mu\text{m}$ para los transistores PMOS (MC_1 a MC_4) proporcionaba un buen equilibrio entre el consumo de corriente y la capacidad de protección. Este diseño permitía que el consumo de corriente del *clamp* fuera insignificante a voltajes de operación nominales inferiores a 1.5 V, mientras que ofrecía una protección efectiva ante voltajes de entrada con amplitudes de hasta 5 V antes de alcanzar el límite de 1.8 V. Las dimensiones de los transistores del limitador de voltaje se detallan en la Tabla 4.9.

Tabla 4.9: Dimensiones de los transistores del limitador de voltaje.

Transistores	W/L ($\mu\text{m}/\mu\text{m}$)	m
MC_1, MC_2, MC_3, MC_4	10/15	1

Capítulo 5

Simulaciones y resultados

En este capítulo se presentan los resultados de las simulaciones realizadas al circuito de la unidad de gestión de energía (PMU) diseñado en el capítulo anterior. La Figura 5.1 muestra el esquema completo del circuito integrado de la PMU, que fue utilizado en las simulaciones.

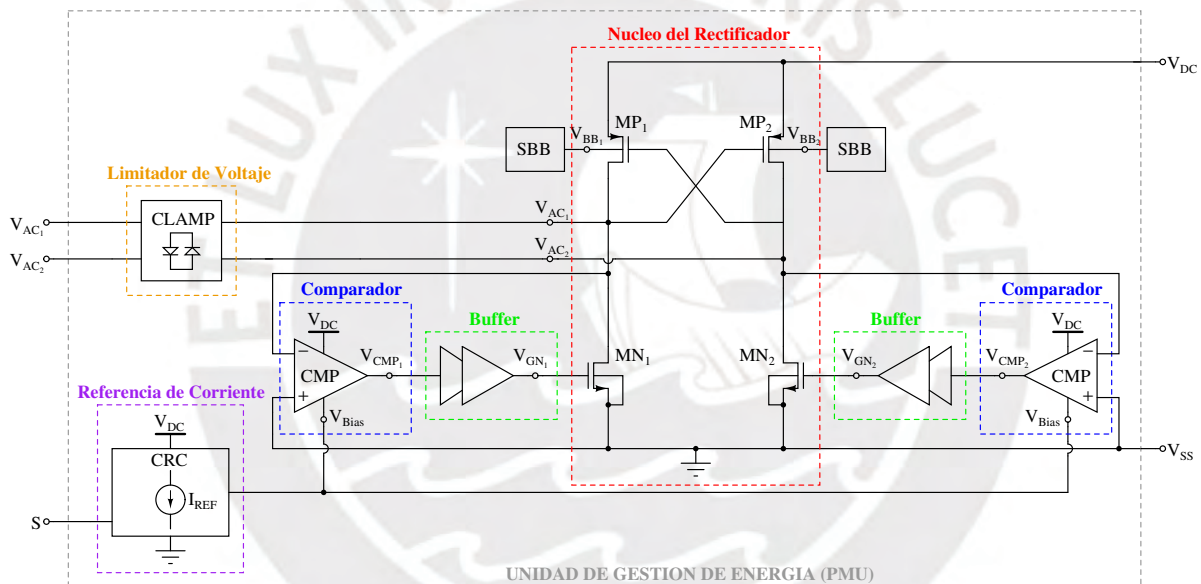


Figura 5.1: Esquemático final del circuito integrado de la Unidad de Gestión de Energía.

Se llevaron a cabo simulaciones transitorias para analizar la respuesta temporal de las señales más importantes generadas por cada uno de los componentes de la PMU. Además, las simulaciones permitieron evaluar las métricas de desempeño energético del circuito diseñado, tales como la eficiencia de conversión de potencia (PCE), la relación de conversión de voltaje (VCR), el voltaje de salida DC, la potencia de salida entregada a la carga, entre otras.

Finalmente, se realizaron simulaciones de *corner* (PVT) para examinar la robustez del diseño frente a variaciones en el proceso de fabricación, voltaje de alimentación y temperatura, asegurando un funcionamiento estable y eficiente bajo condiciones de operación realistas.

5.1 Simulación transitoria del circuito PMU

La Figura 5.2 muestra el *testbench* utilizado para simular el PMU dentro de un sistema de recolección de energía basado en transferencia inalámbrica de potencia por ultrasonido. Cabe destacar que el *testbench* incluye componentes externos que no forman parte del diseño del circuito integrado. Estos componentes fueron incorporados para realizar una simulación más representativa del funcionamiento del sistema en su conjunto.

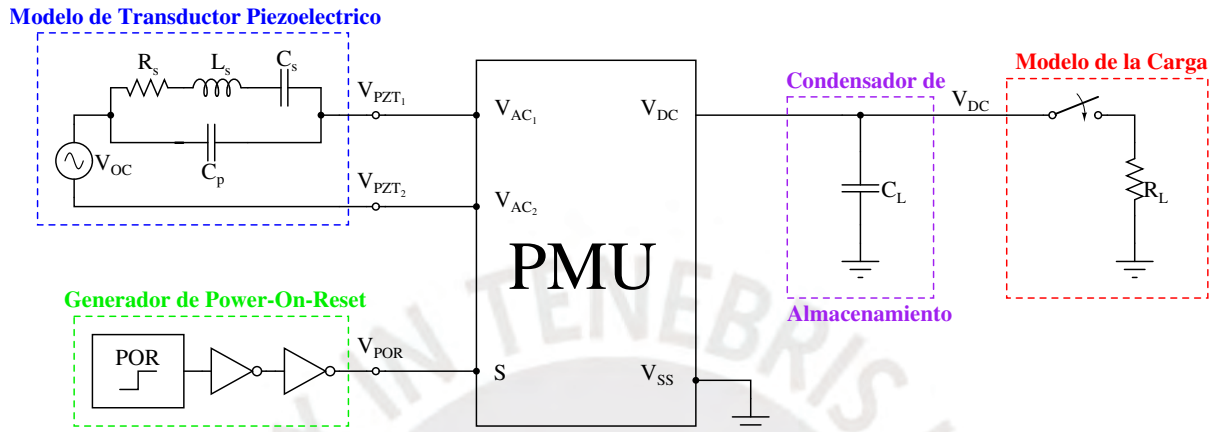


Figura 5.2: *Testbench* de simulación del sistema de recolección de energía.

La señal de entrada alterna V_{AC} del PMU es suministrada por un modelo eléctrico de un transductor piezoeléctrico. Para esta simulación se definió un $V_{OC} = 3$ V a una frecuencia de 1.5 MHz.

Para generar el cambio en la referencia de corriente mediante la señal de control S del multiplexor, se empleó una señal V_{POR} generada por un modelo funcional de *Power-On-Reset* en Verilog-A, detallado en el Apéndice C. Este modelo produce $S = 1$ cuando V_{DC} alcanza 0.9 V y utiliza inversores para mejorar el realismo de la señal.

Por otra parte, la salida del PMU está conectada a un condensador C_L de 10 nF para el filtrado de la señal rectificada y el almacenamiento de energía. Además, se conecta a una carga representada por una resistencia R_L , que modela el consumo de los circuitos asociados al IMD.

El modelo de la carga incluye un interruptor ideal que simula el tiempo de activación de la circuitería del IMD bajo condiciones más realistas. El tiempo de activación se estableció arbitrariamente en 150 μ s. Para esta simulación, se utilizó una carga nominal R_L de 3 k Ω , un valor cercano a la resistencia del piezoeléctrico, con el fin de obtener una mejor transferencia de energía.

La Figura 5.3 muestra la respuesta transitoria de V_{AC} a la entrada del rectificador, generado por el modelo de transductor piezoeléctrico. Se observa que el rectificador tarda aproximadamente $40 \mu s$ en alcanzar un valor estable de V_{AC} . Sin carga, V_{AC} alcanza un voltaje de pico de 1.66 V . Sin embargo, al conectar la carga a los $150 \mu s$, el voltaje disminuye hasta 1.35 V .

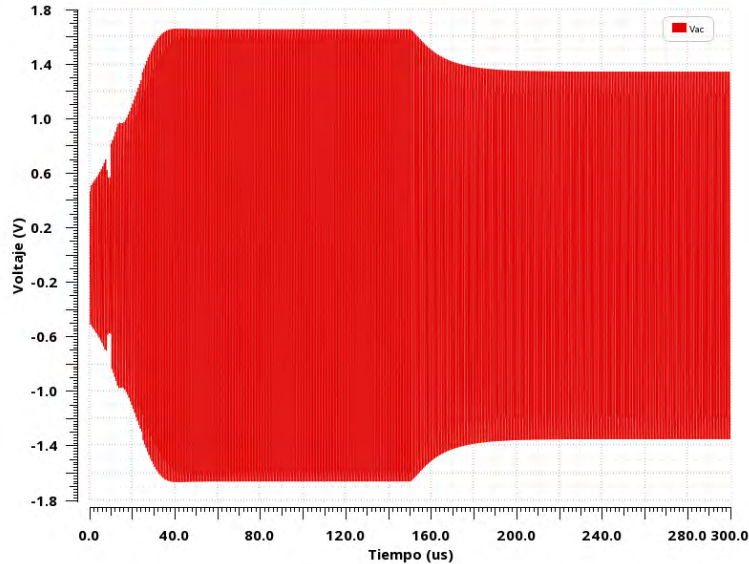


Figura 5.3: Respuesta transitoria del voltaje V_{AC} a la entrada del rectificador.

La Figura 5.4 muestra la forma de onda de V_{AC} después de conectar la carga. A pesar de que la fuente V_{OC} del piezoeléctrico es una señal senoidal, V_{AC} adopta una forma casi cuadrada debido a la rectificación activa, donde V_{AC} se iguala prácticamente con V_{DC} durante la conducción. Se pueden observar pequeños picos al inicio de cada semiciclo, causados por los retardos en el encendido de los transistores NMOS del núcleo del rectificador. Estos picos permiten que V_{AC} alcance un voltaje de pico de 1.35 V , mientras que, una vez alcanzado el estado de conducción, V_{AC} decae a alrededor de 1.2 V , lo que afecta negativamente al valor de V_{CR} .

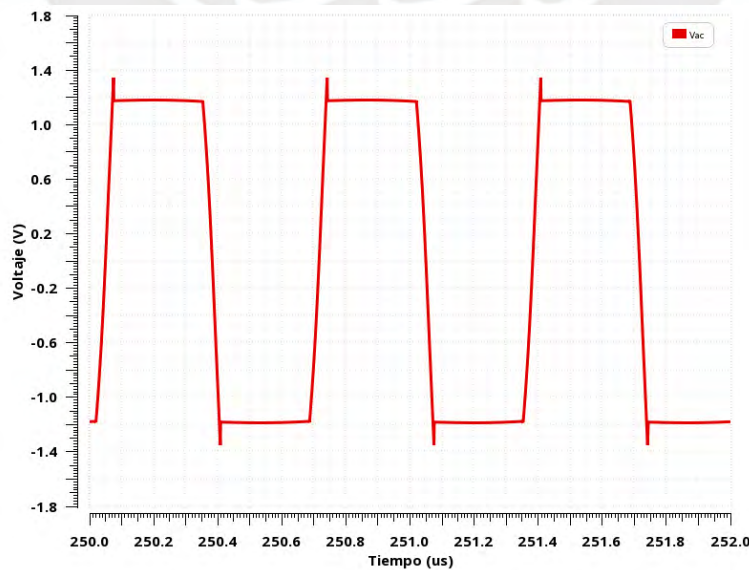


Figura 5.4: Forma de onda del voltaje V_{AC} .

La Figura 5.5 muestra las formas de onda de los voltajes de V_{AC1} y V_{AC2} , componentes de V_{AC} . Se observa que ambos trabajan de manera complementaria, de modo que la diferencia entre ellos genera siempre V_{AC} . Además, ambos presentan una amplitud promedio de aproximadamente 1.18 V en su fase positiva y de -2 mV en la fase negativa. Los picos observados en estas señales explican los picos en V_{AC} , los cuales son causados por el retardo en la activación de la conducción de los transistores.

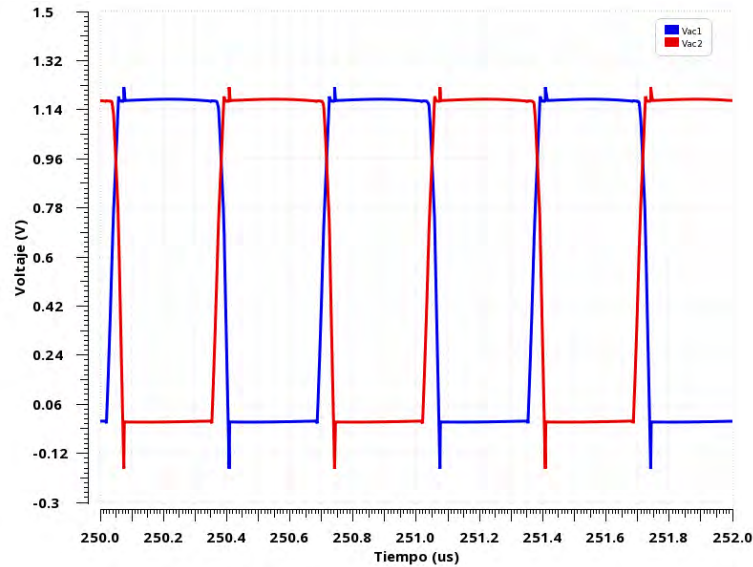


Figura 5.5: Formas de onda de los voltajes V_{AC1} y V_{AC2} . Donde $V_{AC} = V_{AC1} - V_{AC2}$.

La Figura 5.6 presenta la respuesta transitoria de V_{DC} a la salida del rectificador. En el intervalo inicial, sin carga conectada, el voltaje alcanza un valor promedio de 1.59 V. Sin embargo, al conectar la carga a los 150 μs , se observa una caída en V_{DC} , estabilizándose en 1.17 V. Aunque se identifican pequeños rizados, el voltaje se mantiene relativamente continuo. Este valor de $V_{DC} = 1.17$ V es adecuado para el funcionamiento de diversos circuitos analógicos y digitales de bajo voltaje, validando la capacidad del rectificador para entregar un nivel de voltaje operativo en condiciones de carga.

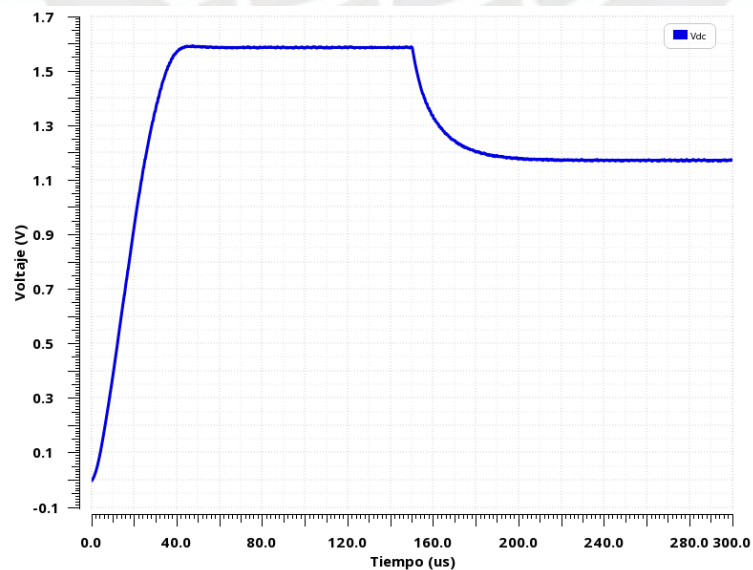


Figura 5.6: Respuesta transitoria del voltaje V_{DC} a la salida del rectificador.

Asimismo, la Figura 5.7 muestra el voltaje de rizado de V_{DC} cuando la carga está conectada. Se midió un voltaje de rizado pico a pico de 5.93 mV y un voltaje de rizado eficaz (V_{rms}) de aproximadamente 1.71 mV. A partir de estos valores, se calculó el factor de rizado (FR) utilizando la relación $FR = V_{rms}/V_{DC}$, obteniéndose un valor de 0.146%. Este resultado demuestra que el rizado presente en V_{DC} es mínimo, lo que asegura un nivel de calidad adecuado para alimentar circuitos analógicos y digitales.

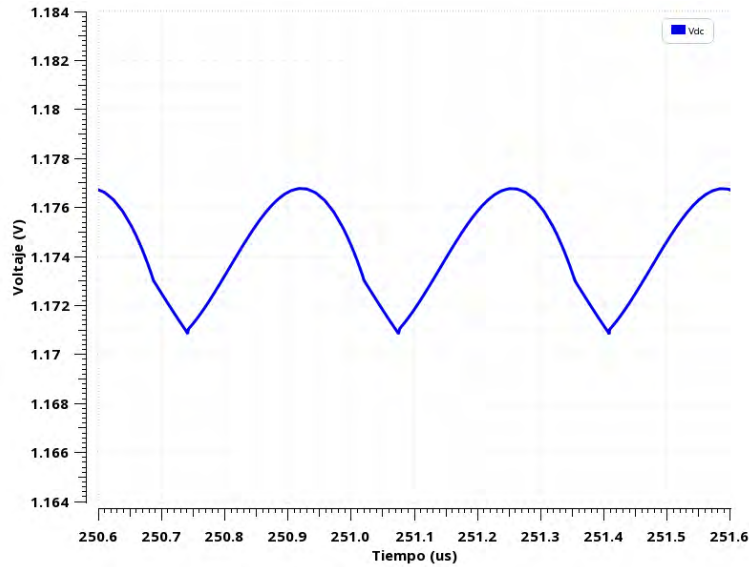


Figura 5.7: Voltaje de rizado de V_{DC} .

En la Figura 5.8 se presentan las formas de onda de los voltajes V_{GN_1} y V_{GN_2} , obtenidos a la salida de los dos buffers. Estos voltajes actúan como señales de activación para las puertas de los transistores NMOS MN_1 y MN_2 del núcleo del rectificador, respectivamente. Se observa que las señales presentan una forma casi cuadrada, atribuible a las rápidas transiciones entre niveles altos y bajos, con un *slew rate* positivo de 8049.54 V/ μ s y un *slew rate* negativo de 5596.66 V/ μ s. La amplitud máxima de las señales es de aproximadamente 1.17 V.

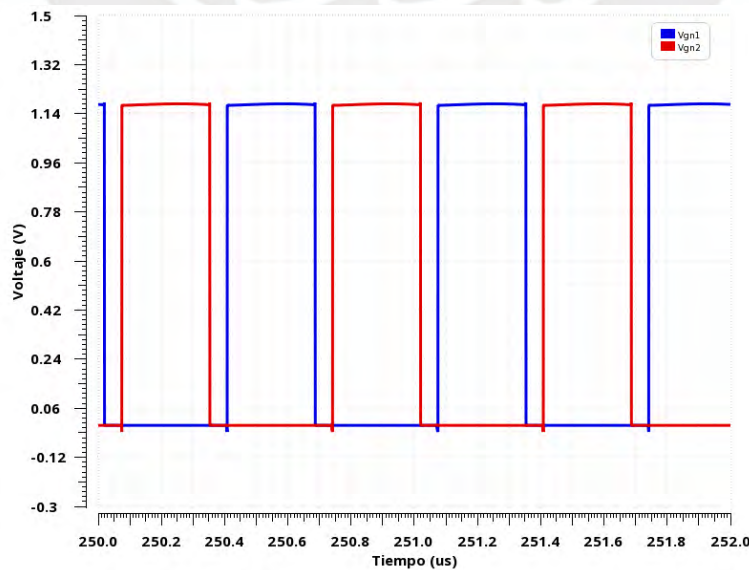


Figura 5.8: Formas de onda de los voltaje V_{GN_1} y V_{GN_2} a la salida de los *buffers*.

La Figura 5.9 ilustra las formas de onda de los voltajes V_{CMP1} y V_{CMP2} , generados en la salida de los dos comparadores. se observa que estas señales presentan transiciones rápidas de bajo a alto al inicio, alcanzando 1.16 V, pero luego decaen gradualmente hasta 550 mV durante el ciclo de conducción, antes de cambiar a nivel bajo. A diferencia de las salidas de los *buffers*, que permanecen completamente saturadas, los comparadores no alcanzan una saturación total debido a la disminución progresiva del voltaje negativo observado en V_{AC1} y V_{AC2} .

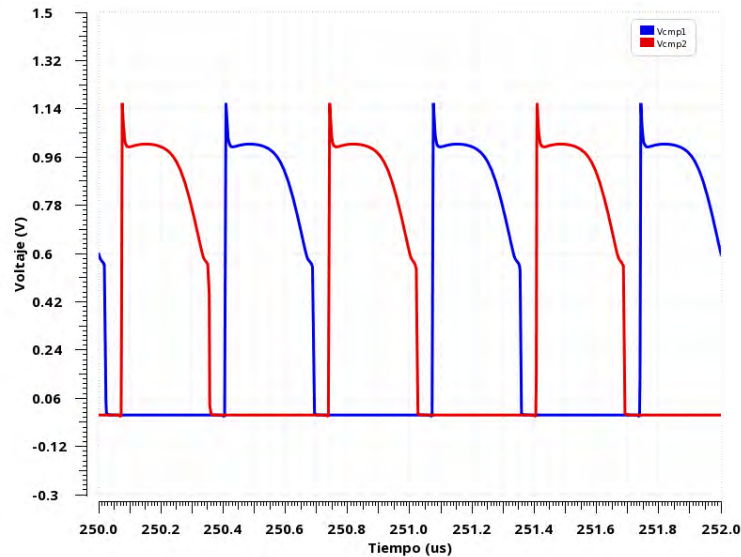


Figura 5.9: Formas de onda de los voltaje V_{CMP1} y V_{CMP2} a la salida de los comparadores.

La Figura 5.10 muestra las formas de onda generadas por el circuito de autopolarización del cuerpo. Se observa que los voltajes V_{BB1} y V_{BB2} varían en sincronización con los voltajes de entrada V_{AC1} y V_{AC2} . Cuando V_{AC1} o V_{AC2} se encuentran en la etapa de conducción, es decir, cuando son mayores que V_{DC} , los valores de V_{BB1} o V_{BB2} aumentan desde un mínimo de 1.17 V (equivalente a V_{DC}) hasta un máximo de 1.37 V, superando incluso los valores de V_{AC1} y V_{AC2} .

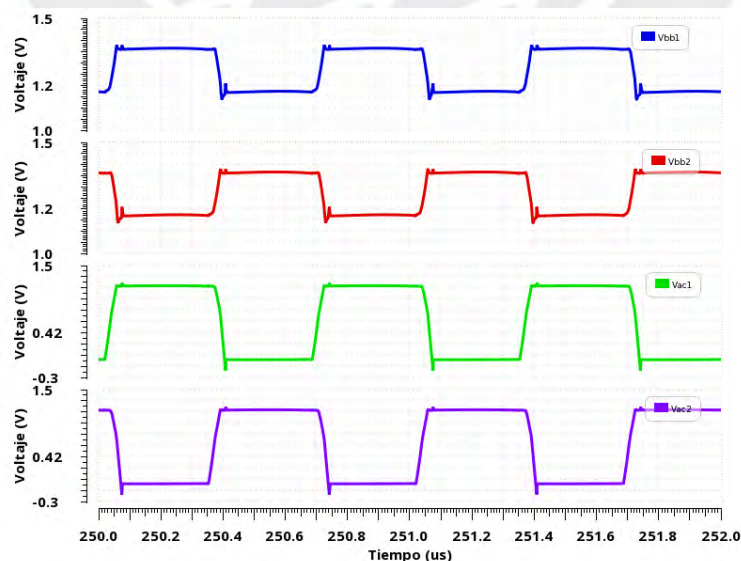


Figura 5.10: Formas de onda de los voltaje V_{BB1} y V_{BB2} generados por los circuitos SBB en contraste con V_{AC1} y V_{AC2} .

La Figura 5.11 presenta el tiempo de retardo de encendido (*turn-on delay*) del voltaje V_{GN_2} en el transistor MN_2 del núcleo del rectificador. Este retardo se midió desde el cruce de V_{AC_1} con V_{DC} , punto donde idealmente debería activarse el transistor, hasta el instante en que V_{GN_2} alcanza el 50% de su nivel máximo, equivalente a 585.5 mV. El *turn-on delay* determinado fue de 17.22 ns, lo que representaría únicamente el 5.17% de la mitad del período de la señal V_{AC} ($T/2 = 333.33$ ns).

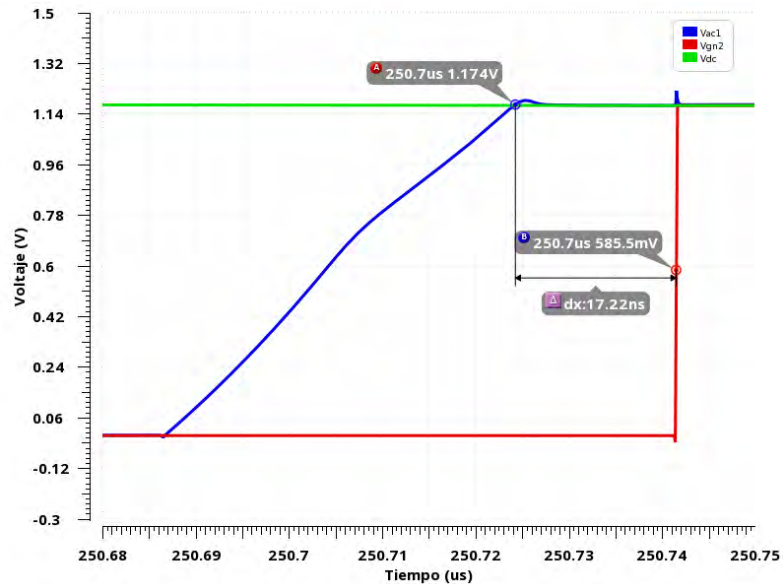


Figura 5.11: *Turn-on delay* de los transistores NMOS del núcleo del rectificador.

Similarmente, la Figura 5.12 muestra el tiempo de apagado (*turn-off delay*) para el transistor MN_2 . El retardo medido fue de 44.88 ns, calculado desde el momento en que se genera la corriente de fuga en reversa hasta que V_{GN_2} desciende por debajo del 50% de su nivel máximo. Este *turn-off delay* representaría el 13.46% de la mitad del período de la señal V_{AC} .

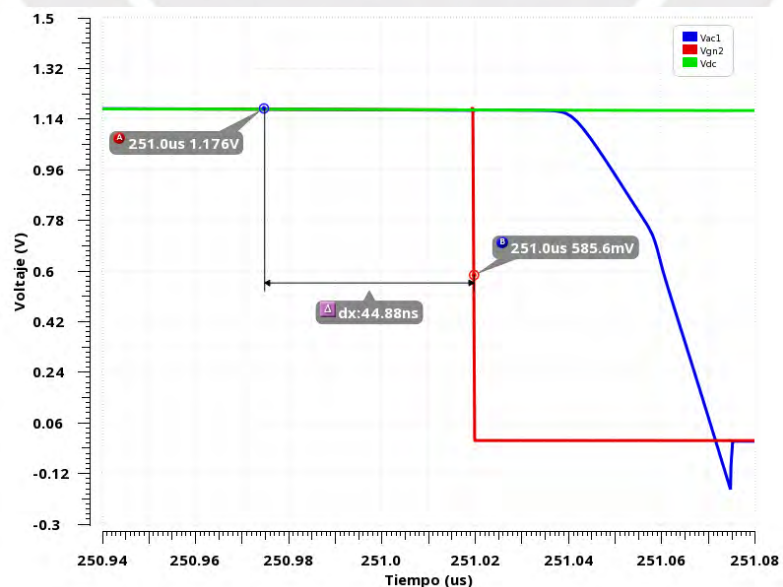


Figura 5.12: *Turn-off delay* de los transistores NMOS del núcleo del rectificador.

La Figura 5.13 muestra las formas de onda de las corrientes de conducción I_{AC_1} e I_{AC_2} en el núcleo del rectificador. Se observan picos de corriente elevados tanto al inicio de la conducción como durante el apagado de los transistores NMOS. Durante la conducción estable, I_{AC_1} e I_{AC_2} alcanzan un valor máximo de $837.4 \mu\text{A}$. Además, se observa corriente en reversa, atribuida al *turn-off delay* del transistor NMOS. Antes del pico de corriente, la corriente en reversa alcanzó un valor máximo de $-418.4 \mu\text{A}$.

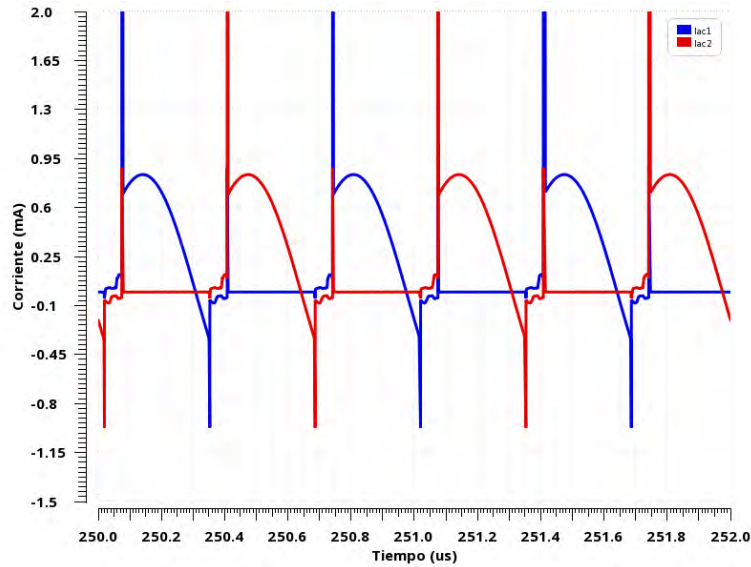


Figura 5.13: Formas de onda de las corrientes I_{AC_1} e I_{AC_2} en el núcleo del rectificador activo.

En la figura 5.14 se observa la respuesta transitoria de la corriente I_{REF} generada por la referencia de corriente compensada en temperatura (PTAT-CTAT). El valor promedio de I_{REF} fue medido en $1.01 \mu\text{A}$, mostrando una variación de 48 nA con un valor máximo de $1.033 \mu\text{A}$ y un mínimo de $0.985 \mu\text{A}$. Además, se presenta la señal de control S , utilizada en esta simulación para habilitar el cambio de I_{R_3} a I_{REF} mediante el multiplexor. El cambio se realizó a los $24.42 \mu\text{s}$, momento en el que V_{DC} superó los 0.9 V .

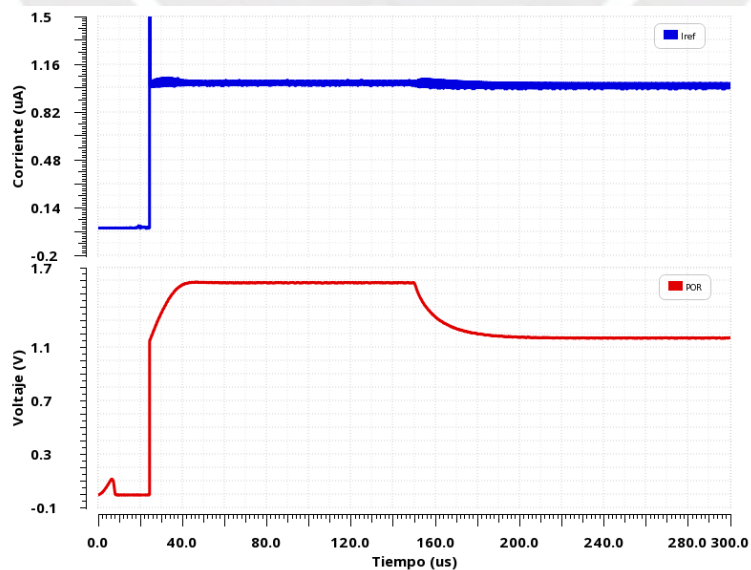


Figura 5.14: Respuesta transitoria de la corriente I_{REF} de la referencia de corriente PTAT-CTAT y la señal de control S para el multiplexor.

5.2 Simulaciones de desempeño energético del circuito

En esta sección se presentan las simulaciones realizadas para evaluar los parámetros de desempeño energético del circuito PMU diseñado. Las simulaciones se realizaron utilizando el testbench descrito en la Figura 5.2. Las métricas realizadas fueron la eficiencia de conversión de potencia (PCE), la relación de conversión de voltaje (VCR), la eficiencia de acoplamiento de potencia (PME) y la eficiencia total del sistema (η_{total}). Las expresiones utilizadas para calcular estas métricas fueron las siguientes:

$$PCE = \frac{P_{out}}{P_{in}} = \frac{\frac{1}{N \cdot T} \int_{t_0}^{t_0+N \cdot T} V_{DC}(t) \cdot I_{DC}(t) dt}{\frac{1}{N \cdot T} \int_{t_0}^{t_0+N \cdot T} V_{AC}(t) \cdot I_{AC}(t) dt} \quad (5.1)$$

$$VCR = \frac{V_{DC}}{|V_{AC}|} = \frac{\frac{1}{N \cdot T} \int_{t_0}^{t_0+N \cdot T} V_{DC}(t) dt}{|V_{AC}|} \quad (5.2)$$

$$PME = \frac{P_{in}}{P_{av}} = \frac{\frac{1}{N \cdot T} \int_{t_0}^{t_0+N \cdot T} V_{AC}(t) \cdot I_{AC}(t) dt}{V_{OC}^2 / 8R_{piezo}} \quad (5.3)$$

$$\eta_{total} = PME \cdot PCE \quad (5.4)$$

donde P_{out} es la potencia promedio de salida DC, P_{in} es la potencia promedio de entrada AC, T es el período de la señal de entrada $V_{AC}(t)$, N es el número de periodos en que se realiza la integración, $I_{DC}(t)$ es la corriente de salida DC, V_{DC} es el voltaje promedio de salida DC, $|V_{AC}|$ es el voltaje pico del voltaje de entrada $V_{AC}(t)$, $I_{AC}(t)$ es la corriente de entrada AC, P_{av} es la potencia máxima disponible que puede suministrar el transductor piezoeléctrico, V_{OC} es el voltaje de circuito abierto del transductor piezoeléctrico, y R_{piezo} es la resistencia del piezoeléctrico, calculado como 2.14 k Ω .

Los resultados de simulación de los parámetros de desempeño energético, realizados para un V_{OC} de 3 V y una carga nominal R_L de 3 k Ω , se presentan en la Tabla 5.1.

Tabla 5.1: Parámetros de desempeño energético del circuito PMU.

Parámetros	Resultados
V_{DC} (V)	1.17
P_{out} (μ W)	459.6
PCE (%)	95.48
VCR (%)	87.29
PME (%)	91.73
η_{total} (%)	87.59

Se observa un PCE de 95.48% y un VCR de 87.29%, valores razonables en comparación con los resultados reportados en el estado del arte. Además, se obtuvo un V_{DC} de 1.17 V, un valor suficiente para el funcionamiento de distintos circuitos que podrían formar parte de un IMD. También se logró un P_{out} de 459.6 μ W, un valor adecuado para algunas aplicaciones de IMD, como se ha observado en estudios previos. Para un V_{OC} de 3 V, se calculó teóricamente un P_{av} de 524.7 μ W, lo que permitió medir el PME . Conociendo este valor, se obtuvo un PME de 91.73%, lo que indica que la impedancia del circuito está casi perfectamente acoplada con la impedancia del transductor piezoeléctrico, lo que

favorece una transferencia eficiente de energía. Además, η_{total} alcanzó un valor de 87.59%, lo que demuestra que el circuito es capaz de aprovechar la mayor parte de la potencia entregada por el transductor, asegurando una conversión energética eficiente.

La potencia promedio de entrada al rectificador P_{in} fue medida en $481.3 \mu\text{W}$, lo que permitió calcular que la potencia promedio disipada por los componentes de la PMU era de $21.7 \mu\text{W}$. El consumo de potencia de los diferentes bloques del sistema se distribuyó de la siguiente manera: el limitador de voltaje consumió 793.8 nW , los dos circuitos de autopolarización de cuerpo consumieron 8.8 nW , los dos comparadores de voltaje $5.7 \mu\text{W}$, los dos buffers $4.4 \mu\text{W}$, el circuito de referencia de corriente $7 \mu\text{W}$, y el núcleo del rectificador $3.9 \mu\text{W}$. La distribución del consumo de potencia con respecto al total de potencia disipada por el PMU se muestra en la Figura 5.15.

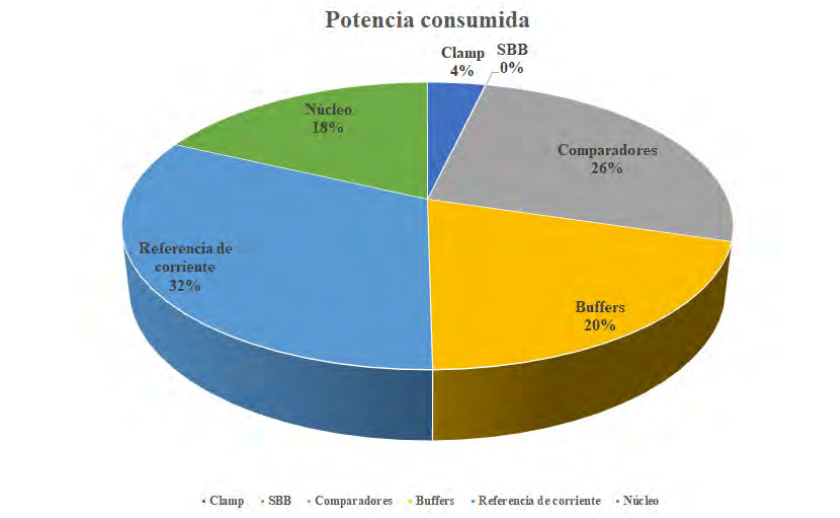


Figura 5.15: Distribución de la potencia consumida por los componentes del circuito PMU.

Por otra parte, se realizaron simulaciones variando la carga R_L desde 100Ω hasta $100 \text{ k}\Omega$ a diferentes valores de V_{OC} (2.5 V , 3 V y 3.5 V), que es el rango estimado de voltaje V_{OC} en el cual se puede obtener un voltaje V_{DC} funcional para el IMD. El objetivo de estas simulaciones fue evaluar la robustez del circuito ante variaciones en la carga, ya que en condiciones reales el consumo de energía de un dispositivo no es constante. Los resultados para el PCE se muestran en la Figura 5.16.

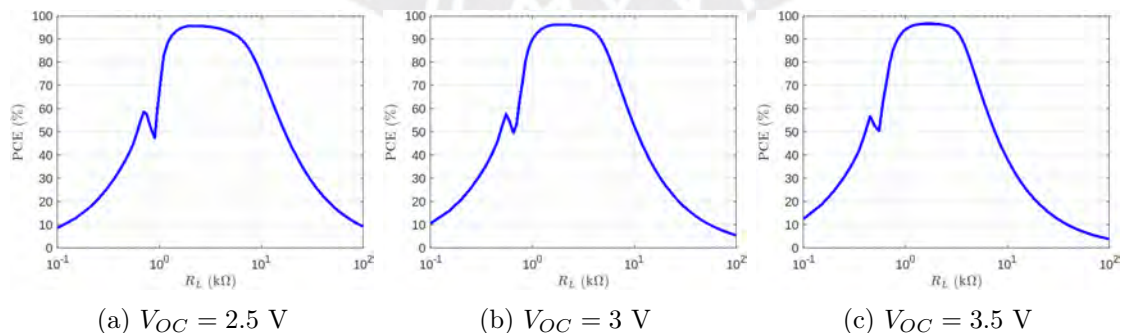


Figura 5.16: Resultados de simulación del PCE en función de la variación de la carga R_L para diferentes valores de V_{OC} .

En los tres casos, se observa una caída en el PCE alrededor de un valor de R_L de 700Ω . Esto se debe a que, en ese punto, el circuito de referencia compensada en temperatura

comienza a dejar de funcionar adecuadamente, debido a que con una carga menor, el V_{DC} disminuye, lo que impide el funcionamiento correcto del circuito de referencia de corriente. Además, se obtuvo un máximo PCE de 95.79% para V_{OC} de 2.5 V, 96.29% para 3 V y 96.66% para 3.5 V.

Los resultados para el VCR se muestran en la Figura 5.17. Se observa que, conforme aumenta la carga R_L , el VCR también se incrementa, esto debido a un aumento en el V_{DC} . Lo que indica que el rectificador logra obtener mejores valores de VCR con mayores voltajes de entrada. Este comportamiento se confirma al notar que el VCR es mayor cuando el V_{OC} es de 3.5 V.

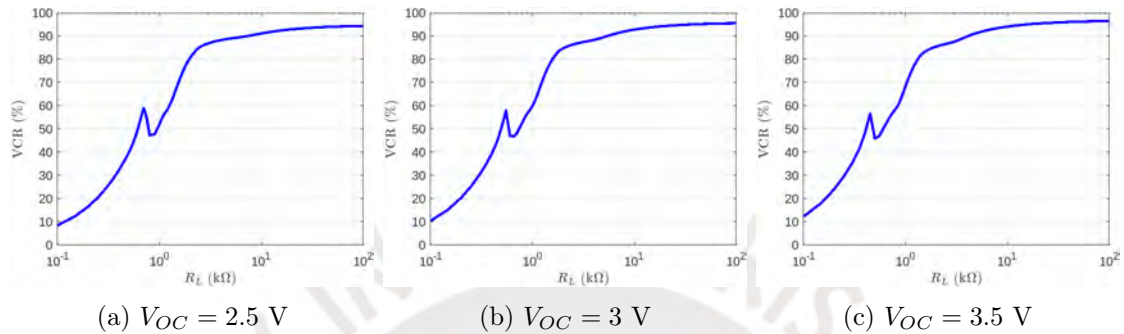


Figura 5.17: Resultados de simulación del VCR en función de la variación de la carga R_L para diferentes valores de V_{OC} .

Los resultados para el PME se muestran en la Figura 5.18. Se observa que el comportamiento es distinto según el valor de V_{OC} . Para los casos de V_{OC} de 2.5 V y 3 V, el mejor PME se obtiene en un rango de carga entre 2 kΩ y 3 kΩ, lo cual está en el orden de la resistencia del piezoeléctrico R_{piezo} , calculada en 2.14 kΩ. Sin embargo, para el caso de V_{OC} de 3.5 V, el PME aumenta a medida que la carga crece. Se obtuvo un máximo PME de 94.18% para 2.5 V, 91.86% para 3 V, y 92.6% para 3.5 V.

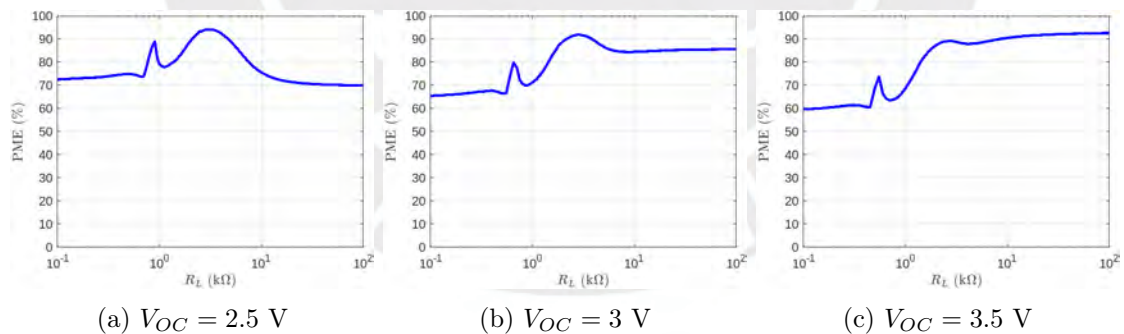


Figura 5.18: Resultados de simulación del PME en función de la variación de la carga R_L para diferentes valores de V_{OC} .

Los resultados para la eficiencia total η_{total} se muestran en la Figura 5.19. Las curvas de eficiencia siguen un comportamiento similar al del PCE , indicando que la eficiencia total es mayor a medida que el PCE aumenta. Se obtiene un máximo de 89.89% para V_{OC} de 2.5 V, 87.9% para 3 V, y 85.51% para 3.5 V. Esto sugiere que, a medida que el PCE mejora, también lo hace la eficiencia total del sistema.

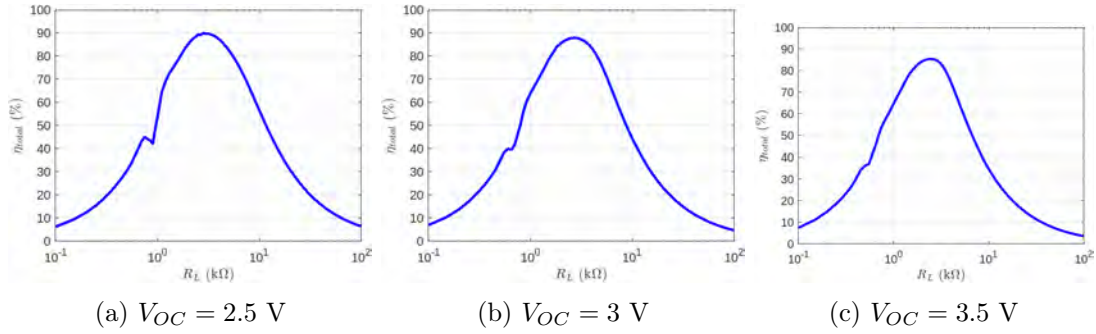


Figura 5.19: Resultados de simulación del η_{total} en función de la variación de la carga R_L para diferentes valores de V_{OC} .

Para analizar el límite de frecuencia de operación del rectificador, se simplificó el modelo del transductor en el *testbench* de la Figura 5.2, reemplazándolo por una fuente senoidal V_{OC} en serie con R_{piezo} , eliminando los componentes reactivos, como se muestra en la Figura 5.20. Esto se realizó porque la impedancia Z_{piezo} varía con la frecuencia, afectando el voltaje de entrada e influenciando en el *PCE*. Usando este modelo simplificado, el voltaje de entrada se mantiene casi constante, permitiendo una evaluación más directa de la variación del *PCE* con la frecuencia, similar a lo propuesto en [108].

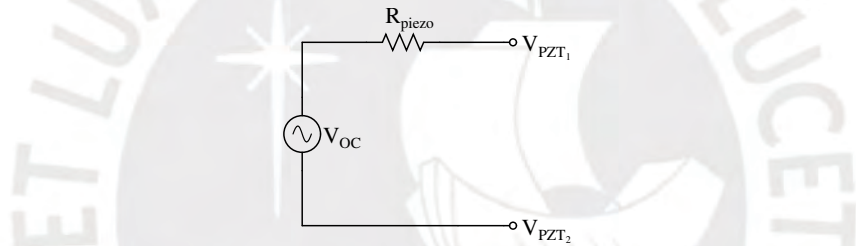


Figura 5.20: Modelo simplificado del transductor piezoeléctrico

La Figura 5.21 presenta los resultados de simulación del *PCE* para un rango de frecuencias de operación que va desde 1 kHz hasta 20 MHz, con un V_{OC} de 3 V y una resistencia R_{piezo} de 2.14 kΩ. Los resultados indican que el rectificador mantiene una eficiencia alta, superior al 90%, en bajas frecuencias y opera de manera aceptable, proporcionando un *PCE* superior al 80% hasta una frecuencia de 8.4 MHz. A partir de esa frecuencia, el rendimiento decae rápidamente, alcanzando un *PCE* inferior al 20% a partir de 10 MHz, volviéndose inservible. Este comportamiento se atribuye principalmente al incremento de las pérdidas por conmutación, que se vuelven más pronunciadas a altas frecuencias.

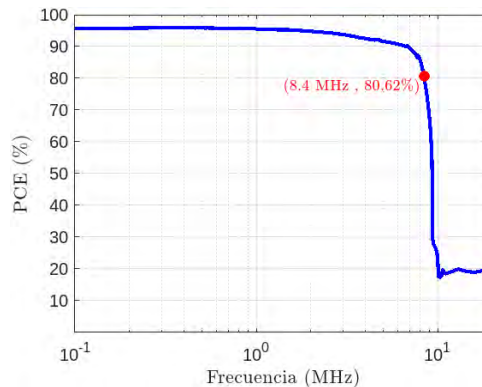


Figura 5.21: *PCE* en función de la frecuencia de operación.

5.3 Simulaciones de *corners*

En esta sección se presentan las simulaciones de *corners* realizadas al circuito PMU diseñado, evaluando su desempeño bajo diferentes condiciones de proceso, voltaje y temperatura (PVT). Los *corners* de proceso utilizados corresponden a las combinaciones típicas de fabricación para los transistores: **tt** (typical-typical), **ff** (fast-fast), **ss** (slow-slow), **fs** (fast-slow), y **sf** (slow-fast). Estas variaciones reflejan las fluctuaciones inherentes en la fabricación de los componentes del circuito, incluidas resistencias, capacitores y transistores, todos fabricados con la tecnología TSMC de $0.18 \mu\text{m}$. Simular bajo estos *corners* permite evaluar los límites de rendimiento y garantizar la robustez del diseño frente a diferentes combinaciones de velocidad y características de los elementos.

Para los *corners* de temperatura, se consideró el rango comercial de operación, evaluando el circuito a tres temperaturas clave: -40°C , 27°C y 85°C . Esto permite analizar el comportamiento del circuito bajo condiciones extremas de frío y calor, así como en temperatura ambiente. En cuanto a los *corners* de voltaje, se simuló variando el voltaje de circuito abierto (V_{OC}), correspondiente al máximo voltaje generado por el transductor piezoeléctrico en ausencia de carga. Los valores evaluados fueron 2.5 V, 3 V y 3.5 V, para analizar el impacto de las fluctuaciones en la alimentación sobre el desempeño del circuito.

Para mejorar el desempeño del circuito en las simulaciones de *corner*, se añadió al *testbench* de simulación una red de acoplamiento de impedancias, como se muestra en la Figura 5.22.

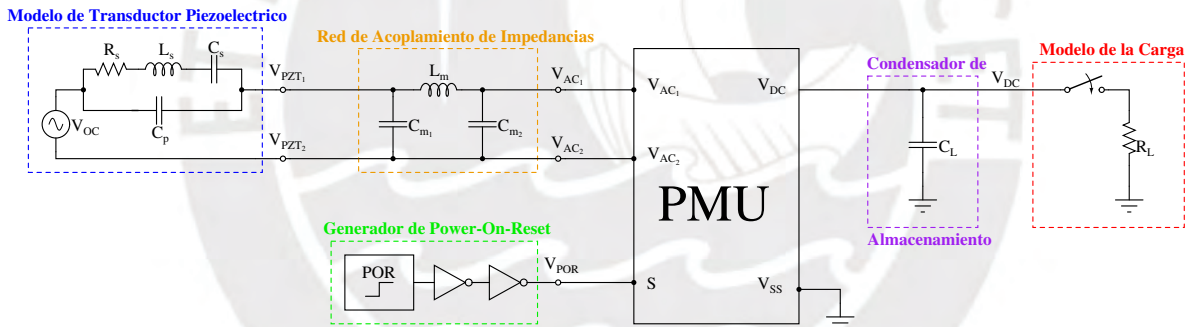


Figura 5.22: *Testbench* de simulación del sistema de recolección de energía incluyendo una red de acoplamiento de impedancias.

Aunque esta red de acoplamiento de impedancias, mostrado en la Figura 5.23, no forma parte del diseño del PMU propuesto, podría implementarse externamente al circuito integrado mediante componentes pasivos como condensadores e inductores. Para su implementación en la simulación, se eligió una topología tipo II basada en un inductor y dos capacitores, debido a que esta configuración ofrece una alta flexibilidad de diseño, controlada a través de su factor de calidad (Q) [179], además de ofrecer un mejor desempeño con impedancias altas ($> 50 \Omega$).

Para calcular los parámetros de la red de acoplamiento, se midió en Cadence la impedancia equivalente del circuito PMU, considerando una carga nominal de $R_L = 3 \text{ k}\Omega$ y una capacitancia $C_L = 10 \text{ nF}$ y un V_{OC} de 3 V. La impedancia equivalente del rectificador fue calculada en $1.64 \text{ k}\Omega - j 1.04 \text{ k}\Omega$. A partir de este resultado y utilizando las fórmulas para el cálculo de los parámetros de una red de tipo II, según se describe en [180], se procedió con el diseño de la red. Con un factor de calidad (Q) de diseño de 5, se obtuvieron los parámetros que se muestran en la Tabla 5.2.

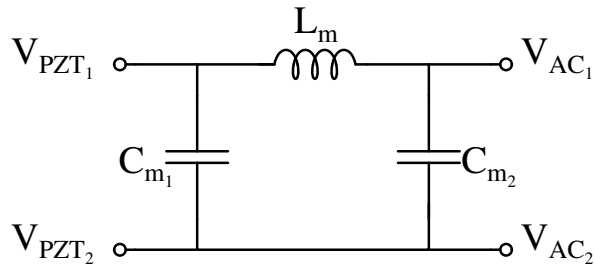


Figura 5.23: Esquemático de la red de acoplamiento de impedancias.

Tabla 5.2: Parámetros de los elementos que conforman la red de acoplamiento de impedancias.

Parámetros	Valores
C_{m1}	244 pF
C_{m2}	202 pF
L_m	93 μ H

Los resultados de las simulaciones de *corner* utilizando el *testbench* mostrado en la Figura 5.22 se presentan a continuación. En la Tabla 5.3 se presentan los resultados de las simulaciones de *corner* para el *PCE*. El mejor desempeño se obtuvo bajo la condición **sf** con un V_{OC} de 3 V a -40°C , mientras que el peor ocurrió en **ff** con un V_{OC} de 3.5 V a 85°C . En promedio, los mejores valores de *PCE* se observan a bajas temperaturas y voltajes. Para la condición nominal (27°C , V_{OC} de 3 V, y proceso **tt**), el *PCE* alcanzó un valor favorable de 95.22%.

Tabla 5.3: Simulaciones de *corner* de la eficiencia de conversión de potencia AC-DC.

		<i>PCE</i> (%)				
Temperatura	Voltaje	Proceso				
T ($^\circ\text{C}$)	V_{oc} (V)	TT	SS	SF	FS	FF
-40	2.5	95.84	95.48	96.22	93.98	96.00
	3	96.10	96.11	96.41	94.33	95.20
	3.5	95.77	96.17	95.82	93.49	94.50
27	2.5	94.92	94.79	95.30	93.42	94.84
	3	95.22	95.37	95.49	93.88	94.70
	3.5	93.65	94.23	93.44	92.83	92.39
85	2.5	94.09	94.29	94.58	92.75	93.08
	3	92.71	93.10	93.03	91.72	91.58
	3.5	84.38	84.69	84.43	83.97	83.66

■ Resultado bajo condiciones nominales, ■ Mejor resultado, ■ Peor resultado.

En la Tabla 5.4 se presentan los resultados de las simulaciones de *corner* para el V_{CR} . El mejor desempeño se obtuvo bajo la condición **ff** con un V_{OC} de 3.5 V a -40°C , mientras que el peor resultado ocurrió en **ss** con un V_{OC} de 2.5 V a -40°C . Para la condición nominal, el V_{CR} alcanzó un valor de 94.82%. En general, los mejores resultados de V_{CR} se obtuvieron con 3.5 V.

Tabla 5.4: Simulaciones de *corner* de la relación de conversión de voltaje.

V_{CR} (%)						
Temperatura	Voltaje	Proceso				
T ($^{\circ}\text{C}$)	V_{oc} (V)	TT	SS	SF	FS	FF
-40	2.5	93.79	93.39	93.45	93.70	94.14
	3	94.23	93.97	93.91	94.16	95.15
	3.5	94.49	94.31	94.13	95.30	95.54
27	2.5	94.47	94.01	94.21	94.66	94.87
	3	94.82	94.49	94.57	95.01	95.07
	3.5	94.96	94.74	94.70	95.17	95.13
85	2.5	94.31	93.86	94.04	94.54	94.68
	3	94.59	94.30	94.32	94.82	94.82
	3.5	94.73	94.51	94.47	94.96	94.90

■ Resultado bajo condiciones nominales, ■ Mejor resultado, ■ Peor resultado.

En la Tabla 5.5 se presentan los resultados de las simulaciones de *corner* para el V_{DC} . El valor más alto se obtuvo bajo la condición **ss** con un V_{OC} de 3.5 V a -40°C , mientras que el resultado más bajo ocurrió en **fs** con un V_{OC} de 2.5 V a 85°C . Para la condición nominal, el V_{DC} alcanzó un valor de 1.204 V.

Tabla 5.5: Simulaciones de *corner* del voltaje de salida DC.

V_{DC} (V)						
Temperatura	Voltaje	Proceso				
T ($^{\circ}\text{C}$)	V_{oc} (V)	TT	SS	SF	FS	FF
-40	2.5	1.002	0.998	1.004	1.004	1.003
	3	1.204	1.203	1.203	1.200	1.203
	3.5	1.393	1.401	1.389	1.399	1.393
27	2.5	0.999	0.998	1.001	0.990	0.999
	3	1.204	1.203	1.204	1.194	1.199
	3.5	1.390	1.396	1.387	1.383	1.376
85	2.5	0.996	0.996	0.999	0.988	0.991
	3	1.187	1.189	1.189	1.180	1.178
	3.5	1.312	1.315	1.311	1.309	1.303

■ Resultado bajo condiciones nominales, ■ Mejor resultado, ■ Peor resultado.

En la Tabla 5.6 se presentan los resultados de las simulaciones de *corner* para P_{out} . El valor más alto se obtuvo bajo la condición **ss** con un V_{OC} de 3.5 V a -40°C , mientras que el valor más bajo se observó en **fs** con un V_{OC} de 2.5 V a 85°C . Para la condición nominal, se obtuvo un P_{out} de $482.9 \mu\text{W}$. La mayor variación de P_{out} ocurre con 3.5 V, donde se observó una diferencia significativa de hasta $80 \mu\text{W}$ entre -40°C y 85°C .

Tabla 5.6: Resultados de las simulaciones de *corner* de la potencia de salida DC.

$P_{out} (\mu\text{W})$						
Temperatura	Voltaje	Proceso				
$T (^{\circ}\text{C})$	$V_{oc} (\text{V})$	TT	SS	SF	FS	FF
-40	2.5	334.7	332.1	336.0	336.2	335.5
	3	482.8	482.4	482.6	479.9	482.1
	3.5	647.1	654.0	642.7	652.4	646.7
27	2.5	332.8	331.7	333.7	326.5	332.8
	3	482.9	482.7	483.1	475.1	479.6
	3.5	644.1	649.8	641.0	637.5	631.3
85	2.5	330.7	330.7	332.5	325.7	327.2
	3	469.9	471.6	471.2	464.5	462.8
	3.5	573.8	576.1	573.3	571.0	566.1

■ Resultado bajo condiciones nominales, ■ Mejor resultado, ■ Peor resultado.

En la Tabla 5.7 se muestran los resultados de las simulaciones de *corner* para el PME . El mejor resultado se obtuvo bajo la condición **fs** con un V_{OC} de 2.5 V a -40°C , mientras que el peor desempeño ocurrió en **sf** con un V_{OC} de 3.5 V a -40°C . En la condición nominal, el PME alcanzó un valor de 96.51%.

Tabla 5.7: Resultados de las simulaciones de *corner* de la eficiencia de acoplamiento de potencia.

$PME (\%)$						
Temperatura	Voltaje	Proceso				
$T (^{\circ}\text{C})$	$V_{oc} (\text{V})$	TT	SS	SF	FS	FF
-40	2.5	95.71	95.32	95.69	98.04	95.77
	3	95.62	95.52	95.26	96.83	96.38
	3.5	94.48	95.08	93.79	97.57	95.69
27	2.5	96.09	95.89	95.96	95.78	96.18
	3	96.51	96.32	96.28	96.32	96.38
	3.5	96.17	96.42	95.92	96.02	95.54
85	2.5	96.33	96.12	96.35	96.23	96.34
	3	96.45	96.40	96.39	96.37	96.19
	3.5	95.07	95.11	94.94	95.08	94.61

■ Resultado bajo condiciones nominales, ■ Mejor resultado, ■ Peor resultado.

Finalmente, en la Tabla 5.8 se presentan los resultados de las simulaciones de *corner* para η_{total} . El mejor resultado se obtuvo bajo la condición **fs** con un V_{OC} de 2.5 V a -40°C , mientras que el peor desempeño ocurrió en **ff** con un V_{OC} de 3.5 V a 85°C . En la condición nominal, se logró un η_{total} de 91.9%.

Tabla 5.8: Resultados de las simulaciones de *corner* de la eficiencia total del sistema.

		η_{total} (%)				
Temperatura	Voltaje	Proceso				
T ($^{\circ}\text{C}$)	V_{oc} (V)	TT	SS	SF	FS	FF
-40	2.5	91.73	91.01	92.07	92.14	91.94
	3	91.89	91.81	91.84	91.34	91.76
	3.5	90.48	91.44	89.87	91.22	90.43
27	2.5	91.22	90.89	91.46	89.48	91.21
	3	91.9	91.86	91.94	90.42	91.27
	3.5	90.06	90.86	89.63	89.14	88.27
85	2.5	90.64	90.64	91.13	89.25	89.68
	3	89.42	89.76	89.67	88.39	88.09
	3.5	80.23	80.55	80.16	79.84	79.15

■ Resultado bajo condiciones nominales, ■ Mejor resultado, ■ Peor resultado.

Capítulo 6

Conclusiones

Este trabajo resalta la importancia de diseñar una unidad de gestión de energía eficiente para un dispositivo médico implantable alimentado mediante transferencia inalámbrica de potencia por ultrasonido, considerando las limitaciones energéticas y la interacción con el entorno biológico. En este contexto, se exploraron diversas topologías de conversión AC-DC utilizadas en aplicaciones de IMD, centrándose en el rectificador convencional *cross-coupled* y el rectificador activo. A través de simulaciones y diseños preliminares, se determinó que el rectificador activo ofrecía un rendimiento superior en términos de *PCE* dentro del rango de voltaje de entrada utilizado (>1 V), debido a su menor corriente de fuga en reversa. Por tal motivo, el diseño de la PMU se fundamentó en una topología de rectificador activo.

En las simulaciones preliminares de los prototipos de rectificador activo, se observó que, al modelar el voltaje generado por un transductor piezoeléctrico utilizando una fuente AC senoidal ideal, el rectificador no proporcionaba resultados confiables, mostrando eficiencias extremadamente bajas ($\sim 30\%$) y comportamientos anómalos al variar la resistencia y la capacitancia de carga. Para abordar este problema, se optó por el modelo Butterworth Van-Dyke (BVD) para simular el transductor piezoeléctrico, ya que este modelo utiliza únicamente parámetros eléctricos para representar la conversión de energía acústica a eléctrica, lo que lo hace compatible con las herramientas de simulación como Cadence. Al implementar este modelo, los resultados de la simulación del rectificador se alinearon mejor con la teoría, permitiendo obtener datos más precisos y realistas sobre el desempeño del rectificador en el sistema.

Durante el diseño del comparador de voltaje, predecir su respuesta en frecuencia de manera analítica resultó complejo, como lo refleja su función de transferencia, que incluye dos polos y un cero. Aunque se simplificó a un modelo de primer orden para derivar una expresión de la frecuencia de ganancia unitaria, cuya estimación teórica fue de 870.38 MHz, las simulaciones en AC revelaron un valor real de 221.8 MHz. Esta discrepancia se atribuye a la influencia del polo secundario, estimado en 622 MHz, que no fue considerado en la expresión simplificada del f_{0dB} . No obstante, dicha expresión permitió identificar una relación clara entre las dimensiones de los transistores y el f_{0dB} , lo que sirvió como base para orientar el diseño a través de simulaciones. Esto subraya la importancia de complementar el análisis teórico con simulaciones para lograr una caracterización adecuada del comportamiento del comparador.

Con un primer diseño del *buffer*, realizado sin aplicar el criterio de minimización del tiempo de propagación mediante el dimensionamiento adecuado de los transistores, el circuito PMU presentó fallas operativas bajo las condiciones de *corner* a -40°C y proceso **fs**. Este diseño inicial resultó en un desempeño deficiente, ya que los transistores NMOS de po-

tencia no se activaban correctamente debido a que el *buffer* no proporcionaba la corriente de carga necesaria. Posteriormente, al implementar el criterio de minimización del tiempo de propagación, el rediseño del *buffer* logró mejorar significativamente el rendimiento bajo dichas condiciones. Esto resalta la importancia de tener cuidado al dimensionar el *buffer* para garantizar el rendimiento del circuito bajo diversas condiciones de operación.

En el diseño inicial del circuito de referencia de corriente compensada en temperatura, se identificó que a bajas temperaturas (-40°C), la activación del circuito era excesivamente lenta, con un retraso superior a 3 ms, lo que impedía el funcionamiento del rectificador. Para resolver este problema, se incorporaron circuitos de arranque basados en transistores NMOS y capacitores de tipo MIM, lo que aceleró la respuesta de la referencia de corriente, reduciendo el retraso a aproximadamente 180.8 ns a -40°C . Este ajuste permitió que el rectificador funcionara correctamente bajo condiciones de baja temperatura, asegurando así el desempeño adecuado del PMU. Es crucial, por tanto, integrar circuitos de arranque en el diseño de referencias de corriente compensadas en temperatura, ya que garantizan una respuesta rápida y un rendimiento estable en un amplio rango térmico.

Durante la integración de la referencia de corriente compensada en temperatura (PTAT-CTAT) con el comparador de voltaje, mediante simulaciones transitorias se identificó que el rectificador no operaba correctamente. Esto se debía a que su salida generaba un voltaje inferior a 0.5 V, insuficiente para activar la referencia de corriente, que requiere al menos 0.7 V. Además, el comparador tampoco funcionaba debido a la ausencia de una fuente de corriente durante el arranque, generando un bloqueo mutuo entre ambos circuitos. La solución consistió en añadir una fuente de corriente auxiliar que se activa únicamente durante el arranque o en condiciones de bajo voltaje. Esta fuente fue implementada mediante una simple resistencia. Para garantizar una transición adecuada, se integró un circuito multiplexor que conmuta a la referencia PTAT-CTAT una vez alcanzado el voltaje requerido.

Los resultados obtenidos en las simulaciones de desempeño energético bajo condiciones nominales (V_{OC} de 3 V, R_L de 3 k Ω) muestran que el diseño de la Unidad de Gestión de Energía cumple con las especificaciones básicas del sistema definidas previamente, cuyas referencias están basadas en los datos del estado del arte. Los valores de PCE , VCR , V_{DC} , y P_{out} confirman que el circuito es viable para su uso en IMDs alimentados por transferencia inalámbrica de potencia mediante ultrasonido, garantizando eficiencia en condiciones de baja potencia y voltaje.

Asimismo, las simulaciones de desempeño energético también revelaron que el circuito de referencia de corriente es el componente de mayor consumo, representando el 32% de la potencia total del PMU. Esto sugiere que es posible mejorar el diseño mediante la exploración de topologías de referencia de corriente con menor consumo y capacidad de operación a voltajes inferiores a 1V. Además, el uso de resistencias en el circuito de referencia de corriente incrementa el tamaño del circuito integrado, lo que debe considerarse para futuras optimizaciones del diseño.

Por otra parte, las simulaciones de desempeño energético ante una variación de la carga demuestran que el PMU diseñado mantiene cierta tolerancia ante las fluctuaciones en el consumo de corriente del circuito integrado de un IMD, simuladas por las resistencias R_L . Por ejemplo, se observó un PCE mayor al 80% para un consumo de corriente de entre 592 μA (900 Ω) y 281.6 μA (5 k Ω) para un V_{OC} de 3 V. Esto demuestra que el circuito mantiene un margen de desempeño bajo condiciones de carga variables, operando de manera eficiente.

Los resultados de las simulaciones de *corner* confirman que el circuito PMU mantiene un desempeño robusto frente a variaciones de proceso, temperatura y voltaje. Aunque se observa una degradación moderada en el *PCE* bajo condiciones específicas, como una temperatura de 85°C y un V_{OC} de 3.5 V, esta se debe al aumento en el consumo de potencia del limitador de voltaje, causado por la reducción del voltaje de umbral de los transistores a altas temperaturas. Sin embargo, el circuito sigue generando un P_{out} suficiente para cumplir con las especificaciones de un IMD, respaldado por valores de *PCE* (mínimo de 83.66%) comparables con los reportados en el estado del arte. Además, el diseño logra una eficiencia total superior al 79.15% incluso en el peor escenario, asegurando un funcionamiento energético eficiente, esencial para minimizar el impacto térmico y prolongar la vida útil del dispositivo.



Bibliografía

- [1] International Organization for Standardization, “Medical devices - Quality management systems - Requirements for regulatory purposes,” ISO Standard 13485:2016, 2016. [Online]. Available: <https://www.iso.org/standard/59752.html>.
- [2] U.S. Food and Drug Administration. “Implants and prosthetics.” (2019), [Online]. Available: <https://www.fda.gov/medical-devices/products-and-medical-procedures/implants-and-prosthetics>.
- [3] W. Greatbatch and C. F. Holmes, “History of implantable devices,” *IEEE Engineering in Medicine and Biology Magazine*, vol. 10, no. 3, pp. 38–41, 1991.
- [4] G. K. K. Ammannaya, “Implantable cardioverter defibrillators—the past, present and future,” *Archives of Medical Science-Atherosclerotic Diseases*, vol. 5, no. 1, pp. 163–170, 2020.
- [5] A. Kumar and J. Pillai, “Implantable drug delivery systems: An overview,” *Nanostructures for the engineering of cells, tissues and organs*, pp. 473–511, 2018.
- [6] R. K. Shepherd, J. Villalobos, O. Burns, and D. A. Nayagam, “The development of neural stimulators: A review of preclinical safety and efficacy studies,” *Journal of neural engineering*, vol. 15, no. 4, p. 041004, 2018.
- [7] J. M. Khalifeh, Z. Zohny, M. MacEwan, *et al.*, “Electrical stimulation and bone healing: A review of current technology and clinical applications,” *IEEE reviews in biomedical engineering*, vol. 11, pp. 217–232, 2018.
- [8] D. H. Toffa, L. Touma, T. El Meskine, A. Bouthillier, and D. K. Nguyen, “Learnings from 30 years of reported efficacy and safety of vagus nerve stimulation (VNS) for epilepsy treatment: A critical review,” *Seizure*, vol. 83, pp. 104–123, 2020.
- [9] Y. H. Joung, “Development of implantable medical devices: From an engineering perspective,” *International neurology journal*, vol. 17, no. 3, p. 98, 2013.
- [10] C. A. Steiner, Z. Karaca, B. J. Moore, M. C. Imshaug, and G. Pickens, “Surgeries in hospital-based ambulatory surgery and hospital inpatient settings, 2014: Statistical brief# 223,” *Healthcare cost and utilization project (HCUP) statistical briefs*, vol. 5, 2017.
- [11] A. Ben Amar, A. B. Kouki, and H. Cao, “Power approaches for implantable medical devices,” *Sensors*, vol. 15, no. 11, pp. 28889–28914, 2015.
- [12] R. V. Taalla, M. S. Arefin, A. Kaynak, and A. Z. Kouzani, “A review on miniaturized ultrasonic wireless power transfer to implantable medical devices,” *IEEE Access*, vol. 7, pp. 2092–2106, 2018.
- [13] T. Schmidt and J. D. Abbott, “Coronary stents: History, design, and construction,” *Journal of clinical medicine*, vol. 7, no. 6, p. 126, 2018.
- [14] D. F. Louw, W. T. Asfora, and G. R. Sutherland, “A brief history of aneurysm clips,” *Neurosurgical focus*, vol. 11, no. 2, pp. 1–4, 2001.

- [15] W. Jin and P. K. Chu, "Orthopedic implants," *Encyclopedia of biomedical engineering*, vol. 1, no. 3, pp. 425–439, 2019.
- [16] W. F. DeForge, "Cardiac pacemakers: A basic review of the history and current technology," *Journal of Veterinary Cardiology*, vol. 22, pp. 40–50, 2019.
- [17] R. J. Coffey, "Deep brain stimulation devices: A brief technical history and review," *Artificial organs*, vol. 33, no. 3, pp. 208–220, 2009.
- [18] B. S. Wilson and M. F. Dorman, "A brief history of the cochlear implant and related treatments," in *Neuromodulation*, Elsevier, 2018, pp. 1197–1207.
- [19] N. Spaan, A. Teplova, G. Stam, J. Spaan, and C. Lucas, "Systematic review: Continuous intraperitoneal insulin infusion with implantable insulin pumps for diabetes mellitus," *Acta diabetologica*, vol. 51, pp. 339–351, 2014.
- [20] C. Kim, "Evolution of advanced miniaturization for active implantable medical devices," *Nano-Bio-Electronic, Photonic and MEMS Packaging*, pp. 407–415, 2021.
- [21] G. Schlenvogt, "Total dose effects and hardening-by-design methodologies for implantable medical devices," M.S. thesis, Arizona State University, Tempe, AZ, 2010.
- [22] Y.-L. Chen, "A high-efficiency triple-output battery management unit for implantable medical devices," M.S. thesis, National Chiao Tung University, Taiwan, 2019.
- [23] Y. Lu, Y. Jia, and C. Yu, "Recent advances in power supply strategies for untethered neural implants," *Journal of Micromechanics and Microengineering*, vol. 31, no. 10, p. 104 003, 2021.
- [24] B. D. Nelson, S. S. Karipott, Y. Wang, and K. G. Ong, "Wireless technologies for implantable devices," *Sensors*, vol. 20, no. 16, p. 4604, 2020.
- [25] S. M. Won, L. Cai, P. Gutruf, and J. A. Rogers, "Wireless and battery-free technologies for neuroengineering," *Nature Biomedical Engineering*, vol. 7, no. 4, pp. 405–423, 2023.
- [26] A. Singer and J. T. Robinson, "Wireless power delivery techniques for miniature implantable bioelectronics," *Advanced Healthcare Materials*, vol. 10, no. 17, p. 2100664, 2021.
- [27] M. Meng and M. Kiani, "Design and optimization of ultrasonic wireless power transmission links for millimeter-sized biomedical implants," *IEEE transactions on biomedical circuits and systems*, vol. 11, no. 1, pp. 98–107, 2016.
- [28] S.-Y. Yang, V. Sencadas, S. S. You, *et al.*, "Powering implantable and ingestible electronics," *Advanced functional materials*, vol. 31, no. 44, p. 2009289, 2021.
- [29] Z. Feng, Y. Sun, L. Qian, *et al.*, "Design a novel BCI for neurorehabilitation using concurrent LFP and EEG features: A case study," *IEEE Transactions on Biomedical Engineering*, vol. 69, no. 5, pp. 1554–1563, 2021.
- [30] F. R. Willett, E. M. Kunz, C. Fan, *et al.*, "A high-performance speech neuroprosthesis," *Nature*, vol. 620, no. 7976, pp. 1031–1036, 2023.
- [31] A. Cadei, A. Dionisi, E. Sardini, and M. Serpelloni, "Kinetic and thermal energy harvesters for implantable medical devices and biomedical autonomous sensors," *Measurement Science and Technology*, vol. 25, no. 1, p. 012003, 2013.
- [32] M. M. H. Shuvo, T. Titirsha, N. Amin, and S. K. Islam, "Energy harvesting in implantable and wearable medical devices for enduring precision healthcare," *Energies*, vol. 15, no. 20, p. 7495, 2022.
- [33] M. A. Hannan, S. Mutashar, S. A. Samad, and A. Hussain, "Energy harvesting for the implantable biomedical devices: Issues and challenges," *Biomedical engineering online*, vol. 13, no. 1, pp. 1–23, 2014.

- [34] A. Khan, R. Joshi, M. K. Sharma, *et al.*, “Piezoelectric and triboelectric nanogenerators: Promising technologies for self-powered implantable biomedical devices,” *Nano Energy*, p. 109 051, 2023.
- [35] K. K. Das, B. Basu, P. Maiti, and A. K. Dubey, “Piezoelectric nanogenerators for self-powered wearable and implantable bioelectronic devices,” *Acta Biomaterialia*, 2023.
- [36] S. Azimi, A. Golabchi, A. Nekookar, *et al.*, “Self-powered cardiac pacemaker by piezoelectric polymer nanogenerator implant,” *Nano Energy*, vol. 83, p. 105 781, 2021.
- [37] D. Dai and J. Liu, “Hip-mounted electromagnetic generator to harvest energy from human motion,” *Frontiers in Energy*, vol. 8, pp. 173–181, 2014.
- [38] U. Erturun, A. A. Eisape, S. H. Kang, and J. E. West, “Energy harvester using piezoelectric nanogenerator and electrostatic generator,” *Applied Physics Letters*, vol. 118, no. 6, 2021.
- [39] X. Xiao, J. Yin, and J. Chen, “Triboelectric nanogenerator for healthcare,” in *Handbook of Triboelectric Nanogenerators*, Springer, 2023, pp. 627–676.
- [40] G. Khandelwal, N. P. M. J. Raj, and S.-J. Kim, “Triboelectric nanogenerator for healthcare and biomedical applications,” *Nano Today*, vol. 33, p. 100 882, 2020.
- [41] H.-J. Yoon and S.-W. Kim, “Nanogenerators to power implantable medical systems,” *Joule*, vol. 4, no. 7, pp. 1398–1407, 2020.
- [42] J. Olivo, S. Carrara, and G. De Micheli, “Energy harvesting and remote powering for implantable biosensors,” *IEEE Sensors Journal*, vol. 11, no. 7, pp. 1573–1586, 2010.
- [43] A. Zhang and L. Zhu, “A promising way of energy harvesting for implantable medical devices—thermoelectric generator (TEG),” in *2021 International Conference on Smart City and Green Energy (ICSCGE)*, IEEE, 2021, pp. 22–25.
- [44] B. Shi, Z. Li, and Y. Fan, “Implantable energy-harvesting devices,” *Advanced Materials*, vol. 30, no. 44, p. 1 801 511, 2018.
- [45] V. Nishaa, B. Spoorthi, B. Soumya, U. S. Meda, and V. S. Desai, “Powering implantable medical devices with biological fuel cells,” *ECS Transactions*, vol. 107, no. 1, p. 19 197, 2022.
- [46] J. Yin, J. Zhou, S. Fang, and W. Guo, “Hydrovoltaic energy on the way,” *Joule*, vol. 4, no. 9, pp. 1852–1855, 2020.
- [47] M. Tholl, M. Spring, S. de Brot, *et al.*, “Implications of wound healing on subcutaneous photovoltaic energy harvesting,” *IEEE Transactions on Biomedical Engineering*, vol. 69, no. 1, pp. 23–31, 2021.
- [48] L. Bereuter, S. Williner, F. Pianezzi, *et al.*, “Energy harvesting by subcutaneous solar cells: A long-term study on achievable energy output,” *Annals of biomedical engineering*, vol. 45, pp. 1172–1180, 2017.
- [49] T. Wu, J.-M. Redouté, and M. R. Yuce, “A wireless implantable sensor design with subcutaneous energy harvesting for long-term IoT healthcare applications,” *IEEE Access*, vol. 6, pp. 35 801–35 808, 2018.
- [50] E. Moon, D. Blaauw, and J. D. Phillips, “Subcutaneous photovoltaic infrared energy harvesting for bio-implantable devices,” *IEEE transactions on electron devices*, vol. 64, no. 5, pp. 2432–2437, 2017.
- [51] K. Goto, T. Nakagawa, O. Nakamura, and S. Kawata, “An implantable power supply with an optically rechargeable lithium battery,” *IEEE Transactions on Biomedical Engineering*, vol. 48, no. 7, pp. 830–833, 2001.

- [52] K. Sankaragomathi, L. Perez, R. Mirjalili, B. Parviz, and B. Otis, "A $27\mu\text{W}$ subcutaneous wireless biosensing platform with optical power and data transfer," in *Proceedings of the IEEE 2014 Custom Integrated Circuits Conference*, IEEE, 2014, pp. 1–4.
- [53] J. Kim, J. Seo, D. Jung, *et al.*, "Active photonic wireless power transfer into live tissues," *Proceedings of the National Academy of Sciences*, vol. 117, no. 29, pp. 16 856–16 863, 2020.
- [54] L. Lu, Z. Yang, K. Meacham, *et al.*, "Biodegradable monocrystalline silicon photovoltaic microcells as power supplies for transient biomedical implants," *Advanced Energy Materials*, vol. 8, no. 16, p. 1703035, 2018.
- [55] K. Agarwal, R. Jegadeesan, Y.-X. Guo, and N. V. Thakor, "Wireless power transfer strategies for implantable bioelectronics," *IEEE reviews in biomedical engineering*, vol. 10, pp. 136–161, 2017.
- [56] G. L. Barbruni, P. M. Ros, D. Demarchi, S. Carrara, and D. Ghezzi, "Miniaturised wireless power transfer systems for neurostimulation: A review," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 14, no. 6, pp. 1160–1178, 2020.
- [57] S. R. Khan, S. K. Pavuluri, G. Cummins, and M. P. Desmulliez, "Wireless power transfer techniques for implantable medical devices: A review," *Sensors*, vol. 20, no. 12, p. 3487, 2020.
- [58] R. Jegadeesan, K. Agarwal, Y.-X. Guo, S.-C. Yen, and N. V. Thakor, "Wireless power delivery to flexible subcutaneous implants using capacitive coupling," *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 1, pp. 280–292, 2016.
- [59] R. Erfani, F. Marefat, and P. Mohseni, "Biosafety considerations of a capacitive link for wireless power transfer to biomedical implants," in *2018 IEEE Biomedical Circuits and Systems Conference (BioCAS)*, IEEE, 2018, pp. 1–4.
- [60] R. Erfani, F. Marefat, A. M. Sodagar, and P. Mohseni, "Transcutaneous capacitive wireless power transfer (C-WPT) for biomedical implants," in *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*, IEEE, 2017, pp. 1–4.
- [61] M. J. Karimi, A. Schmid, and C. Dehollain, "Wireless power and data transmission for implanted devices via inductive links: A systematic review," *IEEE Sensors Journal*, vol. 21, no. 6, pp. 7145–7161, 2021.
- [62] W. Biederman, D. J. Yeager, N. Narevsky, *et al.*, "A fully-integrated, miniaturized (0.125 mm^2) $10.5\ \mu\text{W}$ wireless neural sensor," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 4, pp. 960–970, 2013.
- [63] A. Khalifa, Y. Liu, Y. Karimi, *et al.*, "The microbead: A 0.009 mm^3 implantable wireless neural stimulator," *IEEE transactions on biomedical circuits and systems*, vol. 13, no. 5, pp. 971–985, 2019.
- [64] E. Moradi, T. Björninen, L. Sydänheimo, L. Ukkonen, and J. M. Rabaey, "Antenna design for implanted tags in wireless brain machine interface system," in *2013 IEEE Antennas and Propagation Society International Symposium (APSURSI)*, IEEE, 2013, pp. 2083–2084.
- [65] R. Jegadeesan, S. Nag, K. Agarwal, N. V. Thakor, and Y.-X. Guo, "Enabling wireless powering and telemetry for peripheral nerve implants," *IEEE journal of biomedical and health informatics*, vol. 19, no. 3, pp. 958–970, 2015.
- [66] Y. Jia, S. A. Mirbozorgi, P. Zhang, O. T. Inan, W. Li, and M. Ghovanloo, "A dual-band wireless power transmission system for evaluating mm-sized implants," *IEEE transactions on biomedical circuits and systems*, vol. 13, no. 4, pp. 595–607, 2019.

- [67] D. Jiang, D. Cirmirakis, M. Schormans, T. A. Perkins, N. Donaldson, and A. Demosthenous, "An integrated passive phase-shift keying modulator for biomedical implants with power telemetry over a single inductive link," *IEEE transactions on biomedical circuits and systems*, vol. 11, no. 1, pp. 64–77, 2016.
- [68] X. Li, C.-Y. Tsui, and W.-H. Ki, "A 13.56 MHz wireless power transfer system with reconfigurable resonant regulating rectifier and wireless power control for implantable medical devices," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 4, pp. 978–989, 2015.
- [69] Q. Hua, B. K. Krøver, L. A. Ryttoft, *et al.*, "Wireless power transfer based on 3-coil magnetic resonance coupling for biomedical implants," in *2021 IEEE MTT-S International Wireless Symposium (IWS)*, IEEE, 2021, pp. 1–3.
- [70] J. Van Mulders, D. Delabie, C. Lecluyse, *et al.*, "Wireless power transfer: Systems, circuits, standards, and use cases," *Sensors*, vol. 22, no. 15, p. 5573, 2022.
- [71] J. Xu, J. Sales Filho, S. Nag, *et al.*, "Fascicle-selective ultrasound-powered bidirectional wireless peripheral nerve interface IC," *IEEE Transactions on Biomedical Circuits and Systems*, 2023.
- [72] F. Jolani, J. Mehta, Y. Yu, and Z. D. Chen, "Design of wireless power transfer systems using magnetic resonance coupling for implantable medical devices," *Progress In Electromagnetics Research Letters*, vol. 40, pp. 141–151, 2013.
- [73] S. Islam, R. K. Gulati, M. Domic, A. Pal, K. Kant, and A. Kim, "Performance evaluation of magnetic resonance coupling method for intra-body network (IBNet)," *IEEE Transactions on Biomedical Engineering*, vol. 69, no. 6, pp. 1901–1908, 2021.
- [74] K. Na, H. Jang, H. Ma, and F. Bien, "Tracking optimal efficiency of magnetic resonance wireless power transfer system for biomedical capsule endoscopy," *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, no. 1, pp. 295–304, 2014.
- [75] X. Li, H. Zhang, F. Peng, *et al.*, "A wireless magnetic resonance energy transfer system for micro implantable medical sensors," *Sensors*, vol. 12, no. 8, pp. 10 292–10 308, 2012.
- [76] D. C. Ng, C. E. Williams, P. J. Allen, *et al.*, "Wireless power delivery for retinal prostheses," in *2011 Annual International Conference of the IEEE Engineering in Medicine and Biology Society*, IEEE, 2011, pp. 8356–8360.
- [77] G. Xu, X. Yang, Q. Yang, J. Zhao, and Y. Li, "Design on magnetic coupling resonance wireless energy transmission and monitoring system for implanted devices," *IEEE Transactions on Applied Superconductivity*, vol. 26, no. 4, pp. 1–4, 2016.
- [78] J. S. Ho, A. J. Yeh, E. Neofytou, *et al.*, "Wireless power transfer to deep-tissue microimplants," *Proceedings of the National Academy of Sciences*, vol. 111, no. 22, pp. 7974–7979, 2014.
- [79] K. Keerthi, K. Ilango, and G. N. Manjula, "Study of midfield wireless power transfer for implantable medical devices," in *2018 2nd International Conference on Biomedical Engineering (IBIOMED)*, IEEE, 2018, pp. 44–47.
- [80] J. S. Ho, S. Kim, and A. S. Poon, "Midfield wireless powering for implantable systems," *Proceedings of the IEEE*, vol. 101, no. 6, pp. 1369–1378, 2013.
- [81] D. K. Freeman and S. J. Byrnes, "Optimal frequency for wireless power transmission into the body: Efficiency versus received power," *IEEE Transactions on Antennas and Propagation*, vol. 67, no. 6, pp. 4073–4083, 2019.
- [82] N. Nguyen, N. Ha-Van, and C. Seo, "Midfield wireless power transfer for deep-tissue biomedical implants," *IEEE Antennas and Wireless Propagation Letters*, vol. 19, no. 12, pp. 2270–2274, 2020.

- [83] A. Ma and A. S. Poon, "Midfield wireless power transfer for bioelectronics," *IEEE Circuits and Systems Magazine*, vol. 15, no. 2, pp. 54–60, 2015.
- [84] R. Das and H. Yoo, "A multiband antenna associating wireless monitoring and nonleaky wireless power transfer system for biomedical implants," *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 7, pp. 2485–2495, 2017.
- [85] C. Liu, Y.-X. Guo, H. Sun, and S. Xiao, "Design and safety considerations of an implantable rectenna for far-field wireless power transfer," *IEEE Transactions on antennas and Propagation*, vol. 62, no. 11, pp. 5798–5806, 2014.
- [86] H. Rahmani and A. Babakhani, "A wireless power receiver with an on-chip antenna for millimeter-size biomedical implants in 180 nm SOI CMOS," in *2017 IEEE MTT-S International Microwave Symposium (IMS)*, IEEE, 2017, pp. 300–303.
- [87] S. I. Park, G. Shin, J. G. McCall, *et al.*, "Stretchable multichannel antennas in soft wireless optoelectronic implants for optogenetics," *Proceedings of the National Academy of Sciences*, vol. 113, no. 50, E8169–E8177, 2016.
- [88] M. Haerinia and R. Shadid, "Wireless power transfer approaches for medical implants: A review," *Signals*, vol. 1, no. 2, pp. 209–229, 2020.
- [89] T. C. Chang, M. J. Weber, J. Charthad, S. Baltsavias, and A. Arbabian, "End-to-end design of efficient ultrasonic power links for scaling towards submillimeter implantable receivers," *IEEE transactions on biomedical circuits and systems*, vol. 12, no. 5, pp. 1100–1111, 2018.
- [90] L. Jiang, Y. Yang, R. Chen, *et al.*, "Ultrasound-induced wireless energy harvesting for potential retinal electrical stimulation application," *Advanced Functional Materials*, vol. 29, no. 33, p. 1902522, 2019.
- [91] C. Shi, T. Costa, J. Elloian, Y. Zhang, and K. L. Shepard, "A 0.065-mm³ monolithically-integrated ultrasonic wireless sensing mote for real-time physiological temperature monitoring," *IEEE transactions on biomedical circuits and systems*, vol. 14, no. 3, pp. 412–424, 2020.
- [92] A. Rashidi, K. Laursen, S. Hosseini, H.-A. Huynh, and F. Moradi, "An implantable ultrasonically powered system for optogenetic stimulation with power-efficient active rectifier and charge-reuse capability," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 13, no. 6, pp. 1362–1371, 2019.
- [93] A. Ballo, A. D. Grasso, and M. Privitera, "An efficient AC-DC converter in 28nm Si-bulk CMOS technology for piezo-powered medical implanted devices," in *2021 IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*, IEEE, 2021, pp. 344–347.
- [94] K. Laursen, A. Rashidi, S. Hosseini, T. Mondal, B. Corbett, and F. Moradi, "Ultrasonically powered compact implantable dust for optogenetics," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 14, no. 3, pp. 583–594, 2020.
- [95] F. Mazzilli, C. Lafon, and C. Dehollain, "A 10.5 cm ultrasound link for deep implanted medical devices," *IEEE transactions on biomedical circuits and systems*, vol. 8, no. 5, pp. 738–750, 2014.
- [96] X. Zhang, H. Meng, B. Wei, S. Wang, and Q. Yang, "An improved three-coil wireless power link to increase spacing distance and power for magnetic resonant coupling system," *EURASIP Journal on Wireless Communications and Networking*, vol. 2018, pp. 1–8, 2018.

- [97] *IEEE standard for safety levels with respect to human exposure to radio frequency electromagnetic fields, 3 khz to 300 ghz amendment 1: Specifies ceiling limits for induced and contact current, clarifies distinctions between localized exposure and spatial peak power density*, IEEE Standard C95.1a-2010 (Amendment to IEEE Std C95.1-2005), pp. 1–9, Mar. 2010.
- [98] B. Jaafar, J. Neasham, and P. Degenaar, “What ultrasound can and cannot do in implantable medical device communications,” *IEEE Reviews in Biomedical Engineering*, vol. 16, pp. 357–370, 2021.
- [99] U.S. Food and Drug Administration, “Marketing clearance of diagnostic ultrasound systems and transducers,” Guidance for Industry and Food and Drug Administration Staff, 2023. [Online]. Available: <https://www.fda.gov/media/71100/download>.
- [100] M. M. Ghanbari, D. K. Piech, K. Shen, *et al.*, “A sub-mm³ ultrasonic free-floating implant for multi-mote neural recording,” *IEEE Journal of Solid-State Circuits*, vol. 54, no. 11, pp. 3017–3030, 2019.
- [101] M. M. Ghanbari, D. K. Piech, K. Shen, *et al.*, “17.5 A 0.8 mm³ ultrasonic implantable wireless neural recording system with linear AM backscattering,” in *2019 IEEE International Solid-State Circuits Conference-(ISSCC)*, IEEE, 2019, pp. 284–286.
- [102] M. J. Weber, Y. Yoshihara, A. Sawaby, J. Charthad, T. C. Chang, and A. Arbabian, “A miniaturized single-transducer implantable pressure sensor with time-multiplexed ultrasonic data and power links,” *IEEE Journal of Solid-State Circuits*, vol. 53, no. 4, pp. 1089–1101, 2018.
- [103] B. C. Johnson, K. Shen, D. Piech, *et al.*, “StimDust: A 6.5mm³, wireless ultrasonic peripheral nerve stimulator with 82% peak chip efficiency,” in *2018 IEEE Custom Integrated Circuits Conference (CICC)*, IEEE, 2018, pp. 1–4.
- [104] D. K. Piech, B. C. Johnson, K. Shen, *et al.*, “A wireless millimetre-scale implantable neural stimulator with ultrasonically powered bidirectional communication,” *Nature biomedical engineering*, vol. 4, no. 2, pp. 207–222, 2020.
- [105] S. Sonmezoglu and M. M. Maharbiz, “34.4 A 4.5 mm³ deep-tissue ultrasonic implantable luminescence oxygen sensor,” in *2020 IEEE International Solid-State Circuits Conference-(ISSCC)*, IEEE, 2020, pp. 454–456.
- [106] S. Sonmezoglu, J. R. Fineman, E. Maltepe, and M. M. Maharbiz, “Monitoring deep-tissue oxygenation with a millimeter-scale ultrasonic implant,” *Nature Biotechnology*, vol. 39, no. 7, pp. 855–864, 2021.
- [107] A. Ballo, A. D. Grasso, and M. Privitera, “A design procedure for sizing comparators in active rectifiers using g_m/I_D technique,” in *2022 35th SBC/SBMicro/IEEE/ACM Symposium on Integrated Circuits and Systems Design (SBCCI)*, IEEE, 2022, pp. 1–6.
- [108] A. Ballo, A. D. Grasso, and M. Privitera, “Active and passive rectification methods for US-powered IMDs: A comparison in a 28-nm bulk CMOS technology,” *Analog Integrated Circuits and Signal Processing*, vol. 117, no. 1, pp. 21–34, 2023.
- [109] J. Charthad, M. J. Weber, T. C. Chang, and A. Arbabian, “A mm-sized implantable medical device (IMD) with ultrasonic power transfer and a hybrid bi-directional data link,” *IEEE Journal of solid-state circuits*, vol. 50, no. 8, pp. 1741–1753, 2015.
- [110] M. Besirli, K. Ture, M. Beghetti, *et al.*, “An implantable wireless system for remote hemodynamic monitoring of heart failure patients,” *IEEE Transactions on Biomedical Circuits and Systems*, 2023.
- [111] Y.-S. Luo, J.-R. Wang, W.-J. Huang, *et al.*, “Ultrasonic power/data telemetry and neural stimulator with OOK-PM signaling,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 60, no. 12, pp. 827–831, 2013.

- [112] J. Charthad, T. C. Chang, Z. Liu, *et al.*, “A mm-sized wireless implantable device for electrical stimulation of peripheral nerves,” *IEEE transactions on biomedical circuits and systems*, vol. 12, no. 2, pp. 257–270, 2018.
- [113] X. Yue, Z. Chen, Y. Zou, and S. Du, “A highly efficient fully integrated active rectifier for ultrasonic wireless power transfer,” in *2022 IEEE International Symposium on Circuits and Systems (ISCAS)*, IEEE, 2022, pp. 531–535.
- [114] T. C. Chang, M. L. Wang, J. Charthad, M. J. Weber, and A. Arbabian, “27.7 A 30.5mm³ fully packaged implantable device with duplex ultrasonic data and power links achieving 95kb/s with $<10^{-4}$ BER at 8.5cm depth,” in *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, IEEE, 2017, pp. 460–461.
- [115] Z. Rong, M. Zhang, Y. Ning, and W. Pang, “An ultrasound-induced wireless power supply based on AlN piezoelectric micromachined ultrasonic transducers,” *Scientific Reports*, vol. 12, no. 1, p. 16174, 2022.
- [116] A. Ballo, A. D. Grasso, and M. Privitera, “A high efficiency and high power density active AC/DC converter for battery-less US-powered IMDs in a 28-nm CMOS technology,” *IEEE Access*, 2024.
- [117] M. J. Weber, A. Bhat, T. C. Chang, J. Charthad, and A. Arbabian, “A miniaturized ultrasonically powered programmable optogenetic implant stimulator system,” in *2016 IEEE Topical Conference on Biomedical Wireless Technologies, Networks, and Sensing Systems (BioWireless)*, IEEE, 2016, pp. 12–14.
- [118] Z. Kashani and M. Kiani, “An adaptive ASIC for closed-loop low-power pulse-based ultrasonic data transmission,” in *2022 IEEE International Symposium on Circuits and Systems (ISCAS)*, IEEE, 2022, pp. 1763–1767.
- [119] J. A. Gallego-Juárez, “Basic principles of ultrasound,” *Ultrasound in food processing: Recent advances*, pp. 1–26, 2017.
- [120] A. Chávez-Martínez, R. A. Reyes-Villagrana, A. L. Rentería-Monterrubio, R. Sánchez-Vega, J. M. Tirado-Gallegos, and N. A. Bolívar-Jacobo, “Low and high-intensity ultrasound in dairy products: Applications and effects on physicochemical and microbiological quality,” *Foods*, vol. 9, no. 11, p. 1688, 2020.
- [121] M. Schroeder, T. D. Rossing, F. Dunn, W. M. Hartmann, D. M. Campbell, and N. H. Fletcher, *Springer handbook of acoustics*, 2007.
- [122] A. J. Zuckerwar, “Acoustical measurement,” in *Encyclopedia of Physical Science and Technology*, 3rd ed., New York: Academic Press, 2003, pp. 91–115. [Online]. Available: ScienceDirect.
- [123] F. Jacobsen, “Sound intensity,” *Springer Handbook of Acoustics*, pp. 1093–1114, 2014.
- [124] F. R. Miele, “Attenuation,” in *Ultrasound Physics and Instrumentation*, 5th ed. Miele Enterprises, Inc., 2013, pp. 43–73.
- [125] P. R. Hoskins, K. Martin, and A. Thrush, *Diagnostic ultrasound: physics and equipment*, 3rd ed. Boca Raton, FL: CRC Press, 2019.
- [126] A. Kyriakou, “Multi-physics computational modeling of focused ultrasound therapies,” Ph.D. dissertation, ETH Zurich, 2015.
- [127] S. P. Grogan and C. A. Mount, *Ultrasound Physics and Instrumentation*. Treasure Island, FL: StatPearls Publishing, 2023. [Online]. Available: <http://europepmc.org/books/NBK570593>.
- [128] A. Arbabian, T. C. Chang, M. L. Wang, *et al.*, “Sound technologies, sound bodies: Medical implants with ultrasonic links,” *IEEE Microwave Magazine*, vol. 17, no. 12, pp. 39–54, 2016.

- [129] A. T. Gray, *Atlas of Ultrasound-Guided Regional Anesthesia*, 3rd ed. Elsevier Health Sciences, 2018, E-Book. [Online]. Available: <https://www.sciencedirect.com/book/9780323509510/atlas-of-ultrasound-guided-regional-anesthesia>.
- [130] M. Crocco and S. De Beni, “Method for tissue characterization by ultrasound wave attenuation measurements and ultrasound system for tissue characterization,” U.S. Patent 11612381B2, Mar. 2023. [Online]. Available: <https://patents.google.com/patent/US11612381B2/en>.
- [131] C. Baumgartner, P. A. Hasgall, F. Di Gennaro, *et al.*, *IT’IS database for thermal and electromagnetic parameters of biological tissues*, 2024. [Online]. Available: <https://itis.swiss/virtual-population/tissue-properties/downloads/database-v4-2>.
- [132] N. Hiremath, V. Kumar, N. Motahari, and D. Shukla, “An overview of acoustic impedance measurement techniques and future prospects,” *Metrology*, vol. 1, no. 1, pp. 17–38, 2021.
- [133] V. A. Shutilov and M. E. Alferieff, *Fundamental physics of ultrasound*. CRC Press, 2020.
- [134] J. Kocbach, “Finite element modeling of ultrasonic piezoelectric transducers,” Ph.D. dissertation, University of Bergen, 2000.
- [135] J. Krautkrämer and H. Krautkrämer, *Ultrasonic testing of materials*, 3rd ed. Springer Science & Business Media, 2013.
- [136] P. Dineva, D. Gross, R. Müller, and T. Rangelov, “Piezoelectric materials,” in *Dynamic Fracture of Piezoelectric Materials: Solution of Time-Harmonic Problems via BIEM*. Cham, Switzerland: Springer International Publishing, 2014, pp. 7–32.
- [137] A. A. Fattah, M. Ali, N. ELsyed, and G. A. Ali, “Piezoceramic materials for ultrasonic probes,” vol. 28, no. 2, pp. 295–313, 2005.
- [138] IEEE, *An american national standard: IEEE standard on piezoelectricity*, 1988.
- [139] T. C. Chang, M. J. Weber, M. L. Wang, J. Charthad, B. P. T. Khuri-Yakub, and A. Arbabian, “Design of tunable ultrasonic receivers for efficient powering of implantable medical devices with reconfigurable power loads,” *IEEE transactions on ultrasonics, ferroelectrics, and frequency control*, vol. 63, no. 10, pp. 1554–1562, 2016.
- [140] J. P. Ball, B. A. Mound, J. C. Nino, and J. B. Allen, “Biocompatible evaluation of barium titanate foamed ceramic structures for orthopedic applications,” *Journal of biomedical materials research part A*, vol. 102, no. 7, pp. 2089–2095, 2014.
- [141] H. Kunkel, S. Locke, and B. Pikeröen, “Finite-element analysis of vibrational modes in piezoelectric ceramic disks,” *IEEE Transactions on ultrasonics, ferroelectrics, and frequency control*, vol. 37, no. 4, pp. 316–328, 1990.
- [142] K. Rajan, M. Shanthi, W. Chang, J. Jin, and L. Lim, “Dielectric and piezoelectric properties of [0 0 1] and [0 1 1]-poled relaxor ferroelectric PZN–PT and PMN–PT single crystals,” *Sensors and Actuators A: Physical*, vol. 133, no. 1, pp. 110–116, 2007.
- [143] M. Kim, J. Kim, and W. Cao, “Aspect ratio dependence of electromechanical coupling coefficient of piezoelectric resonators,” *Applied Physics Letters*, vol. 87, no. 13, 2005.
- [144] A. Boujenoui, A. Bybi, L. El Maimouni, H. Reskal, and A. Lakbib, “Modeling of piezoelectric transducers using 1D and 2D Redwood models implemented in LTSPICE,” in *International Conference on Digital Technologies and Applications*, Springer, 2023, pp. 590–600.
- [145] G. S. Kino, *Acoustic Waves: Devices, Imaging, and Analog Signal Processing* (Prentice-Hall Contemporary Topics in Accounting Series). Prentice-Hall, Inc., 1987, ISBN: 9780130030474.

- [146] S. Sherrit, S. P. Leary, B. P. Dolgin, and Y. Bar-Cohen, "Comparison of the Mason and KLM equivalent circuits for piezoelectric resonators in the thickness mode," in *1999 IEEE Ultrasonics Symposium. Proceedings. International Symposium (Cat. No. 99CH37027)*, IEEE, vol. 2, 1999, pp. 921–926.
- [147] M. M. Ghanbari and R. Muller, "Optimizing volumetric efficiency and backscatter communication in biosensing ultrasonic implants," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 14, no. 6, pp. 1381–1392, 2020.
- [148] S. Sherrit and B. K. Mukherjee, "Characterization of piezoelectric materials for transducers," *arXiv preprint arXiv:0711.2657*, 2007.
- [149] J. Lee and J. Kim, "Theoretical and empirical verification of electrical impedance matching method for high-power transducers," *Electronics*, vol. 11, no. 2, p. 194, 2022.
- [150] S. S. Alkhfaji and S. D. Garvey, "Identification of piezo-electric actuator parameters using a simple test technique," in *Proceedings of the 24th International Conference on Noise and Vibration engineering, Leuven, Belgium*, 2010, pp. 20–22.
- [151] L.-S. Jang, W.-H. Kan, M.-K. Chen, and Y.-M. Chou, "Parameter extraction from bvd electrical model of pzt actuator of micropumps using time-domain measurement technique," *Microfluidics and nanofluidics*, vol. 7, pp. 559–568, 2009.
- [152] A. Ballo, M. Bottaro, and A. D. Grasso, "A review of power management integrated circuits for ultrasound-based energy harvesting in implantable medical devices," *Applied Sciences*, vol. 11, no. 6, p. 2487, 2021.
- [153] K. Kotani, A. Sasaki, and T. Ito, "High-efficiency differential-drive CMOS rectifier for UHF RFIDs," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 11, pp. 3011–3018, 2009.
- [154] T. H. Saika and M. T. Amin, "A high efficient wide range cross coupled rectifier for RFID applications," in *2020 International Conference on Computer, Electrical & Communication Engineering (ICCECE)*, IEEE, 2020, pp. 1–6.
- [155] S. S. Chouhan, M. Nurmi, and K. Halonen, "Efficiency enhanced voltage multiplier circuit for RF energy harvesting," *Microelectronics journal*, vol. 48, pp. 95–102, 2016.
- [156] E. A. Gomez-Casseres, S. M. Arbulú, R. J. Franco, R. Contreras, and J. Martínez, "Comparison of passive rectifier circuits for energy harvesting applications," in *2016 IEEE Canadian Conference on Electrical and Computer Engineering (CCECE)*, IEEE, 2016, pp. 1–6.
- [157] J. R. de Castilho Louzada, L. B. Zoccal, R. L. Moreno, and T. C. Pimenta, "A high efficiency 0.13 μ m CMOS full wave active rectifier with comparators for implanted medical devices," *Advances in Science, Technology and Engineering Systems Journal*, vol. 2, no. 3, pp. 1019–1025, 2017.
- [158] A. Sasaki, K. Kotani, and T. Ito, "Differential-drive CMOS rectifier for UHF RFIDs with 66% PCE at -12 dBm input," in *2008 IEEE Asian Solid-State Circuits Conference*, IEEE, 2008, pp. 105–108.
- [159] P. E. Allen and D. R. Holberg, *CMOS analog circuit design*. 3rd ed. New York, NY: Oxford University Press, 2012.
- [160] Cadence Design Systems, Inc., *Virtuoso, version 6.1.8*, San Jose, CA, USA, 2023.
- [161] S. Shahsavari and M. Saberi, "A power-efficient CMOS active rectifier with circuit delay compensation for wireless power transfer systems," *Circuits, Systems, and Signal Processing*, vol. 38, pp. 947–966, 2019.
- [162] Y. Lu, W.-H. Ki, and J. Yi, "A 13.56 MHz CMOS rectifier with switched-offset for reverse current control," in *2011 Symposium on VLSI Circuits-Digest of Technical Papers*, IEEE, 2011, pp. 246–247.

- [163] B. Razavi, *Design of analog CMOS integrated circuits*, 2nd ed. New York, NY: McGraw-Hill Education, 2017.
- [164] H.-M. Lee and M. Ghovanloo, "An adaptive reconfigurable active voltage doubler/rectifier for extended-range inductive power transmission," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 59, no. 8, pp. 481–485, 2012.
- [165] H.-K. Cha, W.-T. Park, and M. Je, "A CMOS rectifier with a cross-coupled latched comparator for wireless power transfer in biomedical applications," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 59, no. 7, pp. 409–413, 2012.
- [166] R. Miyauchi, K. Tanno, and H. Tamura, "New active diode with bulk regulation transistors and its application to integrated voltage rectifier circuit," *International Journal of Electrical and Computer Engineering*, vol. 9, no. 2, p. 902, 2019.
- [167] N. Patin, "2 - Thermics, packaging and power component technologies," in *Power Electronics Applied to Industrial Systems and Transports, Volume 1*, Elsevier, 2015, pp. 29–50. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/B9781785480003500021>.
- [168] C.-S. A. Gong, "IC-based rectification circuit techniques for biomedical energy-harvesting applications," *Micromachines*, vol. 13, no. 3, p. 411, 2022.
- [169] S.-K. Kao, "A CMOS active rectifier with time domain technique to enhance PCE," *Electronics*, vol. 10, no. 12, p. 1450, 2021.
- [170] W. J. Dally and J. W. Poulton, *Digital systems engineering*. Cambridge university press, 1998.
- [171] J. M. Rabaey, A. Chandrakasan, and B. Nikolic, *Digital Integrated Circuits: A Design Perspective*, 2nd. Prentice Hall, 2003.
- [172] T. Maekawa, S. Amakawa, N. Ishihara, and K. Masu, "Design of CMOS inverter-based output buffers adapting the Cherry-Hooper broadbanding technique," in *2009 European Conference on Circuit Theory and Design*, IEEE, 2009, pp. 511–514.
- [173] C. W. V. Casañas, T. H. P. de Castro, G. A. F. de Souza, R. L. Moreno, and D. M. Colombo, "A review of CMOS current references," *Journal of Integrated Circuits and Systems*, vol. 17, no. 1, pp. 1–9, 2022.
- [174] T. H. de Castro, R. L. Moreno, and D. M. Colombo, "A 0.85 V CMOS voltage and current reference using SCCTs," in *2021 19th IEEE International New Circuits and Systems Conference (NEWCAS)*, IEEE, 2021, pp. 1–4.
- [175] F. Fiori and P. S. Crovetto, "A new compact temperature-compensated CMOS current reference," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 52, no. 11, pp. 724–728, 2005.
- [176] K. Ueno, T. Hirose, T. Asai, and Y. Amemiya, "A 300 nW, 15 ppm/°C, 20 ppm/V CMOS voltage reference circuit consisting of sub-threshold MOSFETs," *IEEE Journal of solid-state circuits*, vol. 44, no. 7, pp. 2047–2054, 2009.
- [177] B.-D. Yang, Y.-K. Shin, J.-S. Lee, Y.-K. Lee, and K.-C. Ryu, "An accurate current reference using temperature and process compensation current mirror," in *2009 IEEE Asian Solid-State Circuits Conference*, IEEE, 2009, pp. 241–244.
- [178] J. Crowe and B. Hayes-Gill, "Choosing a means of implementation," in *Introduction to Digital Electronics*, Oxford: Newnes, 1998, pp. 191–239. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/B9780340645703500113>.

- [179] M. Khan and T. M. Khan, “Tunable Q matching networks for capacitive ultrasound transmitters,” *Analog Integrated Circuits and Signal Processing*, vol. 111, no. 3, pp. 301–312, 2022.
- [180] M. Şengül and G. Yeşilyurt, “Real frequency design of Pi and T matching networks with complex terminations,” in *2017 10th International Conference on Electrical and Electronics Engineering (ELECO)*, IEEE, 2017, pp. 1328–1331.



Apéndice A

Función de transferencia del comparador

Para determinar la función de transferencia del comparador a partir de su modelo de pequeña señal, mostrado en la Figura 4.5 del Capítulo 4, se analizan las ramas del circuito mediante la Ley de Corriente de Kirchhoff (LCK) en los nodos intermedios V_y , V_z y el nodo de salida V_{out} , con el objetivo de expresar dichos voltajes nodales en función de la entrada.

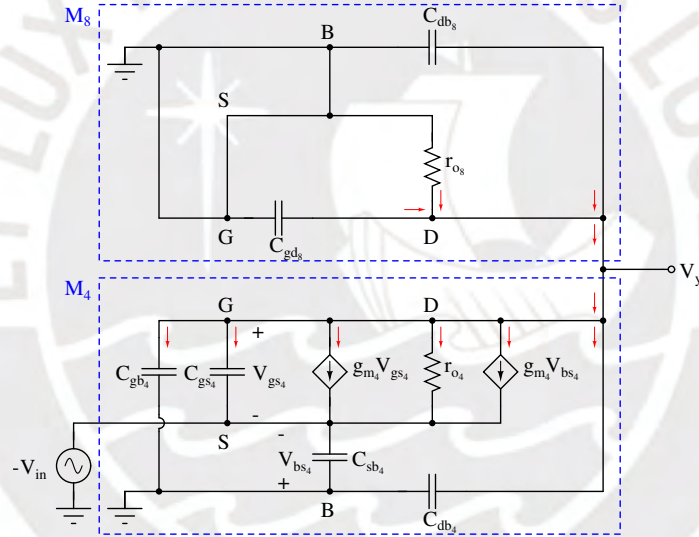


Figura A.1: Modelo de pequeña señal en la rama formada por los transistores M_4 y M_8 .

Aplicando la LCK a la rama compuesta por los transistores M_4 y M_8 , representada en la Figura A.1, se obtiene la siguiente expresión:

$$C_{gb4} \frac{d}{dt} V_y(t) + C_{gs4} \frac{d}{dt} (V_y(t) + V_{in}(t)) + g_{m4} (V_y(t) + V_{in}(t)) + \frac{V_y(t) + V_{in}(t)}{r_{o4}} + g_{mb4} V_{in}(t) + C_{db4} \frac{d}{dt} V_y(t) + C_{gd8} \frac{d}{dt} V_y(t) + \frac{V_y(t)}{r_{o8}} + C_{db8} \frac{d}{dt} V_y(t) = 0 \quad (\text{A.1})$$

Al llevar la expresión (A.1) al dominio de la frecuencia mediante la transformada de Laplace, y considerando las condiciones iniciales en cero, se obtiene:

$$C_{gb4} s V_y(s) + C_{gs4} s (V_y(s) + V_{in}(s)) + g_{m4} (V_y(s) + V_{in}(s)) + \frac{V_y(s) + V_{in}(s)}{r_{o4}} + g_{mb4} V_{in}(s) + C_{db4} s V_y(s) + C_{gd8} s V_y(s) + \frac{V_y(s)}{r_{o8}} + C_{db8} s V_y(s) = 0 \quad (\text{A.2})$$

Agrupando los términos en función de V_y y V_{in} , se obtiene la siguiente ecuación:

$$V_y(s) \left(g_{m_4} + \frac{1}{r_{o_4}} + \frac{1}{r_{o_8}} + s(C_{gs_4} + C_{gb_4} + C_{db_4} + C_{gd_8} + C_{db_8}) \right) = -V_{in}(s) \left(g_{m_4} + g_{mb_4} + \frac{1}{r_{o_4}} + sC_{gs_4} \right) \quad (A.3)$$

Expresando $V_y(s)$ en términos de $V_{in}(s)$, resulta en:

$$V_y(s) = -V_{in}(s) \frac{\left(g_{m_4} + g_{mb_4} + \frac{1}{r_{o_4}} + sC_{gs_4} \right)}{\left(g_{m_4} + \frac{1}{r_{o_4}} + \frac{1}{r_{o_8}} + s(C_{gs_4} + C_{gb_4} + C_{db_4} + C_{gd_8} + C_{db_8}) \right)} \quad (A.4)$$

Para simplificar la expresión, se asume que la capacitancia C_{gs_4} es significativamente mayor que las capacitancias C_{gb_4} , C_{db_4} , C_{gd_8} y C_{db_8} , lo que permite aproximar $C_{gs_4} + C_{gb_4} + C_{db_4} + C_{gd_8} + C_{db_8} \approx C_{gs_4}$. Asimismo, los términos $1/r_{o_4}$ y $1/r_{o_8}$, al ser comparativamente pequeños, pueden ser despreciados. Por otro lado, la relación entre la transconductancia g_{m_4} y la transconductancia de cuerpo g_{mb_4} se define mediante el coeficiente $\eta = g_{mb_4}/g_{m_4}$, permitiendo expresar $g_{mb_4} = \eta g_{m_4}$. Incorporando estas simplificaciones, la expresión (A.4) se reescribe como:

$$V_y(s) \approx -V_{in}(s) \frac{(g_{m_4}(1 + \eta) + sC_{gs_4})}{(g_{m_4} + sC_{gs_4})} \quad (A.5)$$

Analizando esta expresión, se observa que $V_y(s)$ adopta un valor de $-V_{in}(s)(1 + \eta)$ en bajas frecuencias y se aproxima a $-V_{in}(s)$ en altas frecuencias. Además, el coeficiente η , que depende de la tecnología utilizada, presenta un valor típico de 0.25 según [163]. Esto implica que $V_y(s)$ permanece prácticamente constante con cambios mínimos. Por lo tanto, para simplificar el análisis, se puede aproximar la expresión (A.5) como:

$$V_y(s) \approx -V_{in}(s)(1 + \eta) \quad (A.6)$$

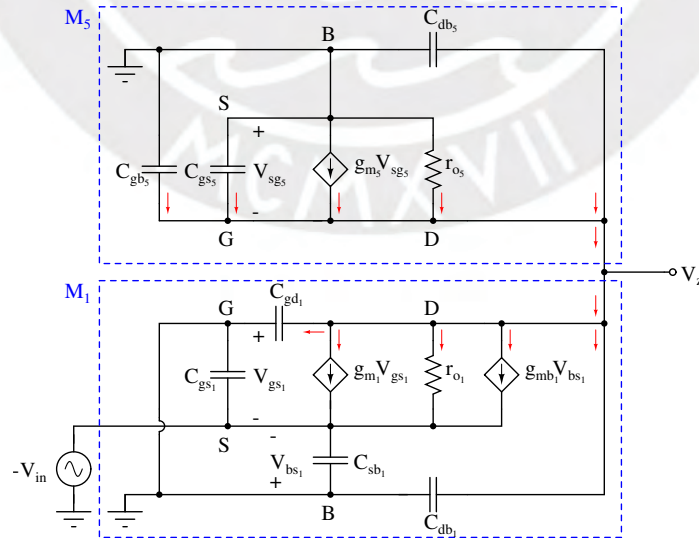


Figura A.2: Modelo de pequeña señal en la rama formada por los transistores M_1 y M_5 .

De manera análoga, al considerar la rama formada por los transistores M_1 y M_5 , mos-

trada en la Figura A.2, la aplicación de la LCK lleva a la siguiente expresión:

$$C_{gd1} \frac{d}{dt} V_z(t) + g_{m1} V_{in}(t) + \frac{V_z(t) + V_{in}(t)}{r_{o1}} + g_{mb1} V_{in}(t) + C_{db1} \frac{d}{dt} V_z(t) + C_{gb5} \frac{d}{dt} V_z(t) + C_{gs5} \frac{d}{dt} V_z(t) + g_{m5} V_z(t) + \frac{V_z(t)}{r_{o5}} + C_{db5} \frac{d}{dt} V_z(t) = 0 \quad (\text{A.7})$$

Llevando esta ecuación al dominio de la frecuencia mediante la transformada de Laplace y considerando condiciones iniciales en cero, se obtiene:

$$C_{gd1} s V_z(s) + g_{m1} V_{in}(s) + \frac{V_z(s) + V_{in}(s)}{r_{o1}} + g_{mb1} V_{in}(s) + C_{db1} s V_z(s) + C_{gb5} s V_z(s) + C_{gs5} s V_z(s) + g_{m5} V_z(s) + \frac{V_z(s)}{r_{o5}} + C_{db5} s V_z(s) = 0 \quad (\text{A.8})$$

Reorganizando en función de $V_z(s)$ y $V_{in}(s)$, se obtiene:

$$V_z(s) \left(g_{m5} + \frac{1}{r_{o1}} + \frac{1}{r_{o5}} + s(C_{gd1} + C_{db1} + C_{gs5} + C_{gb5} + C_{db5}) \right) = -V_{in}(s) \left(g_{m1} + g_{mb1} + \frac{1}{r_{o1}} \right) \quad (\text{A.9})$$

Expresando $V_z(s)$ en términos de $V_{in}(s)$:

$$V_z(s) = -V_{in}(s) \frac{\left(g_{m1} + g_{mb1} + \frac{1}{r_{o1}} \right)}{\left(g_{m5} + \frac{1}{r_{o1}} + \frac{1}{r_{o5}} + s(C_{gd1} + C_{db1} + C_{gs5} + C_{gb5} + C_{db5}) \right)} \quad (\text{A.10})$$

Dado que los transistores M_1 y M_4 tienen dimensiones iguales, se cumple la misma relación $g_{mb1} = \eta g_{m1}$. Además, al asumir que C_{gs5} domina sobre las demás capacitancias y despreciar los términos $1/r_{o1}$ y $1/r_{o5}$, la expresión (A.10) se simplifica a:

$$V_z(s) \approx -V_{in}(s) \frac{g_{m1}(1 + \eta)}{g_{m5} + sC_{gs5}} \quad (\text{A.11})$$

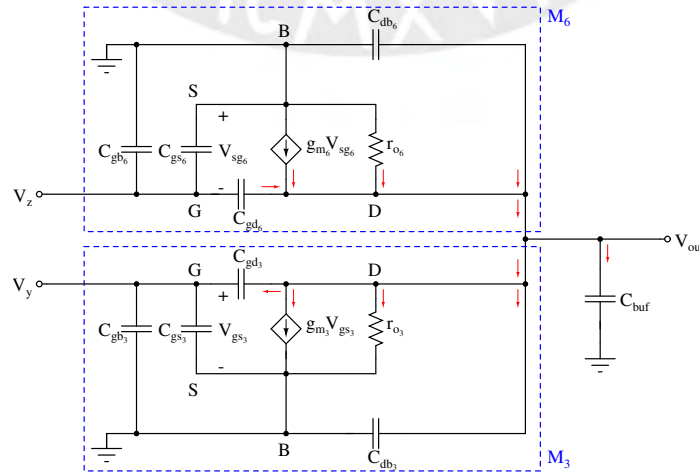


Figura A.3: Modelo de pequeña señal en la rama de salida formada por los transistores M_3 y M_6 .

Finalmente, al utilizar la LCK en la rama de salida del comparador, formada por los transistores M_3 y M_6 , como se muestra en la Figura A.3, se obtiene la siguiente expresión:

$$C_{buf} \frac{d}{dt} V_{out}(t) + C_{gd3} \frac{d}{dt} (V_{out}(t) - V_y(t)) + g_{m3} V_y(t) + \frac{V_{out}(t)}{r_{o3}} + C_{db3} \frac{d}{dt} V_{out}(t) + C_{gd6} \frac{d}{dt} (V_{out}(t) - V_z(t)) + g_{m6} V_z(t) + \frac{V_{out}(t)}{r_{o6}} + C_{db6} \frac{d}{dt} V_{out}(t) = 0 \quad (A.12)$$

Aplicando la transformada de Laplace a la expresión (A.12) y considerando las condiciones iniciales en cero, se obtiene la siguiente expresión:

$$C_{buf} s V_{out}(s) + C_{gd3} s (V_{out}(s) - V_y(s)) + g_{m3} V_y(s) + \frac{V_{out}(s)}{r_{o3}} + C_{db3} s V_{out}(s) + C_{gd6} s (V_{out}(s) - V_z(s)) + g_{m6} V_z(s) + \frac{V_{out}(s)}{r_{o6}} + C_{db6} s V_{out}(s) = 0 \quad (A.13)$$

Organizando los términos en función de V_{out} , se llega a la siguiente ecuación:

$$V_{out}(s) \left(\frac{1}{r_{o3}} + \frac{1}{r_{o6}} + s \left(C_{gd3} \left(1 - \frac{1}{A_y} \right) + C_{db3} + C_{gd6} \left(1 - \frac{1}{A_z} \right) + C_{db6} + C_{buf} \right) \right) = -V_y(s) g_{m3} - V_z(s) g_{m6} \quad (A.14)$$

donde $A_y = V_{out}(s)/V_y(s)$ y $A_z = V_{out}(s)/V_z(s)$ son las ganancias de los transistores M_3 y M_6 que evidencian el efecto de Miller en las capacitancias C_{gd3} y C_{gd6} . Asumiendo que A_y y A_z son significativamente mayores que 1, y sustituyendo las expresiones (A.6) y (A.11) en (A.14), se obtiene:

$$V_{out}(s) \left(\frac{1}{(r_{o3} \parallel r_{o6})} + s(C_{gd3} + C_{db3} + C_{gd6} + C_{db6} + C_{buf}) \right) = V_{in}(s)(1 + \eta)g_{m3} + V_{in}(s) \frac{(g_{m1}(1 + \eta))}{(g_{m5} + sC_{gs5})} g_{m6} \quad (A.15)$$

Considerando que los transistores M_1 y M_3 tienen dimensiones equivalentes se puede reemplazar g_{m1} por g_{m3} , y de manera similar, g_{m6} por g_{m5} para los transistores M_5 y M_6 . Además, sustituyendo $C_L = C_{gd3} + C_{db3} + C_{gd6} + C_{db6} + C_{buf}$, se obtiene la siguiente expresión:

$$V_{out}(s) \left(\frac{1 + sC_L(r_{o3} \parallel r_{o6})}{(r_{o3} \parallel r_{o6})} \right) = V_{in}(s) \left(\frac{g_{m3}(1 + \eta)(2g_{m5} + sC_{gs5})}{(g_{m5} + sC_{gs5})} \right) \quad (A.16)$$

Por lo tanto, reordenando la expresión (A.16), la función de transferencia simplificada del comparador queda de la siguiente forma:

$$H(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{2g_{m3}(1 + \eta)(r_{o3} \parallel r_{o6}) \left(1 + s \frac{C_{gs5}}{2g_{m5}} \right)}{(1 + sC_L(r_{o3} \parallel r_{o6})) \left(1 + s \frac{C_{gs5}}{g_{m5}} \right)} \quad (A.17)$$

Apéndice B

Esquemáticos de circuitos en Cadence

B.1 Esquemático del comparador de voltaje

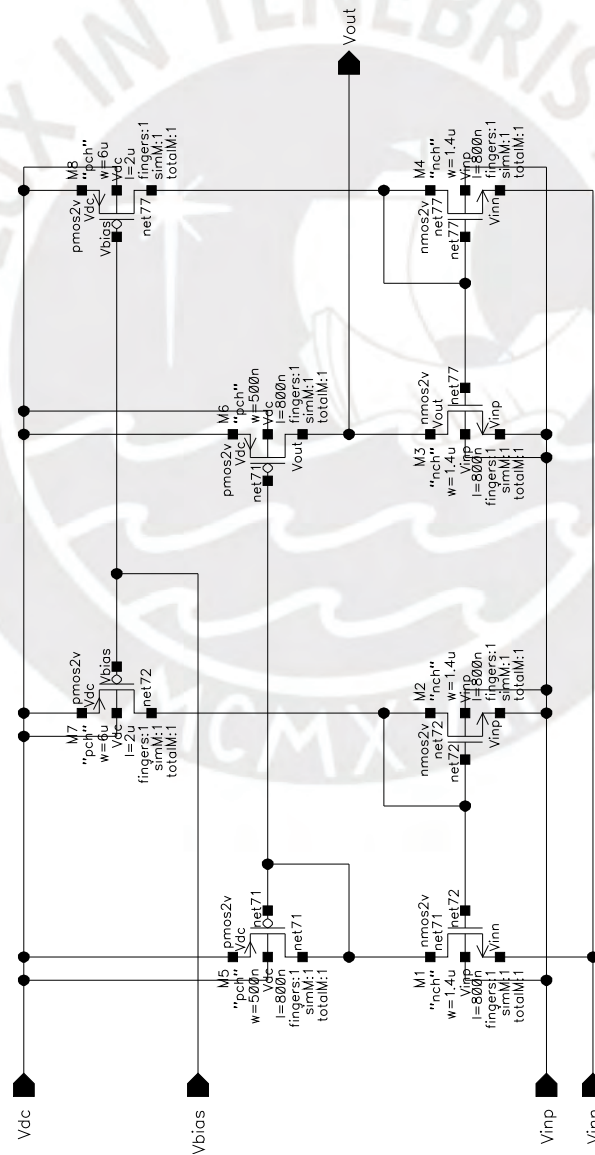


Figura B.1: Esquemático del circuito comparador de voltaje.

B.2 Esquemático del circuito de polarización del cuerpo

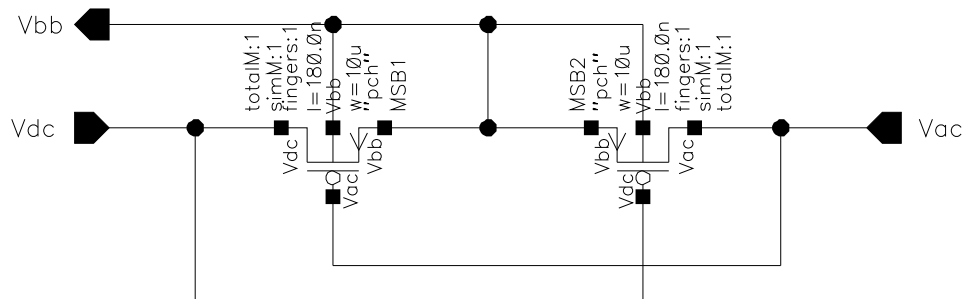


Figura B.2: Esquemático del circuito de polarización del cuerpo.

B.3 Esquemático del núcleo del rectificador activo

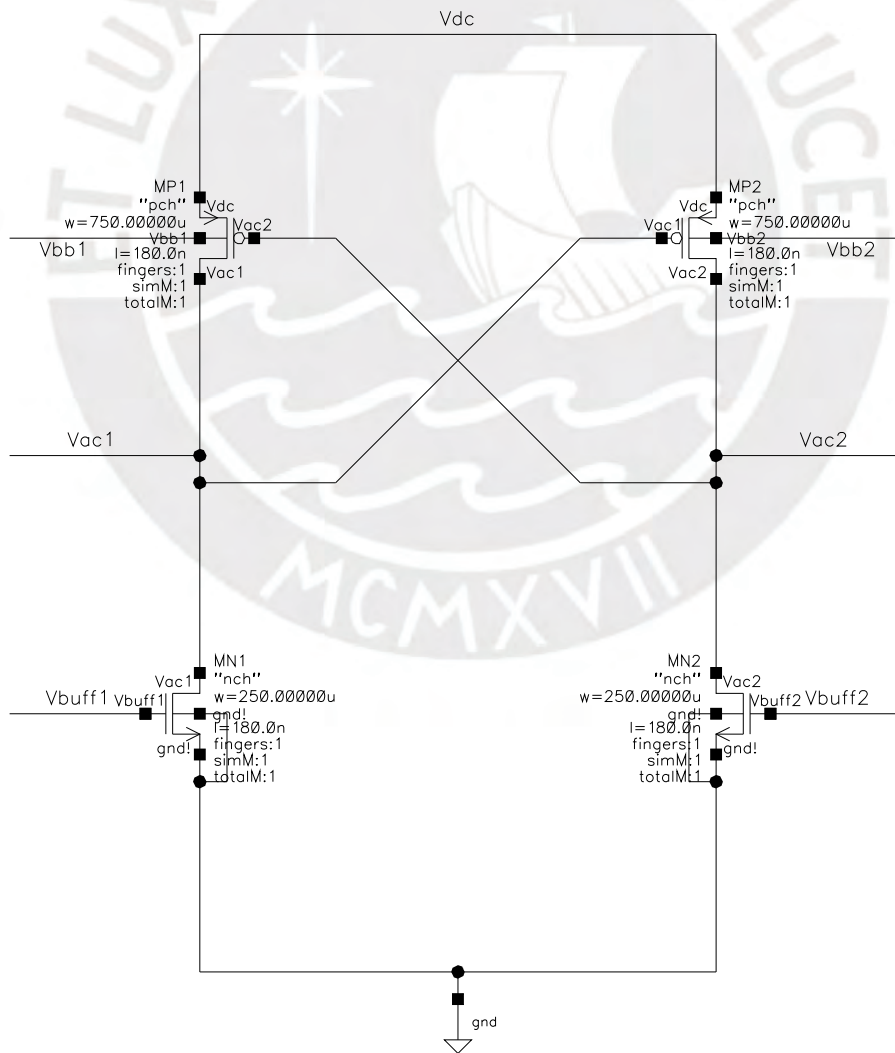


Figura B.3: Esquemático del núcleo del rectificador activo.

B.4 Esquemático del circuito buffer de voltaje

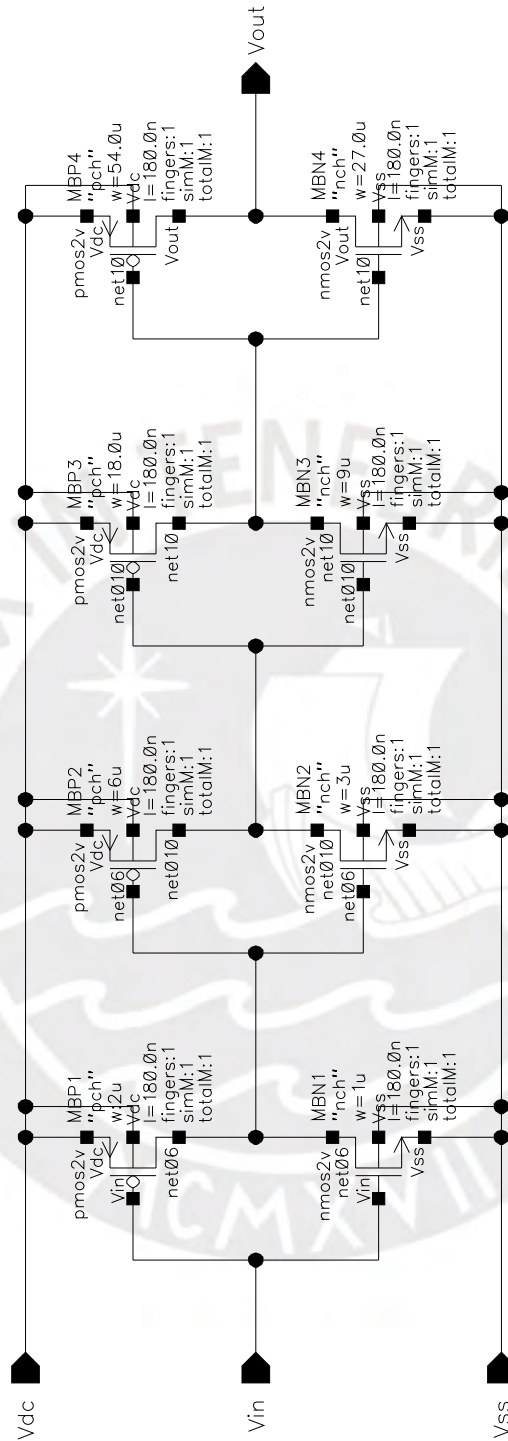


Figura B.4: Esquemático del circuito buffer de voltaje.

B.5 Esquemático del circuito de referencia de corriente

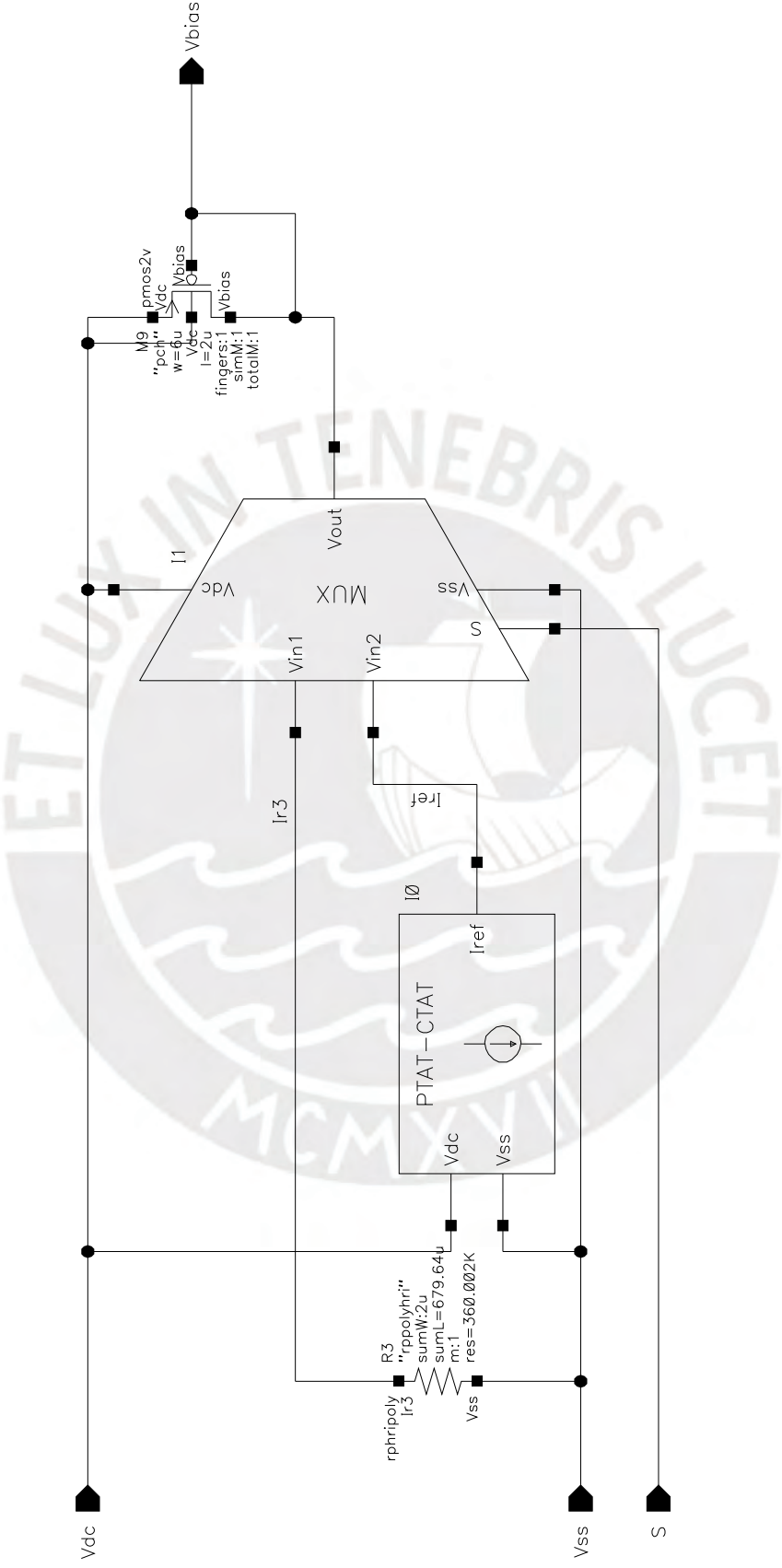


Figura B.5: Esquemático del circuito de referencia de corriente.

B.6 Esquemático del multiplexor

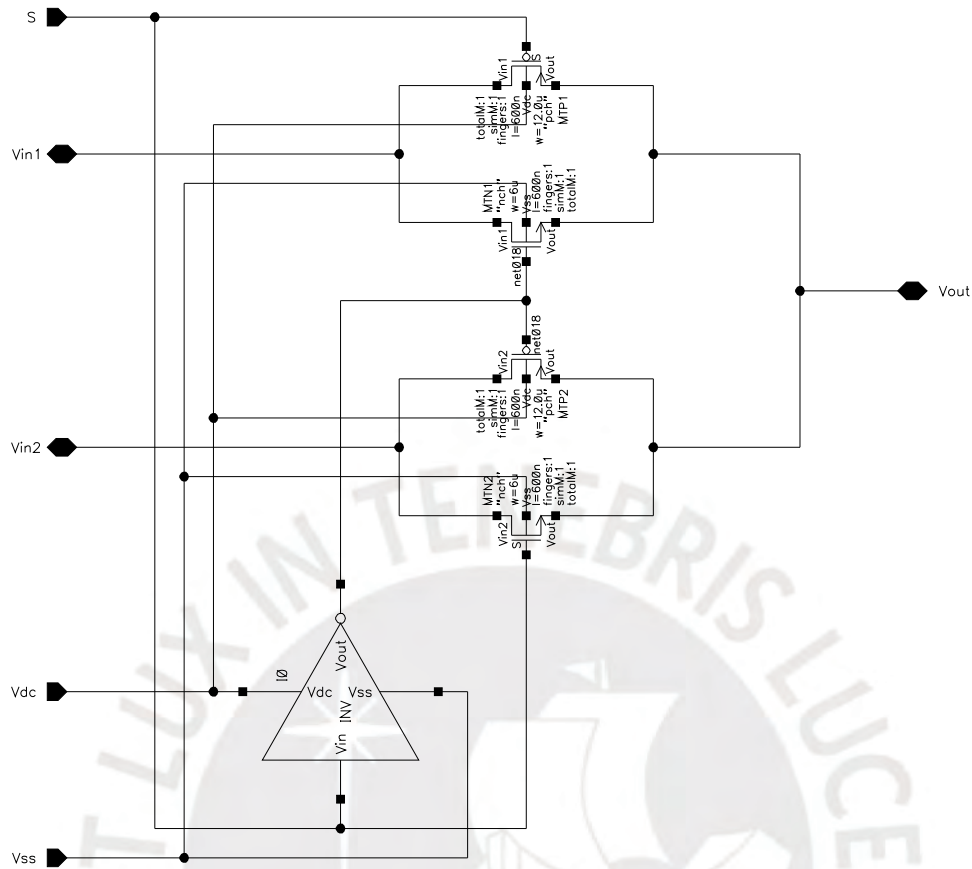


Figura B.6: Esquemático del multiplexor del circuito de referencia de corriente.

B.7 Esquemático del inversor

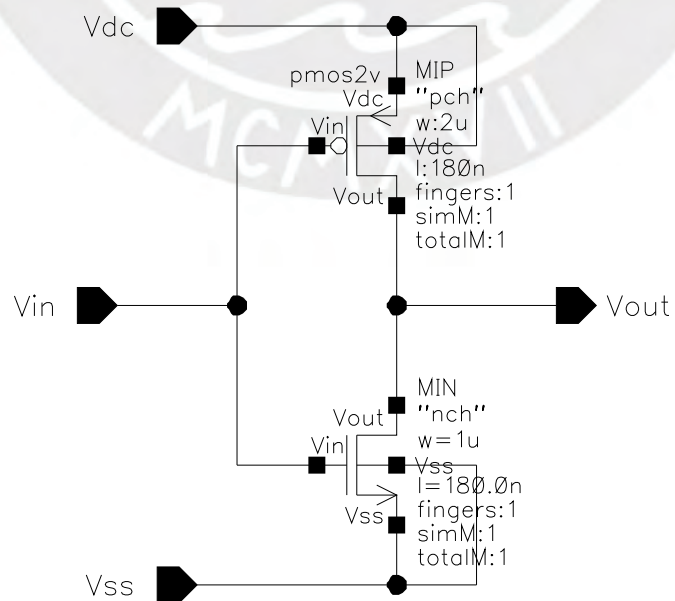


Figura B.7: Esquemático del inversor del circuito multiplexor.

B.8 Esquemático de la referencia de corriente PTAT-CTAT

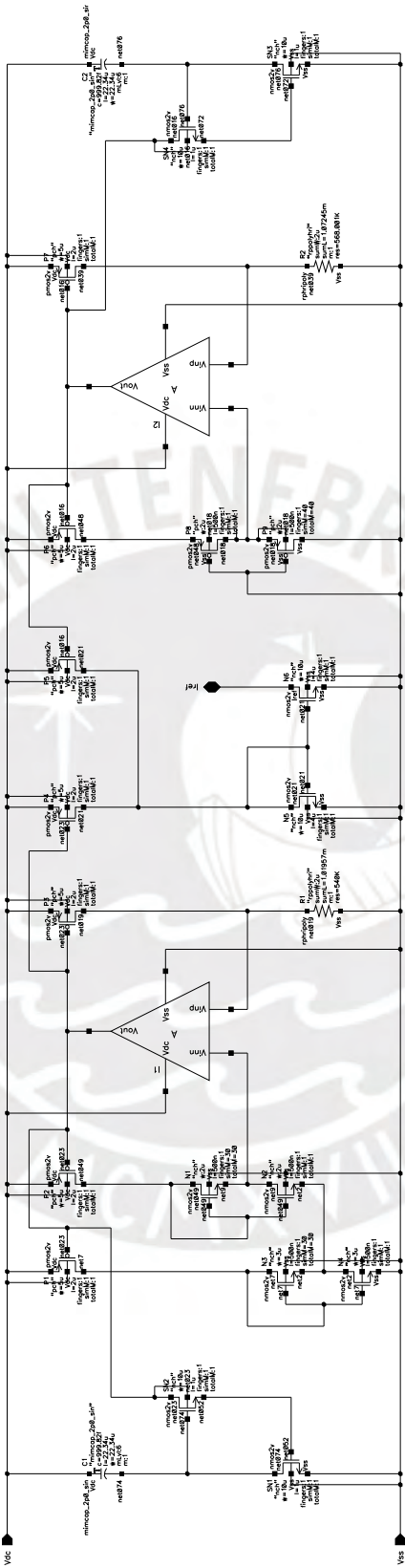


Figura B.8: Esquemático de la referencia de corriente compensada en temperatura (PTAT-CTAT).

B.9 Esquemático del amplificador operacional

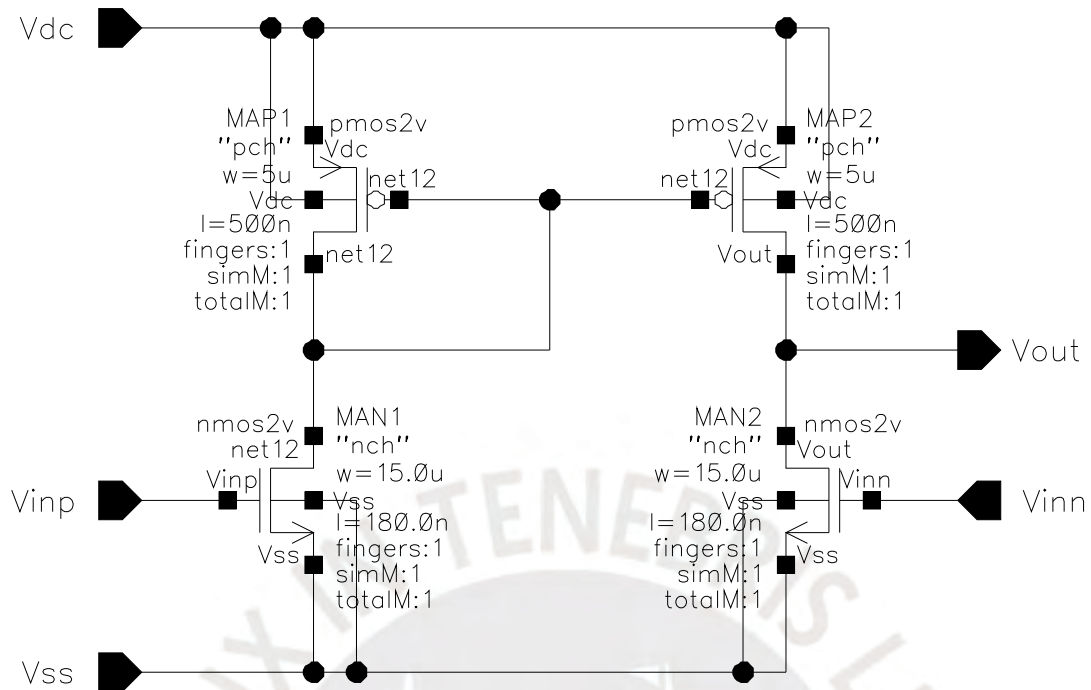


Figura B.9: Esquemático del amplificador operacional de la referencia de corriente PTAT-CTAT.

B.10 Esquemático del circuito limitador de voltaje

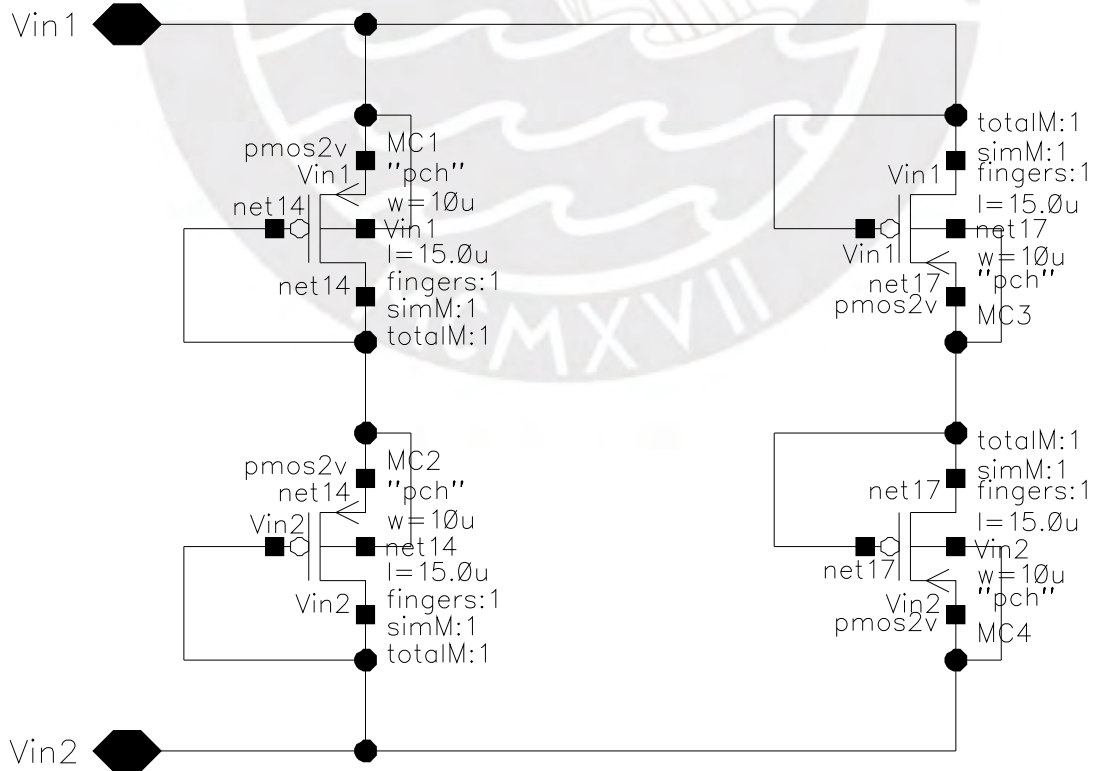


Figura B.10: Esquemático del circuito limitador de voltaje.

B.11 Esquemático de la red de acoplamiento de impedancias

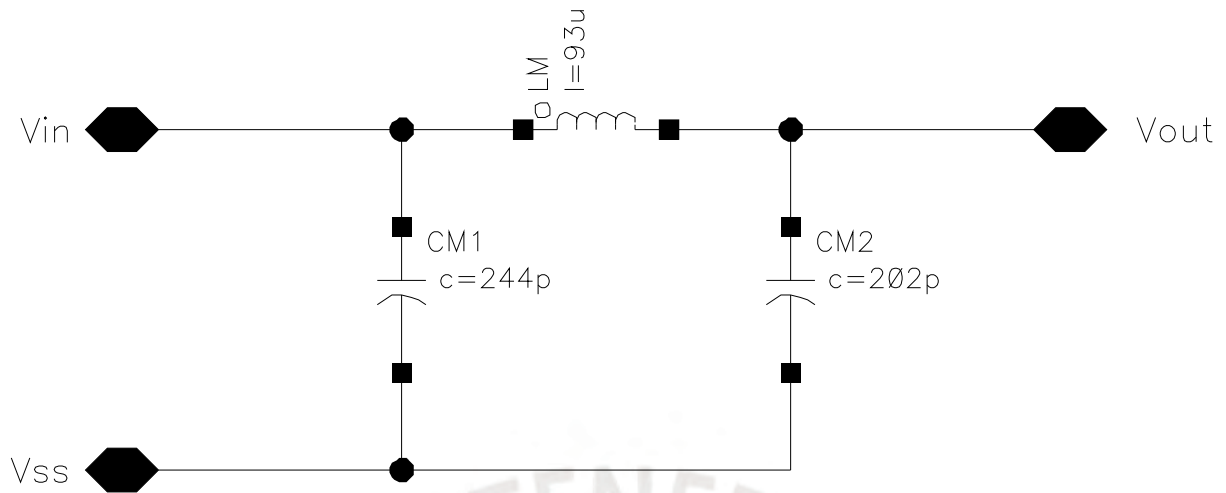


Figura B.11: Esquemático de la red de acoplamiento de impedancias.

B.12 Esquemático del circuito equivalente del modelo BVD del transductor piezoeléctrico

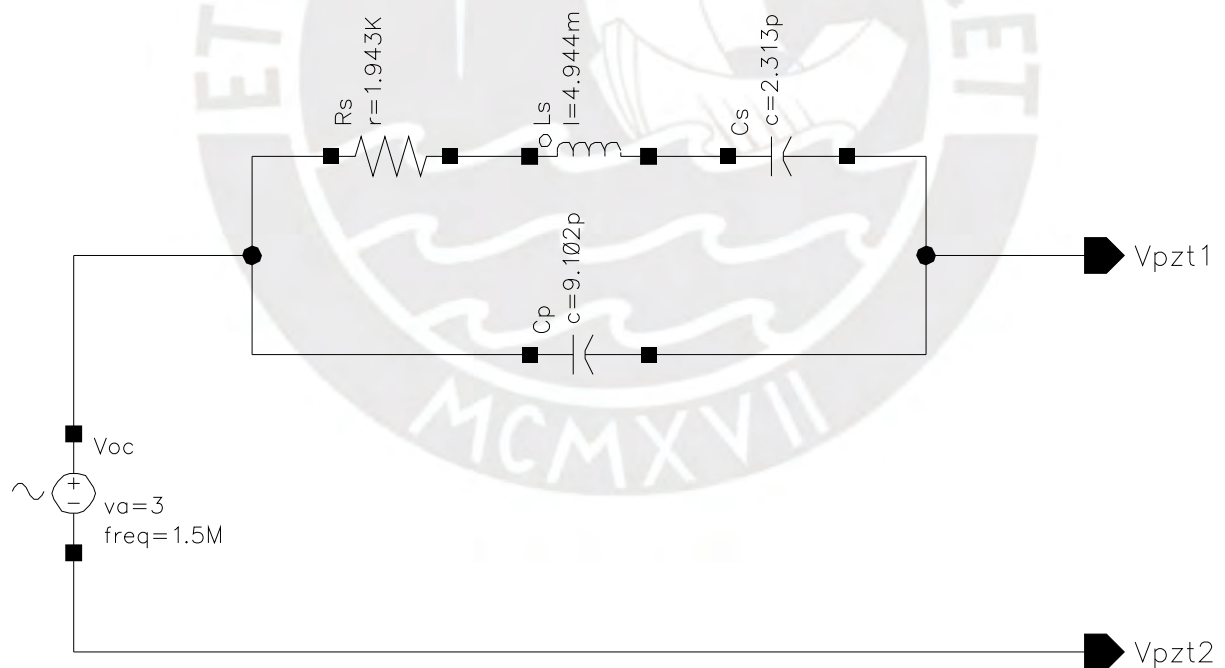


Figura B.12: Esquemático del circuito equivalente del modelo BVD del transductor piezoeléctrico.

B.13 Testbench de simulación del sistema

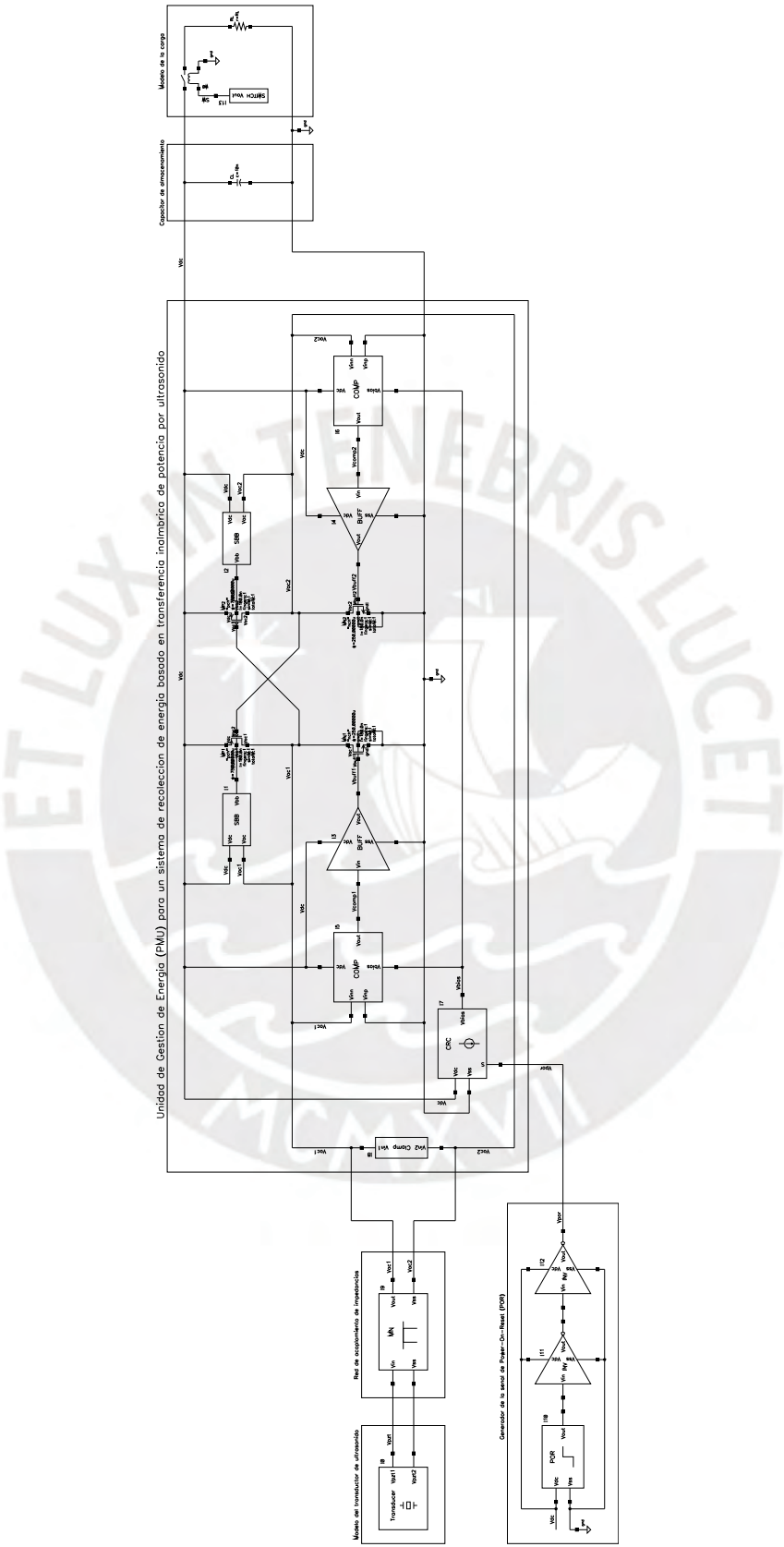


Figura B.13: Testbench de simulación del sistema de recolección de energía por ultrasonido.

B.14 *Testbench* de simulación para el diseño del comparador

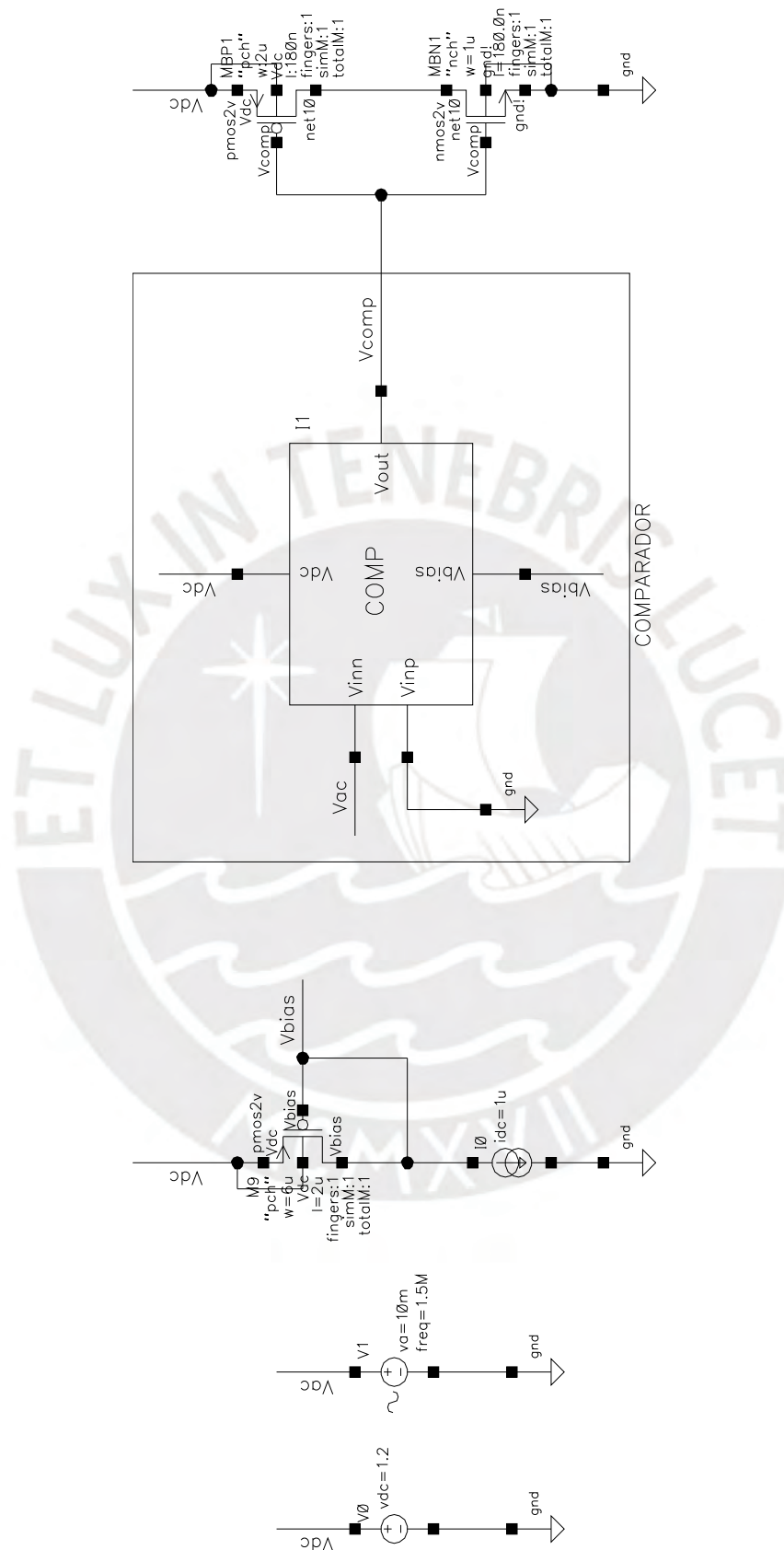


Figura B.14: *Testbench* de simulación para el diseño del comparador de voltaje.

Apéndice C

Modelos funcionales en Cadence

C.1 Modelo funcional del generador de señal de Power-On-Reset implementado en lenguaje Verilog-A

```
`include "constants.vams"  
`include "disciplines.vams"  
module POR(Vout, Vdc, Vss);  
  inout Vss, Vdc;  
  output Vout;  
  parameter real vdc_vth=0.9, delay=5u, trise=100n, tfall=100n;  
  real Vpor;  
  electrical Vdc, Vss, Vout;  
  analog begin  
    @(cross(V(Vdc) - vdc_vth));  
    if (V(Vdc) < vdc_vth)  
      Vpor = V(Vss);  
    else  
      Vpor = 0.9;  
    V(Vout) <+ transition(Vpor, delay, trise, tfall);  
  end  
endmodule
```



Figura C.1: Símbolo del modelo funcional del generador de señal POR en Cadence.