



PONTIFICIA
UNIVERSIDAD
CATÓLICA
DEL PERÚ

Diseño de un circuito integrado CMOS que varía la impedancia del receptor de un enlace inductivo de una interfaz neuronal implantada.

Tesis para optar el Título de Ingeniero Electrónico, que presenta el bachiller:

Hugo Cesar Gonzalez Yañez

ASESOR: Julio Cesar Saldaña
CO-ASESOR: Erick Raygada Vargas

Lima, Julio de 2015

FACULTAD DE
 CIENCIAS E
 INGENIERÍA

 PONTIFICIA
 UNIVERSIDAD
 CATÓLICA
 DEL PERÚ

TEMA DE TESIS PARA OPTAR EL TÍTULO DE INGENIERO ELECTRÓNICO

Título : Diseño de un circuito integrado CMOS que varía la impedancia del receptor de un enlace inductivo de una interfaz neuronal implantada.

Área : Circuitos y Sistemas # 1280

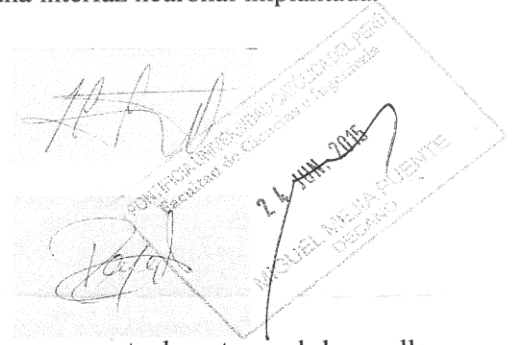
Asesor : Julio Cesar Saldaña Pumarica

Co-asesor : Erick Raygada Vargas

Alumno : Hugo Cesar Gonzalez Yañez

Código : 20092143

Fecha : 11 de Mayo de 2015


Descripción y Objetivos

Una de las aplicaciones de la electrónica que se encuentra en auge actualmente es el desarrollo de dispositivos electrónicos que interactúan con el sistema nervioso humano. El interés en estos dispositivos radica en su potencial para mejorar la calidad de vida de personas que poseen alguna deficiencia de naturaleza neuronal. Por ejemplo, investigadores de Brown University lograron en 2012 que una mujer tetrapléjica controle un brazo robot con el cual bebió café de una botella. Para lograr ese impresionante resultado fue necesario registrar señales neuronales desde un arreglo de micro-electrodos implantados en la corteza cerebral de la paciente. Esas señales, transmitidas mediante cables que atraviesan el cráneo, fueron procesadas en una computadora con el objetivo de decodificar las intenciones de movimiento. Esos sistemas de registro y transmisión de señales neurales, también conocidos como interfaces neuronales cableadas, han sido aplicados en muchos otros experimentos similares. Debido al éxito de esos experimentos se ha establecido como próximo paso el desarrollo de interfaces neuronales inalámbricas, las cuales permitirían transmitir las señales neuronales sin la necesidad de cables que atraviesen el cráneo y así superar problemas asociados a los cables tales como limitación de movilidad del paciente e infecciones. Como ejemplo de esa búsqueda de la solución inalámbrica, investigadores de Duke University han realizado en 2014 experimentos en monos con interfaces neuronales inalámbricas logrando que estos puedan resolver ciertas pruebas moviendo un cursor usando solo las señales de su cerebro. Estas interfaces inalámbricas funcionan mediante el uso de un enlace inductivo con el cual se puede transmitir potencia al implante y al mismo tiempo intercambiar datos con éste. Para el caso de transmisión de datos desde el implante hasta un dispositivo externo, una de las técnicas utilizadas es la modulación por "Backscattering". En ese tipo de modulación, la impedancia del receptor del enlace inductivo es variada con el objetivo de provocar una variación en el voltaje del emisor. El propósito de esta tesis es diseñar una impedancia variable para el transmisor de una interfaz neuronal inalámbrica. El desarrollo de este diseño implica (i) definir la arquitectura a nivel de componentes eléctricos de la impedancia variable, (ii) determinar los parámetros de diseño de los dispositivos utilizados, tales como condensadores y transistores, (iii) optimizar el diseño del circuito en términos de consumo de potencia y de área mediante la herramienta EDA (*Electronic Design Automation*) Cadence, (iv) diseñar el *layout* del circuito integrado, y finalmente (v) verificar vía extracción *Post-layout* de dispositivos parásitos que el circuito integrado creado satisfaga los requerimientos funcionales.



 PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ
 FACULTAD DE CIENCIAS E INGENIERÍA



M. Sc. Ing. MIGUEL ÁNGEL CATANO SÁNCHEZ
 Coordinador de la Especialidad de Ingeniería Electrónica

 MÁXIMO 50 PÁGINAS

FACULTAD DE
CIENCIAS E
INGENIERÍA



PONTIFICIA
UNIVERSIDAD
CATÓLICA
DEL PERÚ

TEMA DE TESIS PARA OPTAR EL TÍTULO DE INGENIERO ELECTRÓNICO

Título : Diseño de un circuito integrado CMOS que varía la impedancia del receptor de un enlace inductivo de una interfaz neuronal implantada.

Índice General

Introducción

Capítulos:

1. Estado del arte de una Interfaz Neuronal Implantada .
2. Enlace inductivo para transmisión de potencia y datos.
3. Diseño de la impedancia variable.
4. Resultados y simulaciones.

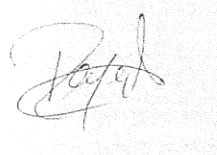
Conclusiones

Recomendaciones

Bibliografía

Anexos

Máximo: 100 páginas



PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ
FACULTAD DE CIENCIAS E INGENIERÍA

M. Sc. Ing. MIGUEL ÁNGEL CATANO SÁNCHEZ
Coordinador de la Especialidad de Ingeniería Electrónica

MÁXIMO 50 PÁGINAS

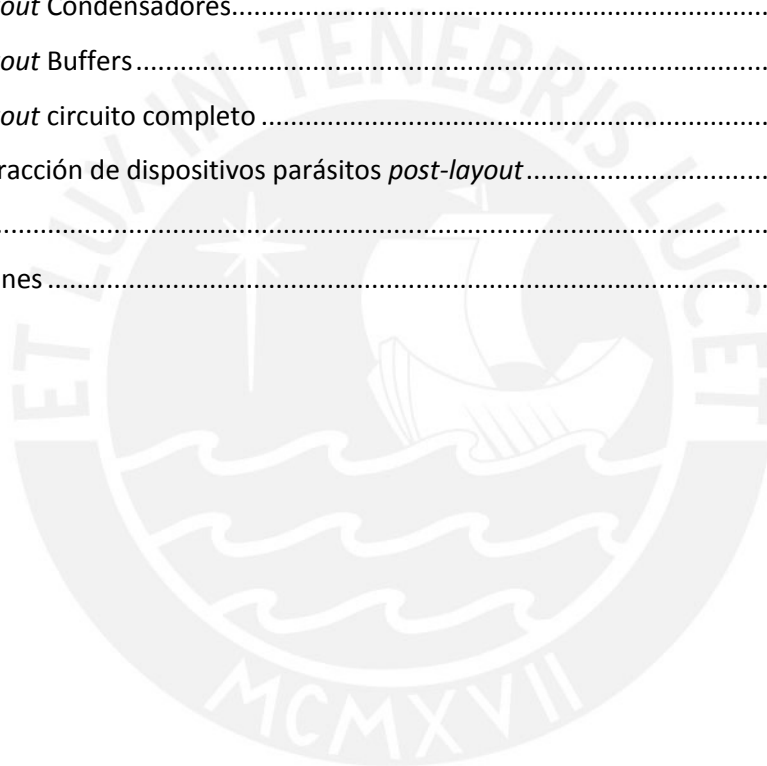
Índice

Resumen

Índice

Estado del Arte de una Interfaz Neuronal Implantada	1
1.1-INTERFACES NEURONALES.....	1
1.2.-APLICACIONES DE LAS INTERFACES NEURONALES	2
1.2.1.-Interfaces Neuronales de Grabación	2
1.2.2.-Interfaces Neuronales de Estimulación	4
1.3.-ARQUITECTURA DE UNA INTERFACE NEURONAL IMPLANTABLE	6
1.3.1.-Descripción de una interface neuronal.....	6
1.3.1.1-Circuitos de Amplificación.....	7
1.3.1.2.-Circuito de Transmisión	9
1.3.2.-Potencia consumida por interfaces neuronales	10
Enlace Inductivo para la Transmisión de Potencia y Datos.....	11
2.1.- Introducción.....	11
2.2.-FUNDAMENTOS DE UN ENLACE INDUCTIVO	12
2.2.1.-Ley de Faraday	12
2.2.2.-Acoplamiento Inductivo	13
2.2.3.-Circuito equivalente de un enlace inductivo	14
2.2.4.-Modulación Backscatter	15
2.2.5.-Ejemplos de enlaces inductivos utilizados en interfaces inalámbricas.....	18
2.2.6.-Circuito de simulación utilizando un enlace inductivo	20
Diseño de la Impedancia Variable.....	23
3.1.- Introducción.....	23
3.2.-Etapas de Diseño de la impedancia variable para una Interface Neuronal	23
3.3.-Selección y cálculo de valores utilizados en el Enlace Inductivo	25
3.4.-Selección de valores de condensadores (C_o y C_c) para la modulación	28
3.4.1-Selección del valor de C_o	28
3.4.2-Selección del valor de C_c	30
3.5.-Dimensionamiento de los transistores usados como llave.....	31
3.6.-Diseño de Buffers Digitales	33
Simulaciones y Resultados	37
4.1.- Introducción.....	37

4.2.- Simulaciones	37
4.2.1.-Variación de la amplitud al conmutar los condensadores utilizando bits de entrada	40
4.2.2.-Variación de la eficiencia al conmutar los condensadores utilizando bits de entrada	41
4.2.3.-Análisis del circuito en base a variaciones de proceso y temperatura	42
4.2.4.-Funcionamiento del circuito diseñado.....	44
4.2.5.-Tiempo de propagación de los buffers diseñados	45
4.2.6.-Potencia Consumida	46
4.3.- <i>Layout</i>	47
4.3.1.- <i>Layout</i> Condensadores.....	47
4.3.2.- <i>Layout</i> Buffers	48
4.3.3.- <i>Layout</i> circuito completo	48
4.3.4.-Extracción de dispositivos parásitos <i>post-layout</i>	50
Conclusiones	51
Recomendaciones	52



Índice Figuras

1.1. Imagen en donde una mujer tetrapléjica logra controlar un brazo robot mediante el pensamiento [1].....	3
1.2. a)Chimpancé desempeñando una tarea virtual b)Grafica donde se observa la mejora del desempeño de los chimpancés en las pruebas con el paso de los días c)movimiento del cursor a través del eje con control manual (HC) ,control del cerebro con joystick (BCWH) y control usando únicamente el cerebro (BCWOH)[2].....	3
1.3. Visión general de un implante visual [5].....	4
1.4.a) Posición de la prótesis origami en la retina y b) Configuración de los micro chips y arreglo de electrodos [6].....	5
1.5. Representación de un implante coclear moderno [7].....	6
1.6. Diagrama de bloques de una interface neuronal [4].....	7
1.7. (a) Diagrama del amplificador neural. (b) Esquemático del OTA de baja potencia y ruido usado en el amplificador. (c)Grabación neural desde el cerebro de una cebra usando este amplificador [4].....	8
1.8. Esquemático del enlace de baja potencia usando un enlace inductivo [4].....	9
2.1. Campo Eléctrico producido por un campo magnético variable [18].....	12
2.2. Bobinas acopladas mutuamente y el circuito que las representa [17].....	13
2.3. Enlace Inductivo [19].....	14
2.4. Esquema equivalente de un enlace inductivo [19].....	15
2.5. Enlace inductivo [11].....	15
2.6. Modulación backscatter usando a)modulación por carga resistiva en serie b)modulación por carga resistiva en paralelo y c)modulación por carga capacitiva en paralelo [20].....	16
2.7. Ejemplo de un sistema implantado de baja potencia [12].....	18
2.8. Par de resonadores acoplados magnéticamente [12].....	19
2.9. Diagrama de bloques del circuito integrado [13].....	20

2.10. Esquemático usado para la simulación del capacitor [19].....	21
2.11. Circuito equivalente aplicado para el cálculo de la función de transferencia [19].....	21
2.12. Parte resistiva de la impedancia de entrada.....	22
3.1 Diagrama esquemático del diseño de la impedancia variable.....	24
3.2. Diagrama esquemático del circuito de Simulación.....	25
3.3. Esquemático en el cual los transistores funcionan como llave.....	25
3.4. Buffer conectado al transistor M0.....	26
3.5. Efecto de la variación de inductancia en la eficiencia.....	28
3.6. Gráfica en donde se observa el efecto de la capacitancia en la eficiencia.....	29
3.7. Variación de la amplitud en la unidad externa al variar la capacitancia.....	31
3.8. Gráfica donde se observa el efecto del ancho de canal W en la señal.....	32
3.9. Influencia de la variación del ancho de canal(W) en la eficiencia.....	33
3.10. Inversor [22].....	34
3.11. Tiempo de propagación en función del ancho de canal (W).....	35
3.12. Cadena de Inversores [22].....	37
4.1. Esquemático del circuito diseñado.....	39
4.2. Variación de la amplitud en función de los bits de entrada.....	41
4.3. Variación de la eficiencia en función de los bits de entrada.....	42
4.4. Señal recibida en el receptor al conmutar los condensadores (Azul) y señal obtenida en el circuito interno para ser reflejada (verde).....	45
4.5. Ampliación de la señal recibida en el dispositivo externo.....	46
4.6. Efecto del ancho de canal sobre la potencia consumida.....	47
4.7. <i>Layout</i> del arreglo de capacitores.....	48
4.8. <i>Layout</i> buffer de entrada de los transistores M0 y M1.....	49
4.9. <i>Layout</i> del circuito completo.....	50
4.10. Variación de amplitud usando esquema con elementos parásitos.....	51

Índice Tablas

1.1. Potencias en interfaces neuronales.....	10
2.1. Comparación entre configuraciones de Modulación <i>Backscatter</i>	17
3.1. Valores de C_o para diferentes temperaturas.....	30
3.2. Valores de Capacitancia seleccionados.....	32
3.3. Dimensionamiento de los transistores llave.....	33
3.4. Dimensiones Buffers.....	36
3.5. Tiempo de propagación para cada capacitancia.....	37
4.1. Ajuste de dimensiones de los transistores.....	40
4.2. Amplitudes obtenidas mediante la variación de bits de entrada.....	41
4.3. Eficiencias obtenidas mediante la variación de bits de entrada.....	42
4.4. Valores de amplitud y eficiencia por variación de procesos y temperatura.....	44
4.5. Tiempo de propagación de cada <i>buffer</i>	46
4.6. Valores de amplitud obtenidas simulando con los elementos parásitos.....	51

Resumen

El presente trabajo de tesis consiste en el diseño de un circuito integrado CMOS que varía la impedancia del receptor de un enlace inductivo para una interface neuronal implantada con el fin de generar una variación de voltaje en el circuito emisor de esta. Este diseño se basó básicamente en la conmutación de valores de condensadores para generar la variación de voltaje en el emisor mediante la activación o desactivación de transistores los cuales funcionan como llave. A la entrada de estos transistores se implantaron unos buffer, los cuales mejoran la transición de voltaje y los tiempos de propagación de las señales.

Se realizó el diseño del esquemático del circuito así como el diseño del *layout* mediante el software *EDA (ElectronicDesignAutomation) CADENCE*.

El esquemático fue desarrollado considerando dispositivos de la tecnología denominada AMS0.35. Esta tecnología pertenece a la compañía AMS y permite la fabricación de transistores MOSFET con canales de 350 nm de longitud mínima.

Para la elaboración del layout se utilizó la herramienta *Layout XL* de *Cadence* y se utilizó la herramienta ASSURA para validar cada uno de los bloques. En el diseño de los layout se corroboró el uso de las reglas de diseño con la herramienta DRC (*Design Rule Check*), la equivalencia entre el esquemático y el *layout* con la herramienta LVS (*Layout Versus Schematic*) y finalmente la extracción de elementos parásitos usando la herramienta Assura QRC.

Se convalidó el funcionamiento del circuito y el cumplimiento de los requerimientos mediante simulaciones. Los resultados más destacables son los de potencia en el cual obtuvimos un valor de 167.2uW, juntos con los resultados de modulación teniendo 4 bits o 16 números para realizar la conmutación y así poder tener 16 amplitudes diferentes en el emisor, los tiempos de propagación obtenidos de 618.5ps y 660ps. El área total del circuito modulador fue de 0.0942mm².

Introducción

En la actualidad, la electrónica está contribuyendo en mejorar la calidad de vida de las personas de diversas maneras; una manera de realizarlo es desarrollar circuitos que interactúen con el cerebro mediante señales adquiridas de este, para luego ser procesadas por un computador. Un ejemplo claro de esto es una investigación reciente publicada en la revista "*Science*", donde un hombre de 32 años que padece de tetraplejía pudo tomar agua de una botella controlando un brazo robótico mediante sus pensamientos, este resultado se logró mediante el procesamiento y decodificación de señales captadas de manera cableada desde la corteza parietal posterior del cerebro en donde se producen las intenciones de movimiento.

Debido a estos resultados en investigaciones es que se ha producido un creciente interés en la implementación de circuitos de interfaces neuronales y más aún en desarrollar estos dispositivos de manera inalámbrica para evitar problemas de movilidad e infecciones tras el uso de cables para la transmisión de datos. Es por esto que investigaciones recientes se han centrado en el estudio de enlaces inductivos para la transmisión de potencia y el intercambio de datos en interfaces neuronales inalámbricas.

En esta tesis se desarrolló un circuito para un enlace inductivo que puede ser usado en una interface neuronal inalámbrica, en donde para transmitir datos de manera inalámbrica se usó la técnica de modulación "*Backscatter*", la cual está caracterizada por su bajo consumo de potencia y consiste en la variación de la impedancia de entrada del circuito implantado o receptor para generar una variación de voltaje en el circuito externo o emisor. Esta variación de impedancia se dio mediante la conmutación de condensadores, los cuales llevan conectados transistores usados como llave para la conexión y desconexión de estos. A la entrada de estos transistores se conectaran buffers para asegurar la transición de voltaje y reducir el tiempo de propagación de la señal que estos reciben.

El circuito diseñado cuenta con cuatro entradas para la conmutación de condensadores, en donde estas cuatro entradas serán señales digitales que nos brindaran la posibilidad de conmutar entre 16 valores diferentes de condensador.

Finalmente este circuito fue diseñado tanto a nivel de esquemático como a nivel de *layout*, pudiendo así realizar las respectivas simulaciones para verificar su funcionamiento adecuado y optimizar el área que ocupará el diseño.

CAPÍTULO 1

Estado del Arte de una Interfaz Neuronal Implantada.

1.1-INTERFACES NEURONALES

Las interfaces neuronales son un medio de comunicación entre el cerebro y la computadora con las cuales se puede registrar y transmitir la actividad neuronal generada por el cerebro. Esta comunicación brindada por estas interfaces ha sido de gran utilidad en aplicaciones médicas para personas con discapacidades motoras o mentales. Investigadores han realizado exitosos experimentos en personas usando estas interfaces de manera cableada, es decir, utilizando cables para comunicar las señales registradas por electrodos implantados hasta una computadora externa. Por ejemplo, investigadores de la universidad de Brown realizaron en el 2012 un experimento en el cual una mujer tetrapléjica logró mover un brazo robot con el cual sujetó una botella de café usando solo señales neuronales [1]. El problema de estas interfaces cableadas es que limita la movilidad del individuo y promueve la generación de infecciones en el paciente; por ese motivo las investigaciones actuales se enfocan principalmente en el diseño de interfaces neuronales inalámbricas, las cuales son probadas en animales. Uno de los experimentos más recientes se realizó en la universidad de Duke en el 2014, en el cual un mono usando una interfaz neuronal inalámbrica implantada logró realizar diferentes tareas moviendo un cursor en una pantalla [2]. Hasta el momento de la redacción de este documento no se encontraron publicaciones mostrando el uso de interfaces neuronales inalámbricas en humanos.

Debido a la utilización de electrodos implantados, las interfaces neuronales mencionadas anteriormente son clasificadas como invasivas. Cabe resaltar que existen interfaces neuronales no invasivas, es decir, que no utilizan electrodos implantados. Las interfaces no invasivas utilizan señales captadas fuera del cuerpo humano, como por ejemplo señales generadas por la contracción de un músculo y captadas en la superficie de la piel o señales de EEG (electroencefalograma) que son captadas en la superficie de la cabeza por encima del cuero cabelludo [3]. El tipo de control obtenido con las interfaces no invasivas es más limitado que el obtenido con las invasivas, pues las señales captadas de manera no invasiva tienen menor relación señal a ruido (SNR) que las captadas directamente en la superficie del cerebro.

Otra aplicación de las interfaces neuronales es la transmisión de estímulos desde un dispositivo externo hacia el sistema nervioso, siendo los implantes oculares y cocleares los ejemplos más destacados de ese tipo de aplicación.

En esta tesis nos centraremos en el estudio de las interfaces neuronales invasivas e inalámbricas, poniendo énfasis en el desafío de transmitir información desde un circuito integrado implantado hasta un circuito externo empleando la energía enviada inalámbricamente desde el dispositivo externo hasta el interno.

1.2.-APLICACIONES DE LAS INTERFACES NEURONALES

De manera general, estas interfaces neuronales que permiten la comunicación entre el sistema nervioso y un dispositivo externo pueden realizar dos tipos de funciones: registrar señales neuronales y aplicar estímulos neuronales.

Las interfaces que solo registran señales neuronales, conocidas como interfaces de grabación (en inglés son conocidas como *neural recording interfaces*), son utilizadas mayormente en aplicaciones de control de prótesis motoras [3]. Por otro lado, las interfaces que aplican estímulos son utilizadas en el tratamiento de enfermedades como el Parkinson y el desarrollo de prótesis visuales y auditivas [4]. Finalmente, existe la posibilidad de registrar señales neuronales y aplicar estímulos neurales mediante la misma interface neuronal, como ocurre en el caso del tratamiento de epilepsia. En este caso a partir de procesamiento de señales registradas se puede predecir la ocurrencia de un evento epiléptico y aplicar oportunamente un estímulo neural que minimice los efectos de tal evento [4].

1.2.1.-Interfaces Neuronales de Grabación

Se ha demostrado que estas interfaces han dado buenos resultados en el control de dispositivos externos mediante la grabación y el procesamiento de señales neuronales. Estas interfaces han ayudado a pacientes a recuperar funciones motoras, como el movimiento de una extremidad perdida por alguna enfermedad o en algún accidente. Una de estas discapacidades en la que se aplicó el uso de estas interfaces es la tetraplejía que consiste en la parálisis parcial o total de las extremidades. Experimentos realizados en la universidad de Brown en el 2012 usando estas interfaces aplicadas a personas con tetraplejía, lograron grandes resultados en los cuales señales neuronales captadas y grabadas del cerebro fueron procesadas y convertidas en señales de control, ya que se ha demostrado que las neuronas motoras pueden proveer estimaciones fiables de las intenciones motoras así como fuerza y dirección de estas [1]. Con estas señales neuronales se pudo maniobrar un brazo robótico que permitió a una paciente tetrapléjica coger una botella de café y llevársela a la boca usando solo sus pensamientos [1].

En investigaciones anteriores se demostró que monos sin ninguna discapacidad motora pudieron mover un brazo robot utilizando interfaces neuronales, abriendo camino a que investigadores de la universidad de Brown traten de demostrar que personas con discapacidades motoras o que hayan perdido alguna extremidad puedan realizar la misma acción utilizando interfaces neuronales inalámbricas. El experimento se realizó en 2 personas, las cuales padecen de tetraplejía por un largo periodo de tiempo, en el caso de una de ellas este tiempo es de 14 años y 11 meses, comprobando así que las señales motoras aún siguen activas a pesar del tiempo transcurrido. A estos pacientes se les implanto un arreglo de 96 electrodos en la corteza motora, de donde de manera cableada se obtuvieron las señales de control para el movimiento del brazo robótico. Esta investigación nos abre la posibilidad de que en un futuro sea posible maniobrar implantes robóticos de manera diestra y con una mayor velocidad de acción de movimiento a través de señales neurales. Estas señales también pueden ser utilizadas para reanimar músculos paralizados a través de estimulación eléctrica [1].

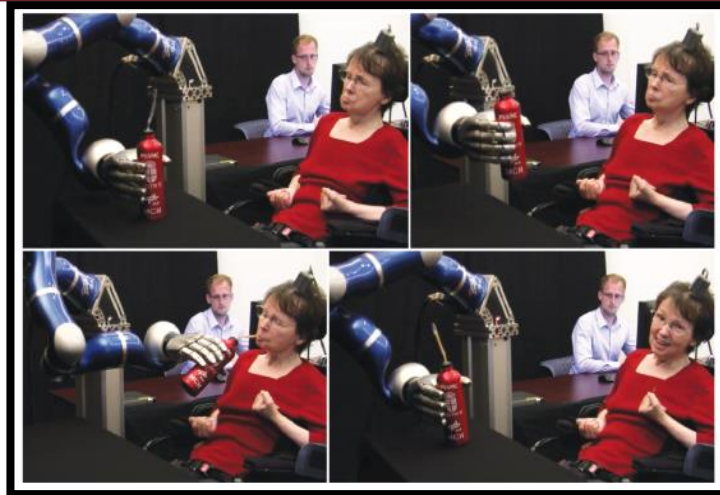


Figura 1.1: Imagen en donde una mujer tetrapléjica logra controlar un brazo robot mediante el pensamiento [1].

Otras interfaces se han centrado en la operación de dispositivos como sillas de ruedas, control de prótesis, control de órtesis usadas como un dispositivo apoyo el cual facilita el movimiento de un miembro o extremidad y el control de cursores en un computador para la solución de distintas tareas o pruebas [1].

Experimentos realizados en la universidad de Duke en el 2014 han demostrado que es posible resolver diferentes tipos de tareas controlando un cursor en una pantalla , mediante el procesamiento de señales neuronales de manera inalámbrica, estas pruebas fueron realizadas con chimpancés y probaron que estos animales con el paso del tiempo obtienen un mayor acierto en las pruebas realizadas [2].

En este estudio las pruebas eran aprendidas y realizadas de manera correcta en un plazo de 7 días promedio por chimpancé. En la siguiente figura podremos observar algunos gráficos donde notamos el avance de los chimpancés con el paso de los días.

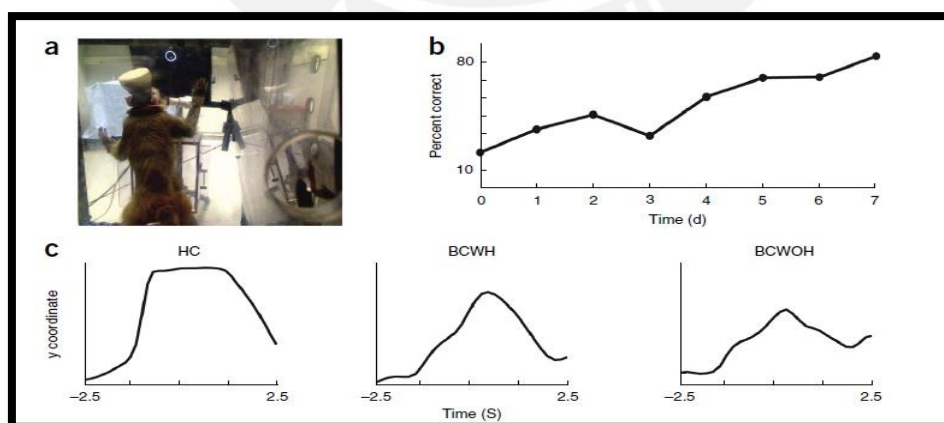


Figura 1.2: a)Chimpancé desempeñando una tarea virtual b)Grafica donde se observa la mejora del desempeño de los chimpancés en las pruebas con el paso de los días c)movimiento del cursor a través del eje con control manual (HC) ,control del cerebro con joystick (BCWH) y control usando únicamente el cerebro (BCWOH)[2].

1.2.2.-Interfaces Neuronales de Estimulación

Así como existen las interfaces neuronales de grabación, también encontramos en la literatura las interfaces neuronales de estimulación que ayudan a realizar funciones sensoriales. Estas funciones sensoriales están relacionadas con la visión y audición y son importantes ya que sin estas un individuo no puede desarrollar sus funciones motoras de manera adecuada.

Es por esto que se han desarrollado interfaces que mediante estimulación han logrado avances en la recuperación de funciones visuales y auditivas. Se han desarrollado implantes en la retina para personas con un tipo de ceguera específico e implantes cocleares para personas con dificultades de audición [9]. Estos implantes estimulan eléctricamente áreas específicas de la corteza correspondientes a la percepción de estos sentidos.

En el 2014 investigadores [5] lograron desarrollar un implante visual en el cual mediante la estimulación de la retina o el nervio óptico pudieron restaurar parte de la visión de un paciente. Este implante cuenta con una cámara, la cual está conectada a un dispositivo externo que procesa la imagen para luego enviarla al dispositivo interno. En este dispositivo interno se genera realiza estimulaciones eléctricas en la retina, generando así la percepción de la imagen en el cerebro. En la figura 1.3 podemos tener una idea más general del sistema implantado, en donde podemos apreciar la ubicación del implante que realizara la estimulación cerca de la retina [5].

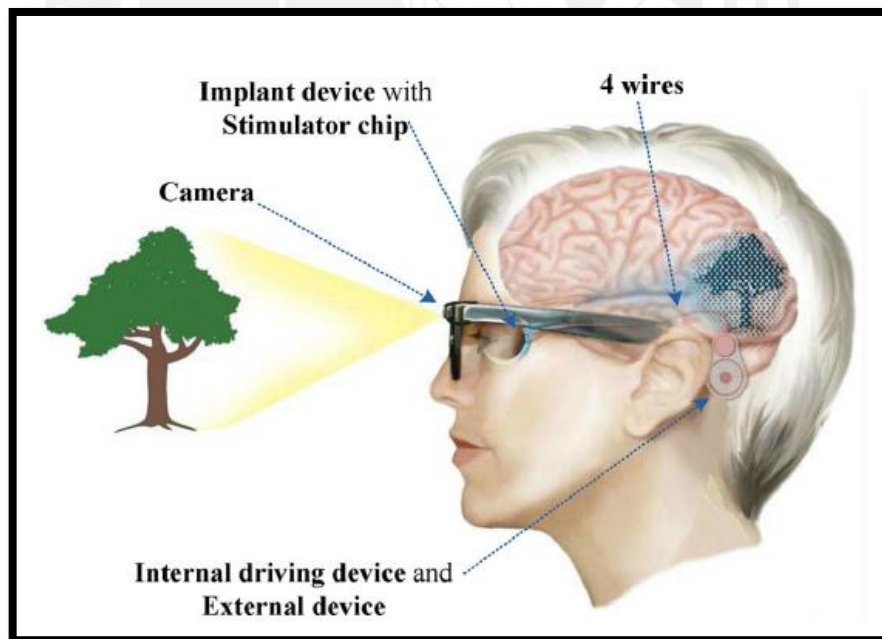


Figura1.3: Visión general de un implante visual[5].

Cabe resaltar que el investigador peruano Manuel Monge del departamento de ingeniería eléctrica del California Institute of Technology, realizó una publicación acerca de consideraciones de diseño para una prótesis visual para personas con retinosis pigmentaria, la cual busca mejorar limitaciones que se presentan comúnmente en este tipo de implantes. En este trabajo se busca mejorar estas limitaciones mencionadas como el área empleada, potencia consumida y el uso de

cables empleado en estos dispositivos utilizando prótesis intraoculares totales. Se propone el uso de varios micro chips en vez de un solo chip para reducir el tamaño del implante y conseguir un alto rendimiento, también se propone el diseño de un implante origami (ver figura 1.4) con el cual se mejorara el posicionamiento de los electrodos en la retina [11].

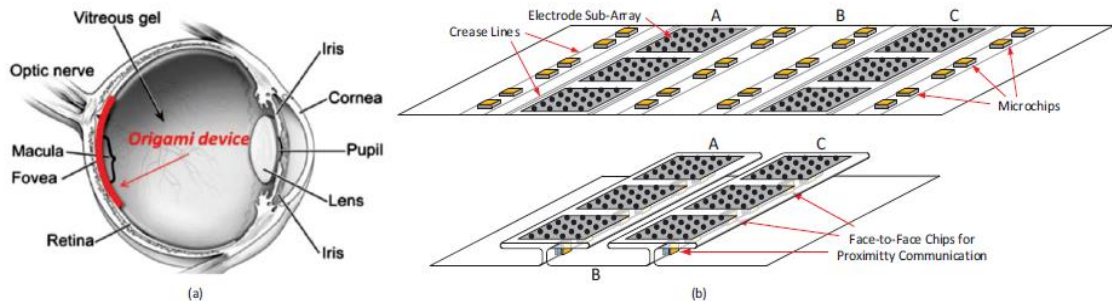


Figura 1.4: a) Posición de la prótesis origami en la retina y b) Configuración de los micro chips y arreglo de electrodos [6].

Con respecto a la audición se han logrado avances en implantes cocleares utilizando arreglos de electrodos que estimulan el nervio auditivo. Investigaciones sobre implantes cocleares realizadas en febrero de este año [6] han dado como resultado el registro de sonido con intensidades que van de 40 y 90 dB. En esta investigación el diseño cuenta con un dispositivo externo y uno interno, el dispositivo externo capta el sonido para poder procesarlo y convertirlo en señales, enviándolo inalámbricamente al dispositivo interno el cual mediante electrodos estimula el nervio auditivo haciendo así que el cerebro interprete estos estímulos como sonido [7].

En la figura 1.5 podemos apreciar el diagrama convencional de un implante coclear en el cual el dispositivo externo cuenta con un micrófono para captar el sonido, también cuenta con una batería la cual inalámbricamente mediante un enlace inductivo transmite potencia al implante interno. Mediante este enlace también se transmiten los datos que en este caso son el sonido que ha sido procesado y convertido en señales para ser procesadas por el dispositivo interno.

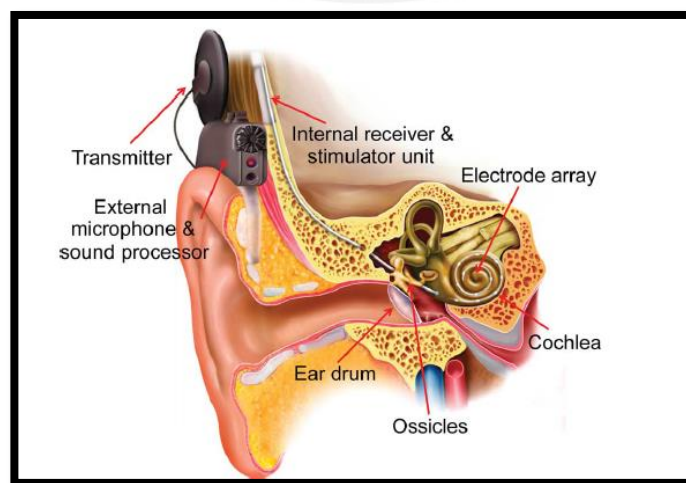


Figura 1.5: Representación de un implante coclear moderno [7].

Debido a la relación de dependencia que existe entre la actividad sensorial y motora, podemos usar los implantes sensoriales para un mejor desempeño de las actividades motoras; como el posicionamiento de las extremidades y regulación de los movimientos de los miembros. Estos implantes a la vez pueden usarse para el mejoramiento de las aplicaciones de las interfaces en funciones motoras brindando así un mejor desempeño y mejores resultados en el funcionamiento de estas.

Estas interfaces de estimulación no solo han sido aplicadas en la restauración de la visión o restauración de la audición, también se han aplicado en el tratamiento de enfermedades como el Parkinson, desórdenes neurológicos y otros tipos de afecciones. Se han usado estas interfaces para estimular el cerebro de una forma más directa y así poder aplicarlas al tratamiento de las enfermedades mencionadas anteriormente. Investigadores de la Universidad Nacional de TsingHua en Taiwán han desarrollado en el 2014 una interface neuronal de estimulación inalámbrica [8], la cual ha sido probada en ratas con el fin de tratar enfermedades como el Parkinson. Esta interface aparte de estimular también graba las señales neuronales para poder estudiar el comportamiento de las neuronas en ciertas partes del cerebro teniendo así una mejor visión de la parte en que la que mejor se pueda dar la estimulación [8].

Experimentos han demostrado que la estimulación en pacientes con enfermedad de Parkinson mejora la velocidad del movimiento en los codos y rodillas aumentando así la calidad de vida estos pacientes [9].

Estas estimulaciones directas por otro lado han tenido consecuencias negativas en aspectos como la fluidez verbal que son causadas por el mal posicionamiento de los estímulos en regiones más allá de las localizadas, en donde el estímulo eléctrico puede afectar zonas que no necesitan de este. Para esto se ha sugerido mejoras en los electrodos de estimulación, proponiendo la incorporación de micro-actuadores en los micro-electrodos, de manera que se puedan posicionar de manera precisa logrando así un mejor ajuste de la profundidad de los electrodos [9].

1.3.-ARQUITECTURA DE UNA INTERFACE NEURONAL IMPLANTABLE

1.3.1.-Descripción de una interface neuronal

Debido al amplio campo aplicativo de las interfaces neuronales, los investigadores buscan innovar en lo que refiere al diseño de estos circuitos. Teniendo en cuenta las aplicaciones recientes mencionadas anteriormente, podemos notar que la tendencia es la de diseñar interfaces neuronales inalámbricas implantadas ya que estas evitan problemas de movilidad por los cables y el riesgo de correr con infecciones. El diseño de estas interfaces neuronales inalámbricas deben contar con ciertos criterios de diseño como el tener un tamaño pequeño para poder ser implantado de manera fácil, el de consumir poca potencia, ya que al ser implantadas no pueden recalentarse al extremo de dañar el cerebro y deben contar con un enlace inductivo para la transmisión de potencia y datos; para poder así recargar estas interfaces de manera inalámbrica evitando futuras cirugías que podrían afectar al paciente.

Esta interface cuenta con una parte interna la cual va implantada en el cerebro y se comunica inalámbricamente con una unidad externa mediante un enlace inductivo tal y como se observa en la figura 1.6. Estas 2 etapas intercambiarán información entre ellas y a la vez la etapa externa transmitirá potencia a la parte implantada.

En la etapa externa contamos con una fuente sinusoidal la cual inducirá voltaje en la etapa implantada a través del enlace inductivo, contamos con un receptor de impedancia variable el cual recibirá la información transmitida desde el implante para luego ser procesada por el CPU. En la parte implantada se cuenta con un arreglo de electrodos los cuales se encargan de grabar las señales neuronales recibidas de las neuronas del cerebro, con un circuito de amplificación el cual amplifica las señales neuronales para tener una señal con mayor amplitud capaz de ser detectada por la etapa siguiente, con una etapa de filtrado en la cual se busca atenuar el ruido de la señal luego de haber sido amplificada, con un ADC el cual convierte la señal de analógica a digital, con un serializador el cual nos brindará los bits de conmutación para la variación de la impedancia. También contará con un rectificador el cual derivará una tensión para la carga de la batería.

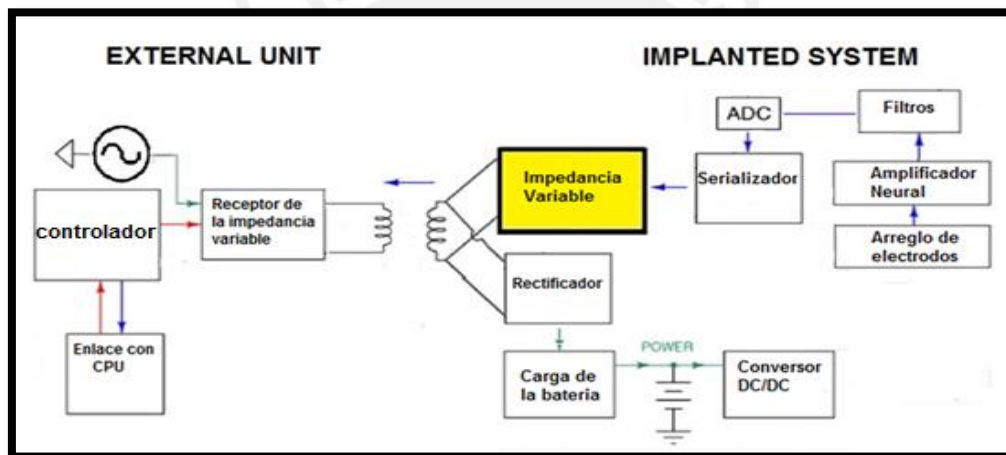


Figura 1.6: Diagrama de bloques de una interface neuronal [4].

La presente tesis de basa fundamentalmente en el diseño del bloque amarillo (ver figura 1.6) llamado "Impedancia Variable" el cual realiza la modulación mediante la conmutación de capacitores conectados en paralelo. Esta modulación está basada en la técnica *Backscatter* la cual se explicará a detalle en el capítulo 2 de la presente tesis.

1.3.1.1-Circuitos de Amplificación

Estas interfaces interactúan directamente con el cerebro mediante electrodos por lo que deben cumplir ciertos requerimientos en el consumo de energía y potencia, implicando así que los circuitos de amplificación tengan un bajo consumo de potencia. En esta etapa mostraremos un amplificador de baja potencia que a pesar que existen otros tipos de amplificadores (*single-ended amplifier*), los cuales han demostrado ser mucho más eficientes pero son menos eficaces ya que es más difícil su alimentación y son más susceptibles al ruido haciendo de estos menos prácticos para la grabación neuronal[4].

Mostraremos un amplificador el cual cuenta con una etapa de ganancia y un filtro para limitar el ancho de banda y mantener el ancho de banda total constante.

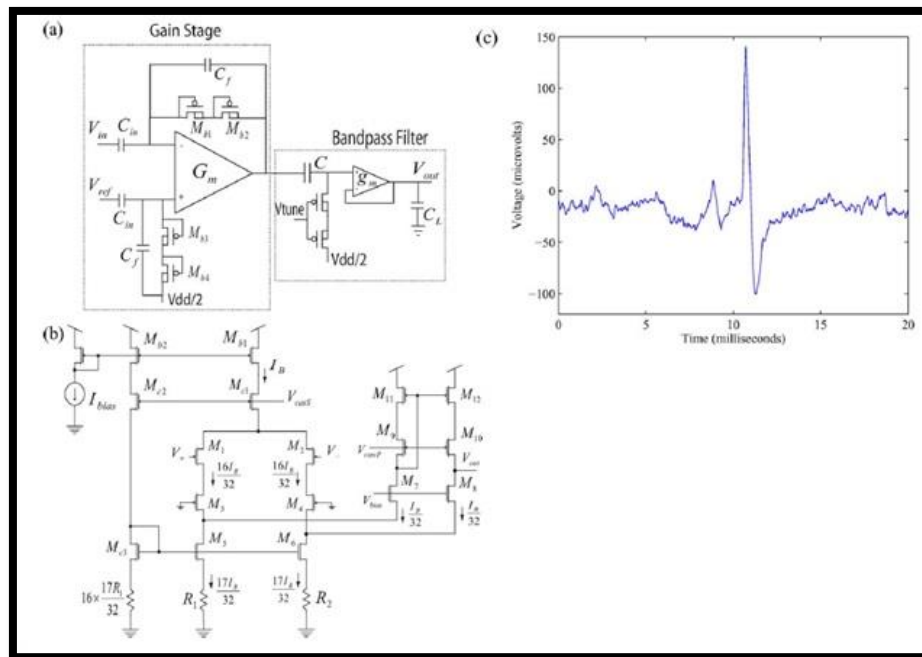


Figura 1.7:(a) Diagrama del amplificador neural. (b) Esquemático del OTA de baja potencia y ruido usado en el amplificador. (c) Grabación neural desde el cerebro de una cebra usando este amplificador [4].

La figura 1.7(c) muestra una señal grabada del cerebro de una cebra usando electrodos y el circuito amplificador mencionado. Se verifico la eficiencia midiendo los siguientes valores de entrada de referencia.

Ruido de entrada de 3.06Vrms para un ancho de banda de 45hz hasta 5,32Khz y un consumo de energía de 7,56W para una ganancia de banda media de 40.8dB.

Teniendo en cuenta el NEF (factor de eficiencia ruido) el cual tiene un valor referencial especifico para cada etapa podemos corroborar que tan eficiente es este amplificador. En el caso del amplificador el valor teórico es 2.02 y el medido en este circuito es 2,67 que está muy cerca a la teórica, lo cual hace a este un circuito muy eficiente y de bajo consumo de energía [4].

Añadiremos como ejemplo el diseño de un transmisor realizado por el ingeniero electrónico peruano Sammy Cerida de la Pontificia Universidad Católica del Perú, que como parte de su trabajo de tesis desarrollo un amplificador para una interface neuronal de bajo ruido y bajo consumo de potencia. Este amplificador se basó en una topología llamada "Fullydifferentialfoldedcascode"(FDFC) la cual fue adaptada para rehusar la corriente y lograr un mejor rendimiento. Este amplificador con un ruido de entrada de 1.16uVrms, consume 66.03uW para un voltaje de alimentación de 3.3v correspondiente a un valor de NEF igual a 2.58 [10].

1.3.1.2.-Circuito de Transmisión

La transmisión se da mediante un enlace inductivo de manera inalámbrica, con el cual podemos intercambiar datos entre la parte externa e interna de la interface neuronal. Mediante este enlace inductivo además podemos alimentar la batería en función del voltaje que se induce desde la parte externa de la interface. En la figura 1.9 podemos ver la conexión que se presenta entre la unidad externa e interna gracias al enlace inductivo.

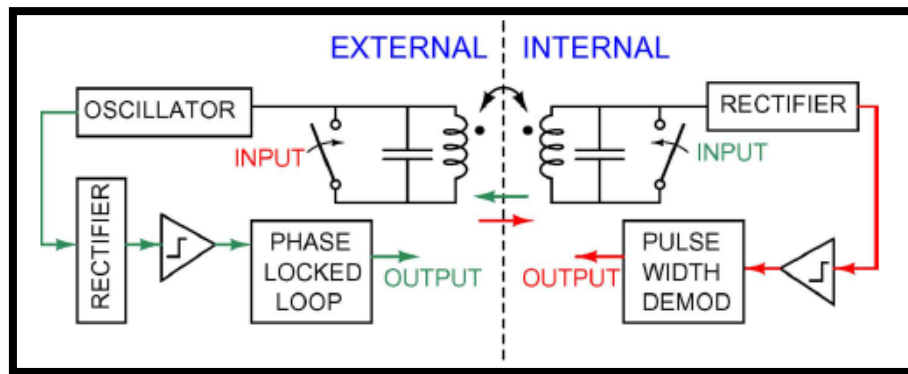


Figura 1.8: Esquemático del enlace de baja potencia usando un enlace inductivo [4].

En la figura 1.8 tenemos una modulación a través de la variación de la carga en la cual modula la amplitud en la parte externa del implante. En la primera figura la modulación se detecta mezclando la variación del voltaje en la unidad externa con la portadora no modulada y el filtro pasa bajo a la salida. Esta modulación de amplitud es recibida por un detector de envolvente construido con un rectificador y un filtro pasa bajo. A la salida este filtro una cadena de amplificadores eliminara el nivel DC obteniendo así la señal transmitida. En la segunda figura debido al encendido y apagado de la llave mediante el oscilador resulta una modulación de ancho de pulso en el secundario, el cual es detectado por rectificación, umbralización y circuitos de demodulación por ancho de pulso.

1.3.2.-Potencia consumida por interfaces neuronales

Estas interfaces se caracterizan por tener un bajo consumo de potencia por lo general entre 1mW y 100mW [11], pero hay interfaces que pueden llegar a consumir mayores potencias dependiendo de la cantidad de circuitos que lleven dentro y de la cantidad de electrodos que se puedan usar en estas para tener una mejor señal neuronal.

A continuación presentaremos un cuadro en donde podemos ver diferentes trabajos en interfaces neuronales, en donde podremos comparar la potencia consumida por cada una de estas, también se mostraran parámetros como la frecuencia y el factor de calidad Q los cuales nos servirán más adelante para el diseño del enlace inductivo que se usara en esta tesis.

Tabla 1.1: Potencias en interfaces neuronales.

Publicación	Frecuencia de operación	Número de Canales	Factor de calidad Q	potencia
[2]	2Mhz	128	-	264mW
[4]	25Mhz	-	90	1mW
[12]	6.78Mhz	-	40-70	1-10mW
[13]	300Mhz	64	1.2	225uW
[14]	13.56MHz	32	-	75mW
[15]	2Mhz	100	75.4	90.6mW
[16]	6.78Mhz	-	132	50mW

CAPÍTULO 2

Enlace Inductivo para la Transmisión de Potencia y Datos.

2.1.- Introducción

Como se vio en el capítulo anterior, las investigaciones recientes buscan innovar en el campo de las interfaces neuronales implantadas inalámbricas, debido a que estas nos evitan problemas como el cableado a través del cráneo hacia la computadora, pudiendo generar ciertas infecciones en el paciente así como la limitación de la movilidad del mismo. Debido a la necesidad de una conexión inalámbrica para este tipo de dispositivo, se está implementando el uso de un enlace inductivo para poder establecer la conexión entre la parte implantada y la parte externa de estas interfaces. Una aplicación de este tipo de enlaces es en los implantes médicos, ya que estos requieren de un voltaje de alimentación para entregar una cierta cantidad de potencia, que será transmitida inalámbricamente desde un dispositivo externo a través del enlace inductivo hacia el implante. Estas interfaces neuronales implantadas también requieren transmitir y recibir información, esta información será obtenida a través de los arreglos de electrodos y deberá ser transmitida al exterior, para lo cual se usa estos enlaces inductivos que generarán una conexión de datos entre la parte implantada y la parte externa de la misma. Estos acoplamientos inductivos deben tener una alta eficiencia en lo que refiere a consumo de potencia, ya que el enlace entre la parte implantada y la parte externa; tiene un bajo factor de acoplamiento (k) causado por la piel y cabello que se encuentra entre estas [16]. Esta eficiencia se verá influida por el factor de acoplamiento (k) y por el factor de calidad (Q) de los inductores [16].

La importancia del análisis de este enlace inductivo radica en que en esta tesis se centra en el diseño de una impedancia variable para variar la amplitud de la señal recibida. Esta impedancia al variarse reflejará un voltaje desde la parte implantada hacia la parte externa, es por esto que analizando el enlace inductivo podremos calcular los valores de voltaje que se reflejan en la unidad externa en función de la impedancia que ha sido variada, Así mismo podremos analizar la eficiencia del enlace inductivo al variar la impedancia en la parte implantada y observar cuánto es que influye esta impedancia en la eficiencia del enlace inductivo.

Los enlaces inductivos han sido utilizados en aplicaciones médicas desde hace muchos años, en el campo de las interfaces neuronales implantadas estos han brindado buenos resultados tanto en la transmisión de datos como la de potencia, por lo que siempre se ha buscado la optimización de estos enlaces. En esta tesis utilizaremos este enlace inductivo para poder simular el efecto de la impedancia variable en la unidad externa mas no en la optimización de este tipo de enlace inductivo.

2.2.-FUNDAMENTOS DE UN ENLACE INDUCTIVO

En esta parte analizaremos el enlace inductivo de una manera teórica en la cual se explicara más a fondo el funcionamiento del mismo.

2.2.1.-Ley de Faraday

La ley de Faraday establece que el cambio del flujo magnético a través del borde de un conductor, induce una fuerza electromotriz a través de ese borde responsable de una corriente transitoria o inducido [17].

Teniendo así:

$$\oint E \cdot dl = \frac{d\Phi_B}{dt} \quad (2.1)$$

En donde:

E: Campo Eléctrico

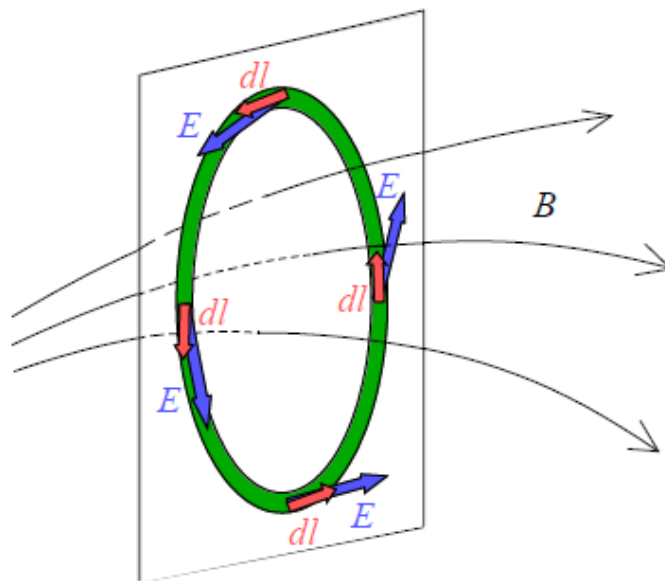


Figura 2.1: Campo Eléctrico producido por un campo magnético variable [18].

Donde el flujo magnético es:

$$\Phi_B = \int B \cdot dS \quad (2.2)$$

En donde:

B: Campo Magnético

S: Superficie Arbitraria

El cambio de flujo se puede dar variando la corriente que produce el campo.

2.2.2.-Acoplamiento Inductivo

En el acoplamiento inductivo al tener una bobina cercana una a la otra, la corriente i_1 que pasa por la bobina L_1 generará un flujo magnético Φ_B en la bobina L_2 (ver figura 2.1). Si el flujo cambia al variar la corriente de L_1 , esto generará una fuerza electromotriz (fem) inducida en L_2 de acuerdo a la ley de Faraday vista anteriormente.

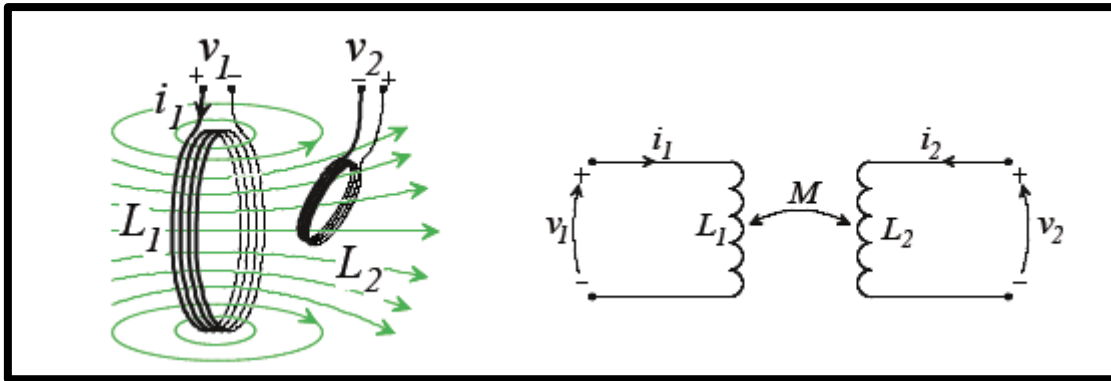


Figura 2.2: Bobinas acopladas mutuamente y el circuito que las representa [17].

Debido a esta fuerza electromotriz en L_2 , obtendremos una expresión para v_2 :

$$v_2(t) = n_2 \cdot \frac{d\Phi_B}{dt} \quad (2.3)$$

En donde:

n_2 = número de vueltas de la bobina L_2

El flujo magnético Φ_B es directamente proporcional a la corriente i_1 de la bobina L_1 .

$$v_2(t) \propto n_2 \cdot \frac{di_1(t)}{dt} \rightarrow v_2(t) = M_{12} \cdot \frac{di_1(t)}{dt} \quad (2.4)$$

La corriente i_2 de la bobina L_2 inducirá de la misma forma un voltaje v_1 en la bobina L_1 .

$$v_1(t) = M_{21} \cdot \frac{di_2(t)}{dt} \quad (2.5)$$

En estas ecuaciones 2.4 y 2.5 presentamos los parámetros M_{12} y M_{21} que son iguales a M que es conocido como la inductancia mutua entre las bobinas. Esta inductancia mutua es proporcional al producto de n_1 y n_2 , también depende de la geometría de las bobinas, de la posición de estas y de los materiales que influyen en la distribución magnética del campo.

Este efecto inductivo no solo se da entre dos bobinas, también se da en una sola bobina siempre y cuando la corriente que pasa por esa bobina varíe. En [17], se muestra otra representación para los voltajes v_1 y v_2 en función de la variación corriente y el valor de la inductancia.

$$v_1(t) = L_1 \cdot \frac{di_1(t)}{dt} \quad (2.6)$$

$$v_2(t) = L_2 \cdot \frac{di_2(t)}{dt} \quad (2.7)$$

Debido a que estos efectos inductivos se dan simultáneamente y que las corrientes de las bobinas influyen en una y en la otra, así como en ellas mismas; de donde obtenemos las expresiones de v_1 y v_2 de la figura 2.1 para un enlace inductivo.

$$v_1(t) = L_1 \cdot \frac{di_1(t)}{dt} + M \cdot \frac{di_2(t)}{dt} \quad (2.8)$$

$$v_2(t) = M \cdot \frac{di_1(t)}{dt} + L_2 \cdot \frac{di_2(t)}{dt} \quad (2.9)$$

Para describir estos enlaces inductivos se usa el factor de acoplamiento k y la relación de inductancia n .

Dónde: $k = \frac{M}{\sqrt{L_1 \cdot L_2}} \quad (2.10)$ $yn = \sqrt{\frac{L_2}{L_1}} \quad (2.11)$

2.2.3.-Circuito equivalente de un enlace inductivo

El esquema de dos bobinas acopladas L_1 y L_2 con una Inductancia mutua M se representa a continuación.

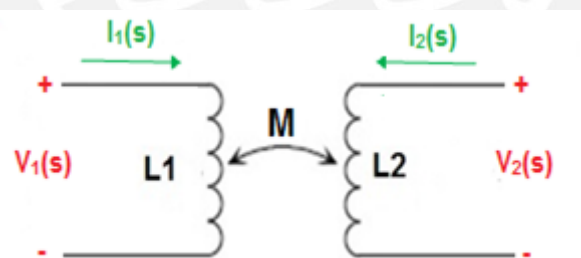


Figura 2.3: Enlace Inductivo [19].

En donde los voltajes v_1 y v_2 están representados por las siguientes ecuaciones [19].

$$v_1(s) = sL_1 I_1(s) + sM I_2(s) \quad (2.12)$$

$$v_2(s) = sM I_1(s) + sL_2 I_2(s) \quad (2.13)$$

Estas ecuaciones son la forma reformulada de las ecuaciones 2.8 y 2.9.

Este enlace inductivo presentado en la figura 2.3 se puede representar en un esquema equivalente representado por un transformador ideal en el cual se tendrá k vueltas en el devanado del primario y n vueltas en el devanado del secundario [19].

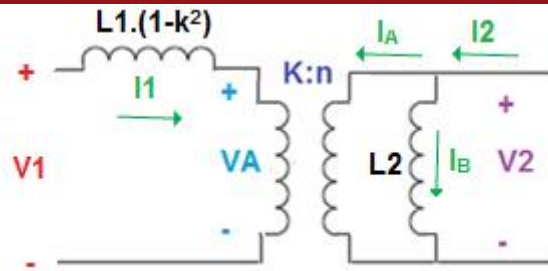


Figura 2.4: Esquema equivalente de un enlace inductivo [19].

En el cual se cumplen las siguientes relaciones:

$$V_2 = \frac{n}{k} \cdot V_A \quad (2.14) \quad \text{y} \quad I_A = -\frac{k}{n} \cdot I_1 \quad (2.15)$$

2.2.4.-Modulacion Backscatter

Esta terminología hace referencia al método de comunicación utilizado con radio frecuencia para reflejar datos al transmisor. Al variar la impedancia en el receptor dada por C_2 y R_L como se ve en la figura 2.5, esta varía la amplitud de la señal que llega desde el primario, para después reflejarla así en el embobinado primario. Este tipo de modulación da lugar a dos escenarios, uno en el cual esta señal puede ser modulada en el receptor variando su amplitud y otro en el cual esta señal es reflejada en el transmisor, esta puede ser usada para crear un enlace de comunicación de manera muy sencilla por donde podemos intercambiar datos.

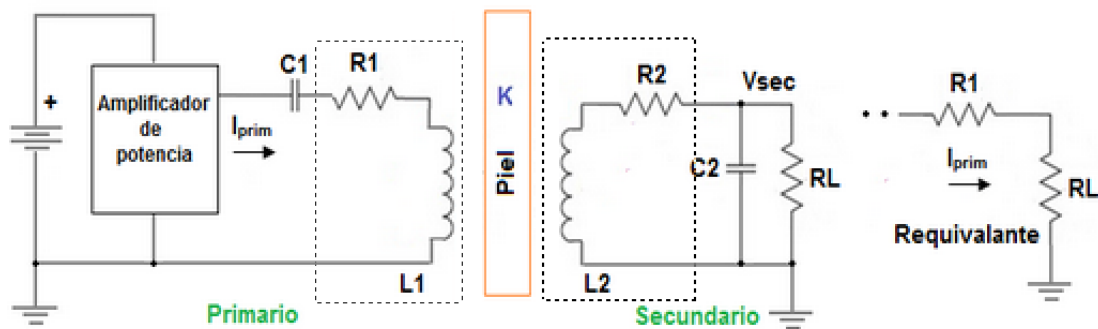


Figura 2.5: Enlace inductivo [11].

Este enlace lo único que hace es variar la amplitud de la señal recibida por el emisor, siendo variada en el receptor y reflejada en el emisor para tener así una transmisión de datos desde la parte interna hacia la parte externa mediante la variación de esta amplitud.

De acuerdo a lo visto en enlaces inductivos y explicado anteriormente. Esta modulación *Backscatter*, también conocida como modulación por carga, tiene 3 posibles tipos de configuración como se puede apreciar en la figura 2.6.

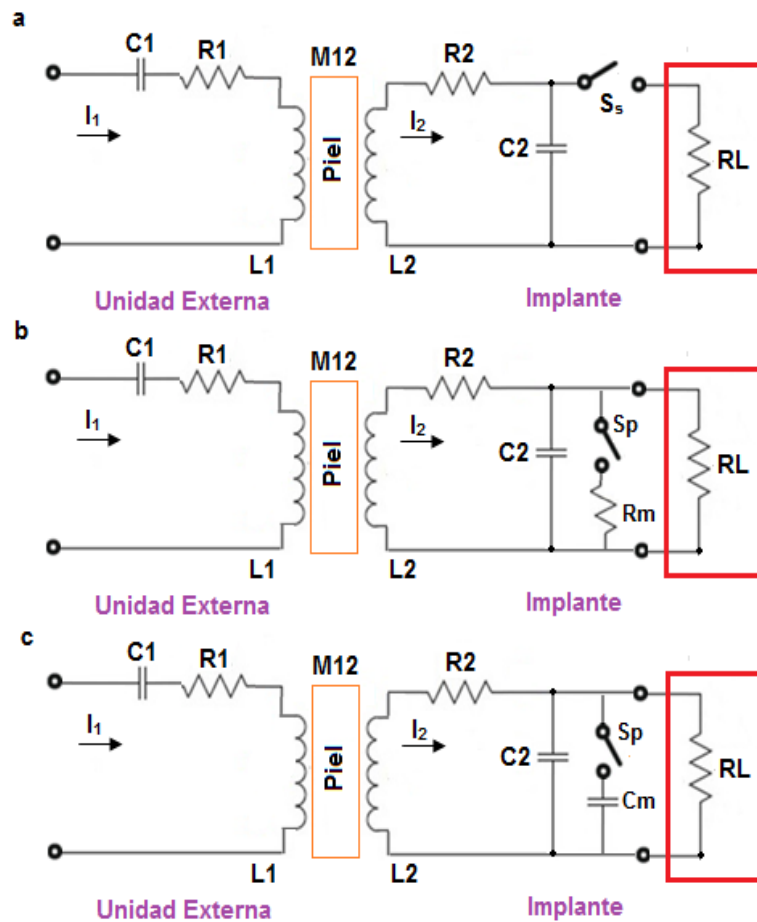


Figura 2.6: Modulación backscatter usando a)modulación por carga resistiva en serie b)modulación por carga resistiva en paralelo y c)modulación por carga capacitiva en paralelo [20].

De estos tipos de configuración podemos observar lo siguiente:

1. La modulación por carga resistiva en serie nos permite variar la amplitud para un valor fijo de resistencia.
2. Podemos variar la amplitud de acuerdo a la variación de la resistencia en paralelo.
3. Podemos variar la amplitud de acuerdo a la variación de la capacitancia en paralelo.

La configuración con capacitancia nos da un mayor cambio en el secundario resultando así una fácil detección telemétrica en el primario o unidad externa. Este cambio se da mediante el encendido o apagado de un interruptor el cual en nuestro diseño será reemplazado por un transistor polarizado adecuadamente para actuar como este.

De las configuraciones mencionadas anteriormente se escogió la de modulación mediante la variación de la capacitancia en paralelo debido a que esta tiene ventajas sobre las otras de acuerdo al cuadro siguiente.

Tabla 2.1: Comparación entre configuraciones de Modulación *Backscatter*:

	Configuración a	Configuración b	Configuración c
Amplitud	Amplitud fija	Pequeña variación de amplitud de acuerdo al cambio de resistencia.	Gran variación en la amplitud de acuerdo a la variación de la capacitancia.
Conmutación	Permite conmutar para un valor fijo	Permite conmutar varios valores de resistencia conectadas en paralelo.	Permite conmutar varios valores de capacitancia conectadas en paralelo.
Uso de transistor como interruptor	Al conectarlo en serie se produce efecto cuerpo en el transistor utilizado.	Al conectar en paralelo se evita el efecto cuerpo en el transistor.	Al conectar en paralelo se evita el efecto cuerpo en el transistor.

Estas comparaciones fueron comprobadas con el software de simulación *Cadence*, en donde se hicieron las simulaciones para variar la capacitancia y resistencia. Estas simulaciones dieron como resultado que la mejor opción de configuración para la modulación era la cual se daba mediante la variación de la capacitancia conectada en paralelo. Este desarrollo lo mencionaremos a mayor detalle en el Capítulo 3 de la presente tesis.

Finalmente la modulación *Backscatter* es caracterizada por su mínimo consumo de energía ya que a comparación de otras modulaciones, esta no requiere de muchos componentes para la elaboración de su circuito siendo así utilizada para la comunicación entre dispositivos que requieren de poco consumo de potencia [11] [20].

2.2.5.-Ejemplos de enlaces inductivos utilizados en interfaces inalámbricas

En investigaciones realizadas sobre interfaces neuronales implantadas inalámbricas, podemos tener en cuenta ejemplos en los cuales han usado este tipo de enlace inductivo para la transmisión de potencia y datos.

Uno de estos ejemplos fue realizado por el famoso investigador en el área de interfaces neuronales RahulSarpeshkar que realizó proyectos de investigación sobre este tema, en el cual buscaba desarrollar un enlace eficiente para la transmisión de potencia. El presenta un ejemplo de un sistema implantado en cual consumía de 1 a 10mW de potencia, en el cual para 10mW se calculó una eficiencia del enlace de 74% y 54% a una separación de 1 y 10mm entre las bobinas respectivamente y para la potencia de 1mW se calculó una eficiencia de 67% y 51% para 1 y 10 mm de separación entre las bobinas respectivamente [12].

El esquema del sistema implantado es el de la figura 2.7 en el cual en el primario se encuentra un amplificador para aumentar la amplitud de la señal de entrada y en el secundario se cuenta con un rectificador para la alimentación de los circuitos del sistema.

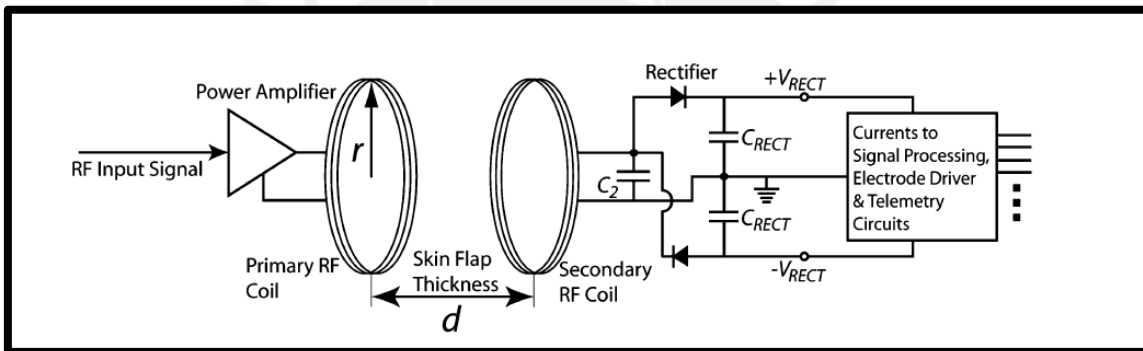


Figura 2.7: Ejemplo de un sistema implantado de baja potencia [12].

En este ejemplo del investigador RahulSarpeshkar usaron un modelo de enlace en el cual, la inductancia mutua fue representada por M . En este modelo de la figura 2.8 se usaron dos resistencias R_1 y R_2 que representan las pérdidas de la bobina y lo valores de C_1 y C_2 fueron elegidos para generar la resonancia en el primario y secundario.

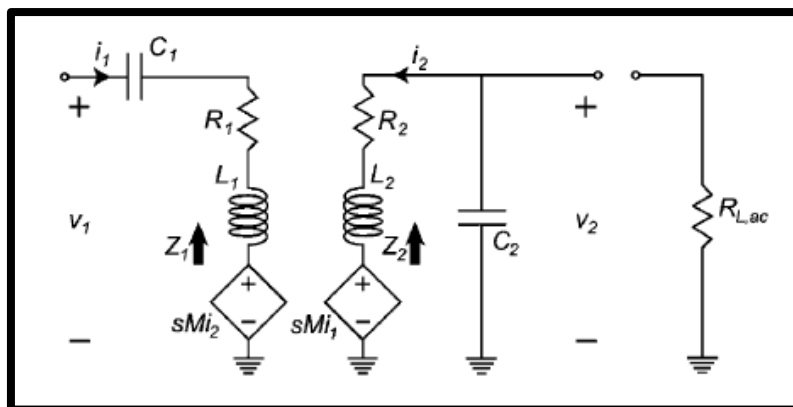


Figura 2.8: Par de resonadores acoplados magnéticamente [12].

En el esquema de la figura 2.8 podemos apreciar la dependencia de los voltajes con respecto a la inductancia mutua M entre L_1 y L_2 , junto con la influencia de las corrientes i_2 e i_1 en estos voltajes.

Otro investigador muy conocido llamado JanM.Rabaey publicó en el 2015 el diseño de un circuito integrado de implante el cual cumple con las limitaciones de diseño para una interface neuronal como facilidad de implantación, seguridad, larga vida del circuito y tamaño pequeño. Este circuito integrado usa un arreglo de electrodos de 64 canales y una antena flexible, debido a la necesidad de una buena resolución en la señal adquirida se usó señales ECoG (electrocortigrama) las cuales también nos dan una grabación neuronal estable. Todo el circuito se ubica en la superficie de la corteza permitiendo el cierre completo del lugar en donde se realizó la operación reduciendo la complejidad quirúrgica y el riesgo de infecciones. El circuito transmite datos y potencia mediante el uso de un enlace inductivo como se puede apreciar en la figura 2.9, los datos son transmitidos mediante una modulación *Backscattering* después de ser serializados. Este circuito fue verificado y probado con experimentos hechos en roedores, obteniéndose resultados favorables en cuanto potencia y área, consume 225uW y puede ser alimentado externamente por 12mw a 300Mhz [13].

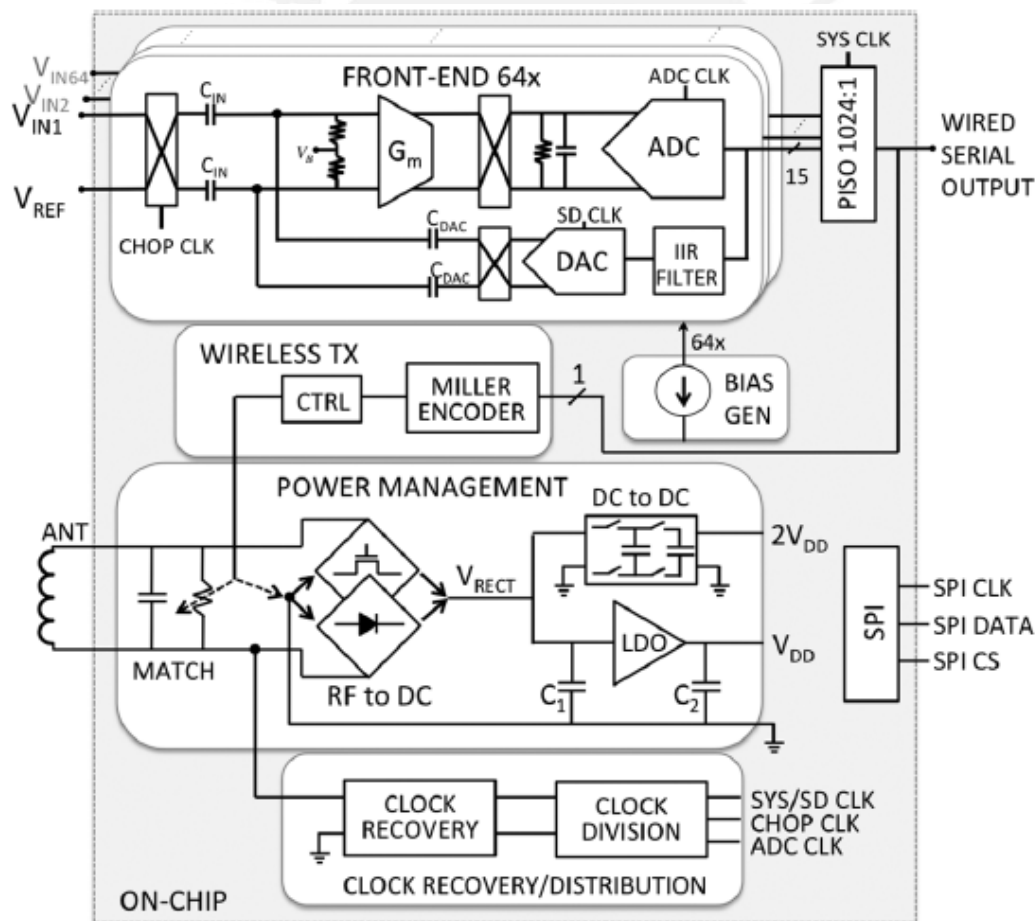


Figura 2.9:Diagrama de bloques del circuito integrado [13].

2.2.6.-Circuito de simulación utilizando un enlace inductivo

En esta parte presentaremos el circuito que se utilizará para realizar las simulaciones en el software Cadence, este circuito ha sido elegido en base a la revisión de varios trabajos realizados en interfaces neuronales implantadas inalámbricas en las cuales han usado este tipo de acoplamiento inductivo. En la siguiente figura podemos observar que utilizamos un enlace inductivo bajo un factor de acoplamiento K , a la vez tenemos como entrada V_{in} una fuente sinusoidal la cual inducirá un voltaje en el circuito con la bobina $L2$. Este voltaje inducido cambiará de acuerdo a la variación del capacitor C viéndose reflejada esta variación de voltaje en el punto V_a .

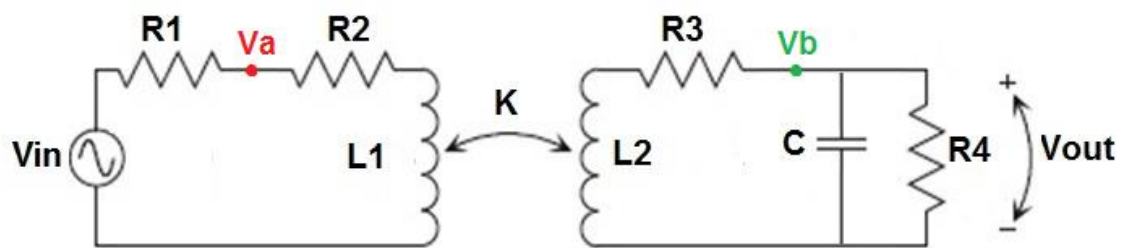


Figura 2.10: Esquemático usado para la simulación del capacitor [19].

Para poder tener una forma matemática de verificar la variación del voltaje en el punto v_a de acuerdo a la variación del capacitor C , hallaremos la función de transferencia del circuito. Usaremos el circuito equivalente del enlace inductivo visto en la parte 2.1.3 para así calcular la función de transferencia.

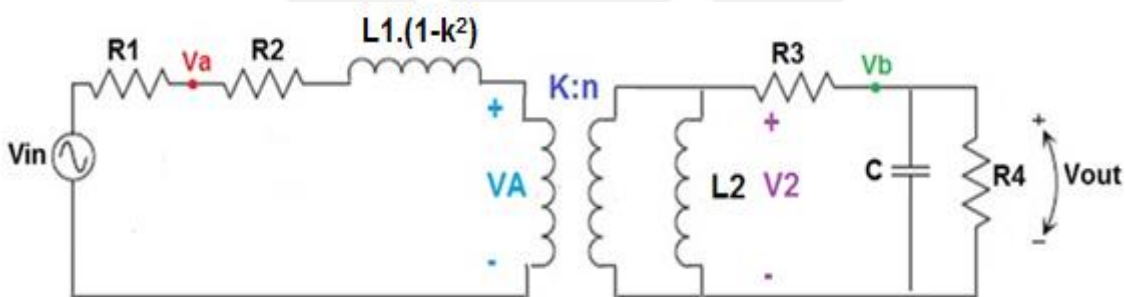


Figura 2.11: Circuito equivalente aplicado para el cálculo de la función de transferencia [19].

De donde tenemos las siguientes relaciones:

$$\frac{v_a}{v_{in}} = \frac{A.s^3 + B.s^2 + C.s + D}{A.s^3 + E.s^2 + F.s + G} \quad (2.16)$$

Dónde:

$$A = R_4 * L^2 * C * (k^2 - 1)(2.17)$$

$$B = (R_3 - R_2) * R_4 * L * C - L^2 * (1 - k^2)(2.18)$$

$$C = R_2 * R_3 * R_4 * C - R_2 * L + (R_3 + R_4) * L(2.19)$$

$$D = (R_3 + R_4) * R_2(2.20)$$

$$E = (R_3 - R_2 - R_1) * R_4 * L * C - L^2 * (1 - k^2)(2.21)$$

$$F = (R_1 + R_2) * R_3 * R_4 * C - (R_1 + R_2) * L + (R_3 + R_4) * L(2.22)$$

$$G = (R_3 + R_4) * (R_1 + R_2)(2.23)$$

Relación con la cual podremos obtener el valor de V_a en función de la capacitancia C , para esto debemos sacarle el módulo a la función de transferencia.

Reemplazamos "s" por $j\omega$:

$$\frac{v_a}{v_{in}} = \frac{(C \cdot \omega - A \cdot \omega^3) \cdot j + (D - B \cdot \omega^2)}{(F \cdot \omega - A \cdot \omega^3) \cdot j + (G - E \cdot \omega^2)} \quad (2.18)$$

donde el modulo será:

$$\frac{|v_a|}{|v_{in}|} = \sqrt{\frac{(C \cdot \omega - A \cdot \omega^3)^2 + (D - B \cdot \omega^2)^2}{(F \cdot \omega - A \cdot \omega^3)^2 + (G - E \cdot \omega^2)^2}} \quad (2.19)$$

Multiplicando el módulo de V_{in} por la raíz, podremos obtener el valor de V_a .

Para el cálculo de la eficiencia solo se tomará en cuenta la parte resistiva del circuito y la potencia disipada en R_4 .

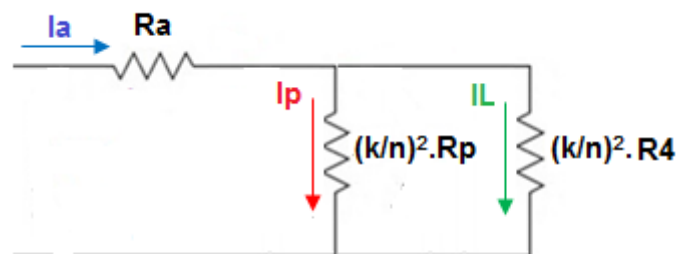


Figura 2.12: Parte resistiva de la impedancia de entrada.

De la figura 2.12 tenemos que:

$$R_p = \frac{L^2}{C_2 \cdot R_2} \quad (2.20)$$

$$R_a = R_1 + R_2 \quad (2.21)$$

En donde la eficiencia (n) es:

$$n = \frac{\left(\frac{k}{n}\right)^2 \cdot R_4 \cdot I_L^2}{R_a \cdot I^2 + \left(\frac{k}{n}\right)^2 \cdot R_4 \cdot I_L^2 + \left(\frac{k}{n}\right)^2 \cdot R_p \cdot I_p^2} \quad (2.23)$$

Donde los valores de I_L e I_p de la ecuación 2.23 son:

$$I_L = \left(\frac{R_p}{R_p + R_4}\right) \cdot I \quad (2.24)$$

$$I_p = \left(\frac{R_4}{R_p + R_4}\right) \cdot I \quad (2.25)$$

Reemplazando y simplificando en 2.23 tenemos:

$$n = \frac{1}{1 + \frac{R_4}{R_p} + \frac{R_a}{\left(\frac{k}{n}\right)^2 \cdot R_4} + \frac{2R_a}{\left(\frac{k}{n}\right)^2 \cdot R_p} + \frac{R_a \cdot R_4}{\left(\frac{k}{n}\right)^2 \cdot R_p^2}} \quad (2.26)$$

Ahora solo nos falta presentar los valores usados para realizar los cálculos correspondientes de acuerdo a nuestras ecuaciones.

En la figura 2.10 en donde tenemos el esquemático de simulación, usaremos los valores de la fuente de 1V a una frecuencia de 13Mhz valor que fue extraído de una publicación sobre interfaces inalámbricas [14].

R_2 y R_3 son resistencias de pérdidas de los inductores L_1 y L_2 respectivamente. Estos valores de R_2 y R_3 son calculados experimentalmente por lo que para este caso utilizaremos los factores de calidad de cada bobina para poder calcular los valores de estos [19].

La resistencia R_4 representa la resistencia de carga la cual disipa entre 1mW y 100mW en este tipo de interfaces neuronales.

Los valores de L_1 y L_2 se calcularán usando la siguiente ecuación:

$$\omega_{OP} \cdot L_2 = k \cdot R_l \quad (2.27)$$

En donde:

ω_{OP} = frecuencia angular de operación

k = factor de acoplamiento

CAPÍTULO 3

Diseño de la Impedancia Variable.

3.1.- Introducción

Esta tesis trata del diseño de una carga capacitiva variable por control digital que puede ser utilizada dentro de una interface neuronal implantada.

Este circuito fue desarrollado utilizando el software de diseño de circuitos integrados *Cadence*, con el cual al finalizar el diseño del circuito a nivel de esquemático se desarrolló el *layout* del circuito integrado y posteriormente se realizó las verificaciones mediante simulaciones *Post-layout*.

El diseño de la impedancia variable fue desarrollado considerando dispositivos de la tecnología denominada AMS0.35. Esta tecnología pertenece a la compañía AMS y permite la fabricación de transistores MOSFET con canales de 350nm de longitud mínima. Para la elaboración del diagrama esquemático se empleó el software *Virtuoso Schematic Editor* de la compañía *CADENCE*. Mientras que para las simulaciones se empleó el programa *Spectre* de la misma compañía.

3.2.-Etapa de Diseño de la impedancia variable para una Interface Neuronal

El circuito diseñado es el que se muestra en la figura 3.1. El circuito diseñado cuenta con 4 condensadores cada uno con su respectivo transistor llave y a la entrada de cada transistor se conectan buffers para garantizar que los tiempos de propagación de las señales de control IN0, IN1, IN2 e IN3 no sean muy diferentes.

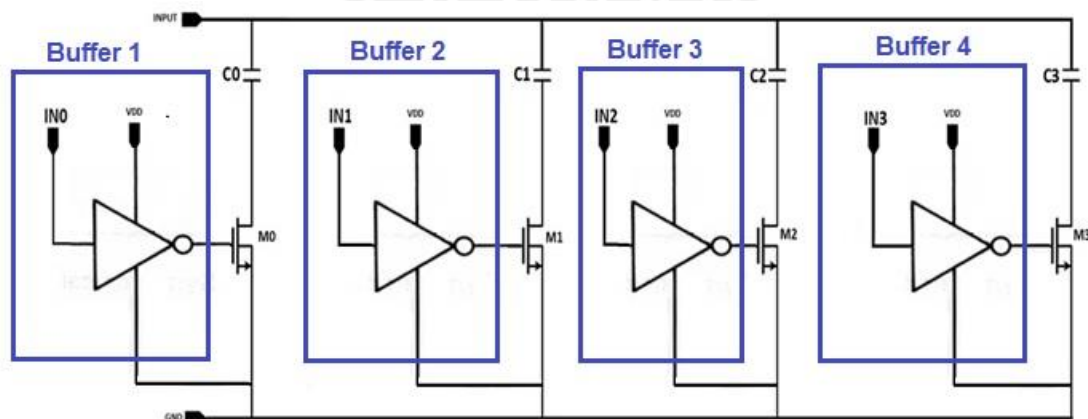


Figura 3.1: Diagrama esquemático del diseño de la impedancia variable.

Para realizar la simulación del circuito diseñado se utilizó el modelo de enlace inductivo mostrado en la figura 3.2, el cual ya fue explicado en el capítulo anterior. En este capítulo se explica cómo fueron escogidos los valores de los parámetros asociados a ese modelo, tales como factor de acoplamiento, factor de calidad de los inductores y resistencia de carga.

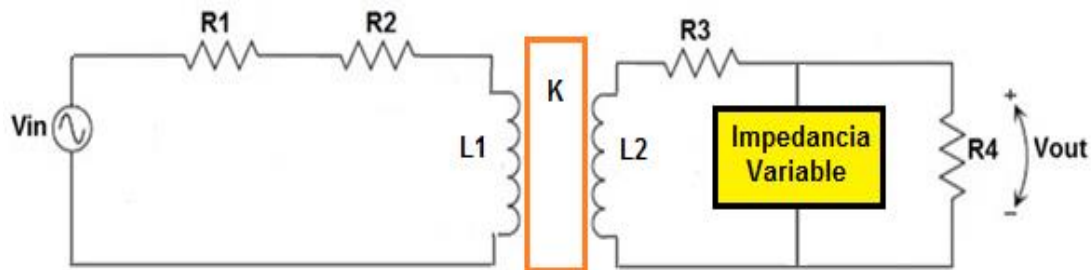


Figura 3.2: Diagrama esquemático del circuito de Simulación.

Como se mencionó en el capítulo anterior, la modulación realizada por el circuito se basa en la técnica *backscatter*. Esa técnica consiste en la variación de la impedancia de entrada de un circuito receptor con el objetivo de variar la tensión generada en el circuito transmisor. Para el circuito presentado en esta tesis, se realiza la variación de impedancia de entrada mediante la conexión o desconexión de condensadores en paralelo. Esa conexión/desconexión o conmutación es obtenida a través de llaves implementadas con transistores MOS. (M0, M1, M2 y M3 en la figura 3.3)

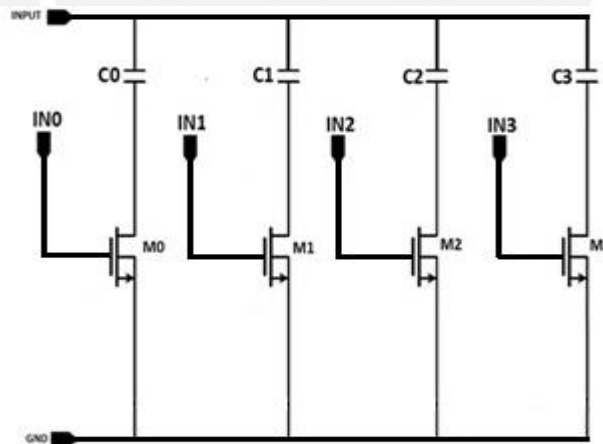


Figura 3.3: Esquemático en el cual los transistores funcionan como llave.

A la entrada (*Gate*) de estos transistores se conectan buffers como etapa previa, tal como se puede ver en la figura 3.4, los cuales reciben una señal cuadrada la cual permitirá el encendido y apagado de los transistores llave. Estos buffers se usan debido a que en las puertas de los transistores llave existen condensadores que influyen en el tiempo de propagación de las señales. Los buffers garantizan que estos tiempos de propagación sean mínimos. Estos tiempos de propagación fueron

calculados y son presentados más adelante, comprobando así que tienen valores pequeños y similares.

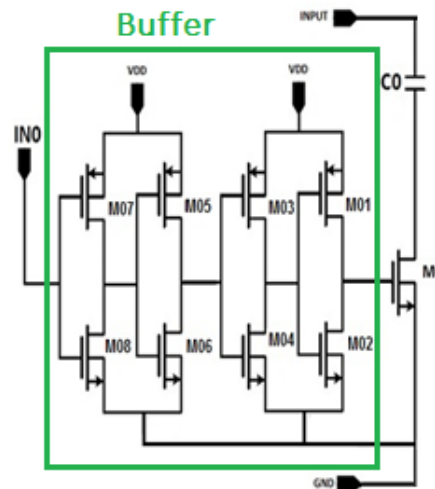


Figura 3.4: Buffer conectado al transistor M0.

3.3.-Selección y cálculo de valores utilizados en el Enlace Inductivo

Estos enlaces inductivos varían en su diseño de acuerdo a la frecuencia con la que trabajan, a la distancia de separación entre las bobinas, a la potencia consumida por la carga que en este caso sería la potencia que consume la interface neuronal y el factor de calidad de las bobinas para asegurar una eficiencia alta.

Según el estudio del estado del arte sobre interfaces neuronales realizado en el capítulo 1 de esta tesis, existen interfaces que consumen desde 1mW hasta interfaces que consumen 100mW [11]. Para el cálculo de la resistencia de carga R_4 mostrada en la figura 3.2 consideramos un valor de potencia de 5mW. Por otro lado la tensión de alimentación máxima impuesta por el proceso de fabricación escogido es 3.3V.

$$R_4 = \frac{V^2}{P} [19](3.1)$$

Dónde:

V=voltaje de la fuente

P=potencia consumida por la carga

Resolviendo la ecuación (3.1) para los valores de $V=3.3v$ y $P=5mW$, obtendremos el valor de $R_4=2178\Omega$.

El factor de acoplamiento k depende de la distancia de separación entre las bobinas y del medio entre ellas, variando entre $0.04 < k < 0.17$ [12]. En este trabajo consideramos un valor de $k=0.17$, imponiendo de esta manera restricciones a las bobinas para garantizar máxima eficiencia.

La frecuencia que usa el enlace inductivo es de 13.56Mhz de acuerdo a la banda ISM para radio frecuencia usada comúnmente en estas interfaces neuronales inalámbricas [11].

Un valor típico de factor de calidad encontrado en las referencias es de $Q=90$ [12].

La inductancia se calcula de acuerdo a la siguiente fórmula, que garantiza máxima eficiencia de transferencia de potencia [19],

$$L = \frac{k \cdot R4}{2 \cdot \pi \cdot f} \quad (3.2)$$

Dónde:

k =factor de acoplamiento

f =frecuencia del enlace

$R4$ =carga del enlace

Reemplazando los valores en la fórmula 3.2 tenemos:

$$L = \frac{0.17 \cdot 2178}{2 \cdot \pi \cdot 13.56Mhz}$$

Obteniendo así un valor de $L=4.4\mu H$, el cual será el mismo para $L1$ y $L2$ del esquemático de la figura 3.2.

Una vez calculado el valor de L , procederemos a calcular el valor de $R2$ y $R3$ que son las resistencias de pérdidas de las bobinas en función del factor de calidad (Q) de éstas. Para el cálculo de estas resistencias usaremos la siguiente ecuación [19].

$$Q = \frac{2 \cdot \pi \cdot f \cdot L}{R} \quad (3.3)$$

Dónde:

f =frecuencia del enlace

L =inductancia del enlace

R =resistencia de perdida

Utilizando el valor de Q igual a 90 y de L igual a $4.4\mu H$, calculamos el valor de la resistencia.

$$R = \frac{2 \cdot \pi \cdot 13.56M \cdot 4.4\mu}{90}$$

El valor de R calculado es de 4.16Ω , debido a que usamos inductancias iguales entonces las resistencias de pérdidas son iguales. Obteniendo así $R2=R3=4.16\Omega$.

Con el objetivo de verificar la ecuación 3.2 obtenida de la referencia [19] se realizó una simulación variando el valor de L y midiendo eficiencia. De acuerdo con esa ecuación la máxima eficiencia debe darse para valores próximos a $4.4\mu\text{H}$. En la siguiente figura podremos notar que la máxima eficiencia se da cuando el valor de L toma el de $4.28\mu\text{H}$ muy cercano al calculado anteriormente.

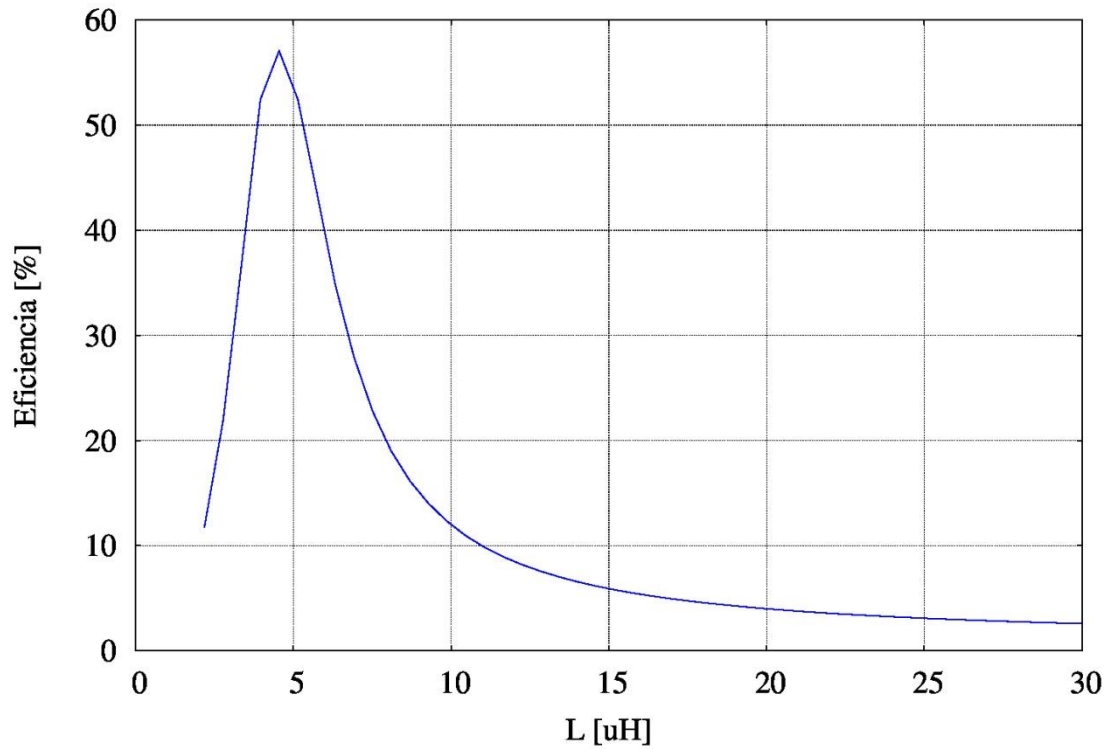


Figura 3.5: Efecto de la variación de inductancia en la eficiencia.

3.4.-Selección de valores de condensadores (C_o y C_c) para la modulación

El condensador C_o es el condensador de operación normal el cual tiene un valor máximo con el cual se logra máxima eficiencia y C_c es el condensador de conmutación que es un valor mínimo con el cual se obtiene una amplitud adecuada y una eficiencia aceptable para la modulación.

Debido a que la modulación se da variando la impedancia mediante la conmutación de valores de condensadores, se tuvo que fijar un rango de valores en el cual estos sean los más adecuados para la realizar la variación de amplitud en el emisor del modelo del enlace inductivo. Mediante el software de diseño y simulación *Cadence* se realizó un análisis paramétrico para graficar la influencia de los condensadores en la amplitud de la señal y la eficiencia del enlace. Con ambos análisis pudimos seleccionar los valores de C_o y C_c con los cuales realizamos la variación de impedancia.

3.4.1-Selección del valor de C_o

Escogimos el valor de C_o (condensador de operación normal) en base a la máxima eficiencia que se da cuando la frecuencia de operación del circuito coincide con la frecuencia de resonancia [19].

$$f_{res} = \frac{1}{2 * \pi * \sqrt{L * C_o}} \quad (3.4)$$

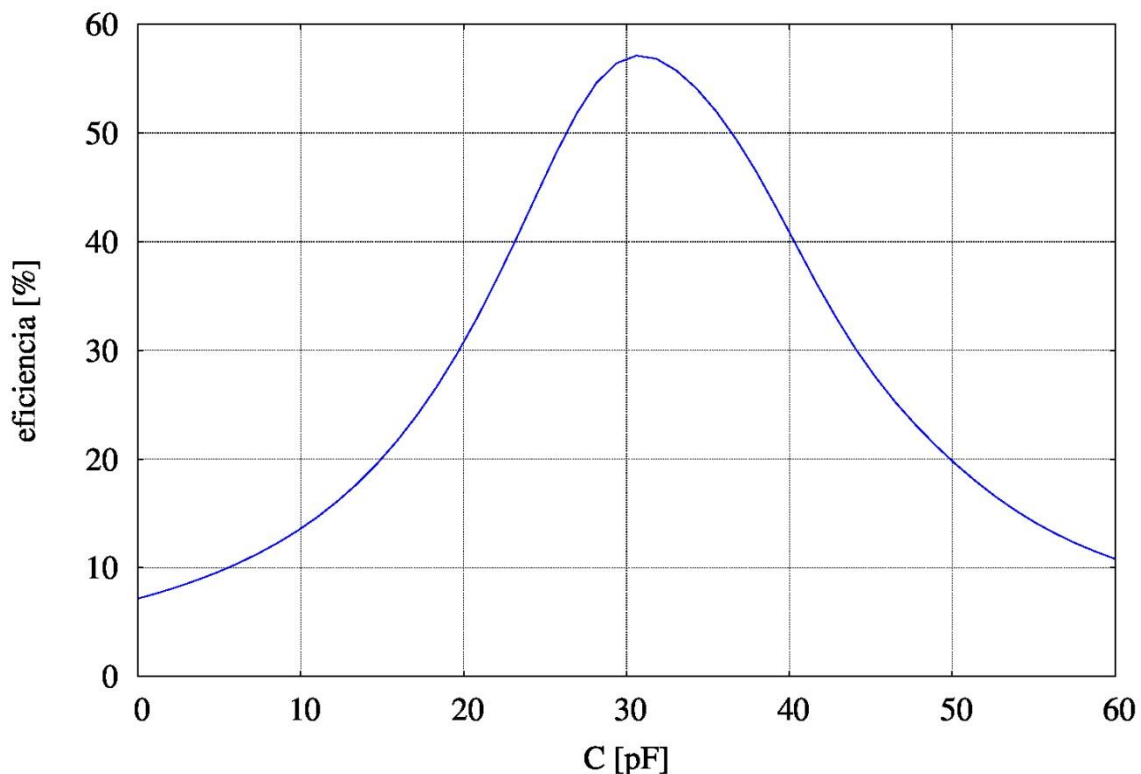


Figura 3.6: Gráfica en donde se observa el efecto de la capacitancia en la eficiencia.

Este valor de C_o será de 30.41pF escogido de acuerdo a la máxima eficiencia que es de 65.6% como se puede apreciar en la figura 3.5.

Debido a las variaciones de proceso y temperatura, no se podrá garantizar este valor de $C=30.41\text{pF}$ después de su fabricación, por lo que será necesario poder calibrar este valor de condensador. En el software *Cadence* podemos simular diferentes modelos de proceso y temperatura (Ver cuadro 3.1), con los cuales podemos obtener valores extremos en el cual puede variar este valor de C al ser fabricado. Después de hacer esta simulación obtuvimos el valor de C_o el cual es igual a $30.41\text{pF} \pm 10\%$. Ya que este valor de capacitancia (C_o) no será igual al valor diseñado se usara transistores llave para poder calibrar en nuestro arreglo de condensadores este valor al deseado.

Tabla 3.1: Valores de C_o para diferentes temperaturas

Temperatura	Valor Máximo(pF)	Valor mínimo(pF)
-25°C	33.43	27.17
25°C	33.48	27.21
70°C	33.53	27.25

Esta variación entre valores de acuerdo a la temperatura también puede ser comprobada mediante cálculos con los datos dados en la hoja de parámetros de proceso. De esta hoja de datos podemos obtener la variación del condensador por temperatura que es de $0.03 \cdot 10^{-3}/\text{K}$.

En este caso para 33.48pf tenemos la variación de temperatura entre -25°C y 70°C (90°C de variación).

Calculamos la variación de relativa de capacitancia $=0.03 \cdot 10^{-3} \cdot 95 = 2.85 \cdot 10^{-3}$

Calculamos la variación absoluta de capacitancia $=2.85 \cdot 10^{-3} \cdot 33.48\text{pF} = 0.095\text{pF}$

Entonces si teníamos un valor de 33.53pF para 70°C, restándole la variación absoluta de capacitancia tendríamos: $33.53\text{pF} - 0.095\text{pF} = 33.4345\text{pF}$.

Este valor calculado de 33.4345pF coincide con el valor calculado por simulación de capacitancia a -25°C como se puede ver en el cuadro 3.1.

3.4.2-Selección del valor de C_c

Como se mencionó en el capítulo anterior, la conmutación de los condensadores generará una variación de voltaje en el circuito externo o emisor. Esta variación de voltaje tiene un pico de voltaje mínimo, para un valor de condensador igual al valor de condensador con el cual obtuvimos la máxima eficiencia. En la siguiente figura 3.7 podremos observar el pico de voltaje mínimo.

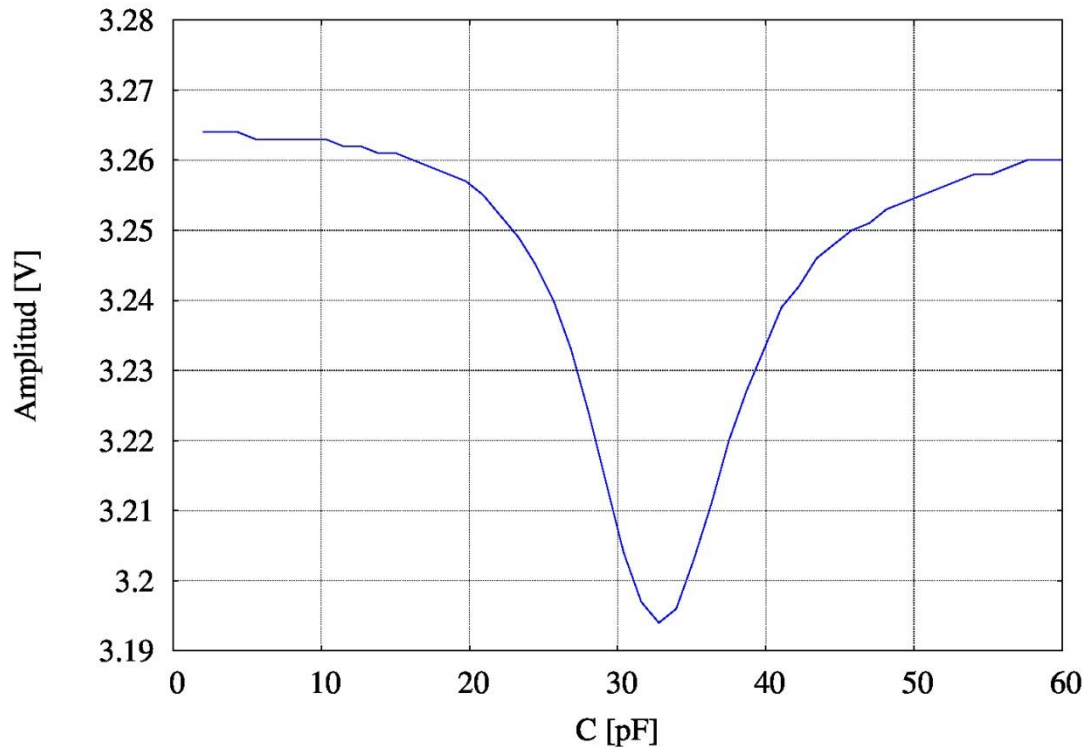


Figura 3.7: Variación de la amplitud en la unidad externa al variar la capacitancia.

En esta gráfica notamos que la variación de amplitud de voltaje en las curvas es más grande al variar los valores de condensadores de 2pF a 30.41pF. Después observamos un efecto en el cual la amplitud empieza a aumentar para valores mayores a 30pF.

En base al análisis de eficiencia y la variación de amplitud seleccionamos un valor de $C_c=10\text{pF}$ que según el análisis de variación de procesos y temperatura variara entre 9.068pF y 11.16pF, dándonos un valor de $C_c=10\text{pF}\pm 10\%$. Este valor es seleccionado ya que con él obtenemos una variación de amplitud aceptable para la modulación y la eficiencia no se ve perjudicada de una manera tan crítica.

En base a los valores seleccionados de C_o y C_c nuestros valores del arreglo condensadores para la conmutación serán seleccionados entre un rango de valores de 2.7pF a 40pF con un valor de C_u (condensador unitario) de 2.7pF, ya que con este rango de valores podremos asegurar una buena calibración de valores de condensador a pesar de las variaciones de proceso y temperatura. Este valor de C_u varía entre 2.4pF y 2.96pF.

Es por esto que el rango seleccionado será entre 2.7pF y 40pF, en el cuadro siguiente mostramos los valores de capacitores usados en el circuito en el cual como mínimo tenemos 2.7pF y sumando los valores de los cuatro capacitores tendremos 40pF como máximo. Este rango es suficiente para poder calibrar los valores los valores calculados de C_0 y C_C , así como asegurar una buena modulación y una eficiencia aceptable para este tipo de interfaces.

Tabla 3.2: Valores de Capacitancia seleccionados

Capacitores	Valores
C0	2.7pF
C1	5.4pF
C2	10.8pF
C3	21.6pF

3.5.-Dimensionamiento de los transistores usados como llave

Para poder conmutar entre los distintos valores de condensadores en el circuito, se utilizaron interruptores o llaves, los cuales fueron implementados con transistores *mosfets*.

Los transistores se dimensionaron con el propósito de que al tener una carga asociada en los capacitores no afecten la modulación realizada por los mismos y tampoco afecten la eficiencia.

De acuerdo a la simulación podemos notar que al aumentar el ancho del canal del transistor la amplitud de la señal varía. Para esta simulación se mantuvo el largo de canal fijo con un valor de L mínimo igual a 0.35 μm .

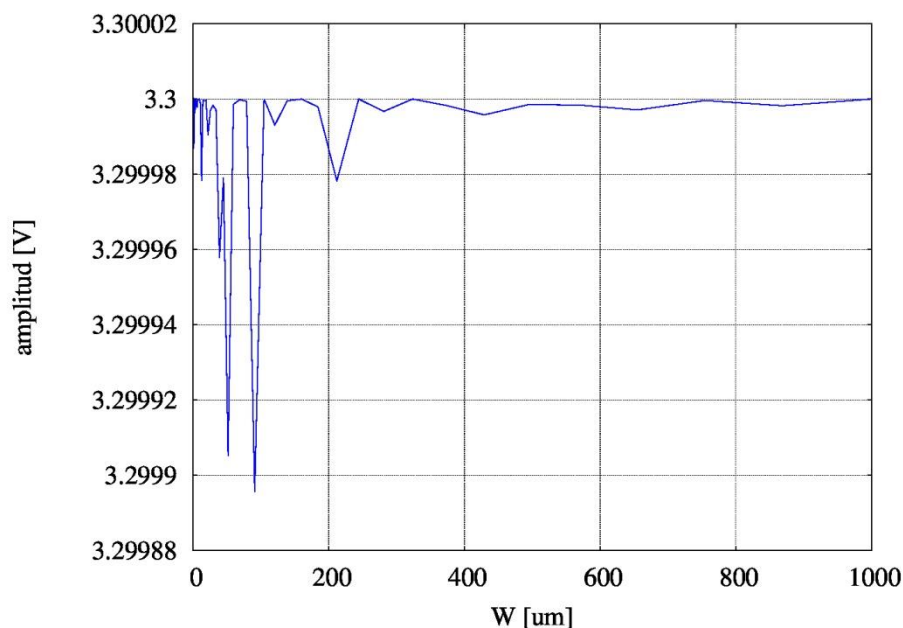


Figura 3.8: Gráfica donde se observa el efecto del ancho de canal W en la señal.

De la gráfica podemos observar que para valores de W entre 500 μm y 1000 μm la amplitud de la señal se mantiene constante.

Debido a que la señal no debe variar y que el transistor debe ser lo más pequeño posible, haremos un análisis más en donde veremos cómo afecta el ancho del canal en la eficiencia del circuito para poder así determinar un valor adecuado de ancho de canal W para el transistor.

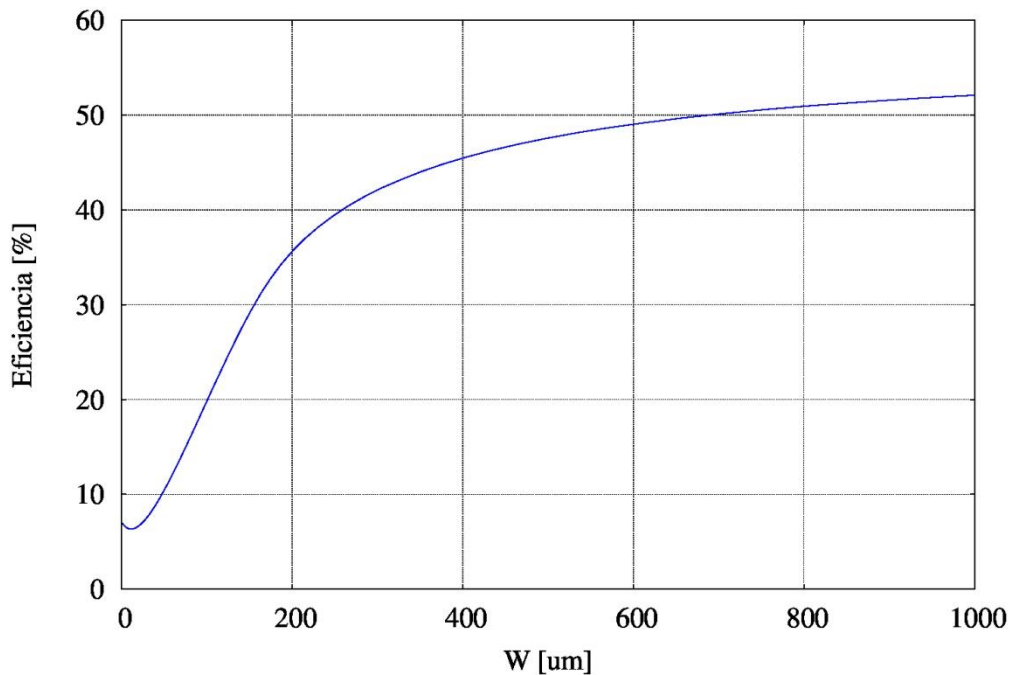


Figura 3.9: Influencia de la variación del ancho de canal(W) en la eficiencia.

De acuerdo a la figura 3.9 podemos ver la eficiencia se mantiene en un valor de $50 \pm 0.2\%$ para valores de ancho de canal W mayores a 700 μm .

En base al análisis de amplitud y eficiencia, escogemos el valor de $W=700\mu$ en el cual estos 2 factores no se ven afectados de manera crítica.

Tabla 3.3: Dimensionamiento de los transistores llave.

Transistor	W/L	W(μm)	L(μm)
M0	2000	700 μ	0.35
M1	2000	700 μ	0.35
M2	2000	700 μ	0.35
M3	2000	700 μ	0.35

3.6.-Diseño de Buffers Digitales

Los buffers fueron conectados a la entrada de los transistores que funcionan como llave. Estos buffers fueron utilizados para asegurar la transición de voltaje a las entradas, reducir el tiempo de subida, tiempo de bajada y minimizar el tiempo de propagación de la señal con la cual se activa/desactiva estos interruptores.

Estos buffers son conformados por un número de inversores, el cual depende de la carga a la cual están conectados.

Los inversores fueron diseñados de la siguiente manera:

- El transistor tipo P del inversor tiene un ancho de canal igual al doble del ancho de canal del transistor tipo N ($W_p=2*W_n$) [22].

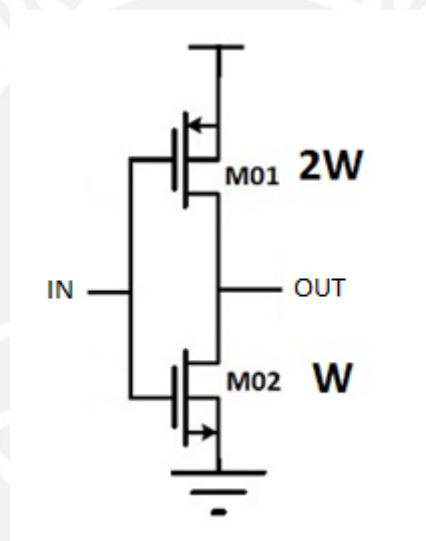


Figura 3.10: Inversor [22].

- El primer inversor de la cadena tiene un ancho de canal mínimo (W) y un largo de canal mínimo (L). Debido a la tecnología del software el largo de canal mínimo es de $0.35\mu\text{m}$ el cual se mantuvo fijo, por otro lado para determinar el ancho de canal mínimo se realizó una simulación en función del tiempo de propagación, la cual se observa en la siguiente figura.

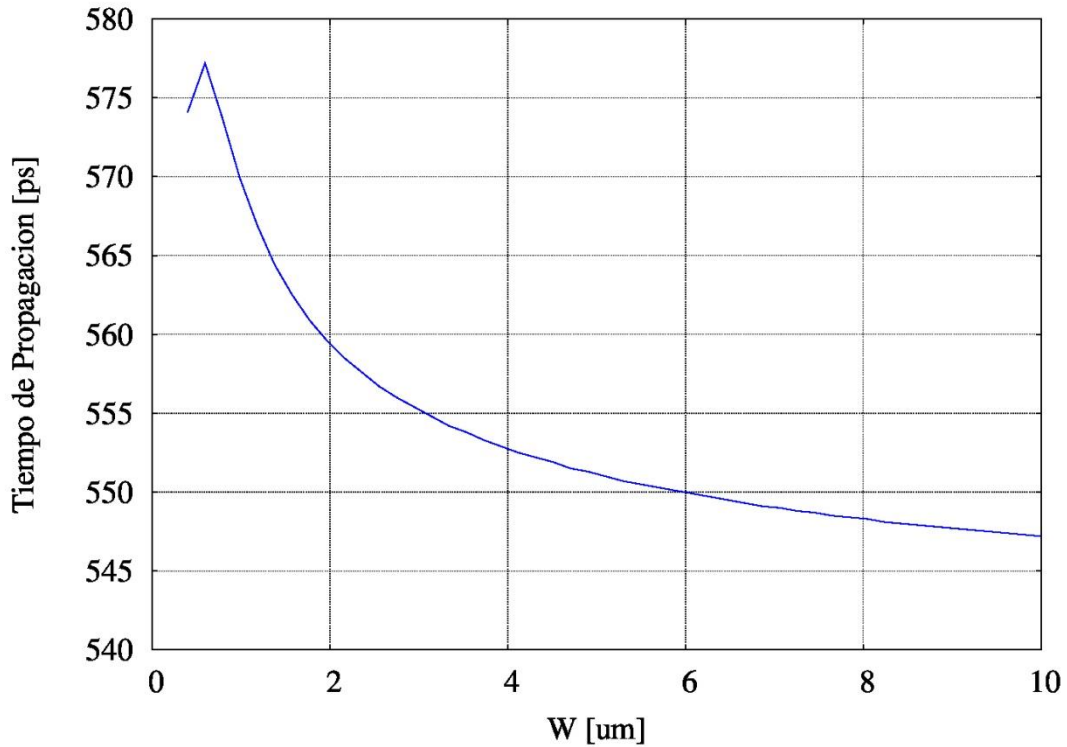


Figura 3.11: Tiempo de propagación en función del ancho de canal (W).

De acuerdo a la figura pudimos determinar que un ancho de canal apropiado para el primer buffer de la cadena será de 1um, ya que para valores mayores de ancho de canal el tiempo de propagación mejora solo 0.2%.

- Una vez seleccionado el tamaño del primer inversor usado en los buffer en donde el transistor tipo P tiene un ancho de canal de $W=2\mu\text{m}$ y el transistor tipo N tiene un ancho de canal de $W=1\mu\text{m}$, podremos realizar los cálculos de la resistencia R_{eq} con la fórmula 3.5 [22].

$$R_{eq} = \frac{3}{4} * \frac{V_{DD}}{I_{DSAT}} * (1 - \frac{7}{9} * \lambda * V_{DD}) \quad [22] \quad (3.5)$$

Dónde:

V_{DD} =voltaje de alimentación

λ = constante de modulación de canal

$$I_{DSAT} = k * \frac{W}{L} * [(V_{DD} - V_T) * V_{DSAT} - \frac{V_{DSAT}^2}{2}] \quad (3.6)$$

K =contante que representa el producto entre la capacitancia por unidad de área del óxido y la movilidad de los portadores

V_T = voltaje umbral

$$V_{DSAT} = V_{gs} - V_T \quad (3.7)$$

Observamos que la resistencia depende de la corriente y esta del ancho de canal (W).

- Para calcular el número de etapas de cada buffer, se consideró el *fanout* efectivo ($f_{out}=4$) que es un valor óptimo para el diseño del número de etapas de esta cadena de inversores [22]. La relación entre el *fanout* y el número de etapas se puede apreciar en la siguiente ecuación (3.8).

$$f = N \sqrt{\frac{C_L}{C_g}} \quad (3.8)$$

Dónde:

$$F = C_L / C_{int} \quad (3.9)$$

N=número de etapas

C_L =Condensador conectado al final de la cadena

$$C_{int} = g * C_g \quad (3.10)$$

C_{int} =Condensador de entrada relacionado a los capacitores de difusión, calculado mediante simulación con un valor igual a 6.5fF.

$g=1$, es el factor proporcional el cual se aproxima a 1.

Tabla 3.4: Dimensiones Buffers

	C_L (pF)	F	N
Buffer1	2.7	415.4	4.3
Buffer2	5.4	830.7	4.8
Buffer3	10.8	1661.5	5.4
Buffer4	21.6	3323.1	5.8

Debido a que usamos un número de inversores pares por cada buffer para que la señal no sea invertida, se aproximaron los valores de N. Teniendo así en el buffer1 y buffer2 un número de 4 etapas y en el buffer3 y buffer4 un número de 6 etapas.

- Cada etapa del buffer se multiplicó geométricamente por un factor igual a 3 al ancho de canal de cada inversor para obtener un mejor tiempo de propagación y una mejor transición de voltaje [1].

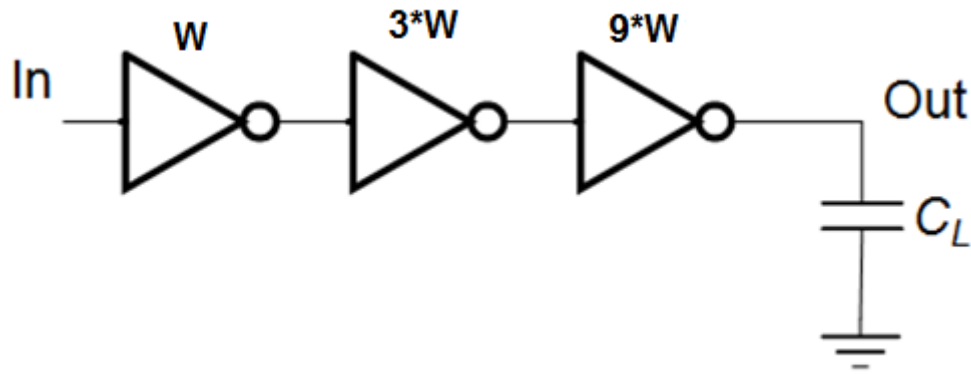


Figura 3.12: Cadena de Inversores [22].

- Finalmente calculamos el tiempo mínimo de propagación a través de la cadena con la siguiente ecuación.

$$t_p = N * t_{p0} * \left(1 + \frac{N\sqrt{F}}{\gamma}\right) \quad (3.11)$$

En donde:

$$T_{p0} = 0.69 * R_{eq} * C_{int} \quad (3.12)$$

Req se obtiene con la ecuación (3.5) con un valor igual a 1.7KΩ para un λ=0.1, esta es la resistencia del primer inversor de la cadena.

Luego de realizar los cálculos, obtuvimos los siguientes valores de tiempo de propagación.

Tabla3.5: Tiempo de propagación para cada capacitancia.

Capacitor (Cl)	Tiempo de propagación (Tp)
2.7pF	168ps
5.4pF	194ps
10.8pF	135ps
21.6pF	148ps

CAPITULO 4

Simulaciones y Resultados

4.1.- Introducción

En este capítulo se presenta los resultados obtenidos de las simulaciones realizadas con la herramienta *EDACADENCE*. En este programa se utilizó la herramienta ADE (*AnalogDesingEnviroment*) la cual utiliza el simulador *Spectre* para simular circuitos de clase *SPICE*. El simulador usa el modelo *BSIM3V3* (*Berkeley Short-Channel IGFET Model*) del transistor desarrollado en la Universidad de California, *Berkeley*, este modelo es el número 3 del *BSIM*, versión 3.

Se muestran las gráficas de los resultados y los valores obtenidos en las simulaciones en donde podemos ver la influencia de la variación de la impedancia en la amplitud de la señal y la eficiencia, así como las pruebas de los tiempos de propagación de las señales para poder ser comparadas con los resultados teóricos.

Como parte final del capítulo, se procede con la implementación física del circuito a través de los respectivos *layouts* diseñados con la herramienta de diseño *Cadence Virtuoso Layout Suite XL*. Esta herramienta extrae los componentes de manera física con sus respectivas dimensiones para que podamos distribuirlos de manera adecuada en el *layout*. Finalmente se realizó la extracción de dispositivos parásitos para verificar que se cumplen los requerimientos del circuito.

4.2.- Simulaciones

Para realizar las simulaciones se utilizó el circuito de simulación mediante enlace inductivo para la transmisión de potencia y datos utilizado en interfaces neuronales inalámbricas el cual ya fue explicado en el capítulo 3 en la figura 3.2, este circuito consta de una fuente sinusoidal de voltaje de 3.3v a 13.56Mhz y las señales que realizan la conmutación son señales cuadradas de 3.3v de amplitud.

El esquemático del circuito diseñado es el que se muestra a continuación en la figura 4.1, en donde podemos apreciar los buffer, transistores llave y condensadores usados en el diseño. El proceso de diseño fue explicado en el capítulo 3, en donde calculamos los valores de ancho de canal (*W*) para cada transistor mostrados en el cuadro 4.1 y los valores de cada condensador utilizados en el circuito. Este circuito cuenta con 4 entradas *in0*, *in1*, *in2*, *in3* que nos dan la posibilidad de conmutar con 4 bits y usar 15 valores de condensador; aparte cuenta con las señales de *input*, *vdd* y *gnd*.

Mediante simulaciones eléctricas pondremos a prueba el circuito diseñado ante variaciones de proceso y temperatura. En estas simulaciones el circuito es expuesto ante situaciones críticas como variaciones de temperatura entre -25°C y 70°C para probar en cuanto afectan a este, explicaremos la forma en que funciona el circuito diseñado y cómo es que llega a transmitir información hacia el dispositivo externo y el efecto de los buffer en los tiempos de propagación.

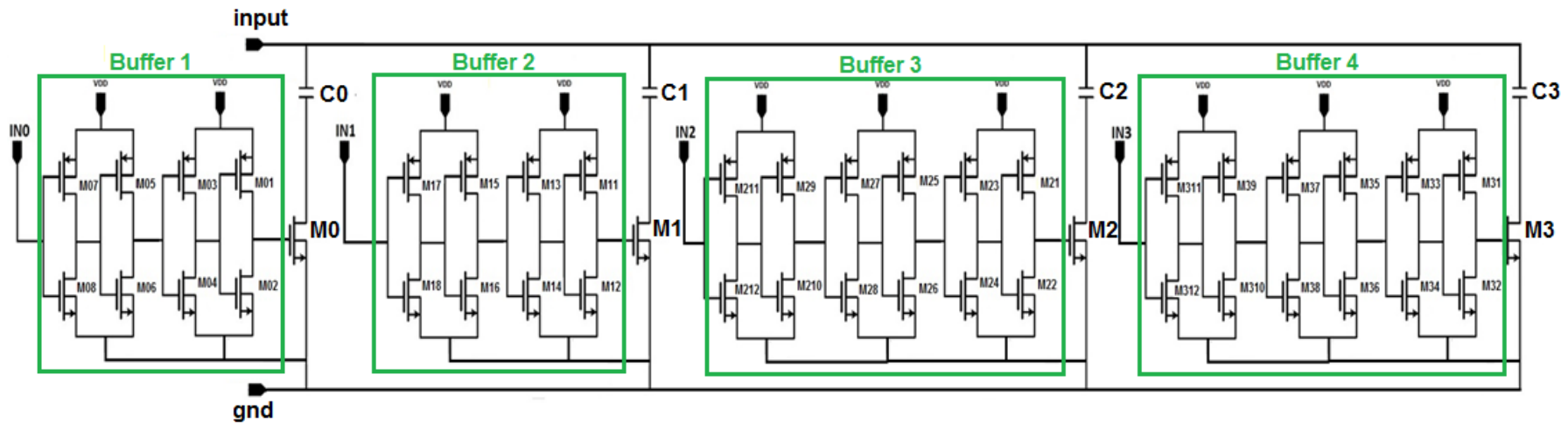


Figura 4.1: Esquemático del circuito diseñado.

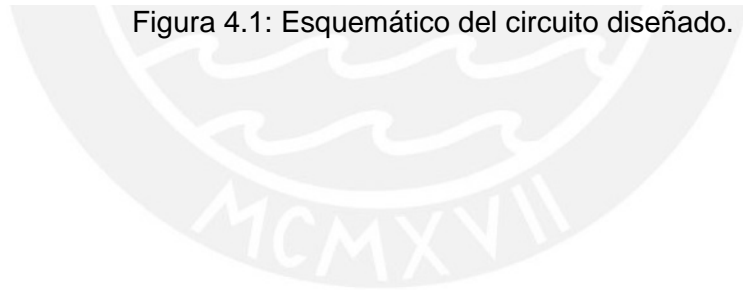


Tabla 4.1: Ajuste de dimensiones de los transistores

Transistor	W/L	W(um)	L(um)
M0	2000	700	0.35
M1	2000	700	0.35
M2	2000	700	0.35
M3	2000	700	0.35
M01	154.28	54	0.35
M02	77.14	27	0.35
M03	51.42	18	0.35
M04	25.71	9	0.35
M05	17.14	6	0.35
M06	8.57	3	0.35
M07	5.71	2	0.35
M08	2.85	1	0.35
M11	154.28	54	0.35
M12	77.14	27	0.35
M13	51.42	18	0.35
M14	25.71	9	0.35
M15	17.14	6	0.35
M16	8.57	3	0.35
M17	5.71	2	0.35
M18	2.85	1	0.35
M21	1388.57	486	0.35
M22	694.28	243	0.35
M23	462.85	162	0.35
M24	231.42	81	0.35
M25	154.28	54	0.35
M26	77.14	27	0.35
M27	51.42	18	0.35
M28	25.71	9	0.35
M29	17.14	6	0.35
M210	8.57	3	0.35
M211	5.71	2	0.35
M212	2.85	1	0.35
M31	1388.57	486	0.35
M32	694.28	243	0.35
M33	462.85	162	0.35
M34	231.42	81	0.35
M35	154.28	54	0.35
M36	77.14	27	0.35
M37	51.42	18	0.35
M38	25.71	9	0.35
M39	17.14	6	0.35
M310	8.57	3	0.35
M311	5.71	2	0.35
M312	2.85	1	0.35

4.2.1.-Variación de la amplitud al conmutar los condensadores utilizando bits de entrada

El circuito cuenta con 4 bits de entrada, los cuales nos da la posibilidad de conmutar entre 15 valores. Para cada número o valor tendremos una amplitud (v) como se puede apreciar en la siguiente figura 4.2.

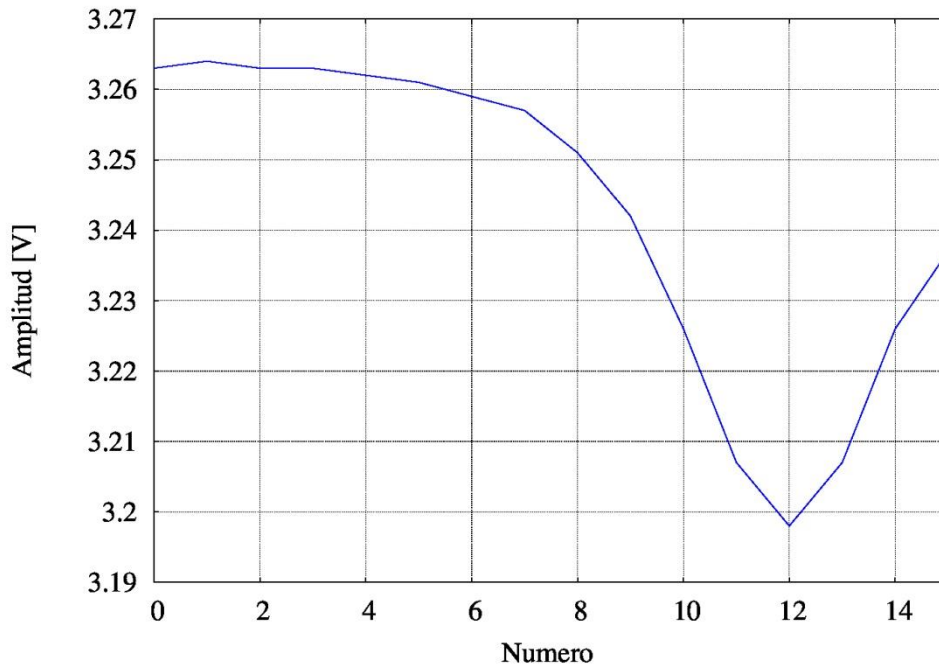


Figura 4.2: Variación de la amplitud en función de los bits de entrada.

En el siguiente cuadro mostraremos los valores de amplitud (v) para cada número utilizado. De estos 15 números podemos escoger 2 valores entre los cuales variaremos la impedancia, de acuerdo a la variación de amplitud que deseemos.

Tabla4.2: Amplitudes obtenidas mediante la variación de bits de entrada.

N	Bits	Condensador(pF)	Amplitud(V)
0	0000	0	3.2634
1	0001	2.7	3.2636
2	0010	5.4	3.2634
3	0011	8.1	3.2629
4	0100	10.8	3.2619
5	0101	13.5	3.2610
6	0110	16.2	3.2593
7	0111	18.9	3.2568
8	1000	21.6	3.2505
9	1001	24.3	3.2423
10	1010	27	3.2259
11	1011	29.7	3.2065
12	1100	32.4	3.1975
13	1101	35.1	3.2073
14	1110	37.8	3.2255
15	1111	40.5	3.2374

4.2.2.-Variación de la eficiencia al conmutar los condensadores utilizando bits de entrada

Mediante la conmutación de cada número o valor tendremos una eficiencia determinada como se puede apreciar en la siguiente figura 4.3.

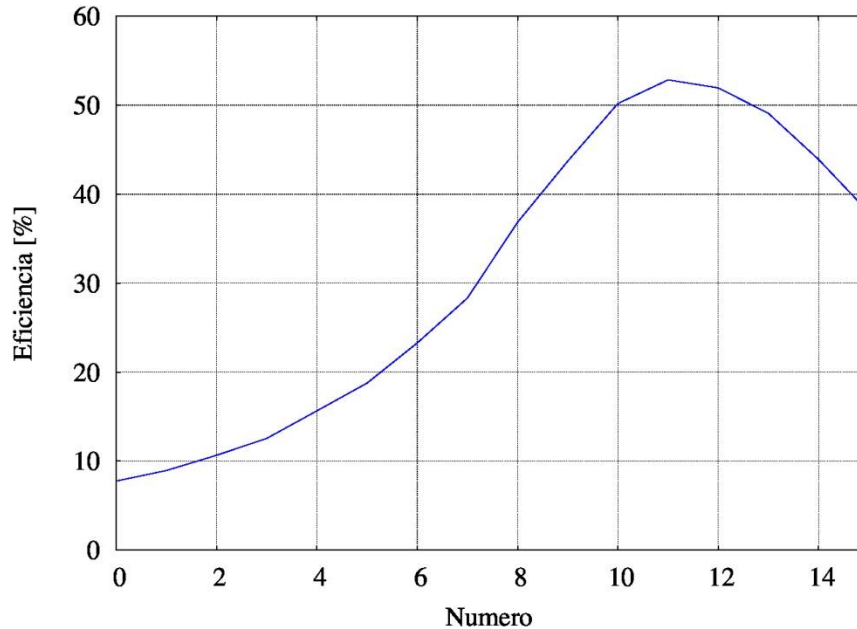


Figura 4.3: Variación de la eficiencia en función de los bits de entrada.

En el siguiente cuadro mostraremos los valores de eficiencia para cada número. En este cuadro podremos verificar que los 2 valores escogidos anteriormente no afecten críticamente la eficiencia, de ser así se puede seleccionar otro valor para realizar la conmutación. En este caso usando el número 4 tendríamos una eficiencia de 15.64% aceptable para este tipo de enlaces inductivos.

Tabla 4.3: Eficiencias obtenidas mediante la variación de bits de entrada.

N	Bits	Condensador(pF)	Eficiencia (%)
0	0000	0	7.76
1	0001	2.7	8.94
2	0010	5.4	10.66
3	0011	8.1	12.55
4	0100	10.8	15.64
5	0101	13.5	18.76
6	0110	16.2	23.28
7	0111	18.9	28.32
8	1000	21.6	36.83
9	1001	24.3	43.70
10	1010	27	50.18
11	1011	29.7	52.83
12	1100	32.4	51.94
13	1101	35.1	49.08
14	1110	37.8	43.88
15	1111	40.5	37.95

4.2.3.-Análisis del circuito en base a variaciones de proceso y temperatura

Al empezar el diseño el circuito se realiza la revisión de la documentación de la hoja de datos de parámetros de proceso [23] que son las características eléctricas de cada componente en la cual se indica los valores nominales, mínimo y máximo de cada parámetro usado en cada bloque específico del diseño. Estos valores nominales pueden variar debido a las variaciones de proceso que son variaciones en los atributos del transistor y del condensador (ancho de canal, largo de canal, espesor del óxido) durante la fabricación del circuito reflejándose en la simetría de este y a las variaciones de temperatura que también afectan estos parámetros. Al diseñar el circuito en el capítulo 3 tuvimos en cuenta estas variaciones para la selección de condensadores usados en este circuito, sin embargo una vez unido el circuito completo este igual se verá afectado por estas variaciones las cuales podrían afectar su rendimiento y funcionalidad. Por esta razón se sometió el circuito completo a un análisis de esquinas o "corners", en donde se simuló los modelos "worstpower" (en donde consume más potencia) y "worstspeed" (en donde la velocidad es afectada haciéndose más lento) del transistor y condensador CMOS. Se realizaron las simulaciones utilizando estas esquinas a diferentes temperaturas para ver cómo es que esta variación de temperatura afecta al funcionamiento de nuestro circuito diseñado. En el cuadro 4.4 vemos cómo es que afecta estos cambios a los valores nominales, en general hay una mayor variación de amplitud y eficiencia al variar los modelos de los condensadores. La solución a estas variaciones se arregla al poder cambiar el código o número que tenemos como entrada para conmutar los condensadores y poder calibrar esta variación.

La amplitud mínima es 3.1967V y la máxima es 3.2625V, la eficiencia mínima es 14.47% y la máxima es 54.30%.

Tabla 4.4: Valores de amplitud y eficiencia por variación de procesos y temperatura

Temperatura	Corner condensador	Corner transistor	Amplitud mínima	N	Amplitud máxima	N	Eficiencia mínima	N	Eficiencia máxima	N
25°C	cap _{tm}	cm _{ostm}	3.1976	12	3.2621	4	15.64	4	52.83	11
		cm _{oswp}	3.1973	12	3.2621	4	15.62	4	52.97	11
		cm _{osws}	3.1978	12	3.2620	4	15.88	4	52.72	11
	cap _{wp}	cm _{ostm}	3.1967	13	3.2624	4	14.53	4	54.01	12
		cm _{oswp}	3.1967	13	3.2624	4	14.50	4	54.15	12
		cm _{osws}	3.1968	13	3.2623	4	14.74	4	53.92	12
	cap _{ws}	cm _{ostm}	3.1994	11	3.2613	4	17.18	4	51.41	10
		cm _{oswp}	3.1992	11	3.2616	4	17.15	4	51.53	10
		cm _{osws}	3.1997	11	3.2617	4	17.44	4	51.28	10
-25°C	cap _{tm}	cm _{ostm}	3.1973	12	3.2620	4	15.61	4	53.05	11
		cm _{oswp}	3.1972	12	3.2620	4	15.58	4	53.24	11
		cm _{osws}	3.1974	12	3.2620	4	15.89	4	53.96	11
	cap _{wp}	cm _{ostm}	3.1968	13	3.2625	4	14.50	4	54.20	12
		cm _{oswp}	3.1967	13	3.2623	4	14.47	4	54.30	12
		cm _{osws}	3.1968	13	3.2621	4	14.71	4	54.16	12
	cap _{ws}	cm _{ostm}	3.1991	11	3.2616	4	17.15	4	51.69	10
		cm _{oswp}	3.1990	11	3.2616	4	17.11	4	51.76	10
		cm _{osws}	3.1993	11	3.2615	4	17.41	4	51.61	10
75°C	cap _{tm}	cm _{ostm}	3.1978	12	3.2619	4	15.67	4	52.59	11
		cm _{oswp}	3.1976	12	3.2619	4	15.64	4	52.77	11
		cm _{osws}	3.1981	12	3.2620	4	15.91	4	52.45	11
	cap _{wp}	cm _{ostm}	3.1970	13	3.2624	4	14.55	4	53.79	12
		cm _{oswp}	3.1968	13	3.2622	4	14.53	4	53.95	12
		cm _{osws}	3.1971	13	3.2623	4	14.77	4	53.66	12
	cap _{ws}	cm _{ostm}	3.1997	11	3.2616	4	17.21	4	51.11	10
		cm _{oswp}	3.1995	11	3.2614	4	17.17	4	51.26	10
		cm _{osws}	3.1999	11	3.2613	4	17.47	4	51.93	10

4.2.4.-Funcionamiento del circuito diseñado

Para el funcionamiento se seleccionó 2 valores de condensadores con los cuales tengamos la máxima amplitud y otro con el cual tengamos la mínima amplitud. Para esta prueba usaremos un valor de condensador de 10.8pF correspondiente al número 4 (0100) y otro valor de condensador de 32.4pF correspondiente al número 12(1100).

Conmutaremos entre estos 2 valores, para tener así una variación en el dispositivo externo el cual interpretara la señal de mayor amplitud como "1" y la de menor amplitud como "0".

Si deseáramos transmitir el código 010101 mediante la variación de amplitud, tendríamos que tener la siguiente señal (ver figura 4.5) en el dispositivo externo.

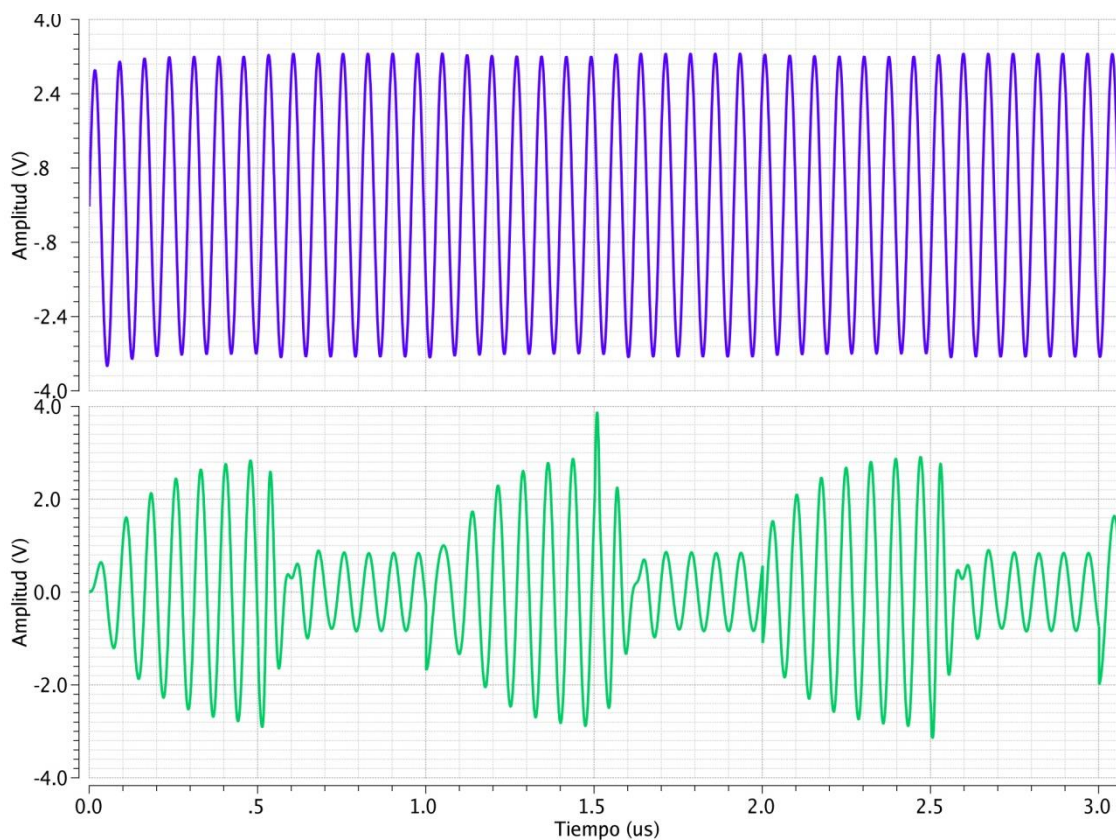


Figura 4.4: Señal recibida en el receptor al conmutar los condensadores (Azul) y señal obtenida en el circuito interno para ser reflejada (verde).

Esta señal (azul) que resulta de conmutar los valores de condensadores genera una variación en la tensión que no se puede apreciar de forma adecuado en la figura 4.4, ya que esta variación es en mili voltios por lo que en la figura 4.5 haremos una ampliación a los valores de amplitud de la señal entre 3.1V y 3.3V para poder visualizar con mayor precisión esta variación.

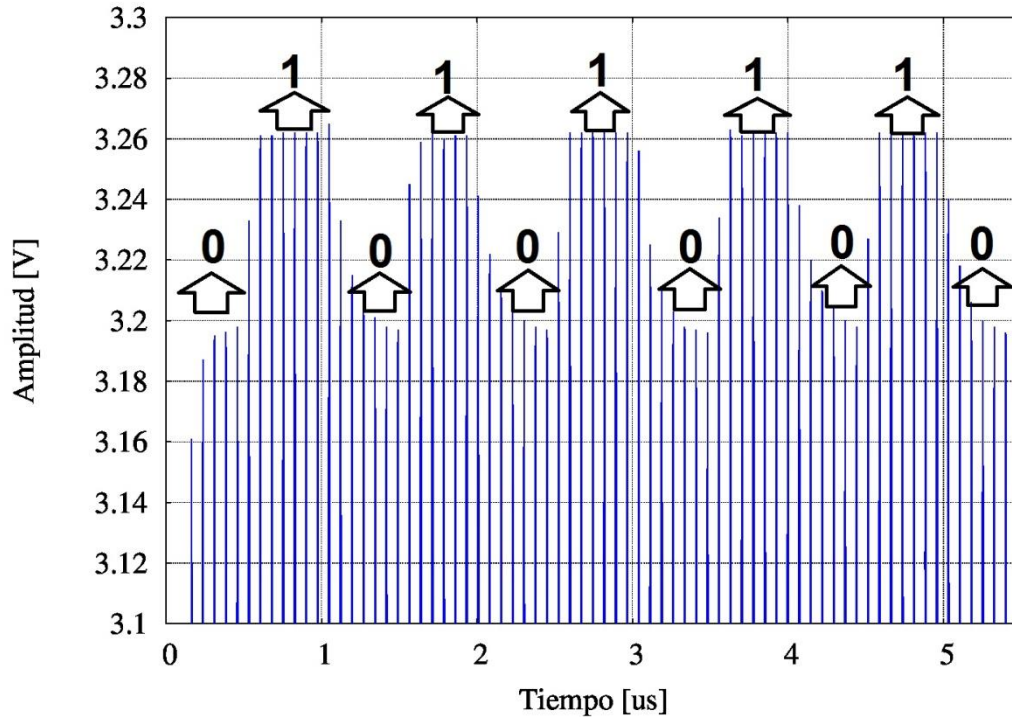


Figura 4.5: Ampliación de la señal recibida en el dispositivo externo.

De esta manera la señal de menor amplitud será interpretada como un "0" y la señal de mayor amplitud será interpretada como un "1", pudiendo así de esta manera transmitir datos desde el dispositivo implantado hacia el dispositivo externo solo con la conmutación entre condensadores.

4.2.5.-Tiempo de propagación de los buffers diseñados

A la entrada de los transistores llave tenemos conectados los buffer a los cuales entran señales cuadradas de conmutación como se observan en la figura 4.5. Estas señales tienen un tiempo de subida y bajada, los cuales gracias a los buffer fueron reducidos en un 90% y lo más importante es que se consiguió tiempos de propagación adecuados para el sistema. En el cuadro 4.5 tenemos los valores del tiempo de propagación conseguido en cada buffer calculado mediante la herramienta de diseño *Cadence*.

Tabla 4.5: Tiempo de propagación de cada *buffer*.

	Tiempo de propagación
Buffer 1	618.5ps
Buffer 2	618.5ps
Buffer 3	660ps
Buffer 4	660ps

Del cuadro 4.2 notamos que los tiempos de propagación son parecidos, debido a que se usó un número de inversores adecuado para la carga a la cual iban conectados. Al tener el buffer 1 y 2 las mismas dimensiones y número de etapas, estos tienen el mismo tiempo de propagación; igualmente para los buffer 3 y 4.

4.2.6.-Potencia Consumida

Se realizó la simulación de potencia al sumar de corrientes de entrada de los buffers y multiplicarla por el voltaje de alimentación de nuestros buffer.

Por medio de la simulación se obtuvo un valor de $167.2\mu\text{W}$, el cual es un valor muy pequeño y adecuado para el uso de este bloque en una interface neuronal.

Esta potencia es afectada por el ancho del canal (w) de los buffer diseñados, ya que a un mayor ancho de canal la potencia aumenta. Este efecto se puede observar en la siguiente figura 4.8.

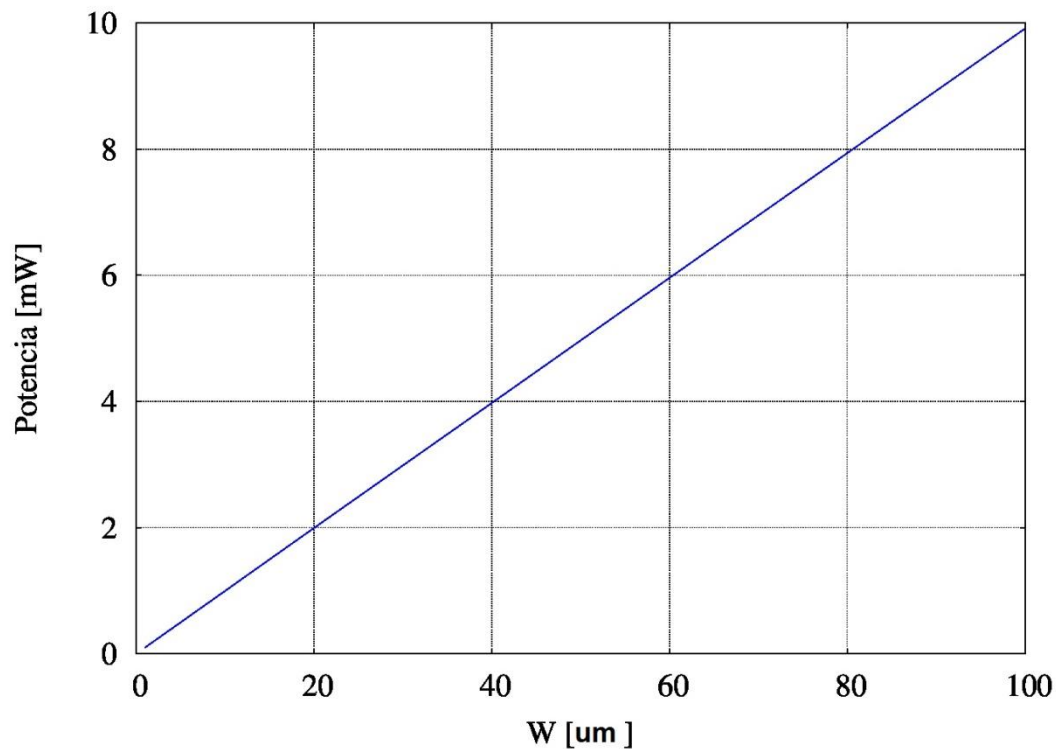


Figura 4.6: Efecto del ancho de canal sobre la potencia consumida.

4.3.-Layout

Para la elaboración del layout se utilizó la herramienta *Layout XL* de *Cadence* y se utilizó la herramienta *ASSURA* para validar cada uno de los bloques. En el diseño de los layout se corroboró el uso de las reglas de diseño con la herramienta *DRC(Design Rule Check)*, la equivalencia entre el esquemático y el *layout* con la herramienta *LVS(Layout Versus Schematic)* y finalmente la extracción de elementos parásitos usando la herramienta *Assura QRC*.

4.3.1.-Layout Condensadores

A continuación se muestra el *layout* del arreglo de condensadores, los cuales fueron ordenados de manera rectangular y a la vez fueron protegidos por condensadores inútiles ubicados alrededor de estos. Los condensadores usados en este *layout* fueron de tipo PIP(*poly1-insultator-poly2*) y el área obtenida en este *layout* fue de 0.07mm^2 .

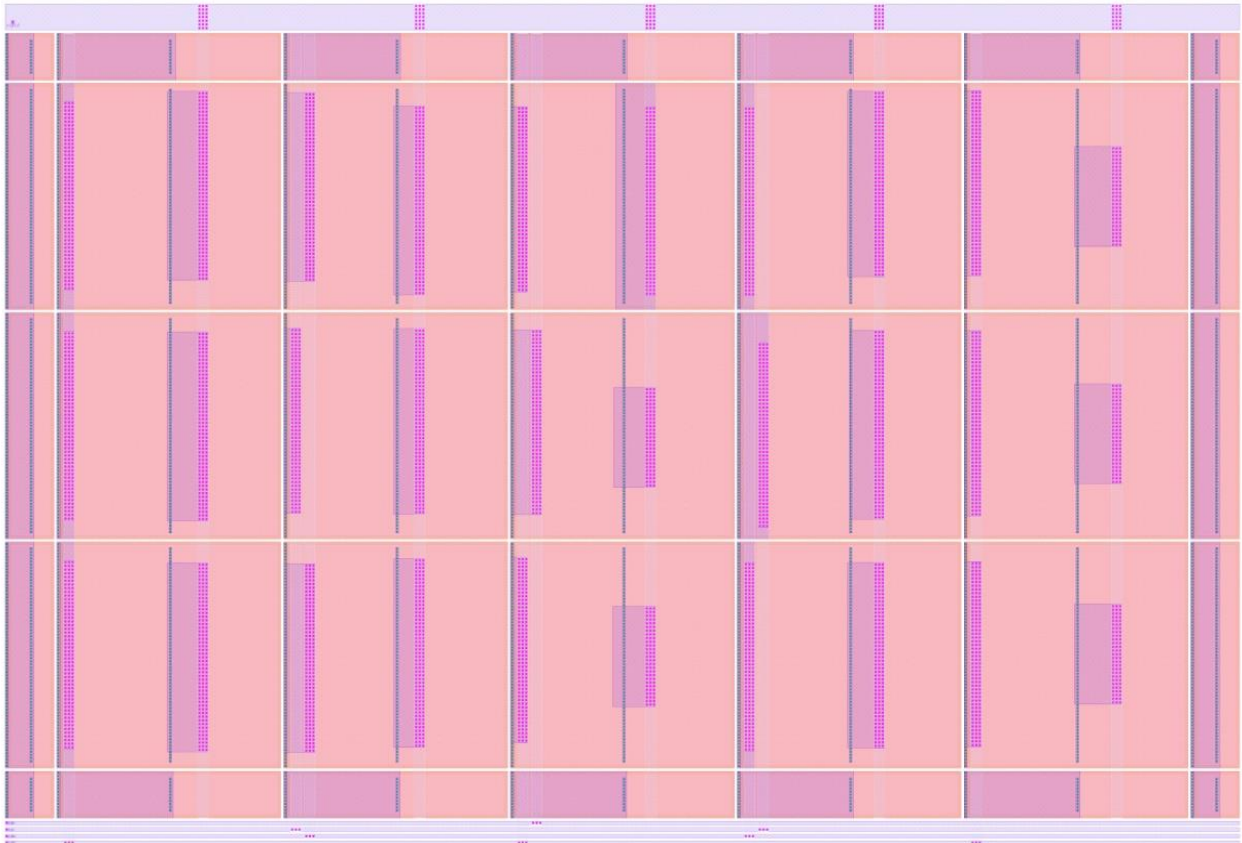


Figura 4.7: *Layout* del arreglo de capacitores.

4.3.2.-Layout Buffers

El *layout* de los buffers fue diseñado de tal manera en que los inversores estén distribuidos de manera horizontal, para este diseño se usó la técnica de interdigitación para dividir el ancho de los transistores de manera uniforme en el *layout*.

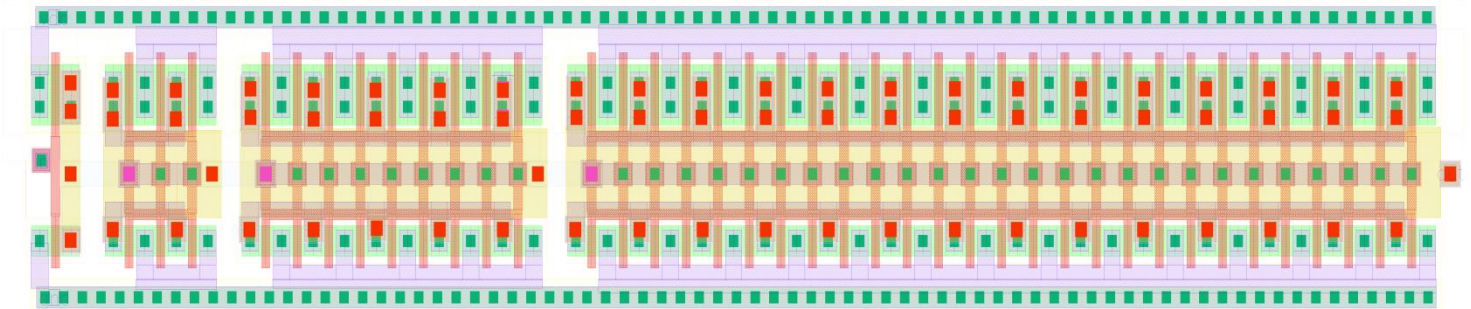


Figura 4.8: *Layout* buffer de entrada de los transistores M0 y M1.

El *layout* de los buffers fue pensado de manera que al ser usado en el *layout* final se tenga un diseño compacto y se pueda maximizar el uso del espacio. Se procedió de igual manera para los buffer usados en los transistores M2 y M3.

4.3.3.-Layout circuito completo

A continuación mostramos el *layout* de todo el circuito (figura 4.10) en el cual podremos apreciar la diferencia entre los tamaños de los condensadores y la de los transistores usados en nuestro diseño. Se distribuyó los buffer y transistores usados como llave en la base del *layout* del arreglo de condensadores para poder tener el *layout* total de forma rectangular y poder así tener un diseño más compacto en la distribución de elementos en este. El área obtenida para este *layout* fue de 0.0942mm^2 .

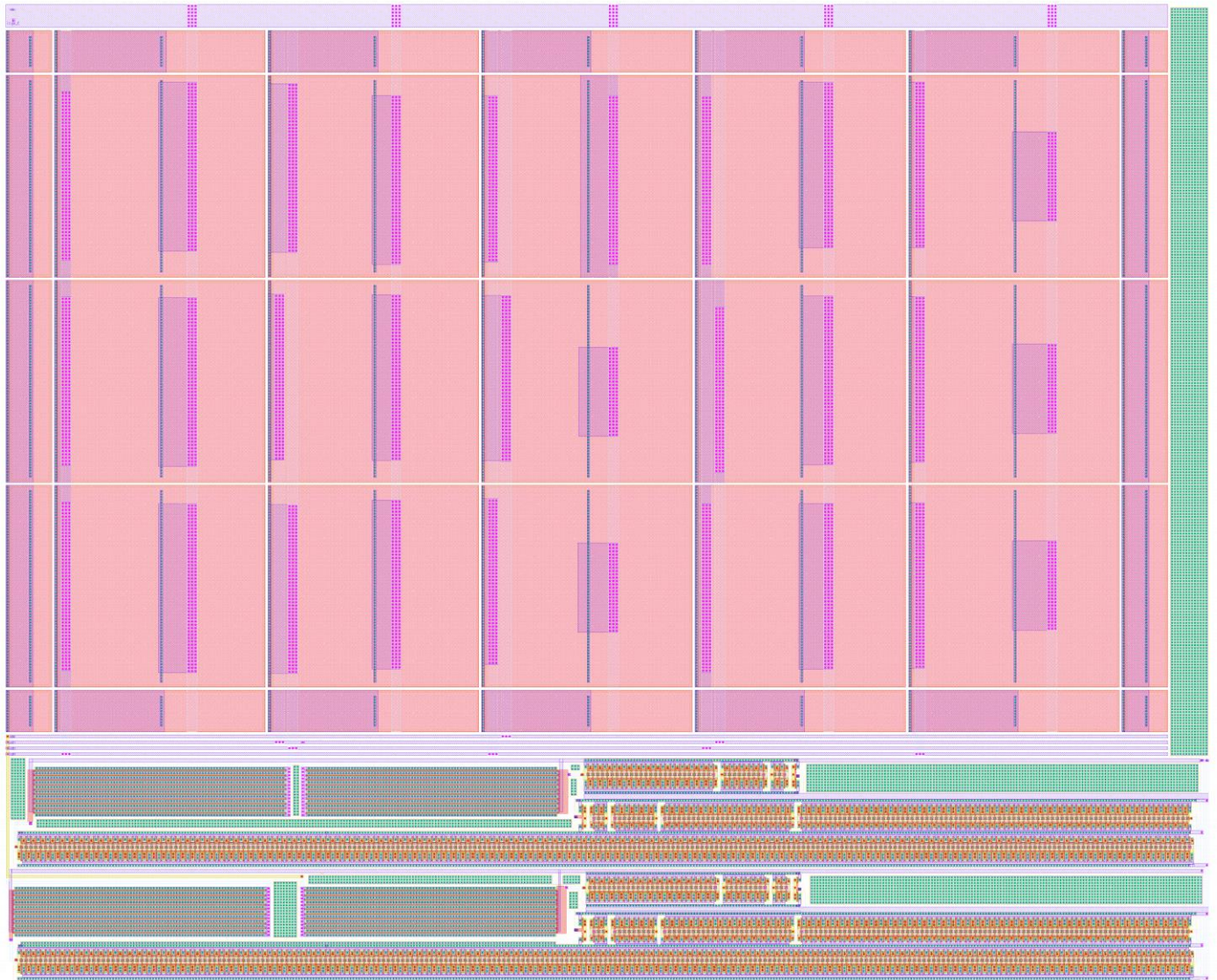


Figura 4.9: *Layout* del circuito completo.

4.3.4.-Extracción de dispositivos parásitos *post-layout*

Finalmente se procedió con la extracción del *layout* en la cual se considera los dispositivos parásitos. En esta extracción podemos visualizar los elementos parásitos generados en el diseño del *layout*, tales como los condensadores, transistores y diodos parásitos junto con la información del circuito diseñado. Se realiza una simulación *post-layout* tomando en cuenta estos dispositivos parásitos para verificar que no afectan la función del circuito diseñado.

En la siguiente grafica podemos ver como varia la amplitud en función de los números utilizados para la conmutación de condensadores.

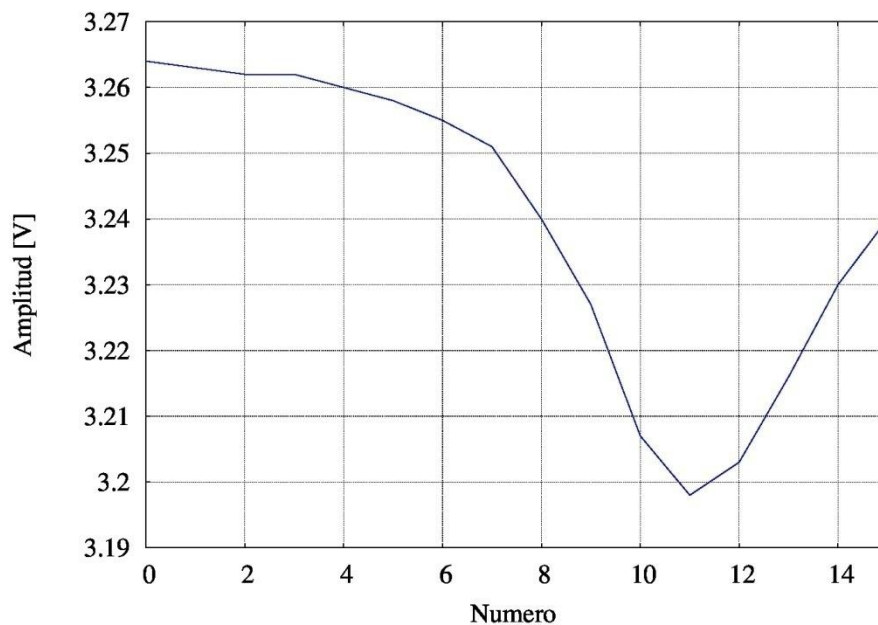


Figura 4.10: Variación de amplitud usando esquema con elementos parásitos.

Tabla 4.5: Valores de amplitud obtenidas simulando con los elementos parásitos.

N	Bits	Amplitud(V)
0	0000	3.264
1	0001	3.263
2	0010	3.262
3	0011	3.262
4	0100	3.26
5	0101	3.258
6	0110	3.255
7	0111	3.251
8	1000	3.24
9	1001	3.227
10	1010	3.207
11	1011	3.198
12	1100	3.203
13	1101	3.216
14	1110	3.23
15	1111	3.24

Conclusiones

Gracias al análisis desarrollado en la presente tesis, es posible obtener relaciones entre parámetros de diseño y parámetros de desempeño relacionados a la modulación back-scattering aplicados a enlaces inductivos. El contar con relaciones de este tipo, le permite al diseñador elegir valores apropiados de acuerdo a las especificaciones del sistema y evaluar la funcionalidad del circuito.

Después de finalizar el diseño y verificarlo con las herramientas de simulación se concluye que es posible implementar la conmutación de capacitancia utilizando dispositivos completamente integrados en un mismo chip.

Al analizar el *layout* elaborado se observa que el área ocupada (0.094288 mm²) no impactaría de manera significativa en un chip implantado dedicado al registro y transmisión de señales neuronales, ya que las interfaces neuronales implantadas tienen áreas mucho más grandes como el chip diseñado en [16] de 27.3 mm².

La estrategia implementada para seleccionar valores de capacitancia a ser conmutadas permite programar el circuito para mantener valores de eficiencia e índice de modulación apropiados a pesar de las variaciones aleatorias de parámetros de dispositivos debidas a imperfecciones de los procesos de fabricación.

El análisis del comportamiento del circuito ante variaciones de temperatura nos muestra que el circuito mantendría su desempeño si fuera implantado en el cerebro ya que este se simuló en un rango de temperaturas superior al que se podría esperar en el cerebro.

El uso de buffers en las entradas de los transistores que actúan como llave se mostró imperativo para garantizar tiempos de propagación similares entre las diferentes señales de control.

Las diferencias entre el tiempo de propagación teórico y el de simulación se deben a que el software *Cadence* no sigue el modelo cuadrático para el dimensionamiento de transistores por lo que se produce esta diferencia. Así mismo los valores de Req calculados deberían ser iguales para los transistores Tipo N y Tipo P pero se aproximó a un valor medio entre los dos.

La presencia de capacitancias y resistencias parásitas no alteró la funcionalidad del circuito, lo cual fue verificado simulando el modelo post-layout extraído con la herramienta *Assura* de la compañía *CADENCE*.

Recomendaciones

Para dar continuidad a este trabajo se elaboró una lista de recomendaciones las cuales pueden servir como base para proponer otros temas de tesis:

- Diseñar el limitador de tensión y el rectificador que van conectados en paralelo con la inductancia del receptor. Con el diseño de estos circuitos finalizados se debe volver a simular el arreglo de condensadores diseñado en la presente tesis. Es posible que sean necesarias pequeñas modificaciones a los valores de los condensadores.
- Diseñar el circuito digital que genera las señales de control de las llaves del circuito presentado en esta tesis. Se puede incorporar un procedimiento de calibración que consiste en medir el consumo de la interface implantada y cambiar la configuración del arreglo de condensadores programable de acuerdo a ese consumo.
- Enviar a fabricar el circuito diseñado en esta tesis para comprobar su funcionamiento con bobinas reales y verificar su desempeño a diferentes distancias de separación entre ellas. Para esto sería necesario buscar una fuente de financiamiento que permita incluir este circuito en una rodada de fabricación *MPW (Multi Project Wafer)*.

Bibliografía

1. HOCHBERG, Leigh R., et al. Reach and grasp by people with tetraplegia using a neurally controlled robotic arm. *Nature*, 2012, vol. 485, no 7398, p. 372-375.
2. SCHWARZ, David A., et al. Chronic, wireless recordings of large-scale brain activity in freely moving rhesus monkeys. *Nauremethods*, 2014.
3. HE, Bin, et al. Brain–computer interfaces. En *Neural Engineering*. Springer US, 2013. p. 87-151.
4. SARPESHKAR, Rahul, et al. Low-power circuits for brain–machine interfaces. *Biomedical Circuits and Systems*, IEEE Transactionson, 2007, p. 2068-2071.
5. TRAN, Nhan, et al. A complete 256-electrode retinal prosthesis chip. *Solid-State Circuits, IEEE Journal of*, 2014, vol. 49, no 3, p. 751-765.
6. MONGE, Manuel; EMAMI, Ali. Design considerations for high-density fully intraocular epiretinal prostheses. En *Biomedical Circuits and Systems Conference (BioCAS), 2014 IEEE*. IEEE, 2014. p. 224-227.
7. YIP, Marcus, et al. A Fully-Implantable Cochlear Implant SoCWith Piezoelectric Middle-Ear Sensor and Arbitrary Waveform Neural Stimulation. 2015.
8. CHIU, Hung-Chih, et al. An intelligent brain machine interface with wireless micro-stimulation and neural recording. En *Biomedical and Health Informatics (BHI), 2014 IEEE-EMBS International Conference on*. IEEE, 2014. p. 460-463.
9. PANCRAZIO, Joseph J., et al. Toward Neurotechnology Innovation: Report from the 2005 Neural Interfaces Workshop. An NIH-Sponsored Event. *Neuromodulation: Technology at the Neural Interface*, 2006, vol. 9, no 1, p. 1-7.
10. CERIDA RENGIFO, Sammy. Diseño de un amplificador de señales neuronales de bajo ruido y bajo consumo de potencia. 2014.
11. RITTER, Rudolf, et al. Telemetry for Implantable Medical Devices. *IEEE SOLID-STATE CIRCUITS*, 2014, vol. 47.
12. BAKER, Michael W.; SARPESHKAR, Rahul. Feedback analysis and design of RF power links for low-power bionic systems. *Biomedical Circuits and Systems, IEEE Transactions on*, 2007, vol. 1, no 1, p. 28-38.
13. MULLER, Rikky, et al. A Minimally Invasive 64-Channel Wireless μ ECoG Implant. 2015.
14. MESTAIS, C., et al. WIMAGINE®: Wireless 64-channel ECoG recording implant for long term clinical applications. 2015.
15. BORTON, David A., et al. An implantable wireless neural interface for recording cortical circuit dynamics in moving primates. *Journal of neural engineering*, 2013, vol. 10, no 2, p. 026010.
16. HARRISON, Reid R. Designing efficient inductive power links for implantable devices. En *Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on*. IEEE, 2007. p. 2080-2083.

17. iVAN SCHUYLENBERGH, Koenraad; PUERS, Robert (ed.). *Inductive Powering: Basic Theory and Application to Biomedical Systems*. SpringerScience& Business Media, 2009.
18. BARBERO, Antonio."Inducción Electromagnética" Mayo 2015.[Online]. Available:https://www.uclm.es/profesorado/ajbarbero/Teoria/Leccion_Induccion_Electromagnetica.pdf
19. VAN PAEMEL, Mark. High-efficiency transmission for medical implants. *Solid-StateCircuits Magazine, IEEE*, 2011, vol. 3, no 1, p. 47-59.
20. YANG, Zhi. *Neural Computation, Neural Devices, and Neural Prosthesis*. Springer, 2014
21. JEGADEESAN, Rangarajan; GUO, Yong-Xin. Topology selection and efficiency improvement of inductive power links. *Antennas and Propagation, IEEE Transactionson*, 2012, vol. 60, no 10, p. 4846-4854.
22. JAN, M. Rabaey; ANANTHA, Chandrakasan; BORIVOJE, N. *Digital IntegratedCircuits–A DesignPerspective*. 2004.
23. A. M. Systems, "Process parameters," Diciembre 2008, revisión 6.

