

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ

FACULTAD DE CIENCIAS E INGENIERÍA



**DISEÑO DE UN AMPLIFICADOR CHOPPER DE BIOPOTENCIALES
CON CIRCUITO AUXILIAR DE AUMENTO DE IMPEDANCIA DE
ENTRADA, CON VOLTAJE DE ALIMENTACION DE 1.2V**

Tesis para obtener el título profesional de Ingeniero Electrónico

AUTOR:

Diego Fernando Villalva Mendoza

ASESOR:

Julio Cesar Saldaña Pumarica

Lima, Setiembre, 2025

Informe de Similitud


Yo, **Julio Cesar Saldaña Pumarica**, docente de la **Facultad de Ciencias e Ingeniería** de la Pontificia Universidad Católica del Perú, asesor de la tesis titulada:

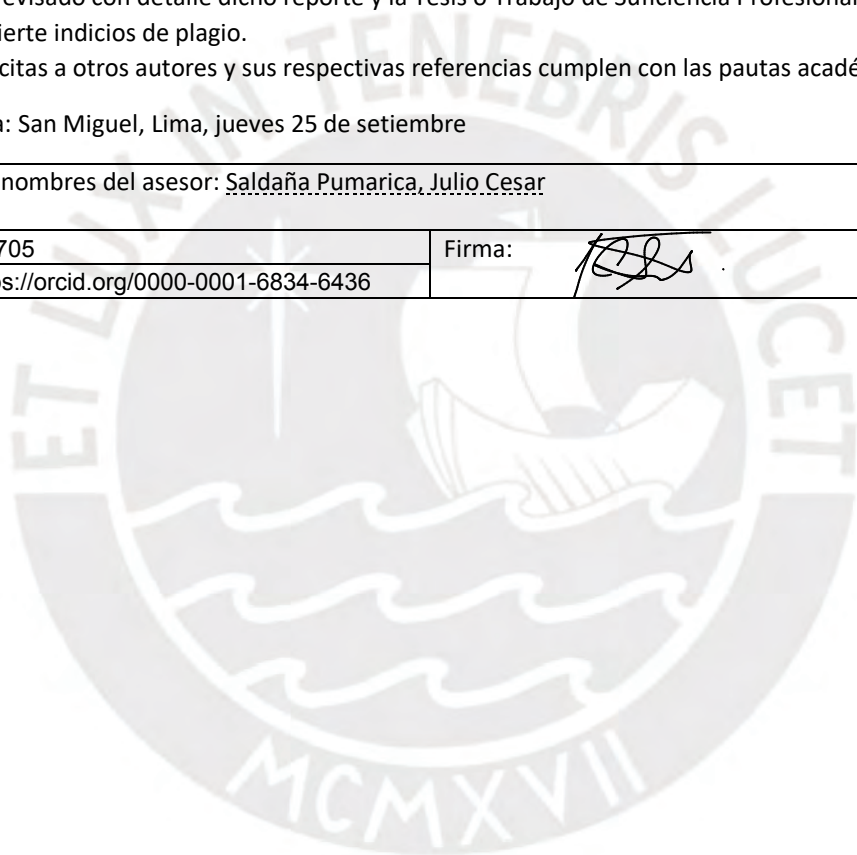
Diseño de un Amplificador Chopper de Biopotenciales con Circuito Auxiliar de Aumento de Impedancia de Entrada, con Voltaje de Alimentación de 1.2V, del autor **Diego Fernando Villalva**

Mendoza de constancia de lo siguiente:

- El mencionado documento tiene un índice de puntuación de similitud de 12%. Así lo consigna el reporte de similitud emitido por el software *Turnitin* el 15/09/2025.
- He revisado con detalle dicho reporte y la Tesis o Trabajo de Suficiencia Profesional, y no se advierte indicios de plagio.
- Las citas a otros autores y sus respectivas referencias cumplen con las pautas académicas.

Lugar y fecha: San Miguel, Lima, jueves 25 de setiembre

Apellidos y nombres del asesor: <u>Saldaña Pumarica, Julio Cesar</u>	
DNI: 10123705	Firma: 
ORCID: https://orcid.org/0000-0001-6834-6436	



Resumen

Esta tesis presenta el diseño de un circuito auxiliar de aumento de impedancia para un amplificador de instrumentación capacitivo chopper dedicado a la medición de señales biomédicas. La técnica utilizada consiste en el uso de un buffer auxiliar que suministra carga a los condensadores de entrada del amplificador con el objetivo de reducir la carga entregada por el tejido biológico durante la conmutación de las llaves *chopper*. El circuito es diseñado con transistores de la tecnología CMOS de 180nm del fabricante TSMC. Se ha logrado verificar cómo la técnica de buffer auxiliar logra un *boost* de impedancia hasta valores de $6\text{ G}\Omega$ en DC. A 60 Hz se obtienen valores del orden de $2.9\text{ G}\Omega$. En DC se comprueba un factor de aumento de impedancia de 700. A pesar que la aplicación se da en temperaturas similares al del cuerpo humano, en el caso de dispositivos implantables, también se investigó el desempeño del circuito a temperaturas extremas dentro del rango comercial de -40° a 85° . También se consideraron las variaciones estadísticas debidas al proceso de fabricación y posibles variaciones en la tensión de alimentación, notándose que en el peor de los casos la impedancia de entrada llegó hasta $230\text{M}\Omega$.

Índice general

Introducción	1
1. Marco problemático	3
1.1. Motivación y amplificadores biopotenciales	3
1.1.1. <i>Señales biopotenciales y aplicaciones</i>	3
1.1.2. <i>Amplificadores biopotenciales</i>	4
1.2. Problemática	7
1.2.1. Efecto del amplificador chopper.....	7
1.2.2. Reducción de impedancia de entrada	8
1.3. Estado del arte	9
1.3.1. Positive Feedback Loop.....	9
1.3.2. Auxiliary Feedforward Path	10
1.3.3. Current feedback amplifier (CFA)	11
1.3.4. Capacitively coupled chopper-stabilized.....	12
1.3.5. Cuadro comparativo.....	13
1.4. Objetivos.....	14
1.4.1. Objetivo general	14
1.4.2. Objetivos específicos	14
2. Fundamentos para el desarrollo del diseño	15
2.1. Ruido del amplificador	15
2.1.1 Ruido térmico.....	15
2.1.2. Ruido <i>Flicker</i>	18
2.2. Offset.....	20
2.3. Modulador <i>chopper</i> e impedancia de entrada.....	22
2.4. Acoplamiento capacitivo en amplificador	24
3. Diseño de circuito de aumento de impedancia de entrada para amplificador <i>chopper</i>	27
3.1. Simulación de baja impedancia	27
3.2. Limitación del <i>Positive Feedback Loop</i>	29
3.3. <i>Auxiliary Feedforward Path</i>	32
3.3.1. El <i>buffer</i>	33
3.4. <i>Switches</i> auxiliares	38
4. Simulaciones y resultados.....	41
4.1. Simulación PSS	41
4.2. Simulación PAC	44
4.3. Simulaciones PVT	46
4.3.1. Simulación PVT a 1.2 V.....	48

4.3.2.	Simulación PVT a 1.5 V.....	50
4.3.3.	Simulación PVT a 1.8 V.....	51
4.3.4.	Simulación PVT de la razón de aumento de impedancia.....	53
4.4.	Comparación con otros trabajos	56
	Conclusiones	57
	Recomendaciones y trabajos futuros.....	58
	Bibliografía:	59



Índice de Tablas

Tabla 1. Cuadro comparativo entre diferentes estados del arte.	13
Tabla 2. Parámetros de canal de transistores internos del <i>buffer</i>	38
Tabla 3. Valores de impedancia y potencia disipada ante variaciones PVT a 1.2 V	50
Tabla 4. Valores de impedancia y potencia disipada ante variaciones PVT a 1.5 V	51
Tabla 5. Valores de impedancia y potencia disipada ante variaciones PVT a 1.8 V	53
Tabla 6. <i>Ratio</i> de aumento de impedancia con circuito auxiliar.....	55
Tabla 7. Comparación de resultados con estado del arte.	56

Índice de Imágenes

Figura 1. Representación del proceso de control de una prótesis de mano haciendo uso de diferentes señales biopotenciales del brazo [6].	3
Figura 2. Simio jugando MindPong a través de interfaz neuronal [7].	4
Figura 3. Gráfico que relaciona tensión y frecuencia de señales neuronales LFP y AP [9].	5
Figura 4. Representación de conexión del amplificador chopper [14].	6
Figura 5. Esquema de amplificador <i>chopper</i> con circuitos auxiliares de corrección [2].	8
Figura 6. Amplificador <i>chopper</i> con <i>Positive Feedback Loop</i> [1].	10
Figura 7. Amplificador <i>chopper</i> con auxiliary feedforward path [1].	11
Figura 8. Amplificador chopper con current feedback amplifier [4].	11
Figura 9. Amplificador <i>chopper</i> con <i>gain revision loop</i> [1].	12
Figura 10. DEP de ruido térmico de resistencia [12].	15
Figura 11. Ruido térmico modelado como fuente de tensión y corriente [16].	16
Figura 12. Ruido térmico en MOSFET modelado como fuente de corriente [12].	17
Figura 13. DEP de ruido <i>flicker</i> y térmico [17].	19
Figura 14. Modelo de OpAmp real con <i>offset</i> [21].	20
Figura 15. <i>Offset</i> en par diferencial [21].	21
Figura 16. <i>Chopper</i> basado en llaves [19].	22
Figura 17. <i>Chopper</i> basado en transistores CMOS [13].	22
Figura 18. Formas de onda. (a) Forma de onda pre-modulación. (b) Forma de onda post-modulación [14].	23
Figura 19. Acople capacitivo de <i>chopper</i> . (a) Capacitor cargado a señal de entrada. (b) Capacitor un instante después de conmutación.	23
Figura 20. Amplificador neuronal realimentado capacitivamente [20].	25
Figura 21. <i>Mismatch</i> vs tamaño de resistencia [21].	25
Figura 22. <i>Mismatch</i> vs tamaño de capacitor [21].	26

Figura 23. Modulador <i>chopper</i> conectado a capacitores de entrada.	28
Figura 24. Corriente en los capacitores de entrada.	29
Figura 25. Amplificador <i>chopper</i> con PFL.....	30
Figura 26. Impedancia de entrada DC con capacitores variando de 30 a 130f F entre 10f F. ..	31
Figura 27. Impedancia de entrada DC con capacitores variando de 100 a 115f F.....	31
Figura 28. Esquema de <i>buffer</i> auxiliar.....	34
Figura 29. Diseño inicial de <i>buffer</i> auxiliar.	35
Figura 30. Diseño esquemático completo de <i>buffer</i> auxiliar.....	37
Figura 31. Diseño de llaves.....	39
Figura 32. Diseño de compuerta NOR.	39
Figura 33. Diseño completo de llaves auxiliares.	40
Figura 34. Diagrama esquemático de amplificador <i>chopper</i> con circuito auxiliar	42
Figura 35. Señal de control de moduladores.....	42
Figura 36. Corriente en capacitores de entrada con <i>buffer</i> auxiliar	43
Figura 37. Corriente de capacitores de entrada en frecuencia	44
Figura 38. Impedancia de entrada en frecuencia	45
Figura 39. Diagrama esquemático de circuito auxiliar con <i>chopper</i> aislado	47
Figura 40. Respuesta en frecuencia de impedancia de entrada ante variaciones PVT a 1.2 V .	49
Figura 41. Respuesta en frecuencia de impedancia de entrada ante variaciones PVT a 1.5 V .	51
Figura 42. Respuesta en frecuencia de impedancia de entrada ante variaciones PVT a 1.8V.	52
Figura 43. Diagrama esquemático de circuito <i>chopper</i> aislado	54

Introducción

Los avances en la electrónica han permitido el desarrollo de dispositivos portátiles capaces de medir señales biomédicas. Por ejemplo, mediante dispositivos "*wearables*" se pueden medir señales de electrocardiograma, electromiograma, electroencefalograma, bioimpedancia y señales de fotoplethismografía. También existen dispositivos implantables para medidas de electrocorticograma y de señales neuronales extracelulares; que generalmente se usan para experimentos de control de dispositivo externos a través de la decodificación de comandos motores en las señales provenientes del córtex motor.

Entre los desafíos técnicos encontrados en el diseño de estos dispositivos, la minimización del tamaño y de la disipación de potencia se encuentran entre los más importantes. El caso es más crítico en el diseño de dispositivos implantables. Por ejemplo, para lograr que personas que perdieron la capacidad de movimiento de extremidades puedan controlar prótesis con destreza se requiere el uso de cientos a miles de canales de adquisición de manera simultánea. Debido a la reducida amplitud de las señales neuronales, del orden de los μV , cada uno dichos canales de adquisición deben incluir un amplificador de bajo ruido. Por tanto, el tamaño y la disipación de potencia de los amplificadores neuronales se verán multiplicados por cien o hasta mil cuando se considera el sistema completo.

Para la medición de biopotenciales en dispositivos "wearable" y en dispositivos médicos implantables una de las arquitecturas más comunes es el amplificador de instrumentación capacitivo chopper en el cual se aplica modulación de la señal de entrada a una frecuencia mayor a la frecuencia de esquina del ruido flicker de los transistores MOSFET del par diferencial de entrada. Luego de amplificada, la señal es demodulada para volver a su rango de frecuencia original. Esa demodulación traslada las componentes de baja frecuencia (incluyendo el ruido flicker) a frecuencias altas. De esa manera este amplificador presenta

ventajas en relación a la reducción de ruido de baja frecuencia, sin embargo, debido a la conmutación de las llaves del modulador de entrada y la presencia de los condensadores de entrada, su impedancia de entrada es menor en comparación a otras arquitecturas. La impedancia de entrada debe ser suficientemente elevada para evitar atenuación de la señal y para reducir la conversión de ruido de modo común en señal diferencial. De acuerdo a la revisión de estado del arte, la impedancia de entrada de un amplificador de biopotenciales chopper capacitivo puede estar en el orden de decenas de $M\Omega$ y se requiere que esté en el orden de los $G\Omega$. Para compensar esta desventaja se adiciona un circuito auxiliar que suministra parte de la corriente necesaria para cargar los condensadores de entrada a través de las llaves chopper.

El presente trabajo consiste en el diseño de un amplificador chopper para la detección de señales biopotenciales con un circuito auxiliar de aumento de impedancia de entrada y con un voltaje de alimentación de 1.2V. Para este diseño se utilizará la librería del proceso de fabricación TSMC 180nm. Además, se empleará el software CADENCE para realizar el diseño y simulaciones que comprueben los requerimientos del circuito.

1. Marco problemático

1.1. Motivación y amplificadores biopotenciales

1.1.1. Señales biopotenciales y aplicaciones

Los biopotenciales son señales eléctricas que provienen de procesos bioquímicos realizados por ciertas células pertenecientes a los seres vivos. Algunas de las zonas más importantes en donde pueden ser encontradas son en tejidos del cerebro, músculos o corazón y se denominan células excitables. Las señales biopotenciales que se estudian con mayor frecuencia son el electrocardiograma (ECG), electroencefalograma (EEG) y el electromiograma (EMG), pues son las que mayormente se encuentran en diversos tipos de aplicaciones. Estos pueden ser medidos empleando dispositivos tanto de forma invasiva (circuitos implantados) como de forma no invasiva (superficiales). Por ejemplo, sistemas enfocados en mejorar el desarrollo de interfaces humano-máquina (HMI) emplean con mucha frecuencia señales EEG o EMG [5]. En [6] se realiza una revisión del estado del arte sobre diferentes sistemas híbridos HMI para pacientes con prótesis de miembros superiores empleando sEMG en combinación con otros sensores superficiales.

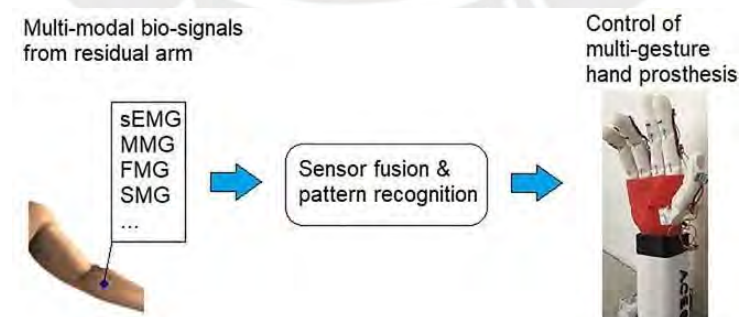


Figura 1. Representación del proceso de control de una prótesis de mano haciendo uso de diferentes señales biopotenciales del brazo [6].

Por otro lado, la aplicación de electroencefalogramas ha facilitado un diagnóstico más eficaz y preciso a diferentes tipos de trastornos cerebrales, tales como la epilepsia, traumas cerebrales e incluso tumores. Aparte de esto, el estudio de la actividad cerebral permite identificar patrones específicos que pueden conducir a desarrollar sistemas mucho más complejos. Un ejemplo de esto es un dispositivo en desarrollo de Neuralink, el cual tiene como objetivo permitir a personas con parálisis interactuar con computadores o celulares de forma inalámbrica a través de su propio sistema neuronal [7].

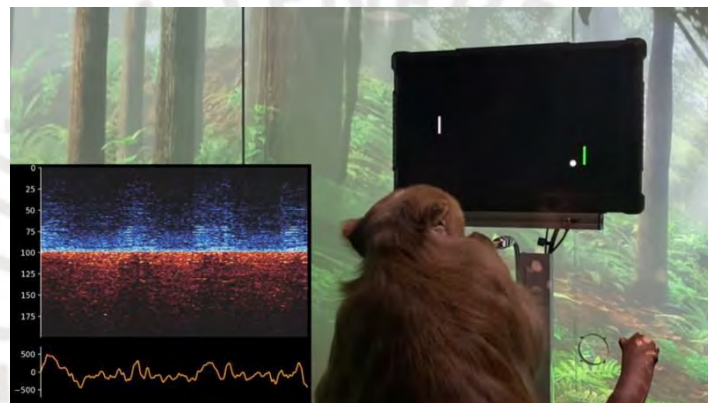


Figura 2. Simio jugando MindPong a través de interfaz neuronal [7].

1.1.2. *Amplificadores biopotenciales*

Los biopotenciales poseen ciertas características que dificultan su medición y complican el diseño de los sistemas de adquisición. Primero, la amplitud de estas señales usualmente varían desde el orden de los μV hasta los mV [2],[5],[8]. Esto implica que, para obtener una muestra aceptable de estas señales, es necesario que los amplificadores sean de tipo instrumentación debido a que son capaces de extraer señales de muy baja amplitud y reducir en gran medida la señal de modo común (ruido de modo común). Sin embargo, las señales, también, son muy susceptibles a la contaminación por ruido, como el generado por las líneas de tensión [5], no solo por su relativamente baja amplitud, sino también debido al rango de frecuencias en las que

se encuentran. Generalmente se ubican desde los sub Hz hasta los kHz [2], [8]. Dentro de este rango, los biopotenciales son afectados, particularmente, por el ruido “*flicker*” (ruido inversamente proporcional a la frecuencia). Además, ciertos componentes internos del amplificador, tales como los transistores y resistencias, introducen errores adicionales en la señal (niveles de offset y ruido térmico).

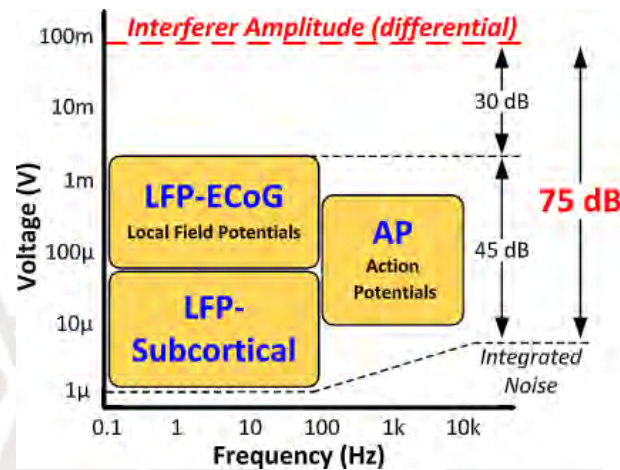


Figura 3. Gráfico que relaciona tensión y frecuencia de señales neuronales LFP y AP [9].

Con el fin de reducir los efectos del offset y el ruido (principalmente el flicker) es que se emplea la técnica conocida como *Chopper*. El componente fundamental de esta topología es el *chopper*, básicamente un conmutador inversor de polaridad que cumple con la función de un modulador casi ideal de onda cuadrada. Inicialmente, las señales de entrada, antes de ser amplificadas, son moduladas a una frecuencia de *chopper*. Al modular la señal de interés se posibilita la separación en frecuencia de esta con la del ruido flicker junto al offset interno. Esta frecuencia *chopper* debe ser mayor a la frecuencia de esquina, frecuencia en la que el ruido flicker es comparable con la del ruido térmico, para posibilitar la atenuación en la etapa posterior de filtrado. Seguidamente de la modulación se emplea un amplificador de alta frecuencia y, subsiguientemente, otro modulador *chopper*. A la salida se obtiene la señal biopotencial en banda base amplificada junto con el ruido modulado a la frecuencia *chopper*. Finalmente, luego

de una etapa de filtro se obtiene la señal de interés amplificada sumada con cierto nivel de ruido atenuado.

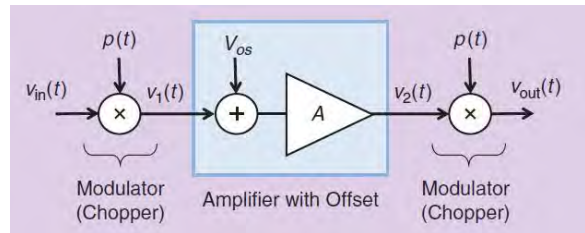


Figura 4. Representación de conexión del amplificador chopper [14].

Aparte de las características de las señales biopotenciales, también se brinda gran importancia a la eficiencia del amplificador y, en consecuencia, a la reducción de su disipación de potencia. Esto se debe a que, principalmente, con el aumento de canales de medición en dispositivos cada vez más pequeños; a su vez, aumenta el número de amplificadores. Por lo tanto, la conservación de energía alcanza niveles críticos al momento de energizar a cada vez mayor número de dispositivos que disipan cierto grado de potencia. Además, en muchas de estas aplicaciones, la energía eléctrica es un recurso muy limitado. Los diseños de amplificadores de bajo consumo más comunes recurren a emplear tensiones de alimentación relativamente bajas (aproximadamente menores a 1V). Sin embargo, esto afecta negativamente al desempeño en la reducción del ruido [2]. Por otro lado, estos niveles de tensión habilitan la aplicación de “energy harvesting” en el sistema. El “energy harvesting” le permite al dispositivo recolectar energía del medio en el que se encuentra y transformarla en una fuente de alimentación para el circuito. Sin embargo, esta fuente llega a niveles de tensión muy bajos y requiere elevarse previamente para emplearse. El problema radica en que, a mayor elevación de tensión, existe mayor disipación de potencia. Por este motivo se opta por elevar hasta tensiones que no superan 1V.

1.2. Problemática

1.2.1. Efecto del amplificador chopper

Si bien la topología del amplificador *chopper* brinda sustanciales ventajas tales como la eliminación del ruido *flicker*, así como una gran reducción del nivel de offset interno (llegando incluso a niveles de nV), también acarrea distintas desventajas. Una de estas es que el efecto *chopper* introduce nuevos niveles de offset residuales en la señal. Esto se debe principalmente a que el ciclo de trabajo de la señal moduladora cuadrada no es perfectamente del 50%. Además, otra razón se debe a introducir picos en la señal de entrada debido a un efecto capacitivo entre la señal modulada y el modulador *chopper*. Estos picos generan en la salida del sistema un nivel de offset residual que es directamente proporcional con la frecuencia *chopper*. Por lo tanto, se procura emplear una frecuencia de modulación que supere la frecuencia de esquina, pero que no genere un nivel de offset residual considerable. Por otro lado, el requerimiento de un filtro para eliminar el ruido modulado a la salida del *chopper* genera pérdidas de ancho de banda de la señal de interés. Además, al ser un filtro no ideal, siempre quedará cierto nivel de rizado residual por efecto de la modulación. Por otra parte, el diseño del circuito amplificador conlleva mayor complejidad, ya que, debe operar a una frecuencia *chopper*, lo que genera una menor ganancia efectiva a comparación de una ganancia en baja frecuencia.

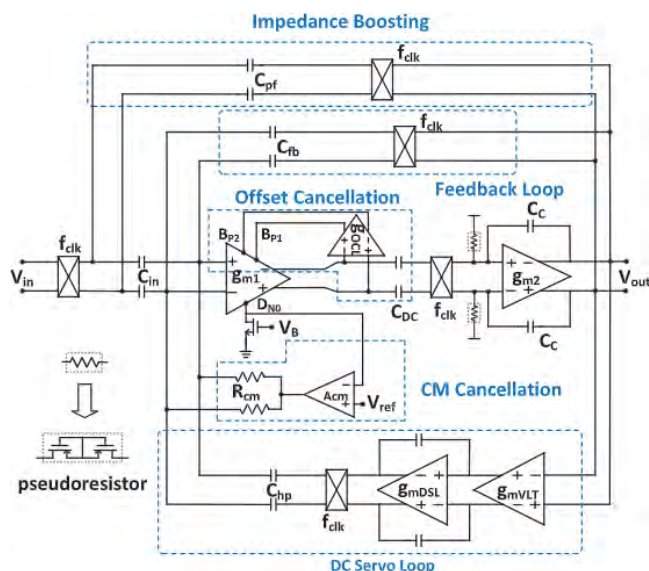


Figura 5. Esquema de amplificador *chopper* con circuitos auxiliares de corrección [2].

1.2.2. Reducción de impedancia de entrada

Una de las mayores desventajas del amplificador *chopper* es que genera una gran reducción en la impedancia de entrada en DC. Esto es debido al constante efecto de carga y descarga de los capacitores de entrada [4]. Uno de los problemas generados por esto es un posible daño al tejido debido al largo tiempo de exposición por una corriente DC generada [1],[4]. Por otro lado, las señales biopotenciales son captadas a través de los electrodos conectados al tejido. Debido a diferencias en su construcción, entre otras características, los electrodos poseen resistividades de diferente valor, lo que conlleva a captar señales a través de diferentes divisores de voltaje. Un alto valor en la impedancia de entrada puede atenuar el efecto de los electrodos para conseguir señales lo más cercanas posibles. Por el contrario, una baja impedancia de entrada incrementa la caída de ganancia por división de tensión, por lo tanto, es necesario una impedancia de entrada aproximadamente mayor a $1 \text{ G}\Omega$ [1],[4]. En esta tesis se plantea el diseño de un circuito auxiliar de aumento de impedancia de entrada para un amplificador *chopper* con la capacidad de operar a una tensión de alimentación de 1.2V.

1.3. Estado del arte

Dentro del estado del arte existen diferentes circuitos auxiliares que logran aumentar la impedancia de entrada del amplificador *chopper*. Sin embargo, cada una presenta algunas características que aventajan en diferentes aspectos a otras.

1.3.1. Positive Feedback Loop

El circuito auxiliar basado en *Positive Feedback Loop* es capaz de aumentar la impedancia de entrada al volver negativo el valor de la capacitancia equivalente del lazo positivo empleando el teorema de Miller, y así, disminuir la corriente promedio que ingresa al amplificador. Sin embargo, este circuito presenta dos grandes limitaciones. El primero es que tiende a la inestabilidad al momento de alcanzar valores cercanos a $G\Omega$ en la impedancia de entrada resultante. Por este motivo, el valor típico escogido para la impedancia de realimentación C_{PF} es igual al de C_f , ya que, de esta forma se asegura la estabilidad del lazo [22]. En (1) se puede observar el efecto de esta capacitancia en la impedancia de entrada. Por otro lado, también existen esquemas para el control de la capacitancia del lazo de realimentación positivo que evitan la inestabilidad [4].

$$Z = \frac{1}{2f_{ch}[C - C_{PF}(\frac{C}{C_f} - 1)]} \quad (1)$$

La segunda limitación es que a este circuito no se le puede añadir un *Servo-Loop* (circuito que atenúa señales de baja frecuencia [24] ya que atenúa la señal de entrada DC del *Positive Feedback Loop* de forma que lo inhabilita [1]. Cabe señalar que también es susceptible a la aparición de capacitancias parásitas en la placa inferior del capacitor de entrada C_{in} [24].

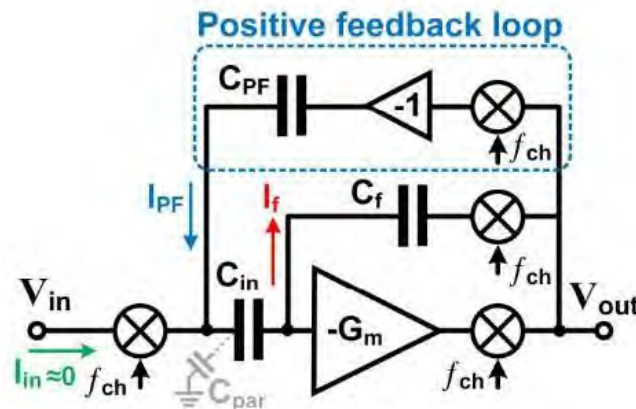


Figura 6. Amplificador *chopper* con *Positive Feedback Loop* [1].

1.3.2. Auxiliary Feedforward Path

Otra forma de incrementar la impedancia de entrada es a través del *Auxiliary Feedforward Path*. Este circuito reduce la carga generada por los electrodos al cargar el capacitor de entrada en cada ciclo de *chopping* [1],[4]. Esto es posible al emplear un modulador *chopper* que se activa solo en los instantes en los que los *chopper* principales están desactivados. Además, las ventajas que presenta a comparación del PFL (*Positive Feedback Loop*) son que se le puede añadir un *Servo-loop* y también es inmune a las capacitancias parasitas [9]. Sin embargo, debido al limitado ancho de banda, ganancia del buffer, disipación de potencia y al límite del tamaño del capacitor de entrada es que la ganancia de impedancia de entrada es limitada, resultando en que no se logre los valores requeridos [1]. Por otro lado, este circuito genera un acoplamiento entre la ganancia del amplificador y la impedancia a través del capacitor de entrada, lo que genera que a cambio de aumentar la ganancia se deba disminuir el valor de la impedancia [4]. Esta relación se puede observar de la ecuación (2).

$$Z_{DC} \approx \frac{\frac{T}{e\tau}}{2f_{ch}C} \quad (2)$$

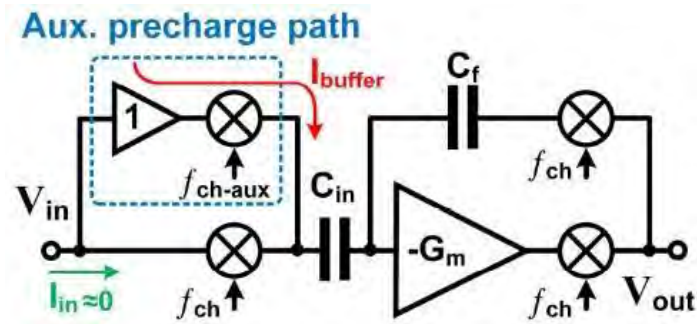


Figura 7. Amplificador *chopper* con auxiliary feedforward path [1].

1.3.3. Current feedback amplifier (CFA)

En [4] se presenta el diseño de un circuito que emplea una rama similar al *auxiliary feedforward* pero se le añade una retroalimentación de corriente en la salida. De esta forma se logra desacoplar la capacitancia de entrada del valor de la ganancia del amplificador, logrando que se pueda emplear un valor de capacitor mucho menor para incrementar la impedancia de entrada al mismo tiempo que la ganancia no dependa de esta. Además, se emplea una tensión de alimentación de 1.2V y se incluye un *switched-capacitor dc-dc converter* para obtener una tensión de 0.6V que disminuye la disipación de potencia y el ruido del amplificador. En resultados se obtiene un diseño que consume 2.6uW de potencia empleando una tensión de 1.2V y que logra una impedancia de $3\text{G}\Omega$ en DC.

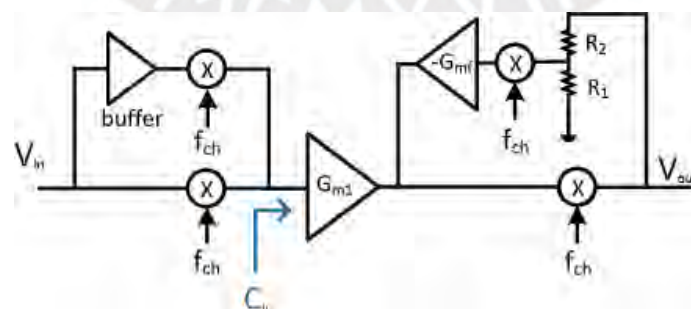


Figura 8. Amplificador *chopper* con current feedback amplifier [4].

1.3.4. Capacitively coupled chopper-stabilized

En [1] se propone un diseño dedicado para sistemas de recolección de señales neuronales empleando un amplificador chopper con una impedancia de entrada de $6.7\text{G}\Omega$ y con un tamaño capaz de implementarse en un implante multicanal. En este se incluye un *auxiliary precharge path* y un bloque de revisión de ganancia. Este último permite mantener la ganancia del amplificador constante ya que puede disminuir en misma medida el valor de su ganancia tanto como el capacitor de entrada lo requiera. De esta forma se puede eliminar la correlación del capacitor entre la impedancia de entrada y la ganancia.

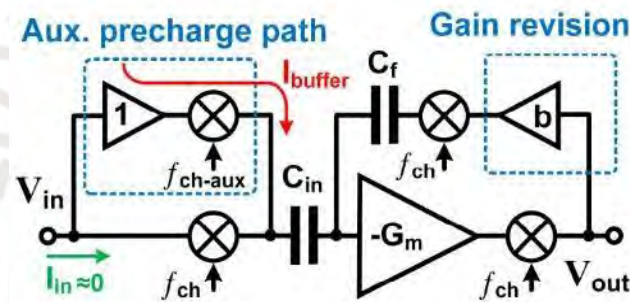


Figura 9. Amplificador *chopper* con *gain revision loop* [1].

1.3.5. Cuadro comparativo

	[1]	[4]	[9]	[10]	[15]
Technology	180nm	180nm	40nm	40nm	110nm
Supply Voltage	1V	0.6V,1.2V	1.2V	1V	1/1.5V
Power consumption	2.3uW	2.6uW	2.8uW	2uW	3.83uW
Input Referred Noise	2.1uVrms	2uVrms	1.8uW	2.8uVrms	0.36uVrms
BW	0.9-900Hz	0.5-5kHz	0.1-5kHz	0.5-10kHz	0.5-300Hz
CMRR	75dB	70dB	78dB	>50dB	92dB
Input Impedance					
DC:	6.7G Ω	3G Ω	1.6G Ω	50M Ω	15G Ω @10Hz
60 Hz:	3G Ω	0.6G Ω	1.1G Ω	-	1G Ω

Tabla 1. Cuadro comparativo entre diferentes estados del arte.

1.4. Objetivos

1.4.1. Objetivo general

Diseñar un amplificador chopper con circuito auxiliar de aumento de impedancia de entrada y tensión de alimentación de 1.2V en tecnología TSMC 180nm.

1.4.2. Objetivos específicos

- Diseñar un circuito auxiliar que logre una impedancia mayor a $2G\Omega$ en DC y $1G\Omega$ a 60Hz para el amplificador chopper.
- Diseñar un amplificador de instrumentación chopper para verificar la funcionalidad del circuito auxiliar de aumento de impedancia.
- Analizar el circuito para obtener ecuaciones que relacionen los parámetros de diseño con las especificaciones.
- Simular el circuito propuesto empleando el software CADENCE y verificar que sus parámetros sean comparables con los analizados en el estado del arte.

2. Fundamentos para el desarrollo del diseño

2.1. Ruido del amplificador

El ruido inherente al amplificador que se analizará a continuación es generado por pequeñas fluctuaciones de tensión y corriente que circulan a través de sus componentes. Este ruido puede separarse principalmente en dos tipos: el ruido térmico y el ruido *flicker*. El entendimiento de los mismos permite la creación de métodos para su reducción, así como la de emplear circuitos equivalentes para facilitar su análisis y el diseño del amplificador.

2.1.1 Ruido térmico

Este tipo de ruido se genera en componentes resistivos tales como resistencias o el propio canal de un transistor MOSFET y su DEP (densidad espectral de potencia) es similar al ruido blanco, constante en frecuencia. Este guarda una relación directa con la temperatura del componente.

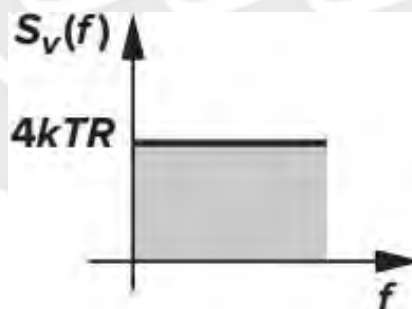


Figura 10. DEP de ruido térmico de resistencia [12].

El ruido térmico de una resistencia lineal es generado por el movimiento aleatorio de electrones que producen una señal aleatoria de tensión o corriente. Además, este ruido existe indiferentemente de si se le aplica una corriente o no [12], [16]. El ruido puede modelarse como una fuente de tensión en serie o fuente de corriente en paralelo. Su DEP es directamente

proporcional con la temperatura. La tensión modelada sigue la siguiente ecuación:

$$\overline{V^2} = 4kTR \quad (3)$$

$$\overline{i^2} = \frac{4kT}{R} \quad (4)$$

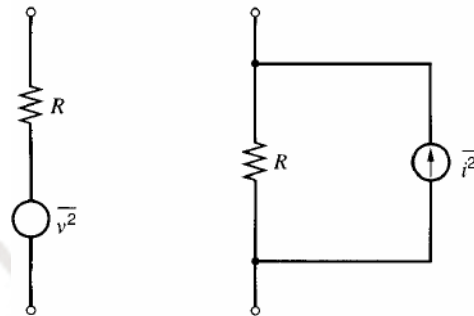


Figura 11. Ruido térmico modelado como fuente de tensión y corriente [16].

En la ecuación (3), k es la constante de Boltzmann, T es la temperatura del componente en grados Kelvin y R , la resistencia. Por ejemplo, para una resistencia de $100\text{K}\Omega$, el valor de la densidad espectral de su ruido térmico a una temperatura ambiente (300K) es igual a $1.6 \times 10^{-18} \text{ V}^2/\text{Hz}$. De este resultado se concluye que la potencia del ruido en 1Hz de ancho de banda es $1.6 \times 10^{-18} \text{ V}^2$.

Para un MOSFET, el ruido se genera en el canal y puede ser modelado como una fuente de corriente entre drenador y surtidor siempre que se opere en región de saturación [12]. La ecuación de su DEP es la siguiente:

$$\overline{I_n^2} = 4kT\gamma g_m \quad (5)$$

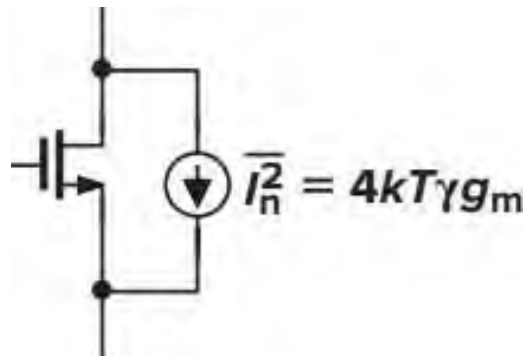


Figura 12. Ruido térmico en MOSFET modelado como fuente de corriente [12].

De la ecuación (4), γ es un coeficiente y g_m es la transconductancia del MOSFET. El valor del parámetro γ no puede definirse con precisión; sin embargo, no posee gran efecto para la ecuación. Para un L relativamente grande puede asumirse que γ es $2/3$ [12]. Cabe resaltar que el ruido térmico es directamente proporcional al valor de g_m . No obstante, esto no significa que la SNR (relación señal a ruido) acate el mismo rasgo. En (6) se distingue la potencia de la señal de salida separada entre la señal de interés y la señal de ruido.

$$\overline{V_{out}^2} = (g_m R)^2 V_{in}^2 + \bar{i}_n^2 R^2 \quad (6)$$

$$SNR = \frac{(g_m R)^2 V_{in}^2}{\bar{i}_n^2 R^2} = \frac{(g_m R)^2 V_{in}^2}{4kT\gamma g_m R^2} \quad (7)$$

$$SNR = \frac{g_m V_{in}^2}{4kT\gamma} \quad (8)$$

Según la ecuación (8) de la SNR, se puede concluir que, si bien aumentando la transconductancia g_m aumenta el ruido, la relación señal a ruido incrementa debido a que el peso de la transconductancia en la amplificación de la señal de interés es cuadrática.

2.1.2. Ruido *Flicker*

El ruido *flicker*, también conocido como ruido 1/f debido a la forma de su densidad espectral, se encuentra en variedad de componentes activos y en ciertos componentes pasivos. Sus principales causas son los errores en la fabricación del componente como son imperfecciones en el cristal para semiconductores y la contaminación. A diferencia del ruido térmico, este ruido solo se presenta cuando se aplica una corriente directa [16].

El ruido *flicker* del MOSFET proviene principalmente de la región de unión entre la puerta de óxido (*gate oxide*) y el sustrato de silicio (*silicon substrate*). En esta se encuentran una serie de enlaces incompletos (*dangling bonds*) en las que, debido a los estados de energía, generan que algunas portadoras de cargas se queden atrapadas y luego se liberen de forma aleatoria, formando así el ruido flicker [12]. Sin embargo, la potencia de este ruido no se puede predecir de forma exacta ya que varía según la fabricación de cada CMOS. Por otro lado, se puede modelar el ruido *flicker* como una fuente de corriente entre drenador y surtidor. Además, por motivos de simplicidad en análisis y diseño, este se puede reflejar como una fuente de tensión en serie a la puerta (*gate*) siempre que se opere en región de saturación según la ecuación (10) [12].

$$\bar{I}_n^2 = \left(\frac{K}{C_{OX}WL}\right) \frac{1}{f} g_m^2 \quad (9)$$

$$\bar{V}_n^2 = \left(\frac{K}{C_{OX}WL}\right) \frac{1}{f} \quad (10)$$

De las ecuaciones (9) y (10) se concluye que la frecuencia está directamente relacionada con la densidad espectral de potencia; por lo tanto, a menor frecuencia se generará mayor ruido *flicker*. Por otro lado, se observa que el área del canal del MOSFET es inversamente proporcional

con el ruido *flicker* puesto que W y L corresponden a las dimensiones del canal.

Consecuentemente, una técnica de disminución del ruido *flicker* es aumentando el área del canal del MOSFET. Sin embargo, una de las consecuencias principales de esta técnica es que el circuito requiere mayor espacio. Esto afecta principalmente a chips en los que el tamaño es un factor crítico como son los implantes neuronales puesto que estos sistemas miden cientos de señales. Por lo tanto, aumentar el tamaño de un amplificador significaría aumentar el área de cientos de ellos. Por otro lado, otro efecto es que se aumenta la capacitancia de puerta. Esto afecta negativamente el CMRR del amplificador ya que agrava el efecto *mismatch* entre los conductos de entrada a las señales. Emplear MOSFETs canal P es otro método de reducción ya que poseen menor magnitud de ruido *flicker* que en MOSFETs canal N [18].

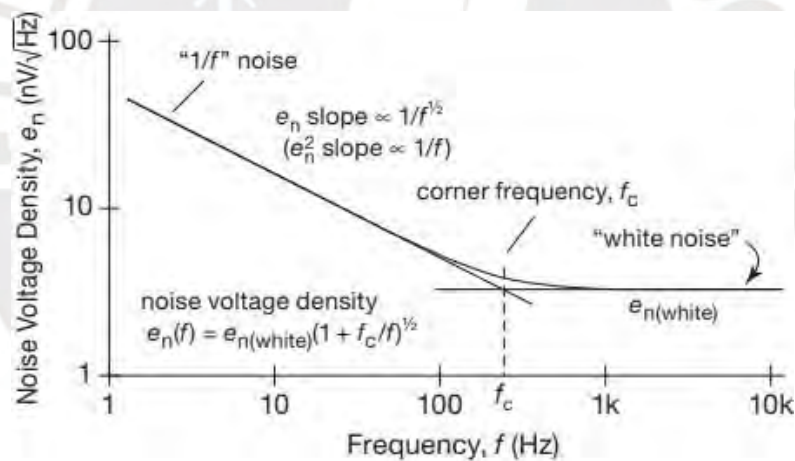


Figura 13. DEP de ruido *flicker* y térmico [17].

Existe cierto punto en que la densidad espectral del ruido *flicker* se torna comparable con la del ruido térmico. Este punto se denomina frecuencia de esquina (*corner frequency*) y sirve como parámetro de cuantificación del ruido *flicker*. Esta frecuencia se puede hallar de forma aproximada al igualar las DEP de ambos ruidos. De (5) y (9) se obtiene:

$$4kT\gamma g_m = \left(\frac{K}{C_{OX}WL}\right) \frac{1}{f_c} g_m^2 \quad (11)$$

$$f_c = \left(\frac{K}{C_{ox}WL}\right)g_m \frac{1}{4kT\gamma} \quad (12)$$

De (8) se puede observar la relación que tiene la frecuencia de esquina con la transconductancia g_m del MOSFET. Se procura que la frecuencia de esquina siempre sea lo más baja posible, ya que, al aplicar la técnica *chopper*, la frecuencia de modulación debe ser mayor que la frecuencia de esquina.

2.2. Offset

Para la aplicación de amplificadores de señales biopotenciales existen dos tipos de *offset*, los que son introducidos por los electrodos, también conocidos como señal común, y los inherentes al amplificador. En este caso el *offset* de interés es el que proviene del amplificador operacional y puede modelarse como una fuente de tensión DC.

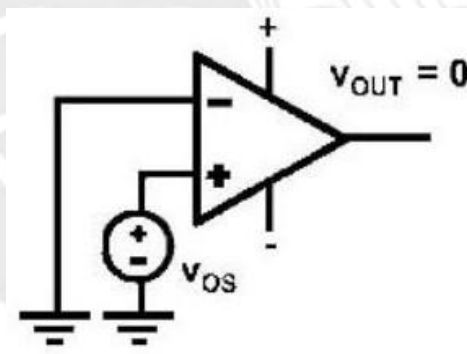


Figura 14. Modelo de OpAmp real con *offset* [21].

El *offset* es principalmente la tensión de entrada necesaria para que la tensión de salida sea cero y puede originarse por diferentes causas. Para amplificadores basados en transistores bipolares, el valor del *offset* puede llegar a unos mV; sin embargo, los que son basados en CMOS pueden llegar a más [21]. Esto supone un problema para las señales biopotenciales ya que pueden alcanzar valores desde mV hasta unos μ V. Una de las causas principales del *offset* es debido al

mismatch (disparidad) que existe entre componentes internos (transistores y resistencias).

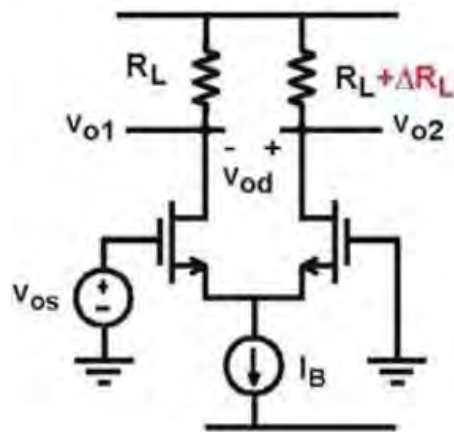


Figura 15. *Offset* en par diferencial [21].

$$V_{od} = \Delta R_L \frac{I_B}{2} \quad (13)$$

$$V_{os} = \frac{V_{od}}{g_m R_L} \quad (14)$$

$$V_{os} = \left(\frac{\Delta R_L}{R_L}\right) \left(\frac{I_B}{2g_m}\right) \quad (15)$$

$$V_{os} = \left(\frac{\Delta R_L}{R_L}\right) \left(\frac{V_{GS} - V_T}{2}\right) \quad (16)$$

Por ejemplo, de la figura 15 y de las ecuaciones (13) hasta (16) se observa como el efecto *mismatch* de una resistencia R_L puede generar una tensión *offset* en la entrada del par diferencial.

De (16) se puede concluir que, para disminuir este efecto será necesario disminuir la tensión V_{GS} , por lo tanto, alejarse de la región de saturación disminuye el *offset*.

2.3. Modulador *chopper* e impedancia de entrada

La técnica *chopper* se basa principalmente en el uso del componente modulador *chopper*. Este se encarga de modular las señales de entrada del amplificador a una alta frecuencia (orden de los kHz) con el fin de separarlas de las señales no deseadas en baja frecuencia (ruido flicker y offset DC). Su esquema se puede representar como 4 llaves controladas por una señal de reloj.

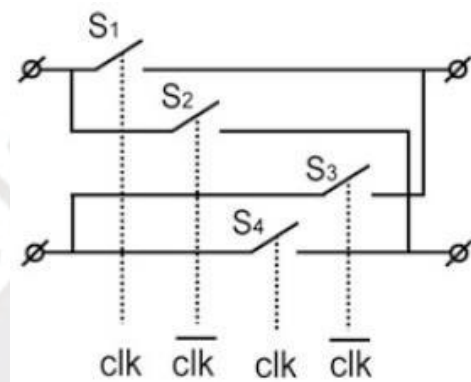


Figura 16. *Chopper* basado en llaves [19].

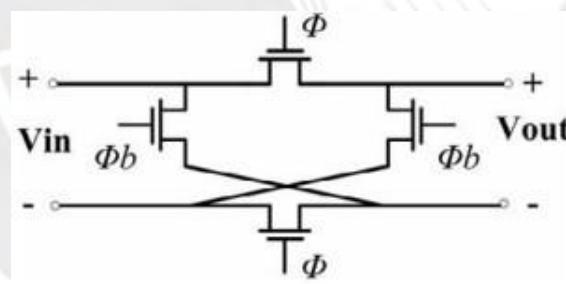


Figura 17. *Chopper* basado en transistores CMOS [13].

El modulador real se puede implementar con transistores MOSFETs que actúen como interruptores. Estos conmutan a gran velocidad de forma que la señal portadora se modela como una señal cuadrada y el resultado a la salida es similar a una modulación AM. En la Fig. 17 se puede observar el producto de una señal de interés V_{in} con una señal moduladora $p(t)$.

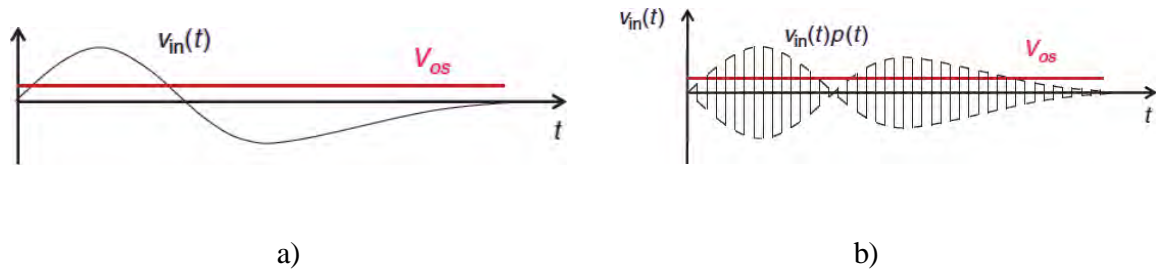


Figura 18. Formas de onda. (a) Forma de onda pre-modulación. (b) Forma de onda post-modulación [14].

El *chopper* está típicamente acoplado al amplificador a través de un capacitor de entrada en cada línea. Sin embargo, el efecto de la modulación genera que, en cada conmutación, estos capacitores se carguen al valor diferencial de la señal y, en consecuencia, existan picos de corriente extraídas de la fuente (cuerpo). Por lo tanto, se genera un efecto de carga y descarga constante cada semiperiodo en los capacitores.

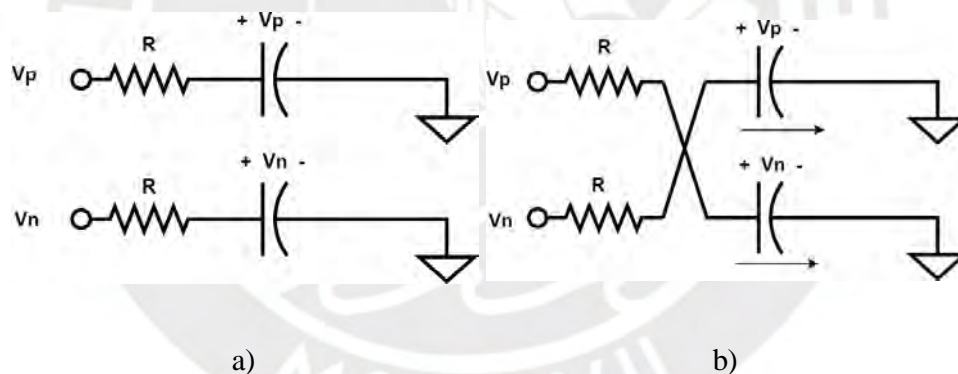


Figura 19. Acople capacitivo de *chopper*. (a) Capacitor cargado a señal de entrada. (b) Capacitor un instante después de conmutación.

El transistor empleado como conmutador posee una baja resistencia que se puede modelar en serie al capacitor de entrada como se observa en la Fig. 19. En cada instante de conmutación se genera un pico de corriente para cargar al capacitor. Este efecto se repite cada $T/2$ considerando que la frecuencia *chopper* es $1/T$ y simula una impedancia de entrada al amplificador. Por lo tanto, se puede aproximar la corriente promedio extraída y el valor de la

impedancia según las ecuaciones:

$$Q_C = C(V_P - V_n) = CV \quad (17)$$

$$I_{prom} = \frac{2Q_C}{T_{ch}} = 2CVf_{ch} \quad (18)$$

$$Z = \frac{V_{in}}{I_{prom}} = \frac{1}{2Cf_{ch}} \quad (19)$$

De (19) se obtiene que la relación entre la impedancia de entrada es inversamente proporcional con la frecuencia *chopper* y la capacitancia de entrada. Por lo tanto, para aumentar este valor es necesario disminuir la capacitancia o la frecuencia. Sin embargo, la frecuencia *chopper* debe alcanzar un valor mayor que la frecuencia de esquina (*corner frequency*) sumada con el ancho de banda de la señal biopotencial para eliminar el ruido *flicker* en su mayoría [14]. Por otro lado, el valor de la capacitancia de entrada está relacionada con la ganancia del amplificador, por lo que, si se desea disminuir su valor directamente, la ganancia resultará afectada. Por este motivo se emplean circuitos adicionales que aumenten la impedancia de entrada sin que se requiera afectar los parámetros C y f_{ch} .

2.4. Acoplamiento capacitivo en amplificador

La realimentación en los circuitos amplificadores otorga ciertos beneficios como una mejor respuesta en frecuencia y una menor variación de ganancia ante diferentes condiciones (temperatura, alimentación, etc). Los capacitores poseen ventajas frente a las resistencias en la realimentación de los amplificadores operacionales por lo que, en el estado del arte actual, la mayoría de circuitos amplificadores emplean ramas de realimentación capacitiva.

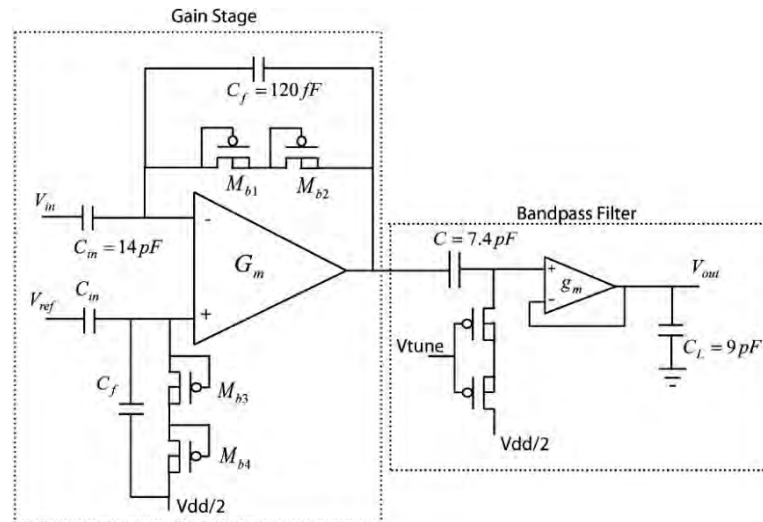


Figura 20. Amplificador neuronal realimentado capacitivamente [20].

Uno de los principales motivos está en el efecto *mismatch* que poseen estos componentes (resistencias, capacitores, transistores) y que, a causa de ello, reducen el rechazo a modo común de los amplificadores diferenciales. Las resistencias poseen mayor efecto *mismatch* a comparación de los capacitores y se debe a que sufren mayor cantidad de errores de proceso y presentan bordes dentados [21]. En comparación, los capacitores presentan menor cantidad de errores locales y más globales. El efecto *mismatch* se reduce al aumentar de tamaño a los componentes; sin embargo, para estas aplicaciones, el tamaño es un parámetro crucial.

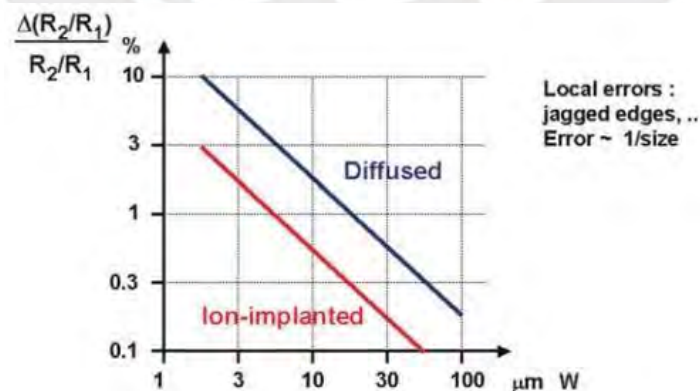


Figura 21. *Mismatch* vs tamaño de resistencia [21].

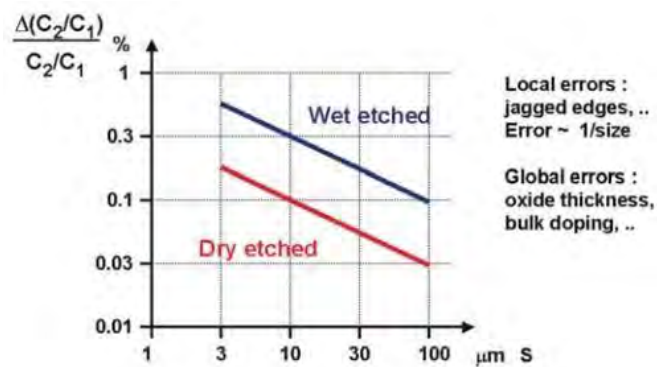


Figura 22. *Mismatch* vs tamaño de capacitor [21].

Otro motivo del reemplazo de resistencias es que, al igual que los transistores, la resistencia es un componente pasivo que genera ruido térmico y disipa potencia. Para obtener una mayor eficiencia es conveniente sustituir las resistencias por componentes que no sean netamente pasivos. Por otro lado, las resistencias producen un efecto de carga al amplificador y, por lo general, para reducir este efecto es necesario agregar etapas adicionales (buffer). Esto conlleva agregar más componentes (transistores y resistencias), lo que complica más el diseño y genera mayor consumo de corriente.

3. Diseño de circuito de aumento de impedancia de entrada para amplificador *chopper*

En este capítulo se tiene como finalidad la obtención de los parámetros óptimos para diseñar los circuitos que conformarán el sistema de aumento de impedancia de entrada a partir de las características previamente establecidas por el circuito amplificador diseñado a lo largo de las tesis asesoradas por el profesor Julio Cesar Saldaña.

Se observará el efecto de los moduladores *chopper* en los capacitores de entrada, así como la limitación de la topología de Lazo de realimentación positiva para el diseño de este amplificador en particular. Además, se realizarán los cálculos para la obtención de la relación entre dimensiones de los canales de los MOSFETs y la corriente de polarización para los circuitos amplificadores.

Para el diseño y las simulaciones presentes en este capítulo se empleará el software CADENCE y la tecnología de la librería del proceso de fabricación TSMC 180nm.

3.1. Simulación de baja impedancia

Para observar el efecto de los picos de corriente en los capacitores de entrada del amplificador se empleó el simulador del software CADENCE junto con el esquema de un modulador *chopper* conectado a dos capacitores que simulan los capacitores de entrada. Este modulador está compuesto por 4 NMOS y 4 PMOS, siendo que, para cada llave se emplea un canal N y un canal P en paralelo en lugar de uno solo. Esta topología presenta diversas ventajas como una mayor reducción de la resistencia de conducción en las llaves y minimización en pérdidas de conmutación. Los parámetros empleados para esta simulación fueron: $C = 1pF$ y $f_{ch} = 32kHz$.

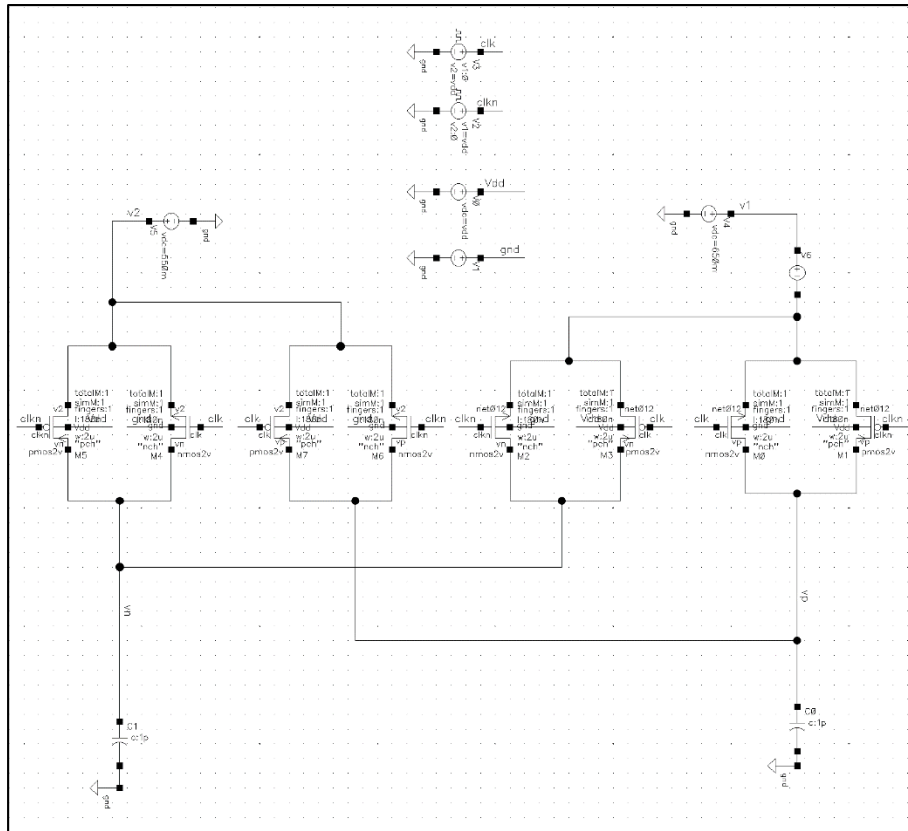


Figura 23. Modulador *chopper* conectado a capacitores de entrada.

Se empleó cuatro fuentes de tensión para alimentar y controlar las compuertas del modulador. El diseño está determinado para que se opere con una tensión de alimentación $V_{dd} = 1.2V$. Las señales clk y $clkn$ son trenes de pulso ideales mutuamente invertidos que controlan las llaves a la frecuencia señalada y varían de entre 0 y V_{dd} . Las tensiones a las entradas de las llaves son 550 y 650 mV respectivamente, por lo que, la señal diferencial a la entrada es de 100 mV. De la ecuación (19) vista con anterioridad podemos obtener que el valor aproximado de la impedancia de entrada resultante de este circuito es $15.625 M\Omega$. En la figura 23 se puede observar los picos de corriente generados en los capacitores por las conmutaciones del modulador en una simulación de 80 uS.

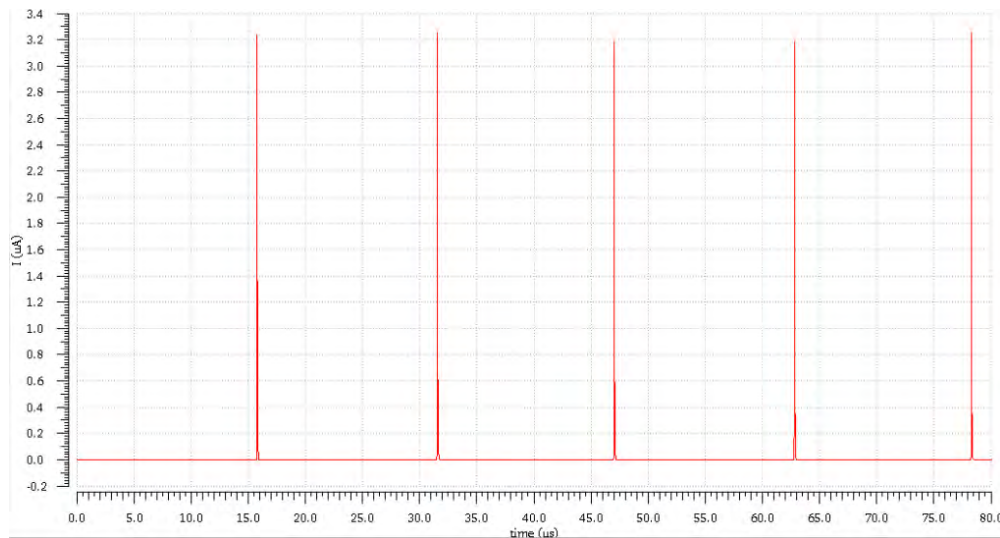


Figura 24. Corriente en los capacitores de entrada.

El simulador permite obtener el valor de la integral de esta corriente por lo que podemos obtener la corriente promedio de todo el tramo de simulación. El valor de tensión diferencial de entrada dividido por la corriente promedio nos resulta en un valor más exacto de la impedancia de entrada resultante. Este valor, según el simulador, llega a ser $16.44 \text{ M}\Omega$, el cual, comparando con el valor teórico, llega a una aproximación muy acertada. De esta forma se observa el valor de baja impedancia producto del modulador *chopper*.

3.2. Limitación del *Positive Feedback Loop*

Con anterioridad se mencionó que la topología del *Positive Feedback Loop* puede incrementar el valor de la impedancia de entrada hasta cierto límite. A continuación, se plantea una solución para el amplificador *chopper* propuesto empleando esta topología. En la figura 24 se observa el diagrama de amplificador *chopper* realimentado con un lazo de realimentación positivo. Acorde al estado del arte, se empleó un valor de capacitancia para el PFL similar al C_{FB} para incrementar lo mayormente posible el valor de la impedancia de entrada sin llegar a la inestabilidad.

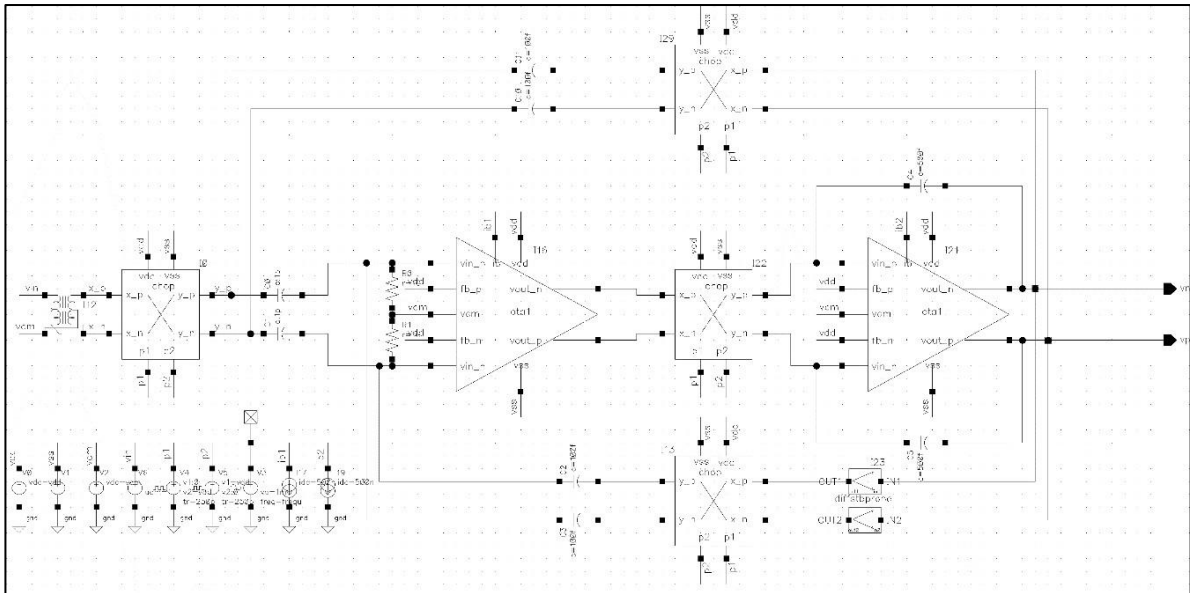


Figura 25. Amplificador *chopper* con PFL.

Para esta simulación se empleó el diseño completo del amplificador *chopper* sumado con el lazo de realimentación positiva. Los parámetros como la frecuencia de modulación y la capacitancia de entrada se mantienen, mientras que, la ganancia de este amplificador de dos fases es de 10. Anteriormente se obtuvo una impedancia de entrada aproximadamente de $16 \text{ M}\Omega$ sin circuito adicional. De forma teórica, empleando la ecuación (1), el aumento en este caso debe ser cercano a cien veces la impedancia inicial. De la simulación, obtenemos un valor comparable de $138 \text{ M}\Omega$. Sin embargo, no llega a ser suficiente para cumplir con el requerimiento principal de superar $1 \text{ G}\Omega$. En las figuras 25 y 26 se realiza un barrido en simulaciones para obtener el valor capacitivo más cercano que permita la impedancia deseada. De estos resultados es visible que existe cierto rango de capacitancia en el que la impedancia de entrada se eleva de forma exponencial. Sin embargo, el mismo hecho de que la respuesta de impedancia cambie de sobremanera con variaciones de capacitancia en un rango reducido es lo que vuelve inestable esta topología, pues, debido a las diversas condiciones en las que el circuito puede ser expuesto, se conseguirían valores significativamente distantes, producto de variaciones en femto faradios.

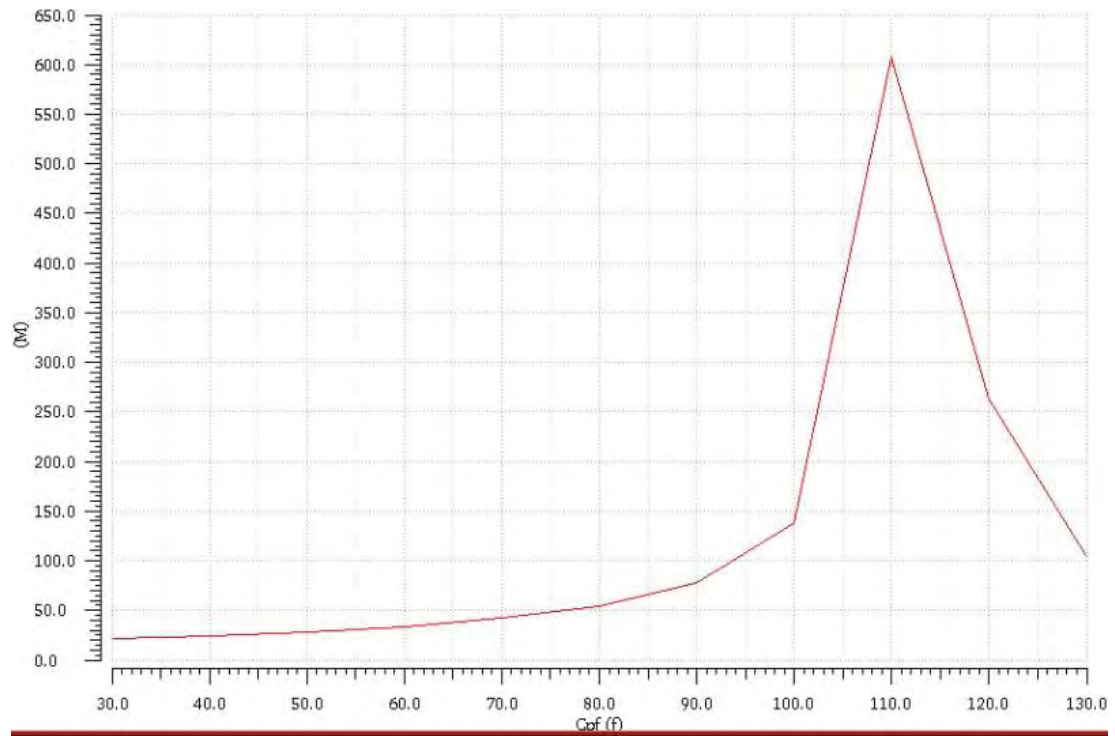


Figura 26. Impedancia de entrada DC con capacitores variando de 30 a 130f F entre 10f F.

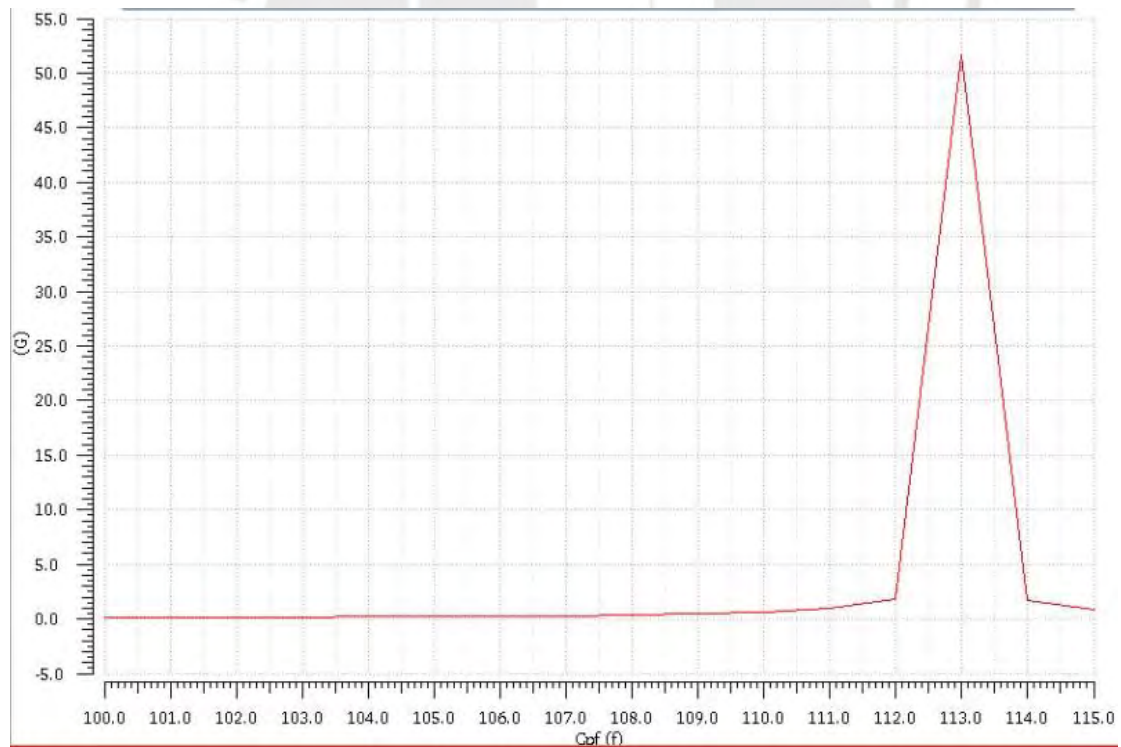


Figura 27. Impedancia de entrada DC con capacitores variando de 100 a 115f F.

3.3. Auxiliary Feedforward Path

Como se comprobó, la topología PFL no logra alcanzar los objetivos establecidos sin llegar a desembocar en un rango inestable de capacitancia. Por ese motivo, se implementará la topología AFP (*Auxiliary Feedforward Path*) como medida de solución para lograr los objetivos. Por lo tanto, primero se realizará el diseño de los componentes principales de este circuito.

Para una mejor comprensión del efecto de este circuito en la impedancia de entrada se realizará una observación a la ecuación completa. Esta toma en cuenta parámetros aparte del capacitor de entrada y frecuencia de modulación como, el ancho de banda del *buffer* τ , el tiempo de precarga T_1 , la ganancia en lazo cerrado del amplificador realimentado $A_V(S)$, el error de ganancia α del *buffer* y su ganancia en lazo abierto $A_{V,AUX}$. Según [15], se describe de la siguiente forma:

$$Z^{-1} = \frac{1}{R_{SC}} \left(g_1 - \frac{1}{1 + \beta A_V(S)} \right) + SC \left(1 - \frac{1}{1 + \beta A_V(S)} \right) \quad (20)$$

$$R_{SC} = \frac{1}{2Cf_{ch}} \quad (21)$$

$$g_1 = \alpha + e^{-\frac{T_1}{\tau}} \quad (22)$$

$$\alpha = (1 + A_{V,AUX})^{-1} \quad (23)$$

$$\beta = \frac{C_{fb}}{C} \quad (24)$$

Prioritariamente se inicia de ordenar la ecuación para obtener la impedancia en DC.

Para esto, se formula la ecuación (20) de forma que el factor de la frecuencia S sea equivalente a cero.

$$Z^{-1} = 2Cf_{ch} \left(\alpha + e^{\frac{-T_1}{\tau}} - \frac{1}{1 + \beta A_{Vo}} \right) \quad (25)$$

Realizando las aproximaciones correspondientes se obtiene la ecuación (2) de la impedancia. De esta se concluye que el factor más influyente para el aumento de impedancia en esta topología, sin afectar el amplificador realimentado, son el tiempo de precarga T_1 y el ancho de banda τ . Por lo tanto, se determina que es necesario diseñar un *buffer* en el que se priorice desarrollar el mayor ancho de banda posible dentro de los rangos permitidos.

3.3.1. El *buffer*

El *buffer* es el componente principal de la topología AFP y su ancho de banda depende en gran medida de la transconductancia g_m en los MOS que conforman su par diferencial. Un parámetro significativo que se relaciona directamente con la transconductancia es la corriente de drenador en saturación I_d y, por consiguiente, la corriente de polarización I_b del *buffer*. Se puede entender la relación de estas corrientes con la transconductancia a través del criterio de eficiencia de transconductancia que se expresa en la siguiente desigualdad.

$$5V^{-1} < \frac{g_m}{I_d} < 30V^{-1} \quad (26)$$

Al considerar la desigualdad (26) se entiende que, a medida que mayor sea la transconductancia, la corriente tendrá que aumentar de igual forma para permanecer en los

rangos permitidos. Sin embargo, incrementar la corriente genera mayor disipación de potencia en este circuito. Por este motivo, se escoge una corriente de polarización típica de 400 nA. Además, con el propósito de limitar el consumo de energía, el *buffer* solo se habilitará en los tiempos muertos de los moduladores *chopper* cuando sea necesario. En la figura 27 se muestra el esquema del *buffer* a diseñar.

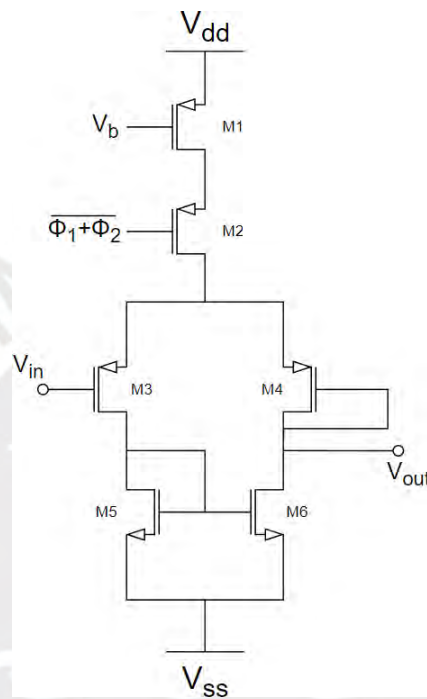


Figura 28. Esquema de *buffer* auxiliar.

En este esquema, M1 será el PMOS que genere la corriente de polarización I_b a través de la conexión de V_b con otro PMOS conectado como fuente de corriente. La señal $\overline{\varphi_1 + \varphi_2}$ que es la suma negada de los tiempos muertos de las señales que controlan el modulador *chopper* principal, generan que el circuito *buffer* se active solo durante los intervalos de tiempo necesarios con el objetivo de reducir el consumo de energía.

Otra consideración para el diseño es que se conoce que la señal de entrada estará acoplada en una tensión de 0.6 V. Por lo tanto, uno de los objetivos es lograr que los drenadores de M5 y M6 lleguen a un valor lo más cercano a 0.6 y así evitar la adición de un gran nivel de *offset* a

exacta en M1 debido a la diferencia entre las tensiones V_{sg0} y V_{sg1} de ambos transistores. Sin embargo, esta diferencia puede reducirse al incrementar la relación $\frac{W}{L}$ de manera idéntica en ambos PMOS. De esta forma, se maximiza la corriente de polarización y, en consecuencia, la capacidad de incrementar la transconductancia en el par diferencial. Por otro lado, se sabe que el transistor M2 operará como un conmutador que habilita e inhabilita el *buffer* a voluntad, por lo que, se emplea la menor longitud física posible del canal para minimizar la caída de tensión de drenador a surtidor.

Seguidamente, es necesario hallar la relación de parámetros de área de canal del par diferencial con la que se obtendría la mayor transconductancia posible sin llegar a exceder límites físicos o adecuados. De las ecuaciones del transistor en saturación, se observa una directa proporción entre la relación $\frac{W}{L}$ con la transconductancia g_m . Por lo tanto, se decide incrementar la relación de parámetros de canal hasta un cierto límite físico. Es así como obtenemos una mayor transconductancia.

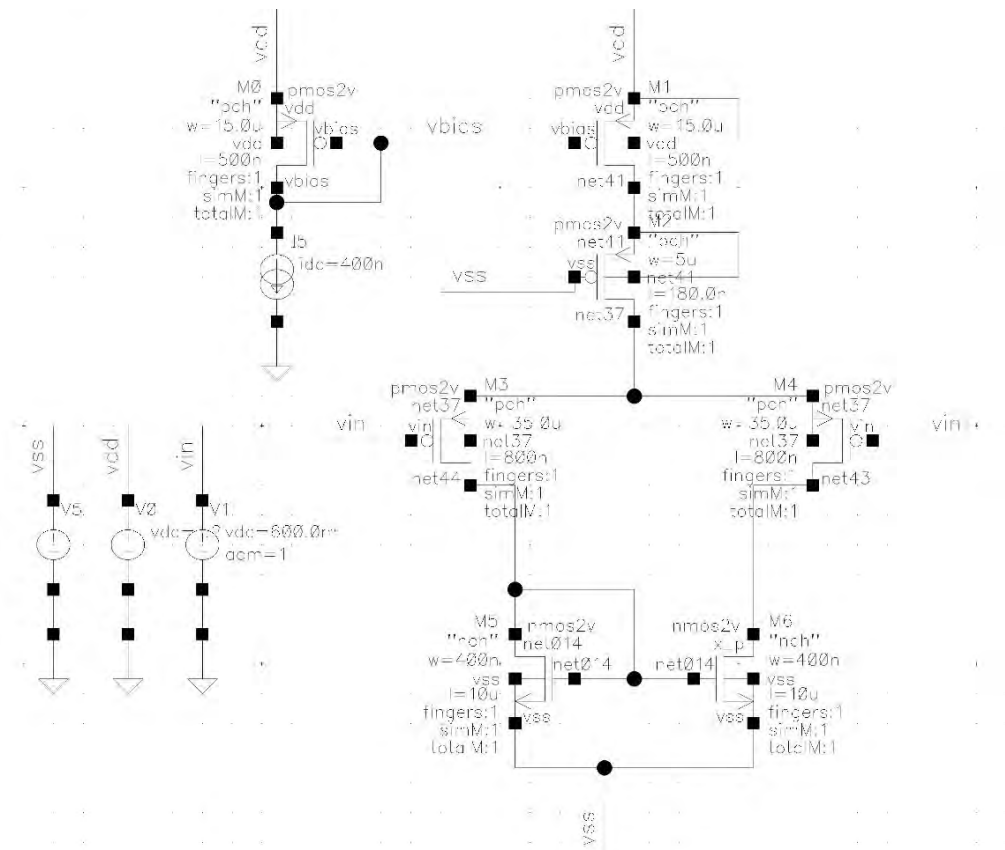


Figura 30. Diseño esquemático completo de *buffer* auxiliar.

En la figura 29 se muestra el esquema completo del *buffer* con los transistores NMOS reemplazando las fuentes del par diferencial correspondiente. Nuevamente, se varía la relación de parámetros de canal de los transistores M5 y M6 hasta conseguir una tensión lo más cercana posible a 0.6 V en los drenadores respectivos. Consecuentemente, se comprueba este objetivo realizando una simulación DC y de esta se obtiene una tensión en los drenadores de 603.4 mV y una transconductancia en los transistores del par diferencial de 5.144uS. Se consideran como parámetros aceptables para cumplir los objetivos propuestos.

Transistores	W (um)	L (um)
M0	15	0.5
M1	15	0.5
M2	5	0.18
M3	35	0.8
M4	35	0.8
M5	0.4	10
M6	0.4	10

Tabla 2. Parámetros de canal de transistores internos del *buffer*.

3.4. *Switches* auxiliares

Un problema presente en este diseño es que existe cierta carga que se pierde al momento de conectar el *buffer* con los capacitores de entrada. Esto es debido a que, durante el proceso de carga, el terminal opuesto de los capacitores de entrada queda, por el estado abierto de los moduladores *chopper*, desconectado del circuito. Esto genera que el capacitor no complete su carga durante el tiempo muerto de la frecuencia *chopper*. Por este motivo, se implementó un circuito auxiliar basado en llaves que conectan los capacitores a una tensión fija durante el proceso de carga, y así, estos puedan llegar a completarla. Este circuito está conformado por un inversor, una puerta inversora NOR y un par de llaves. Para esta última se emplea un diseño similar a las llaves del modulador *chopper*.

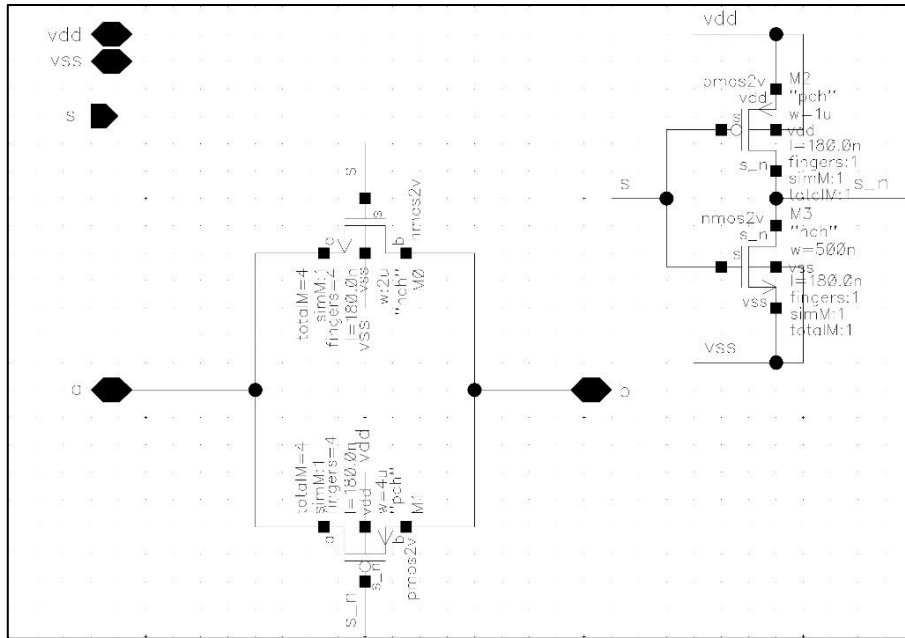


Figura 31. Diseño de llaves

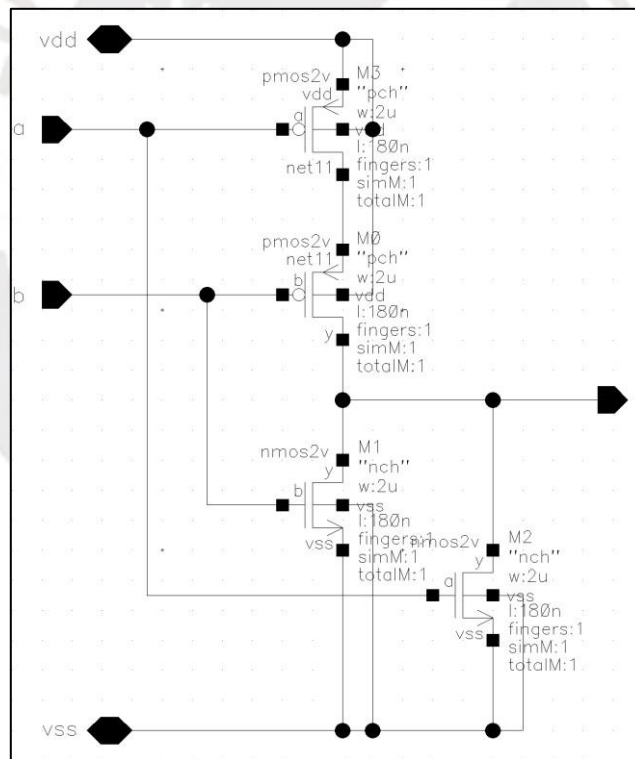


Figura 32. Diseño de compuerta NOR.

4. Simulaciones y resultados

En el presente capítulo, se presentarán en detalle las simulaciones y los resultados obtenidos a partir de las pruebas realizadas en los circuitos diseñados, tanto en su funcionamiento conjunto como individual. Las simulaciones se llevarán a cabo empleando el entorno AD XL de la herramienta de diseño CADENCE, lo cual nos permitirá realizar análisis en las áreas de simulación PSS, simulación PAC y, variación de procesos, temperatura y voltaje (PVT).

Este último análisis PVT se realizará con el objetivo de evaluar el impacto de las variaciones en los procesos de fabricación, las fluctuaciones de temperatura y los cambios en los niveles de voltaje en el rendimiento de los circuitos. Estos factores pueden influir significativamente en la estabilidad y precisión de los diseños, por lo que será crucial considerarlos en el proceso de validación.

4.1. Simulación PSS

Con el fin de estudiar el comportamiento del circuito amplificador durante su funcionamiento, se requiere realizar un análisis PSS (*Periodic Steady State*). Esta herramienta es fundamental para obtener los puntos de operación del sistema en relación a una entrada periódica variable en el tiempo. Este análisis resulta necesario debido a que el modulador *chopper* cambia constantemente de acuerdo al estado de la señal de modulación. La figura 35 ilustra estas variaciones al mostrar las señales de control de los moduladores en un comportamiento periódico. Las señales p1 y p2 son de activación de *choppers* encargados directamente de modular la señal de entrada, mientras que, p1x y p2x son señales que controlan el modulador ubicado en el circuito auxiliar de aumento de impedancia. Existe un comportamiento periódico de 31.25 μ s. Los pulsos p1x y p2x mantienen una duración de 2 μ s

cada uno, mientras que los pulsos p1 y p2 mantienen una duración de 11.625 μs . Estos pulsos están separados entre sí por un intervalo de 1 μs que evitan el *overlapping*.

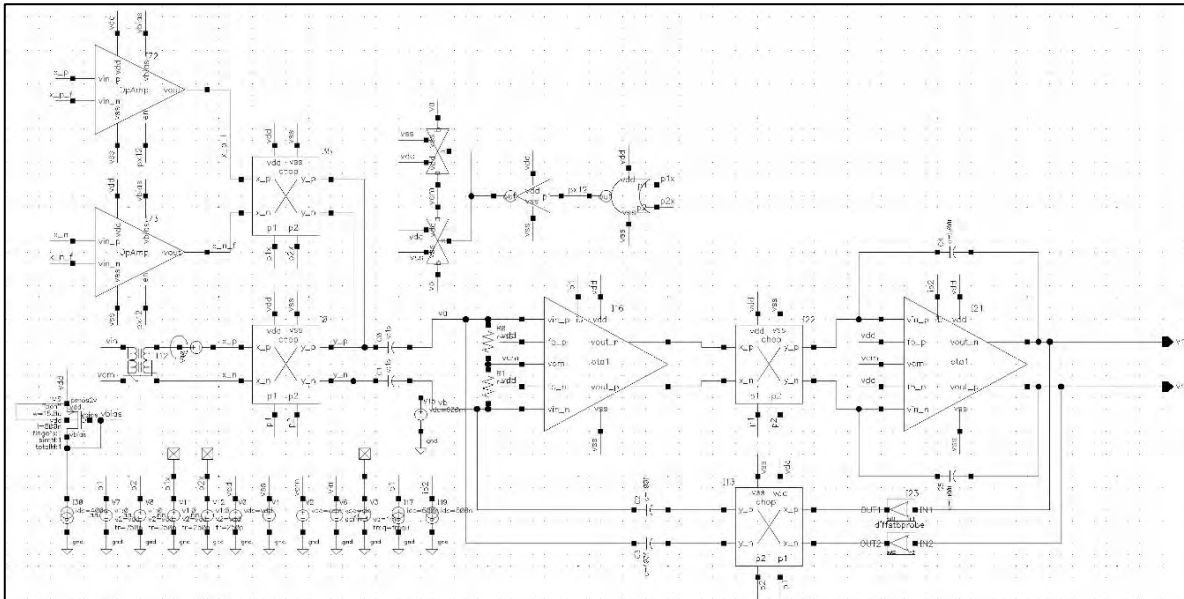


Figura 34. Diagrama esquemático de amplificador *chopper* con circuito auxiliar

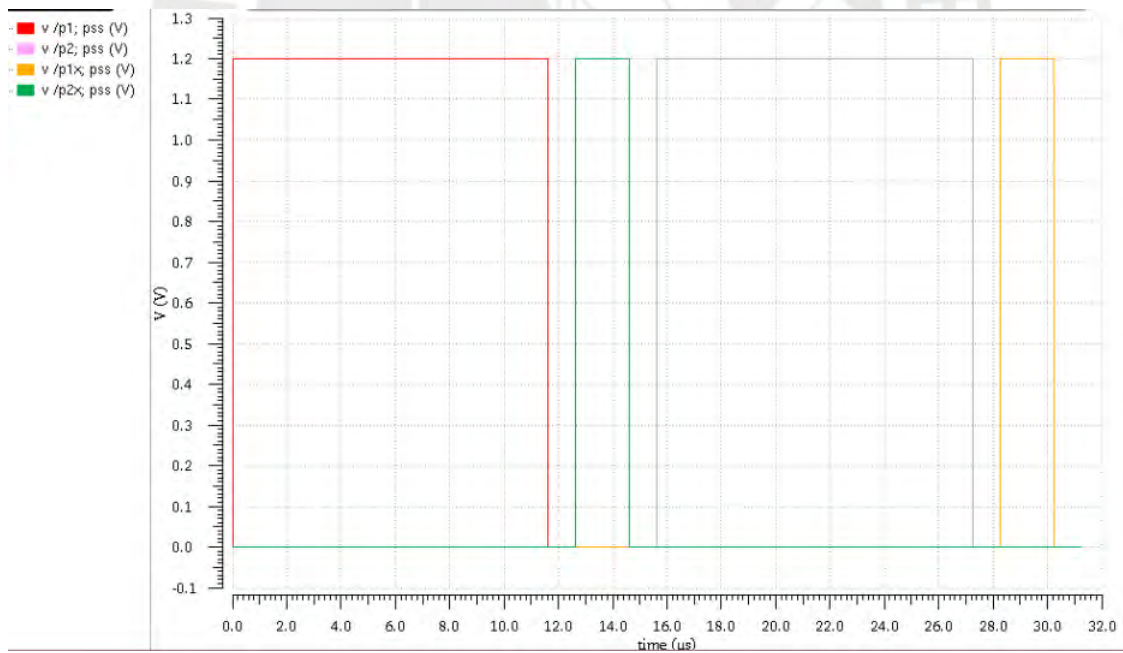


Figura 35. Señal de control de moduladores

El análisis PSS es una herramienta que permite examinar cómo el circuito amplificador se comporta en un estado estable y periódico, considerando las fluctuaciones de la señal de modulación generada por el modulador *chopper*. Esta evaluación es fundamental para comprender la respuesta del amplificador ante las variaciones introducidas por el modulador. Es importante destacar que, en el análisis PSS, es posible considerar señales con frecuencias diferentes siempre y cuando estas sean de menor valor y múltiplos de la frecuencia principal. Esto permite estudiar el efecto del lazo auxiliar en la corriente de los capacitores de entrada. Al analizar la figura 36, se puede observar que, durante los instantes de conmutación del modulador, se genera una corriente inversa (negativa) en los capacitores de entrada. Esta corriente inversa es un efecto provocado por los cambios rápidos en la señal de modulación y tiene un impacto significativo en la impedancia de entrada.

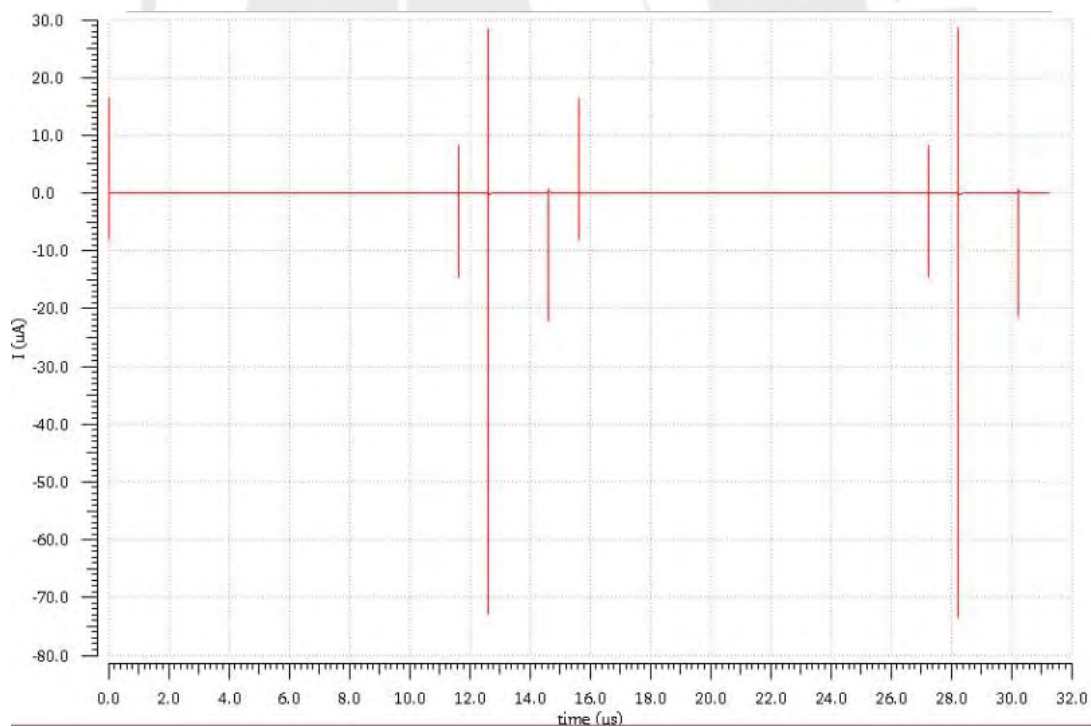


Figura 36. Corriente en capacitores de entrada con *buffer* auxiliar

4.2. Simulación PAC

Una vez completado el análisis PSS del circuito, se procede a realizar la simulación PAC (*Periodic AC*). Esta técnica se utiliza para analizar el comportamiento del sistema en condiciones de operación periódica y en frecuencia. En la simulación PAC, se aplica una señal de entrada periódica al circuito y se analiza su respuesta en régimen permanente, lo que nos permite evaluar cómo responde el circuito en un rango específico de frecuencias. En esta simulación, se considera un barrido de frecuencia que abarca desde 1 Hz hasta 10 MHz, utilizando una escala logarítmica. Esto nos permite examinar y comprender el comportamiento de la corriente a medida que aumenta la frecuencia de entrada.

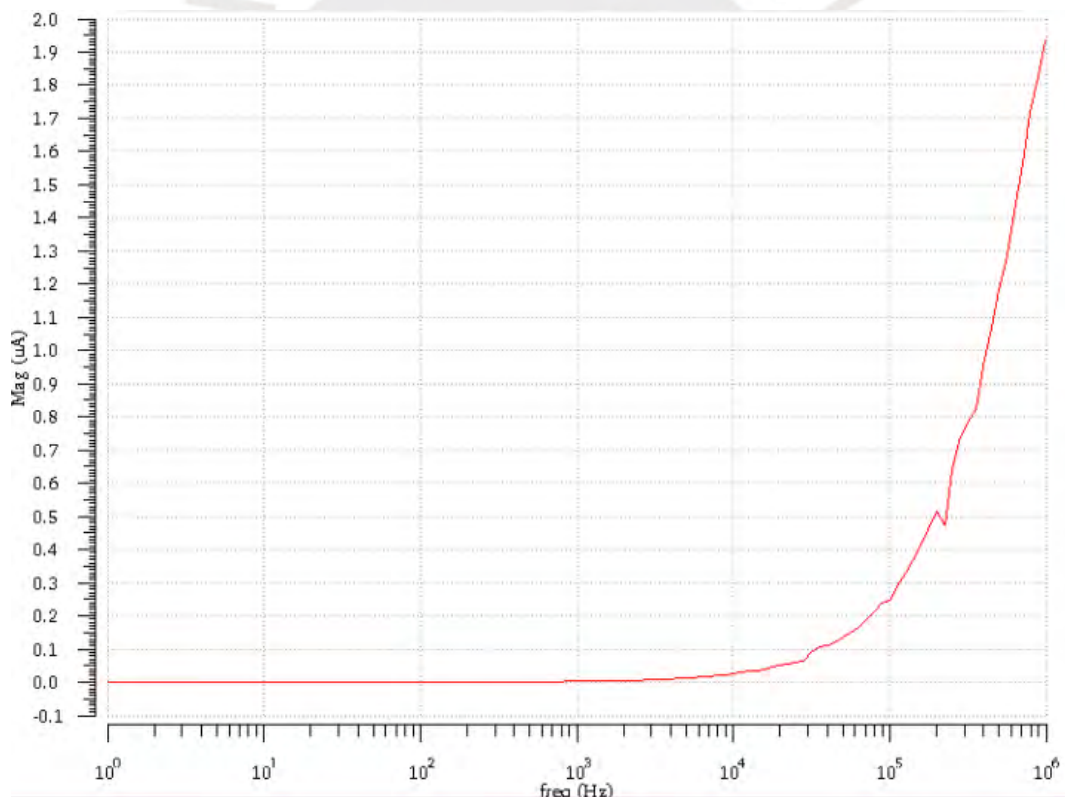


Figura 37. Corriente de capacitores de entrada en frecuencia

Basándose en la magnitud de corriente expuesta, es posible determinar el valor de la impedancia de entrada en función de la frecuencia al conocer la tensión diferencial de entrada. Para llevar a cabo la simulación inicial, se realizó un barrido en frecuencia con una amplitud de 1 V, utilizando la herramienta AD XL. A partir de esto, se obtuvo una expresión inversa de la magnitud de corriente, lo cual permitió generar la siguiente gráfica de impedancia de entrada.

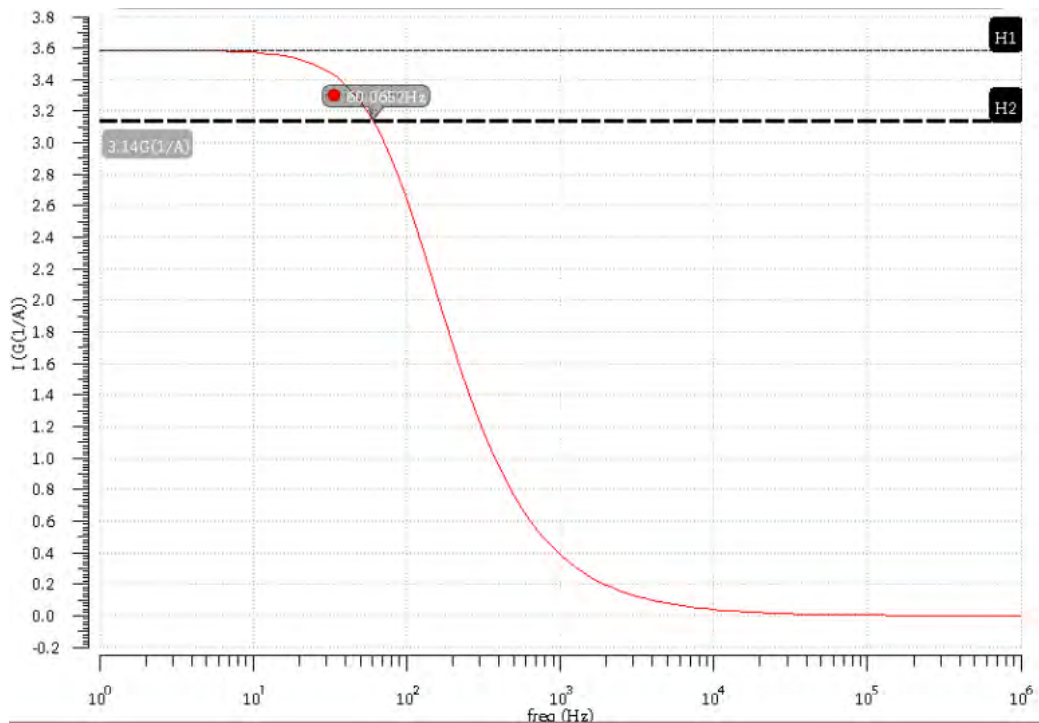


Figura 38. Impedancia de entrada en frecuencia

Cabe resaltar del gráfico que, en condiciones de baja frecuencia (DC), la impedancia alcanza aproximadamente $3.6 \text{ G}\Omega$, mientras que, al analizar la frecuencia a 60 Hz , se observa que la impedancia se mantiene alrededor de $3.14 \text{ G}\Omega$. Estos valores son considerados aceptables, ya que superan el umbral mínimo requerido de $1 \text{ G}\Omega$. Esto indica que el circuito es capaz de mantener una impedancia adecuada incluso en frecuencias más altas, lo cual es esencial para garantizar la calidad y el rendimiento de las señales amplificadas.

La evaluación de la impedancia de entrada en diferentes frecuencias nos proporciona información valiosa sobre la adaptabilidad y el comportamiento del circuito en diversas situaciones. Al obtener estas cifras, podemos determinar si la impedancia se mantiene dentro de los rangos aceptables para garantizar un funcionamiento óptimo del circuito en diferentes condiciones.

4.3. Simulaciones PVT

Las siglas PVT significan *process, voltage and temperature*. Estas simulaciones se llevan a cabo con el propósito de verificar el funcionamiento del circuito ante variaciones en los parámetros de temperatura, tensión de alimentación y procesos de fabricación. En esta sección se presentan simulaciones que comparan la disipación de potencia entre cada variación mencionada. Esto proporcionará información sobre cómo los cambios en los parámetros afectan el consumo energético del circuito. También, se analizará el *ratio* de compensación de impedancia entre un diseño que incorpora un circuito auxiliar y otro que no lo tiene. Esta comparación permitirá evaluar el impacto del circuito auxiliar en la compensación de impedancia y determinar si su inclusión mejora o no el rendimiento del circuito.

Es importante destacar que, para estas simulaciones, se utilizará un diagrama esquemático específico que incluirá solo las partes relevantes del circuito de aumento de impedancia. Esto se realiza con el objetivo de evaluar principalmente el comportamiento del circuito auxiliar de forma aislada, permitiendo un análisis detallado y preciso de su funcionamiento y efectividad. Para este diseño se incluye únicamente los moduladores *chopper*, los capacitores de entrada, las fuentes de alimentación y los componentes de la topología AFP.

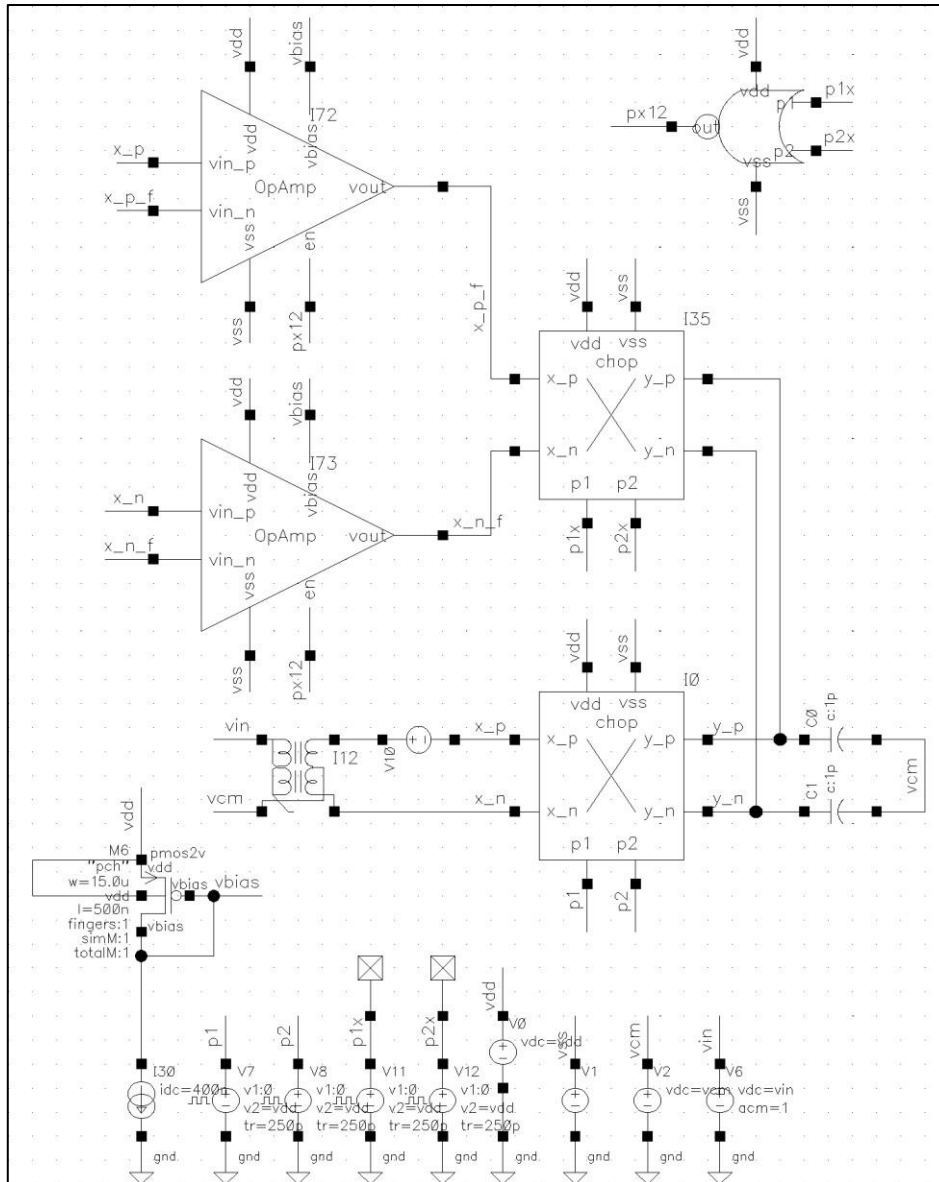


Figura 39. Diagrama esquemático de circuito auxiliar con *chopper* aislado

Para evaluar las variaciones de temperatura, se han seleccionado los límites clásicos de funcionamiento, es decir, $-40\text{ }^{\circ}\text{C}$ y $85\text{ }^{\circ}\text{C}$. Estos extremos representan condiciones ambientales adversas que permiten evaluar el rendimiento del circuito en situaciones de temperatura extrema. En cuanto a los procesos de manufactura, se han elegido tres opciones: *slow* (ss), *fast* (ff) y *typical* (tt). Estos procesos representan diferentes velocidades de fabricación y variaciones en los parámetros de los componentes. Evaluar el circuito bajo estos diferentes procesos permite comprender su comportamiento en condiciones de fabricación realistas y

asegurarse de que sea robusto frente a posibles variaciones en la producción. En relación a las tensiones de alimentación, se realizarán simulaciones en dos valores populares: 1.5 V y 1.8 V. Estas tensiones representan rangos comunes de operación y permiten analizar el rendimiento del circuito en diferentes niveles de voltaje. Por último, se llevará a cabo una simulación en condiciones nominales, es decir, con una temperatura de 27 °C, una tensión de alimentación de 1.2 V y un proceso de fabricación *typical*. Esta simulación representa las condiciones estándar de funcionamiento del circuito y proporciona un punto de referencia para comparar las simulaciones realizadas en condiciones extremas y variaciones de parámetros.

4.3.1. Simulación PVT a 1.2 V

De los resultados obtenidos del primer análisis PVT a 1.2 V se ha obtenido el valor más alto de impedancia, registrando 6.98 GΩ. Este resultado se obtuvo al someter el circuito a condiciones de -40 °C, y empleando el modo de operación *fast* (ff). Además, se observa un descenso mínimo de la impedancia a 60 Hz, alcanzando un valor de 3.01 GΩ. Este valor es considerado aceptable ya que supera el requisito mínimo de 1 GΩ.

Cabe resaltar que, al realizar un análisis comparativo, se encontró que el siguiente valor más alto de impedancia se obtuvo a una temperatura de 27 °C y utilizando el proceso de operación *typical* (tt). En este caso, las impedancias tanto en DC como a 60 Hz exceden los valores mínimos requeridos, lo que indica el cumplimiento de los objetivos. Además, ambas configuraciones presentan consumos de potencia muy similares.

Por otro lado, existe un nulo efecto en aumento de impedancia para las condiciones de $-40\text{ }^{\circ}\text{C}$ y con un proceso *slow* (ss). Ninguno de sus valores supera los mínimos requeridos para un correcto funcionamiento.

Tomando como referencia el valor $6.1\text{ G}\Omega$ ya que se obtiene a valores típicos, se puede obtener el porcentaje de variación máxima y mínima de esta prueba. La impedancia máxima de $6.98\text{ G}\Omega$ muestra un aumento de 14.4% mientras que el valor mínimo de $0.23\text{ G}\Omega$ posee una disminución del 96.2% . De estos resultados observamos que existe gran sensibilidad para las condiciones de $-40\text{ }^{\circ}\text{C}$.

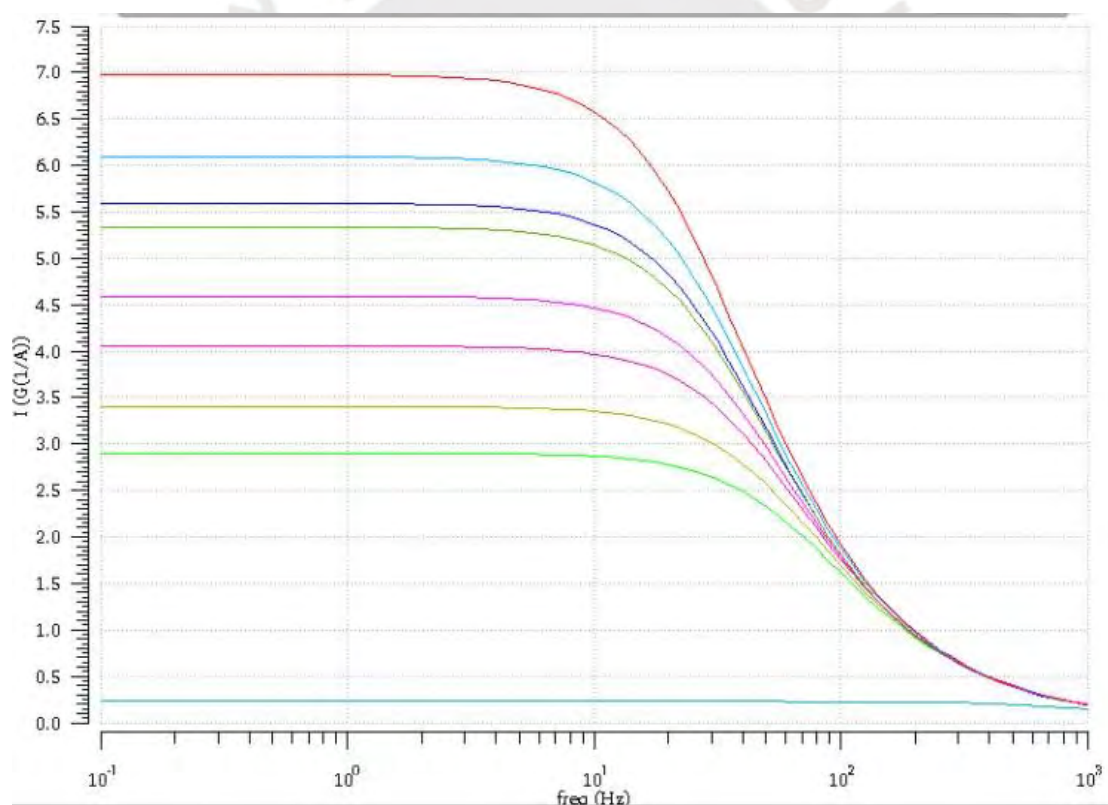


Figura 40. Respuesta en frecuencia de impedancia de entrada ante variaciones PVT a 1.2 V

Proceso	Temperatura (°C)	Zin @ DC (GΩ)	Zin @ 60Hz (GΩ)	Potencia (nW)
<i>typical</i> (tt)	-40	5.34	2.75	603.1
	27	6.1	2.90	607.9
	85	4.05	2.54	613.2
<i>slow</i> (ss)	-40	0.23	0.23	602.1
	27	5.59	2.78	606.5
	85	4.59	2.65	610.1
<i>fast</i> (ff)	-40	6.98	3.01	604.5
	27	3.4	2.35	609.8
	85	2.9	2.16	619.6

Tabla 3. Valores de impedancia y potencia disipada ante variaciones PVT a 1.2 V

4.3.2. Simulación PVT a 1.5 V

La siguiente prueba se realizó a una tensión de alimentación de 1.5 V. De los resultados se observan impedancias que no logran superar el máximo valor de la simulación previa y, además, el consumo de potencia incrementó en un 25% aproximadamente. Por lo tanto, no existen valores con mejores características en esta simulación.

Por otro lado, la variación tomando como referencia al valor en proceso *typical* y a la temperatura de 27 °C es menor al de la primera simulación. Como referencia se tiene 2.36 GΩ, su límite inferior es de 13.5% y el superior es de 58%. Por lo tanto, se observa que existe una disminución en la variación a medida que la alimentación aumenta.

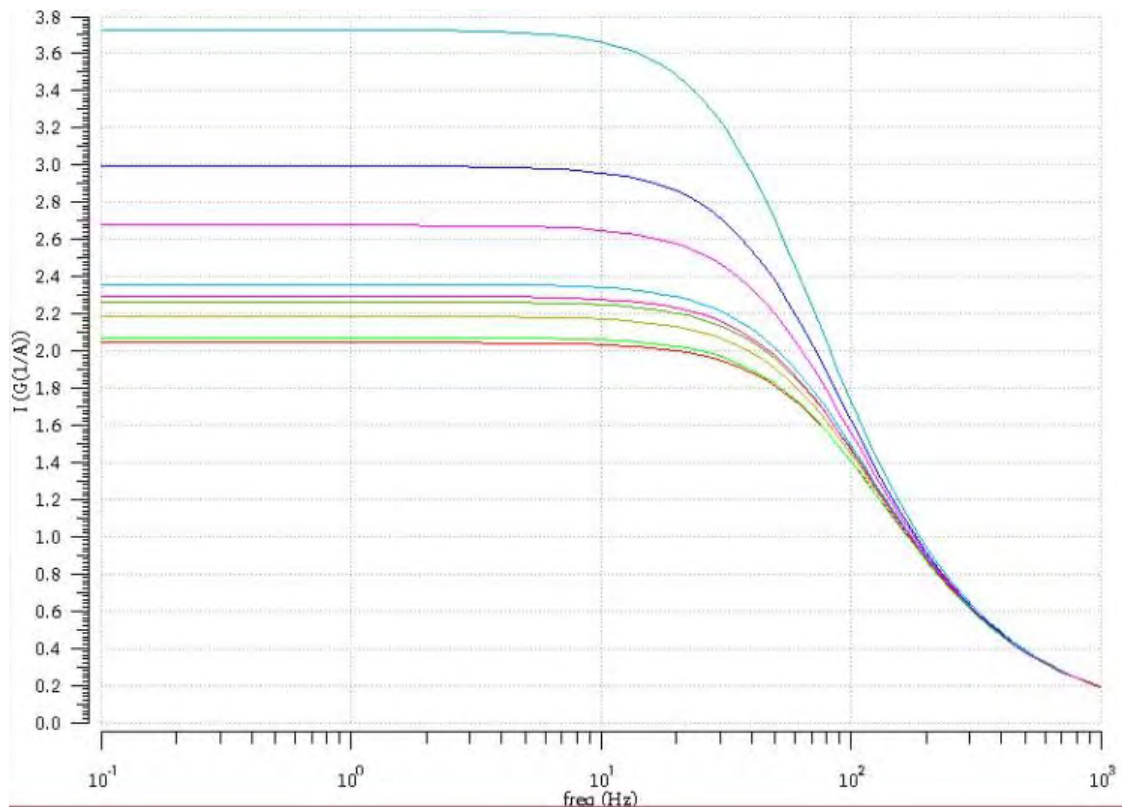


Figura 41. Respuesta en frecuencia de impedancia de entrada ante variaciones PVT a 1.5 V

Proceso	Temperatura (°C)	Zin @ DC (GΩ)	Zin @ 60Hz (GΩ)	Potencia (nW)
<i>typical</i> (tt)	-40	2.26	1.85	761.7
	27	2.36	1.90	766.9
	85	2.29	1.86	773.4
<i>slow</i> (ss)	-40	3.73	2.46	759.8
	27	2.99	2.20	764.6
	85	2.68	2.05	768.8
<i>fast</i> (ff)	-40	2.04	1.73	764.1
	27	2.19	1.81	770.1
	85	2.07	1.74	783.1

Tabla 4. Valores de impedancia y potencia disipada ante variaciones PVT a 1.5 V

4.3.3. Simulación PVT a 1.8 V

Por último, se observa el análisis a una tensión de alimentación de 1.8 V. De los resultados presentes junto con los previos se observa una tendencia a un decrecimiento en la impedancia a medida que la tensión de alimentación aumenta. Esto puede tener origen por

un mayor consumo de corriente y, como resultado, mayores picos de descarga en los capacitores de entrada. Aparte, los puntos de operación en los transistores varían según su alimentación y esto podría afectar negativamente al CMRR en los *buffers* auxiliares.

El valor de referencia para calcular la variación será $2.22 \text{ G}\Omega$. El mínimo valor obtenido es de $1.99 \text{ G}\Omega$ con 10.3% mientras que el máximo alcanzado es de $2.32 \text{ G}\Omega$ con 4.5% . Ambos valores se encuentran dentro de la simulación con proceso *slow*. Por lo tanto, se observa que este proceso es el que genera mayor sensibilidad al circuito.

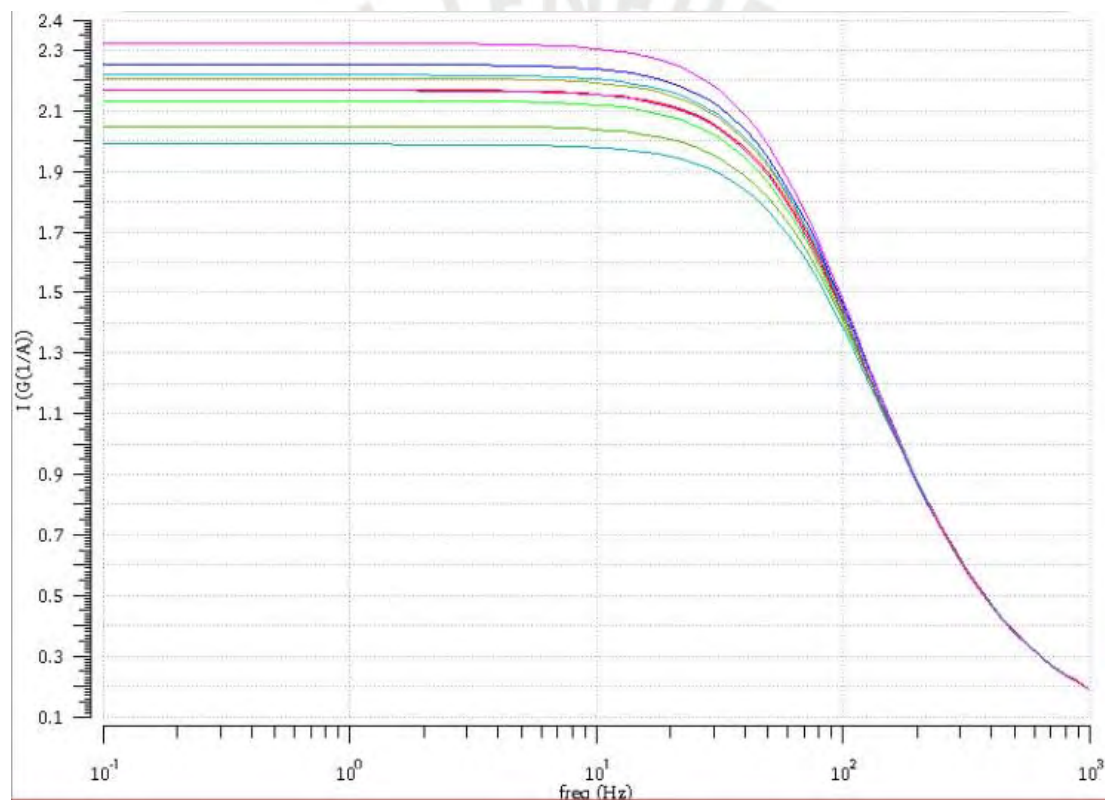


Figura 42. Respuesta en frecuencia de impedancia de entrada ante variaciones PVT a 1.8V

Proceso	Temperatura (°C)	Zin @ DC (GΩ)	Zin @ 60Hz (GΩ)	Potencia (nW)
<i>typical</i> (tt)	-40	2.05	1.73	923.3
	27	2.22	1.83	928.9
	85	2.17	1.79	936.7
<i>slow</i> (ss)	-40	1.99	1.69	920.0
	27	2.25	1.84	925.1
	85	2.32	1.88	930.0
<i>fast</i> (ff)	-40	2.17	1.80	927.6
	27	2.21	1.82	934.0
	85	2.13	1.77	950.7

Tabla 5. Valores de impedancia y potencia disipada ante variaciones PVT a 1.8 V

4.3.4. Simulación PVT de la razón de aumento de impedancia

Con el fin de obtener la razón de aumento de impedancia (al cual llamaremos *ratio*), se llevará a cabo una comparación entre los resultados obtenidos utilizando dos circuitos diferentes: el circuito representado en la figura 39 y el circuito representado en la figura 42. Esta comparación permitirá evaluar de manera más precisa el impacto del circuito adicional y su influencia en el desempeño del sistema en diversas condiciones de variación PVT. Evaluar el desempeño de ambos circuitos en distintas condiciones nos permite apreciar cómo la variación de procesos, la temperatura y la tensión de alimentación afectan el *ratio* de compensación de impedancia. De esta manera, podremos determinar en qué situaciones y bajo qué condiciones el circuito adicional muestra una mejora significativa.

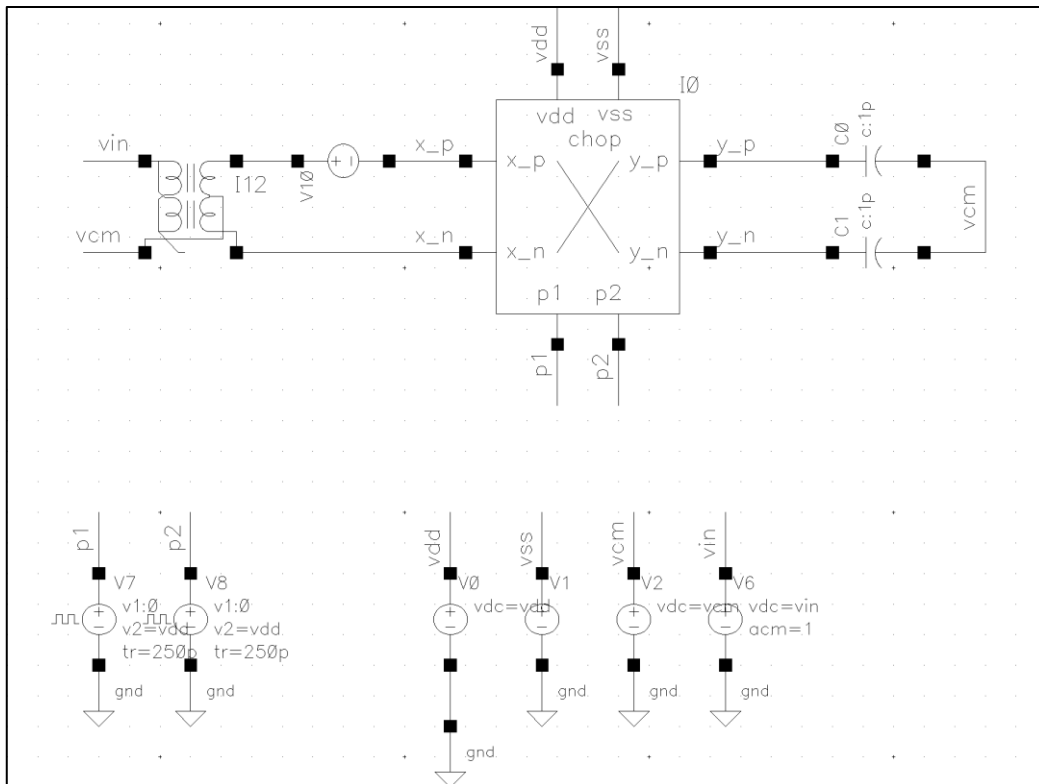


Figura 43. Diagrama esquemático de circuito *chopper* aislado

Proceso	Tensión (V)	Temperatura (°C)	Zin @ DC (GΩ)	Zin @ DC (MΩ)	Ratio
			Con Buffer	Sin Buffer	
typical (tt)	1.2	-40	5.34	8.73	611.2
		27	6.10	8.68	702.2
		85	4.05	8.64	469.2
	1.5	-40	2.26	8.72	259.5
		27	2.36	8.72	270.4
		85	2.29	8.70	263.7
	1.8	-40	2.05	8.77	233.8
		27	2.22	8.75	253.6
		85	2.17	8.73	248.2
slow (ss)	1.2	-40	0.23	8.17	28.0
		27	5.59	8.73	640.5
		85	4.59	8.70	527.9
	1.5	-40	3.73	8.75	426.1
		27	2.99	8.75	342.2
		85	2.68	8.73	306.5
	1.8	-40	1.99	8.81	225.9
		27	2.25	8.80	256.0
		85	2.32	8.79	264.3
fast (ff)	1.2	-40	6.98	8.66	805.5
		27	3.40	8.64	393.9
		85	2.90	8.64	336.0
	1.5	-40	2.04	8.71	234.7
		27	2.19	8.68	251.7
		85	2.07	8.65	239.4
	1.8	-40	2.17	8.72	248.7
		27	2.21	8.68	254.3
		85	2.13	8.70	245.2

Tabla 6. Ratio de aumento de impedancia con circuito auxiliar

4.4. Comparación con otros trabajos

Finalmente, se compara el resultado de la simulación PVT en condiciones típicas con el de los resultados del estado del arte. Según la tabla 7, se observa que los resultados de impedancia obtenida son comparables.

	[1]	[4]	[9]	[10]	[25]	Este trabajo
Technology (nm)	180	180	40	40	-	180
Supply voltage (V)	1	0.6, 1.2	1.2	1	1.2	1.2
Power consumption (μ W)	2.3	2.6	2.8	2	2.8	0.6
Input impedance ($G\Omega$)	6.7@DC 3@60Hz	3@DC 0.6@60Hz	1.6@DC 1.1@60Hz	0.05@DC -	1.6@DC 1@50Hz	6.1@DC 2.9@60Hz

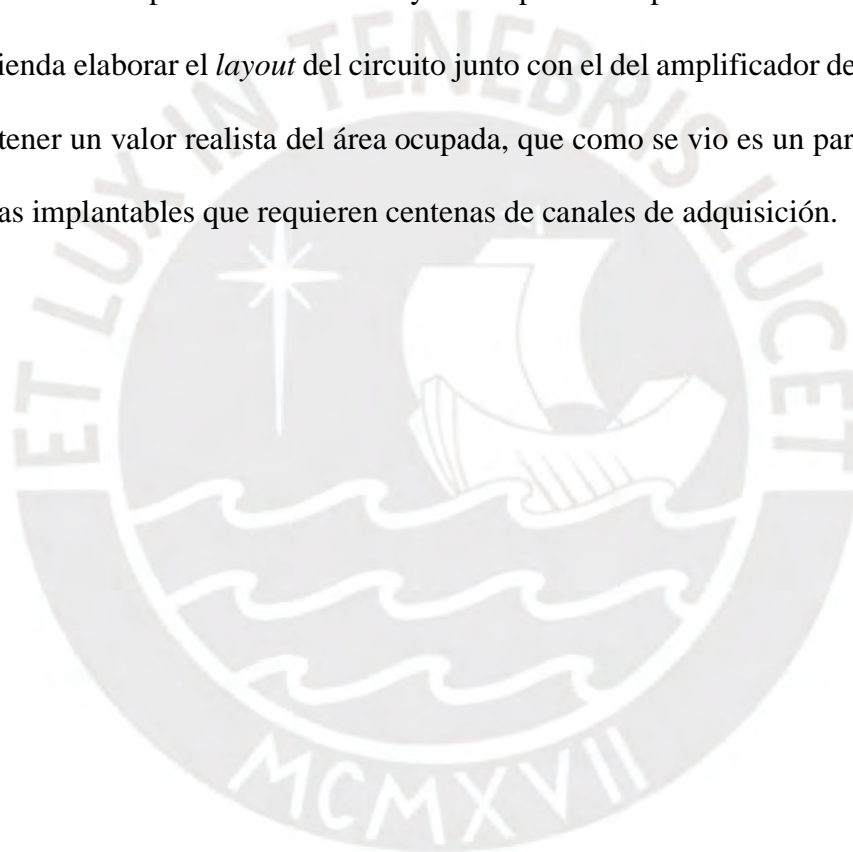
Tabla 7. Comparación de resultados con estado del arte.

Conclusiones

- La conmutación de las llaves del modulador chopper provoca que el tejido biológico entregue carga a los condensadores de entrada. Mediante simulaciones eléctricas se comprobó que tal efecto daba como resultado una disminución de la impedancia de entrada a valores del orden de los $M\Omega$.
- El uso de un buffer auxiliar para la pre-carga de los condensadores de entrada se mostró como una técnica efectiva para el aumento de la impedancia de entrada de un amplificador de instrumentación capacitivo chopper. Mediante simulaciones eléctricas se comprobó que esta técnica tiene el potencial de aumentar la impedancia de entrada a valores en el orden de los $G\Omega$.
- Mediante el diseño realizado en esta tesis se lograron valores de alrededor de $6.1 G\Omega$ en DC en condiciones nominales, mientras que, en condiciones extremas debidas a variaciones de temperatura, del proceso de fabricación y de la tensión de alimentación se observó valores de alrededor de $230M\Omega$ en el peor caso.
- La impedancia de entrada del amplificador de instrumentación es importante no solo debido a la posible atenuación de la señal por un efecto de división de impedancia si no también debido a la posible reducción de la relación de rechazo al modo común (CMRR). Por ese motivo es importante verificar el desempeño a una frecuencia de 60 Hz. Mediante simulaciones eléctricas se comprobó que a dicha frecuencia la impedancia de entrada es de alrededor de $1 G\Omega$.

Recomendaciones y trabajos futuros

- Se recomienda investigar la interacción entre la operación del circuito auxiliar de aumento de impedancia y del lazo de realimentación utilizado para eliminar el *offset* DC generado en las interfaces entre electrodos y tejido biológico.
- Se recomienda implementar una estructura de programación del tiempo de operación del buffer auxiliar ya que de esta manera se podría adaptar el circuito ante diferentes requerimientos de impedancia de entrada y de disipación de potencia.
- Se recomienda elaborar el *layout* del circuito junto con el del amplificador de tal forma que se pueda tener un valor realista del área ocupada, que como se vio es un parámetro crítico en sistemas implantables que requieren centenas de canales de adquisición.



Bibliografía:

- [1] M. Zamani, Y. Rezaeiyan, H. A. Huynh, M. Ronchini, H. Farkhani and F. Moradi, "A 2.3- μ W Capacitively Coupled Chopper-Stabilized Neural Amplifier With Input Impedance of 6.7 G Ω ," in *IEEE Solid-State Circuits Letters*, vol. 4, pp. 133-136, 2021, doi: 10.1109/LSSC.2021.3094237.
- [2] D. Luo, J. Lei, M. Zhang and Z. Wang, "Design of a Low Noise Bio-Potential Recorder With High Tolerance to Power-Line Interference Under 0.8 V Power Supply," in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 14, no. 6, pp. 1421-1430, Dec. 2020, doi: 10.1109/TBCAS.2020.3038632.
- [3] X. Yang et al., "A 108 dB DR $\Delta\Sigma$ - $\Sigma\Delta$ Front-End With 720 mVpp Input Range and $>\pm 300$ mV Offset Removal for Multi-Parameter Biopotential Recording," in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 15, no. 2, pp. 199-209, April 2021, doi: 10.1109/TBCAS.2021.3062632.
- [4] A. Samiei and H. Hashemi, "A Chopper Stabilized, Current Feedback, Neural Recording Amplifier," in *IEEE Solid-State Circuits Letters*, vol. 2, no. 3, pp. 17-20, March 2019, doi: 10.1109/LSSC.2019.2916754.
- [5] A. Kumar Sahu and A. Kumar Sahu, "A Review on Different Filter Design Techniques and Topologies for Bio-potential Signal Acquisition Systems," 2018 3rd International Conference on Communication and Electronics Systems (ICCES), 2018, pp. 934-937, doi: 10.1109/CESYS.2018.8723912.
- [6] H. Zhou and G. Alici, "Non-Invasive Human-Machine Interface (HMI) Systems With Hybrid On-Body Sensors for Controlling Upper-Limb Prosthesis: A Review," in *IEEE Sensors Journal*, vol. 22, no. 11, pp. 10292-10307, 1 June 2022, doi: 10.1109/JSEN.2022.3169492.
- [7] Neuralink, "Pager plays MindPong-Blog" 2022.
- [8] Y. Yang, H. Jiang, Y. Guo and Z. Wang, "A Low Power Low Noise Front End Amplifier for ECG Monitoring," 2018 IEEE International Conference on Electron Devices and Solid State Circuits (EDSSC), 2018, pp. 1-2, doi: 10.1109/EDSSC.2018.8487101.
- [9] H. Chandrakumar and D. Marković, "An 80-mVpp Linear-Input Range, 1.6- G Ω Input Impedance, Low-Power Chopper Amplifier for Closed-Loop Neural Recording That Is Tolerant to 650-mVpp Common-Mode Interference," in *IEEE Journal of Solid-State Circuits*, vol. 52, no. 11, pp. 2811-2828, Nov. 2017, doi: 10.1109/JSSC.2017.2753824.
- [10] P. Wargacki and P. Kmon, "Design of 1.55 NEF, 2 μ A, Chopper Based Amplifier in 40nm CMOS for Biomedical Multichannel Integrated System," 2022 29th International Conference on Mixed Design of Integrated Circuits and System (MIXDES), 2022, pp. 99-104, doi: 10.23919/MIXDES55591.2022.9837969.
- [11] X. T. Pham, D. N. Duong, N. T. Nguyen, N. Van Truong and J. -W. Lee, "A 4.5 G Ω - Input Impedance Chopper Amplifier With Embedded DC-Servo and Ripple Reduction Loops for Impedance Boosting to Sub-Hz," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no. 1, pp. 116-120, Jan. 2021, doi: 10.1109/TCSII.2020.3007934.
- [12] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 2^a ed. New York, McGraw-Hill Education, 2017.
- [13] T. Yin, H. Yang, Q. Yuan and G. Cui, "Noise Analysis and Simulation of Chopper

- Amplifier," APCCAS 2006 - 2006 IEEE Asia Pacific Conference on Circuits and Systems, 2006, pp. 167-170, doi: 10.1109/APCCAS.2006.342339.
- [14] A. Sheikholeslami, "Chopper Amplifier," IEEE Solid-State Circuits Magazine, Spring 2016.
- [15] X. T. Pham, D. N. Duong, N. T. Nguyen, N. Van Truong and J. -W. Lee, "A 4.5 G Ω - Input Impedance Chopper Amplifier With Embedded DC-Servo and Ripple Reduction Loops for Impedance Boosting to Sub-Hz," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 68, no. 1, pp. 116-120, Jan. 2021, doi: 10.1109/TCSII.2020.3007934.
- [16] P. R. Gray, P. J. Hurst, S. H. Lewis and R. G. Meyer, Analysis and design of analog integrated circuits, Fourth edition. JHON WILEY & SONS, INC. 2000.
- [17] P. Horowitz and W. Hill, The art of electronics, Third edition. Cambridge University Press, New York. 2015.
- [18] R. R. Harrison, "A low-power, low-noise CMOS amplifier for neural recording applications," 2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353), 2002, pp. V-V, doi: 10.1109/ISCAS.2002.1010674.
- [19] Q. Fan, K. A.A. Makinwa and J. H. Huijsing, Capacitively-Coupled Chopper Amplifiers. Springer. 2017.
- [20] W. Wattanapanitch, M. Fee and R. Sarpeshkar, "An Energy-Efficient Micropower Neural Recording Amplifier," in IEEE Transactions on Biomedical Circuits and Systems, vol. 1, no. 2, pp. 136-147, June 2007, doi: 10.1109/TBCAS.2007.907868.
- [21] Sansen, W. Offset and CMRR: Random and systematic. In: Analog Design Essentials. The International Series in Engineering and Computer Science, vol 859. Springer, 2006, Boston, MA. https://doi.org/10.1007/0-387-25747-0_15
- [22] Y. Park, J. -H. Cha, S. -H. Han, J. -H. Park and S. -J. Kim, "A 3.8- μ W 15-G Ω Total Input Impedance Chopper Stabilized Amplifier With Auto-Calibrated Dual Positive Feedback in 110-nm CMOS," in IEEE Journal of Solid-State Circuits, vol. 57, no. 8, pp. 2449-2461, Aug. 2022, doi: 10.1109/JSSC.2021.3137509.
- [23] H. Chandrakumar and D. Marković, "5.5 A 2 μ W 40mVpp linear-input-range chopper-stabilized bio-signal amplifier with boosted input impedance of 300M Ω and electrode-offset filtering," 2016 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA, 2016, pp. 96-97, doi: 10.1109/ISSCC.2016.7417924.
- [24] H. Chandrakumar and D. Marković, "A High Dynamic-Range Neural Recording Chopper Amplifier for Simultaneous Neural Recording and Stimulation," in IEEE Journal of Solid-State Circuits, vol. 52, no. 3, pp. 645-656, March 2017, doi: 10.1109/JSSC.2016.2645611.
- [25] Y. Park, J. -H. Cha, S. -H. Han, J. -H. Park and S. -J. Kim, "A 3.8- μ W/Ch, 15-G Ω Total Input Impedance Chopper Stabilized Amplifier with Dual Positive Feedback Loops and Auto-calibration Scheme," 2021 Symposium on VLSI Circuits, Kyoto, Japan, 2021, pp. 1-2, doi: 10.23919/VLSICircuits52068.2021.9492508.