

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ

FACULTAD DE CIENCIAS E INGENIERÍA



**DISEÑO DE UN CONTROLADOR DIGITAL PARA UN ESTIMULADOR DE
PRÓTESIS EPIRETINAL**

Tesis para optar el Título de Ingeniero Electrónico, que presenta el bachiller:

José Martín Naveda Paz

ASESOR: Dr. Ing. Manuel Monge

Mg. Ing. Mario Raffo

Lima, 2019



Dedicado a mi mamá Lía y papá José que son ejemplo de superación, dedicación y amor; a mis dos hermanos Joaquín y José quienes me han brindado su incondicional afecto y apoyo. A toda mi familia y amigos que creen en mí e inspiran a alcanzar mis objetivos.



Agradecimiento por sus enseñanzas y apoyo a mi amigo y asesor Mario Raffo, a mi querido grupo de Microelectrónica, a mis amigos de mi vida universitaria José, Moisés, Juan, Wilfredo, Luchito, Eduardo, Rubén, Luis, Carlos y Jean Paul.

A Stephany quien me ha brindado su amor que me inspira a ser mejor.
A mi promoción de ingeniería electrónica con quienes compartí momentos inolvidables
y a toda mi familia que gracias a ellos es posible.



”Siembra un pensamiento y cosecharás una acción;
siembra una acción y cosecharás un hábito;
siembra un hábito y cosecharás una personalidad;
siembra una personalidad y cosecharás un destino”

Proverbio Tibetano

Resumen

El presente trabajo consiste en el diseño de un controlador digital para un estimulador de prótesis epiretinal que está conformada por una cámara, un procesador de video, la caja de componentes electrónicos con el controlador incluido y el arreglo de electrodos. Esta prótesis se implanta quirúrgicamente en el paciente que sufre de enfermedades degenerativas de la retina como Retinitis Pigmentosa y Degeneración Macular relacionada con la edad. Las entradas del controlador serán enviadas por un controlador global y las salidas del controlador a un estimulador que usando un arreglo de micro-electrodos estimularía directamente a las neuronas retinales saludables pasando sobre las células fotorreceptoras dañadas por la enfermedad.

La forma de onda, periodo, duración, retraso de cada fase y amplitud son importantes para el correcto estímulo de las células neuronales de la retina, por estas razones se diseñó un controlador flexible basado en el diseño ITBCS13 [1] que es capaz de cambiar parámetros y formas de onda de estimulación [2, 3] de forma independiente por canal. Asimismo la corriente de estimulación debe ser bifásica debido a que reduce las cargas residuales que dañan el tejido de la retina, por ende la estimulación tendrá una fase catódica y anódica [4].

El controlador digital genera en cuatro canales las formas de onda Senoidal, Gaussiana, Rectangular y Triangular a través de las 8 señales de entrada que recibe del controlador global: *req*, *fase*, *forma_onda*, *tiempo_entre_fases*, *tiempo_descarga*, *amplitud*, *factor_duracion* y *reset*. Las salidas del controlador al estimulador de cuatro canales serán las fases anódicas, catódicas y la amplitud de la onda: *anodico_reg*, *catódico_reg* y *amplitud_reg*.

El diseño del controlador es basado en bloques digitales, codificados por medio del lenguaje de descripción de hardware VHDL. Para realizar la verificación y validación del funcionamiento de dicha descripción se usó la simulación por medio de Testbench en VHDL, empleándose el software ModelSimAltera de la compañía Mentor Graphics [5]. Para la implementación se empleó un FPGA de la familia Cyclone II (tecnología TSMC's 90-nm) [6]. La frecuencia de operación del controlador es de 164.69 MHz.

Índice General

Introducción	1
1. Avances e Importancia de Prótesis de Retina	3
1.1. El sistema visual humano	3
1.1.1. La retina	4
1.1.1.1. Enfermedades degenerativas a la retina	4
1.2. Prótesis visuales	5
1.2.1. Prótesis de retina	5
1.2.1.1. Prótesis Epiretinal	6
1.2.1.2. Prótesis Subretinal	8
1.2.1.3. Prótesis Supracoroideo	8
1.3. Estimulación de la Retina	8
1.3.1. Alternativas de estimulación	9
1.4. Justificación	10
1.5. Objetivos generales y específicos	11
2. Controlador de Neuro-Estimuladores de Prótesis de Retina	12
2.1. Circuito Electrónico de Neuro - Estimuladores	12
2.1.1. Carga residual DC de estimulación	14
2.1.1.1. Balanceo de carga pasivo	14
2.1.1.2. Balanceo de carga activo	15
2.2. Controladores	15
2.2.1. Controlador para prótesis epiretinal intraocular de alta densidad auto balanceada	15
2.2.2. Controlador para prótesis epiretinal de un sistema en chip de alto voltaje compliance	18
2.3. Comparación de diseños de prótesis epiretinales	19

3. Diseño del Controlador de un Neuro-Estimulador de Prótesis Epiretinal	20
3.1. Requerimientos y consideraciones	20
3.2. Funcionamiento	23
3.3. Descripción de entradas	24
3.4. Memoria	27
3.5. Descripción de salidas	29
3.6. Bloques funcionales internos	30
3.6.1. Máquina de estados (FSM)	31
3.6.2. Contador Especial	33
3.6.3. Adaptador de pulso	34
3.6.4. Datapath	36
4. Resultados y Simulaciones	38
4.1. Codificación del diseño y análisis de simulación	38
4.2. Simulación de canales	41
4.2.1. Canal 0	41
4.2.2. Canal 1	43
4.2.3. Canal 2	45
4.2.4. Canal 3	47
4.2.5. Canales juntos	49
4.3. Resultados de la síntesis de la arquitectura diseñada	50
Conclusiones	51
Recomendaciones	52
Bibliografía	53
Anexos	

Índice de Figuras

1.1. Sistema visual humano [7].	3
1.2. Distribución de células neuronales en la retina [4].	4
1.3. Prótesis de retina [8].	6
1.4. Componentes intraoculares de Argus II [9]	7
1.5. Componentes extraoculares de Argus II [9].	8
1.6. Forma Catódica y Anódica de una señal bifásica [4]	9
1.7. Posición de electrodos por tipo de prótesis retinal [4]	10
2.1. Arquitectura de Prótesis Epiretinal de 1024 canales [10]	13
2.2. Arquitectura de Prótesis Epiretinal de 512 canales independientes [1]	14
2.3. Arquitectura del sistema [1]	16
2.4. Esquema del controlador global y arreglo de estimuladores [1]	17
2.5. Protocolo de comunicación para transmisión de datos [1]	17
2.6. Generación de forma de onda arbitraria [1]	18
2.7. Prueba de demultiplexor y fuente de corriente [10]	18
3.1. Interacción entre Controlador Global, Memoria, Controlador y Estimulador	21
3.2. Forma de onda de corriente de estimulación [11]	22
3.3. Entradas y salidas de los cuatro bloques canal dentro del controlador	23
3.4. Gráfico de media onda senoidal	27
3.5. Gráfico de la onda gaussiana	28
3.6. Gráfico de la onda rectangular	28
3.7. Gráfico de la onda triangular	29
3.8. Descripción de máquina de estados	31
3.9. Entradas y salidas del bloque <i>contador_especial</i>	34
3.10. Diseño de Contador_Especial	34
3.11. Entradas y salidas del bloque <i>adaptador de pulso</i>	35

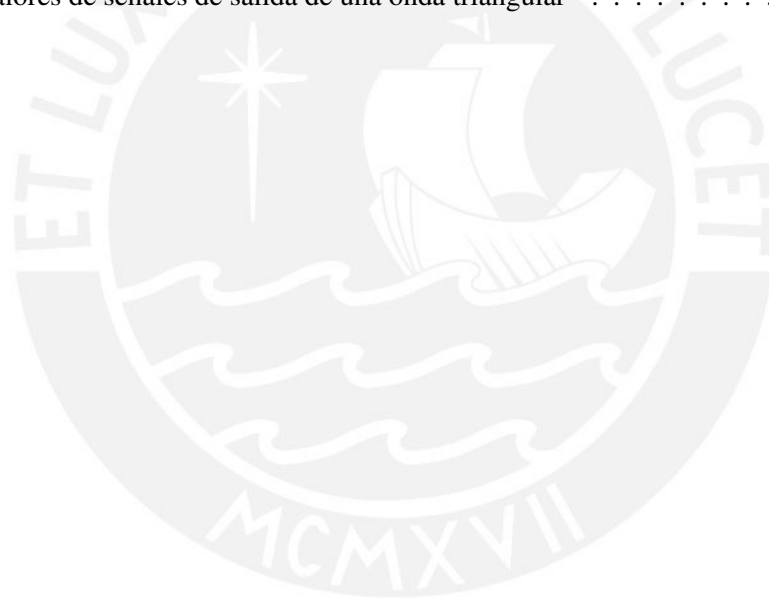
3.12. Diseño de bloque <i>adaptador pulso</i>	36
3.13. Diseño del Datapath para un bloque <i>canal_n</i>	37
4.1. Simulación y asignación de entradas al controlador	40
4.2. Simulación del <i>canal 0</i> del controlador	42
4.3. Simulación del <i>canal 1</i> del controlador	44
4.4. Simulación del <i>canal 2</i> del controlador	46
4.5. Simulación del <i>canal 3</i> del controlador	48
4.6. Simulación de canales del controlador	49
4.7. Resultado de la síntesis de la arquitectura del controlador digital	50
4.8. Frecuencia máxima de operación	50



Índice de Tablas

1.1. Comparación de datos básicos de Prótesis Epiretinales	6
1.2. Comparación de características y resultados de Prótesis Epiretinales	7
2.1. Comparación de Diseños de Prótesis Epiretinales	19
3.1. Entradas al controlador	21
3.2. Salidas del controlador	21
3.3. Parámetros de las ondas generadas	22
3.4. Funciones de la entrada <i>req_n</i>	24
3.5. Funciones de la entrada <i>fase_n</i>	24
3.6. Funciones de la entrada <i>forma_onda_n</i>	25
3.7. Funciones de entrada <i>tiempo_entre_fases_n</i>	25
3.8. Funciones de entrada <i>tiempo_descarga_n</i>	25
3.9. Funciones de entrada <i>amplitud_n</i>	26
3.10. Funciones de entrada <i>factor_duracion_n</i>	26
3.11. Funciones de entrada <i>reset_n</i>	26
3.12. Secuencia de valores que generan la onda senoidal	27
3.13. Secuencia de valores que generan la onda gaussiana	28
3.14. Secuencia de valores que generan la onda rectangular	28
3.15. Secuencia de valores que generan la onda triangular	29
3.16. Valores que generan la salida <i>amplitud_reg_n</i>	30
3.17. Función que genera la salida <i>END_OP_n</i>	30
3.18. Cantidad de bloques digitales en un controlador	31
3.19. Descripción de estados	32
3.20. Descripción de Señales de Entrada de Estados	32
3.21. Descripción de Señales de Salida de Estados	33
3.22. Descripción de las señales del <i>contador_especial</i>	33

3.23. Descripción de las señales <i>factor_duracion</i> y <i>enable_out</i>	35
3.24. Descripción de las señales <i>ENABLE</i> , <i>RESET_N</i> y <i>CLOCK</i>	35
4.1. Valores de señales en la simulación de cada <i>canal_n</i>	38
4.2. Distribución de señales <i>controlador_entradas</i> de la simulación	39
4.3. Distribución de señales <i>controlador_salidas</i> de la simulación	39
4.4. Valores de señales de entrada de una onda senoidal	41
4.5. Valores de señales de salida de una onda senoidal	41
4.6. Valores de señales de entrada de una onda gaussiana	43
4.7. Valores de señales de salida de una onda gaussiana	43
4.8. Valores de señales de entrada de una onda rectangular	45
4.9. Valores de señales de salida de una onda rectangular	45
4.10. Valores de señales de entrada de una onda triangular	47
4.11. Valores de señales de salida de una onda triangular	47



Introducción

La carrera tecnológica que se ha desarrollado a nivel mundial ha crecido exponencialmente desde el descubrimiento de los semiconductores y la creación del primer transistor, bloque principal de la microelectrónica. Esta rama de la electrónica se enfoca en la miniaturización de circuitos electrónicos funcionales conformados por miles de diminutos transistores que sigue aumentando, validando la Ley de Moore. Gracias a ello es realidad la tecnología como es conocida y es posible desarrollar los chips que dan vida a computadoras, celulares, prótesis biomédicas, etc.

Las prótesis han permitido reemplazar artificialmente órganos y sus funciones, combinando la tecnología y el cuerpo humano. Especialmente en prótesis visuales se han realizado avances significativos con resultados alentadores como destellos de luz en paciente ciegos [12]. Su desarrollo inició cuando se descubrió que a través de campos eléctricos y magnéticos era posible estimular el sistema visual [13]. Dentro del ojo, la retina es una delgada capa parcialmente transparente donde comienza el proceso de la visión ya que recoge, elabora y transmite las sensaciones visuales.

La ceguera en personas puede ser causada por un daño en el proceso de la funcionalidad óptica, siendo las cataratas la mayor causa de ceguera a nivel mundial. Existen también dos enfermedades de degeneración de la retina que dañan a las células fotorreceptoras causando ceguera en sus pacientes, estas son AMD (Age-Related Macular Degeneration, en inglés) y Retinitis Pigmentosa (RP). Ninguna de estas dos enfermedades tiene cura a través de cirugía o tratamiento.

Al afectar a los fotorreceptores, el proceso óptico se queda sin la capacidad de detectar luz, sin embargo otras células neuronales de la retina aún pueden ser excitadas eléctricamente. Por esta razón en 1990 se instaló un arreglo de electrodos en un paciente con una retina degenerada para poder mandar los estímulos, teniendo resultados alentadores donde el paciente lograba observar desde puntos de luz hasta líneas [14].

La prótesis de retina es un sistema integrado que generalmente se divide en la parte extraocular que consiste en una mini-cámara, una unidad de procesamiento de imágenes y un par de

bobinas para la transmisión de energía y datos. Además una parte intraocular que lo conforma el circuito integrado, el arreglo de electrodos, condensadores y un par de bobinas de recepción de datos y energía. Cabe resaltar que dentro del circuito integrado las funciones se dividen en arreglos de estimuladores, controladores y telemetría de datos y energía.

De lo anteriormente expuesto esta tesis consiste en el diseño de un controlador digital para un estimulador de prótesis epiretinal flexible. Se empleará el FPGA Cyclone II - EP2C35F672C6 por ser de tecnología TSMC de 90 nm. Esto se debe a que el diseño será parte de un futuro ASIC analógico-digital (circuito integrado de aplicación específica) estimulador de prótesis epiretinal que será diseñado con la tecnología TSMC de 90 nm que cuenta el Laboratorio de Microelectrónica de la PUCP.

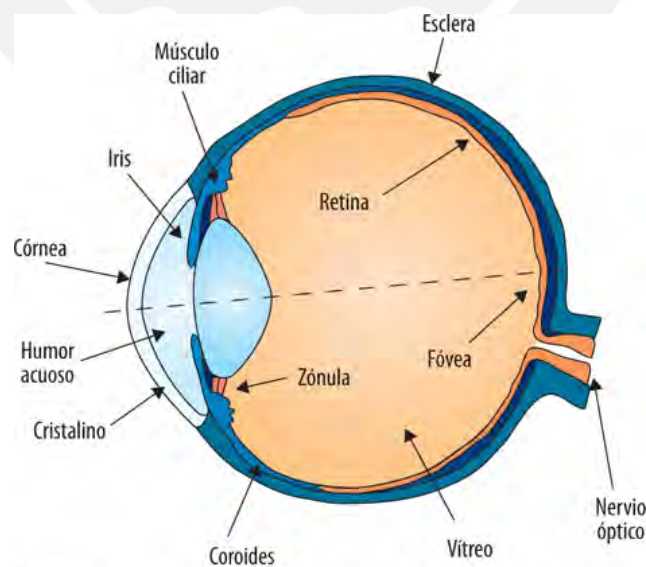
El desarrollo del texto de la presente tesis es del siguiente modo: el capítulo 1 explica el estado de arte que consiste en el funcionamiento de la retina, las enfermedades degenerativas que la atacan y los tipos de prótesis de retina; el capítulo 2 aborda el funcionamiento de un neuro-estimulador y controladores de diseños ya existentes; en el capítulo 3 se describen las características, diseño interno y funcionamiento del controlador de la presente tesis; el capítulo 4 analiza los resultados de las simulaciones en el diseño del controlador. Finalmente se presentan las conclusiones y recomendaciones de la misma.

Capítulo 1

Avances e Importancia de Prótesis de Retina

1.1. El sistema visual humano

El sistema visual humano cumple la función, inicialmente en los ojos, de captar y transformar las ondas de luz en impulsos eléctricos que son conducidos a través del nervio óptico al cerebro para su interpretación, el cual es ilustrado en la figura 1.1. En la superficie interior del ojo se ubica la retina que junto a otras células neuronales participan en el proceso de la transformación de luz a impulsos eléctricos. Las prótesis visuales electrónicas son aplicadas en los seres humanos cuando una parte del sistema visual humano falla.



Fuente: Jesús A. Fernández-Tresguerres: *Fisiología humana*, 4e: www.accessmedicina.com
Derechos © McGraw-Hill Education. Derechos Reservados.

Figura 1.1: Sistema visual humano [7].

1.1.1. La retina

La retina está formada por capas de células neuronales involucradas en el proceso de transformación de señal de luz a impulso eléctrico, como se muestra en la figura 1.2. Una de ellas está formada por fotorreceptores, encargados de transformar los impulsos de luz en señal eléctrica, formados por conos (sensible a colores) y bastones (sensible a tonos grises). Otra capa importante son las células ganglionares que reciben la información y a través de la unión de sus axones forman el nervio óptico que la transmite hasta el cerebro [4].

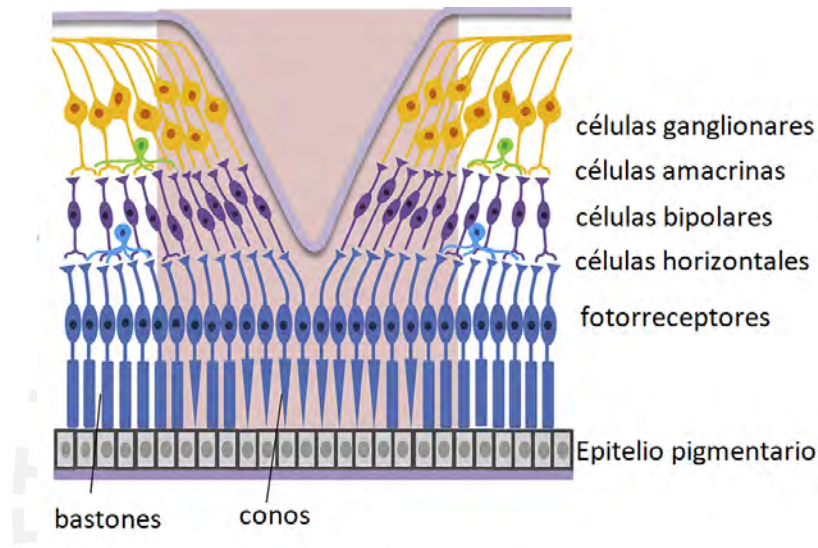


Figura 1.2: Distribución de células neuronales en la retina [4].

Además existen las células amacrinas que interceptan a las células ganglionares y bipolares apoyando en la comunicación entre capas, las dendritas de las células bipolares están conectadas a los fotorreceptores y sus axones a las células ganglionares. Las células horizontales cumplen una función similar a las amacrinas conectando fotorreceptores con células bipolares. Por último el epitelio pigmentario ubicado en el exterior de la retina se encarga de nutrir a las células visuales.

1.1.1.1. Enfermedades degenerativas a la retina

Las enfermedades degenerativas de la retina más comunes son Retinitis Pigmentosa (RP) y la Degeneración Macular relacionada con la edad (AMD, en inglés). La primera es una lenta degeneración de las células fotorreceptoras y la segunda es un nombre que engloba a todos los desórdenes genéticos que causan la pérdida de las células fotorreceptoras [4].

Las dos enfermedades no presentan cura y al no poderse transformar la luz en impulsos nerviosos genera ceguera en el paciente. Sin embargo, RP y AMD no afectan en el correcto funcionamiento de otras células neuronales incluidas las células ganglionares y bipolares de la

retina, y por ende no pierden la capacidad de ser activadas eléctricamente [14].

1.2. Prótesis visuales

El interés en desarrollar avances sobre prótesis visuales se inició gracias al trabajo de investigación de Brindley y Lewin en 1968 quienes implantaron un dispositivo con 80 canales de estimulación en la corteza visual de un paciente, los cuales al activarse lograron que observe manchas de luz [12].

En 1969 se demostró en el trabajo de Potss y Inoue [13] que la respuesta eléctrica en pacientes con RP era la misma que en personas sin la enfermedad. Así se demostró que enfermedades que afecten a la retina no alteraban la capacidad del sistema visual de ser activado eléctricamente .

Posteriormente en 1999 experimentos de implantación de un arreglo de estimuladores de retina en el ojo de pacientes con enfermedades degenerativas a la retina, lograron que observaran manchas de luz. Entonces se demostró que la activación eléctrica de la retina y la capacidad de visión no quedan eliminadas a causa de la enfermedad, de esta manera se comenzó a investigar sobre el efecto en los humanos y el desarrollo de un dispositivo que pueda ser usado a largo plazo [14], [15].

En base a esta característica se desarrollaron prótesis visuales que generan sensaciones de visión activando eléctricamente las células neuronales del sistema visual. Estas funcionan a través del envío de patrones eléctricos de estimulación neuronal que son aplicadas usando un arreglo de micro-electrodos colocado en la retina, corteza visual o nervio óptico [16].

1.2.1. Prótesis de retina

Las prótesis visuales con un arreglo de micro-electrodos en la retina han tenido avances significativos en pacientes con RP quienes lograron la detección de movimiento y la distinción de objetos [16]. El arreglo de micro-electrodos estimula directamente a las neuronas retinales saludables pasando sobre las células fotorreceptoras dañadas por la enfermedad, como se muestra en la Figura 1.3. Dependiendo de la posición de los micro-electrodos se identifica tres tipos de prótesis retinal: la epiretinal (delante de la retina), la subretinal (detrás de la retina) y la supracoroide (entre la coroide y esclerótica) [17].

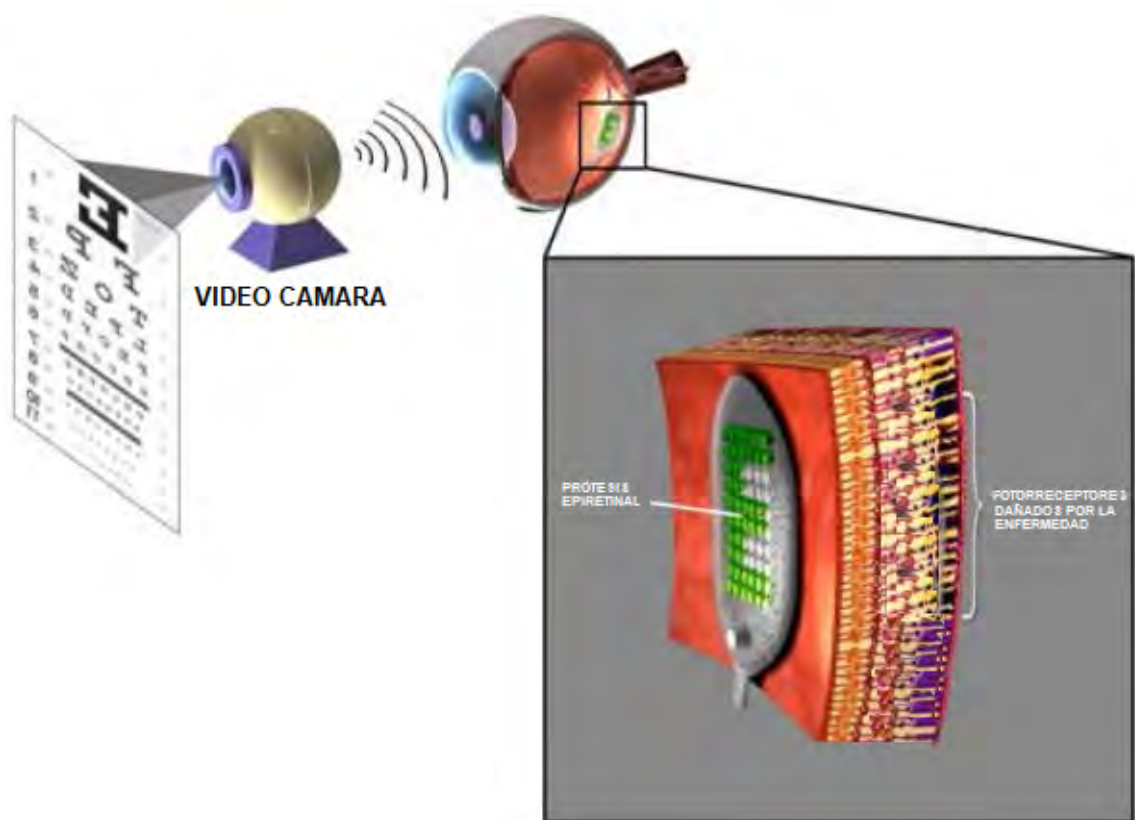


Figura 1.3: Prótesis de retina [8].

1.2.1.1. Prótesis Epiretinal

En una prótesis epiretinal la parte extra-ocular consiste en una mini-cámara y una unidad de procesamiento que procesa las imágenes, luego un transmisor se encarga de mandar señales procesadas y señales de energía. En la parte intra-ocular un receptor recoge estas señales y son decodificadas por el circuito integrado que además controla los arreglos de estimuladores que mandan a través de micro-electrodos ondas de estimulación a células ganglionares retinales para poder causar sensaciones visuales [4]. En las Tablas 1.1 y 1.2 se comparan las diferentes características de modelos de prótesis epiretinal.

Tabla 1.1: Comparación de datos básicos de Prótesis Epiretinales

Dato	Argus I [18]	IMI [19]	Epi-Ret [20]	Argus II [9]
Ensayo Clínico	Completado	Si	Si	Completado
Comercialización	No	No	No	Si
Tiempo de vida	Mayor a 10 años	Desde meses hasta 1.5 años	-	Mayor a 10 años
Arreglo de micro-electrodos	Electrodos 4x4, 520 μ m, 260 μ m	49 micro electrodos	25 micro electrodos	60 micro electrodos en un arreglo 6x10

Tabla 1.2: Comparación de características y resultados de Prótesis Epiretinales

Dato	Argus I [18]	IMI [19]	Epi-Ret[20]	Argus II[9]
Característica	Activación en la clínica	Activación en la clínica. No tiene cámara	Los electrodos tienen mayor contacto con la retina	Tiene cámara. Los pacientes pueden usarla fuera de la clínica. Existen más de 219 pacientes
Resultados	Detección de objetos en movimiento y distinción de objetos	Detección de manchas de luz	Sensaciones visuales como manchas de luz	Perciben luz, movimientos, objetos y letras

Argus II también conocido como *ojo biónico* es un dispositivo comercial de prótesis epiretinal que se ha implantado en más de 219 pacientes, convirtiéndose en la prótesis de retina con mayor experiencia clínica. Algunos pacientes con el *ojo biónico* lograron localizar objetos, detectar luz, movilizarse con mayor orientación, realizar tareas domésticas (separar ropa blanca y negra), identificar letras y leer palabras impresas de tamaño grande. En la Figura 1.4 y Figura 1.5 se muestran los componentes intra-oculares (arreglo de electrodos, bobina de implante, bandas esclerales, lengüetas de sutura, cable de electrodos y el empaquetado con componentes electrónicos) y extra-oculares (cámara, bobina de transmisión, gafas y unidad de procesamiento de imágenes) de la prótesis Argus II [9].



Figura 1.4: Componentes intraoculares de Argus II [9]



Figura 1.5: Componentes extraoculares de Argus II [9].

1.2.1.2. Prótesis Subretinal

Por otro lado una prótesis subretinal se basa en reemplazar a las células dañadas del epitelio pigmentario retinal (células fotorreceptoras) con un arreglo de electrodos usando un sistema parecido al epiretinal con la diferencia que se estimula a células bipolares con micro fotodiodos que se encargan de transformar la luz recibida en señales eléctricas sin la necesidad de una cámara [4]. Alpha IMS Wireless es una prótesis subretinal que se encuentra en ensayos clínicos y cuenta con la transmisión de datos y energía de forma inalámbrica. Los resultados que ha obtenido han sido la percepción de luz, objetos y letras. Además ha sido aprobada comercialmente en Europa [21].

1.2.1.3. Prótesis Supracoroideo

La prótesis supracoroideo tiene como principal beneficio la facilidad quirúrgica y es segura. Se realizó el primer ensayo en humanos de la prótesis supracoroideo que demostró que el arreglo de micro electrodos a pesar de estar alejados de las células ganglionares logra crear sensaciones visuales en los pacientes quienes observaron manchas de luz. Además en un año de pruebas los electrodos en los pacientes se mantuvieron en buenas condiciones [22].

1.3. Estimulación de la Retina

De esta manera desde el electrodo de estimulación, la corriente viaja a través del tejido de la retina hacia el electrodo de retorno. Esto causa la redistribución de cargas en la membrana celular de las neuronas retinales estimuladas, que provoca la activación de un potencial de acción o impulso eléctrico [4].

A través de diferentes experimentos en gatos y monos se ha demostrado que la estimulación de tejidos neuronales con corrientes monofásicas genera daños en el tejido [23]. Por esta razón la estimulación con corriente bifásica es muy usada debido a que reduce las cargas residuales

que dañan el tejido en la retina. Consiste en una corriente catódica con flujo de electrones desde la superficie del electrodo de estimulación hacia el tejido y una corriente anódica con flujo de electrones del tejido hacia el electrodo de retorno. La Figura 1.6 muestra la estimulación catódica y anódica. De esta manera la fase catódica realiza la estimulación y la fase anódica descarga el electrodo [4].

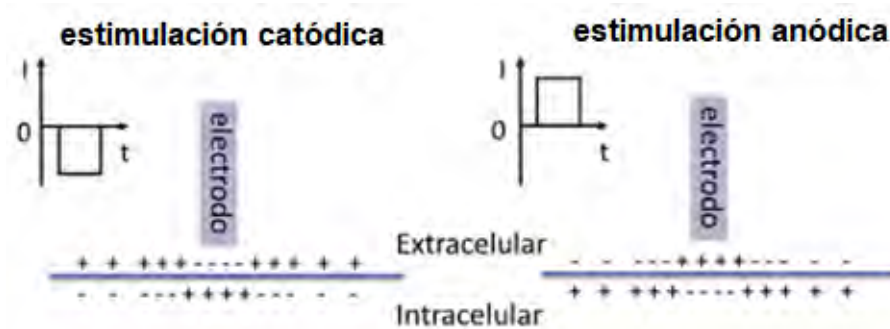


Figura 1.6: Forma Catódica y Anódica de una señal bifásica [4]

1.3.1. Alternativas de estimulación

Por otro lado existen estudios que demuestran una ventaja con diferentes características y formas de onda en el uso de pulsos bifásicos [2] [3]. La forma de onda, periodo, duración y retraso de cada fase son importantes para el correcto estímulo de las células neuronales de la retina.

La constante búsqueda de mejorar la resolución de visión de los pacientes ha permitido profundizar en la investigación de los efectos de las diferentes formas y características de onda de estimulación neuronal. Implantes epiretinales activando únicamente un micro-electrodo no han obtenido una percepción de un punto de luz fijo sino de pequeños fosfenos de luz, esto ocurre debido a la estimulación involuntaria de los axones de las células ganglionares retinales (RGC, en inglés) adyacentes a la célula estimulada que dificulta la percepción de formas [2]. En la Figura 1.7 se muestran los arreglo de electrodos de diferentes prótesis (bloques grises) y los axones de las células ganglionares (células en amarillo).

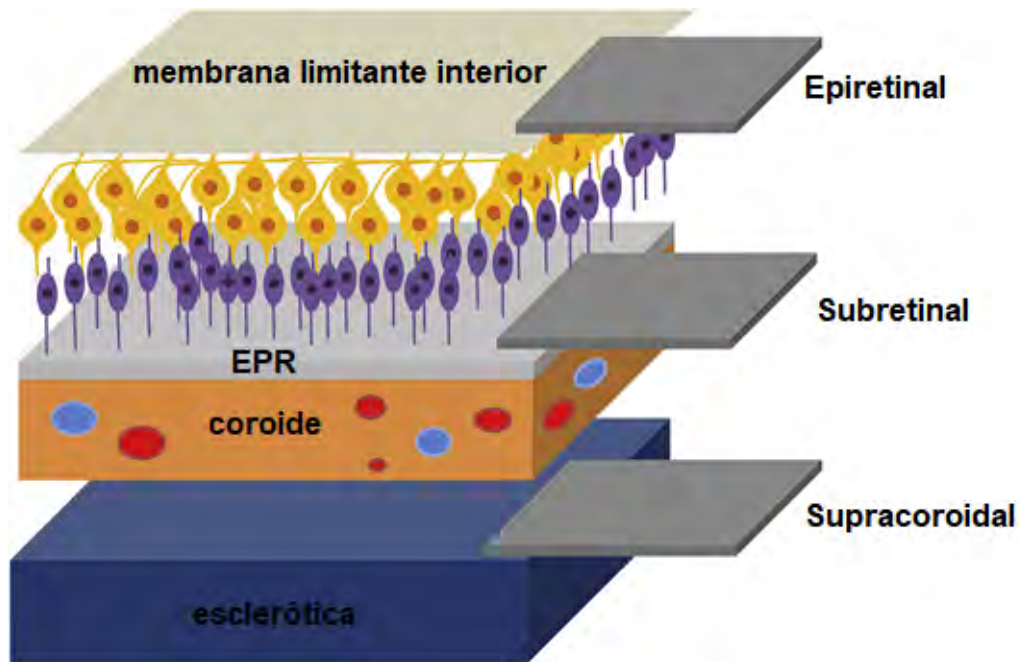


Figura 1.7: Posición de electrodos por tipo de prótesis retinal [4]

El umbral de activación de células bipolares aumenta en pacientes con RP, mientras que el umbral de células ganglionares se mantiene. Además la estimulación con pulsos largos (25ms) apunta a células bipolares y no a células fotorreceptoras, asimismo los axones de las células ganglionares no se activan involuntariamente. Por otro lado, los pulsos cortos (0.1ms) están dirigidos a células ganglionares pero activan involuntariamente a axones [2].

Históricamente para la estimulación neuronal siempre se han escogido los pulsos rectangulares, sin embargo un reciente estudio ha demostrado que las formas de onda lineal, exponencial decreciente y gaussiana también son eficientes en generar estimulación por unidad de área de electrodo [3].

1.4. Justificación

Desafortunadamente no existe tratamiento para poder combatir las enfermedades degenerativas de la retina y siempre terminan produciendo ceguera en las personas afectadas. Sin embargo, los avances en prótesis epiretinales han logrado que pacientes logren ver desde fosfenos de luz hasta detectar objetos y movimiento. Como se mencionó anteriormente, utilizando una cámara y un procesador de video se transforman las imágenes en estímulos eléctricos y se estimula directamente a las células retinales a través de un arreglo de micro-electrodos.

En la prótesis epiretinal el neuro-estimulador recibe señales directamente del controlador, el cual asignándole parámetros de onda adecuados contribuye a una correcta estimulación [3].

Debido a esto el presente estudio plantea el diseño de un controlador para un neuro-estimulador de prótesis epiretinal que sea capaz de elegir entre cuatro formas de onda de estimulación y sus diferentes parámetros. La forma de onda debe producirse a partir de una secuencia de valores.

1.5. Objetivos generales y específicos

El objetivo general es realizar el diseño de un controlador digital para un estimulador de prótesis epiretinal. Los objetivos específicos son:

1. Poder seleccionar entre cuatro formas de onda para estimular un canal independientemente, las ondas son:
 - Senoidal
 - Gaussiana
 - Triangular
 - Rectangular
2. Tener la capacidad de cambiar los siguientes parámetros de la forma de onda:
 - Periodo de estimulación
 - Amplitud
 - Tiempo de retraso entre fases
 - Tiempo de descarga
 - Fase inicial de estimulación

Capítulo 2

Controlador de Neuro-Estimuladores de Prótesis de Retina

2.1. Circuito Electrónico de Neuro - Estimuladores

En estimuladores de prótesis de retina se deben vencer obstáculos como por ejemplo lograr alta flexibilidad con poca complejidad de hardware, colocar varios electrodos en un espacio pequeño, proporcionar alto voltaje de salida debido a la alta impedancia de los electrodos y asegurar una operación segura del estimulador (sin carga residual DC). Cabe destacar que la estimulación es el proceso que consume mayor energía en las prótesis retinales [24], [25].

Inicialmente se diseñaron estimuladores de prótesis epiretinal basados en tecnología de alto voltaje que consistían en DACs, cambiadores digitales de nivel, fuentes de corriente bifásica de alto voltaje y un monitoreo del voltaje de salida [25]. Estos diseños aseguraban una estimulación de 1mA junto con un voltaje de salida $>10V$ debido a la alta impedancia en el electrodo. Por estas razones el área del circuito que se usa por canal (0.05875 mm^2) y consumo de energía son elevados. Estas características no son eficientes para el diseño de un estimulador eléctrico funcional multicanal, donde se busca reducir el área, energía necesaria e incrementar el número de canales [1].

En diseños típicos de estimuladores bifásicos la corriente catódica y la anódica son proporcionados por un nDAC (DAC de corriente NMOS) y un pDAC (DAC de corriente PMOS) respectivamente. Los ajustes entre corrientes están limitados por desajustes entre los transistores, debido a que están polarizados por diferentes corrientes. Por esta razón ahora se polarizan ambos DACs con una sola corriente [11].

Existe también un diseño para balancear y ajustar las corrientes basado en un pMOS que

almacena la corriente de estimulación de un nDAC para usarla en balancear las cargas, a pesar de alcanzar una corriente dc de error de $<6nA$, se necesitaría condensadores para almacenar el voltaje aumentando el área en el circuito y el proceso se repetiría en cada estimulación consumiendo mayor energía [26].

Los diseños de estimuladores varían de acuerdo al fabricante pero generalmente cuentan con un controlador local, una fuente de corriente y un circuito de calibración. Además los diseños actuales aumentan los números de canales para incrementar la resolución, generalmente se agrupan 4 canales por estimulador.

El controlador local se encarga de controlar las fuentes de corriente asignadas mandando los datos correspondientes de la onda de estimulación requerida.

Las fuentes de corriente son un bloque que consta generalmente de Adaptadores de Nivel, Espejos de corriente y Conversores Digital-Analógico (DAC, en inglés). Las fuentes de corriente se encargan de generar la onda de estimulación que solicita el controlador local y mandarla a través de los canales asignados. El circuito de calibración ajusta la corriente y evita cargas residuales, generalmente es controlado por el controlador local.

En la Figura 2.1 se muestra la arquitectura de una prótesis epiretinal de 1024 canales, que cuenta con estimuladores de 4 canales. Cada estimulador cuenta con 1 controlador local, 1 fuente de corriente y 1 demultiplexor (es decir, los 4 canales comparten una fuente de corriente y por ende no son independientes). En este caso la fuente de corriente cuenta con 1 adaptador de nivel, 1 espejo de corriente, 1 DAC de 4 bits de resolución y 1 etapa de salida de alto voltaje [10].

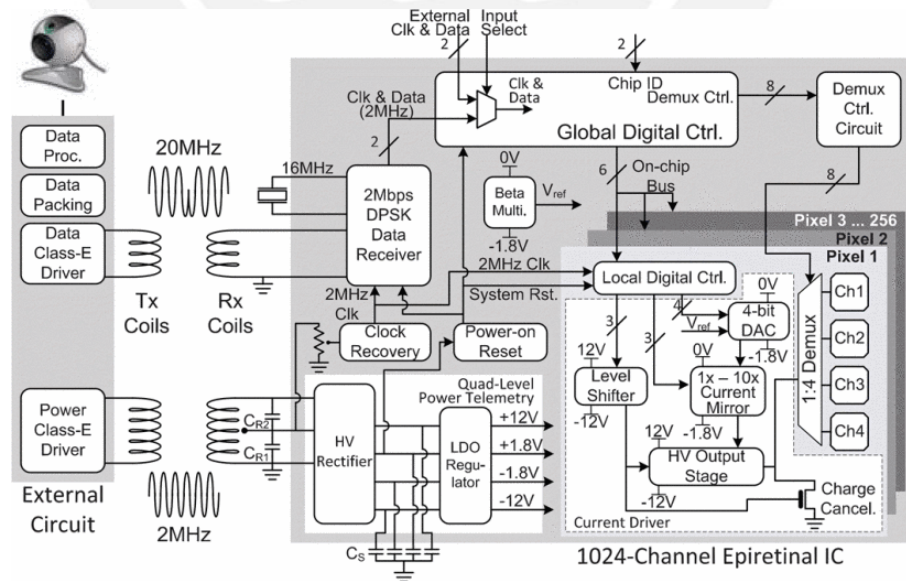


Figura 2.1: Arquitectura de Prótesis Epiretinal de 1024 canales [10]

En la Figura 2.2 se muestra el diagrama de un estimulador de 4 canales neuronal junto con

un controlador local y un circuito de calibración, este conjunto se repite 128 veces para formar la arquitectura del controlador y estimulador de la prótesis epiretinal de 512 canales. De esta manera cada controlador local se encarga de asignar señales de control y corriente a cuatro fuentes de corriente en simultáneo e independientemente, así a la salida de las fuentes conformado por DACs y espejos de corriente genera la corriente necesaria para una correcta estimulación en cada canal de la prótesis epiretinal [1].

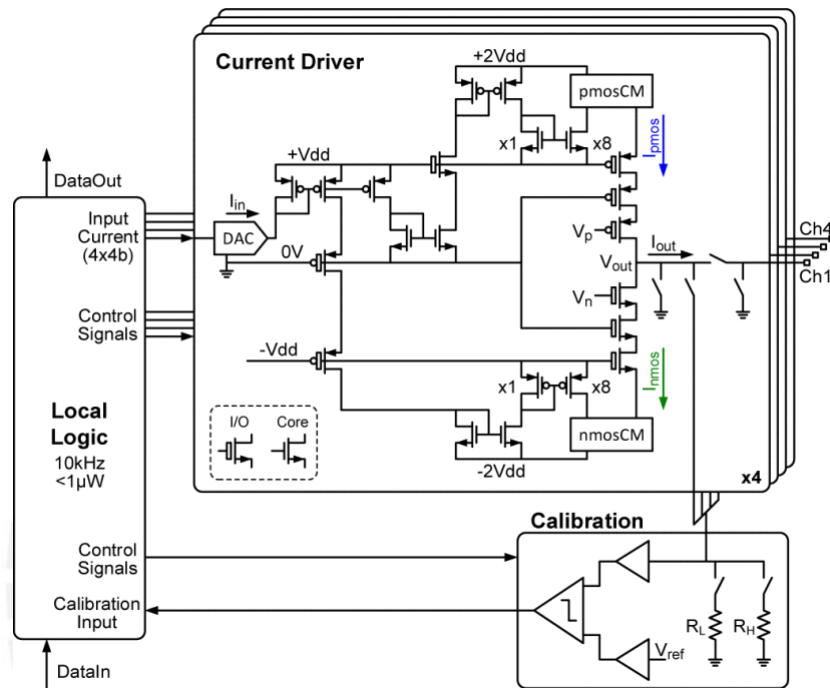


Figura 2.2: Arquitectura de Prótesis Epiretinal de 512 canales independientes [1]

2.1.1. Carga residual DC de estimulación

Es muy común que imperfecciones en la fabricación del estimulador desajusten las fases de corriente y genere carga residual DC. Un límite seguro de corriente DC residual en prótesis retinales depende del material, tamaño, forma y densidad de carga del electrodo. Una solución es añadir un condensador en serie con el electrodo para reducir la corriente residual a valores $<1\text{nA}$; sin embargo, colocar cientos de condensadores en prótesis retinales incrementaría considerablemente el área del dispositivo [1].

2.1.1.1. Balanceo de carga pasivo

También existe la técnica de balanceo de carga pasivo que consiste en cortocircuitar el electrodo de estimulación con el electrodo contrario, por ejemplo si se tiene una corriente de desbalanceo de 5A este método la reduciría a 34.74nA , a pesar de reducirse considerable este

método no puede ser controlado y la corriente residual no llega a valores $<1\text{nA}$ [1].

2.1.1.2. Balanceo de carga activo

Las técnicas de balanceo de carga activo se basan en el monitoreo del potencial del electrodo después de cada estímulo. La carga restante es cancelada a través de un pulso añadido instantáneamente o regulando el desfase a largo plazo [25].

2.2. Controladores

Los controladores son parte del diseño de los estimuladores eléctricos multicanales, ya que reducen considerablemente área del circuito. Basándose en una técnica de demultiplexación para controlar el gran número de canales de estimulación, se diseñan controladores locales que controlan a un grupo de canales y un controlador global que controla a los locales.

El diseño de los controladores locales y controlador global dependen del empaquetado de datos, generación de forma de onda y diseño en general. Por ejemplo, hay diseños donde el controlador global solo programa el tiempo de sincronización y el controlador local las amplitudes de estimulación [25]. En otros diseños el controlador global decodifica la información y manda los datos de la onda de estimulación a los controladores locales para que la procesen y estimulen los canales [11].

2.2.1. Controlador para prótesis epiretinal intraocular de alta densidad auto balanceada

El siguiente diseño logra con tecnología 65nm CMOS que el circuito tenga un área de $4.5 \times 3.1 \text{ mm}^2$, 0.0169 mm^2 por pixel y 512 canales. Además es posible la generación de una forma de onda arbitraria bifásica por canal y cada estimulador de cuatro canales genera en promedio $\mu = 1.12 \text{ A}$ con una desviación estándar de $\sigma = 0.53\mu\text{A}$. La arquitectura del sistema mostrada en la Figura 2.3 consiste en dos bobinas intraoculares, el circuito integrado de tecnología 65nm, un arreglo de electrodos y el sustrato de parileno flexible. En el circuito integrado se encuentran los bloques de telemetría de datos y energía, un arreglo de estimuladores y un controlador global [1].

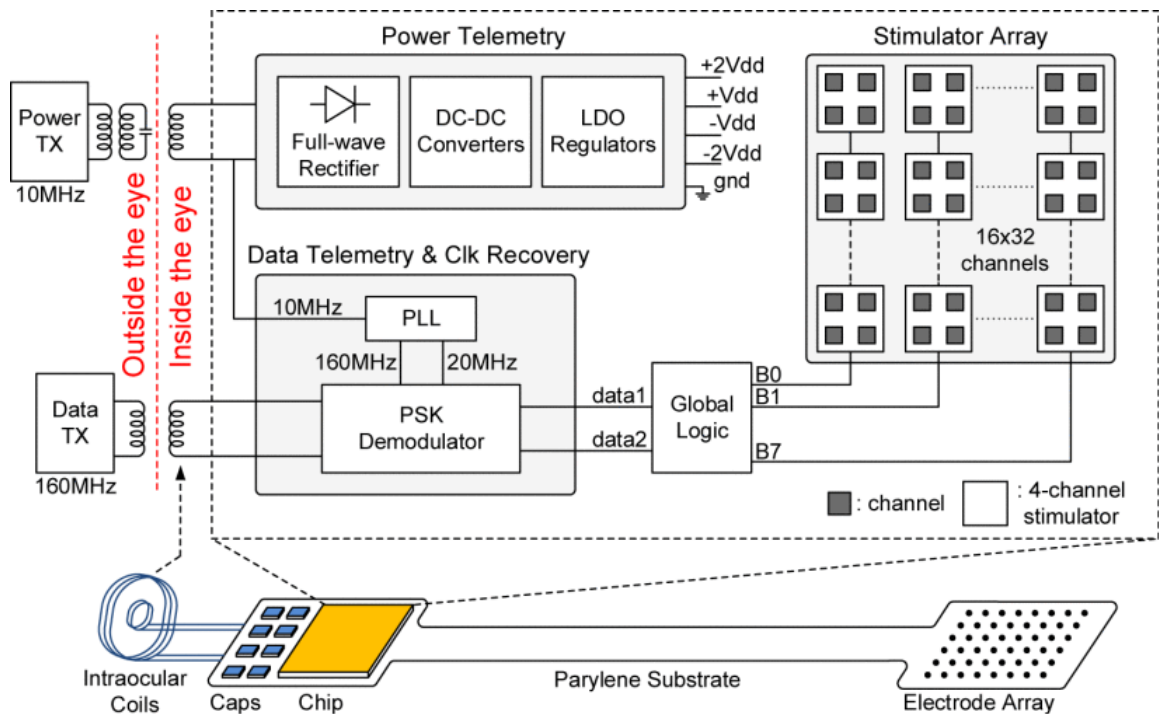


Figura 2.3: Arquitectura del sistema [1]

El controlador global se encarga de recibir los datos demodulados, procesarlos y demultiplexarlos en 8 flujos de bits a 20MHz cada uno. Son 8 bloques de estimuladores conectados a 8 flujos de bits del controlador global. Debido a que los estimuladores en cada bloque están conectados en cadena recibirán el flujo de bits del controlador global. Por lo tanto si cada canal requiere de 4 bits, en cada bloque se necesitará 256 bits y en cada columna 128 bits para los estimuladores.

El arreglo de estimuladores cuenta con 512 canales distribuidos en 8 bloques, donde cada bloque cuenta con 16 estimuladores de 4 canales. El sistema de control se basa en un único controlador global y 128 controladores locales, siendo un controlador local para cada estimulador de 4 canales (Figura 2.4).

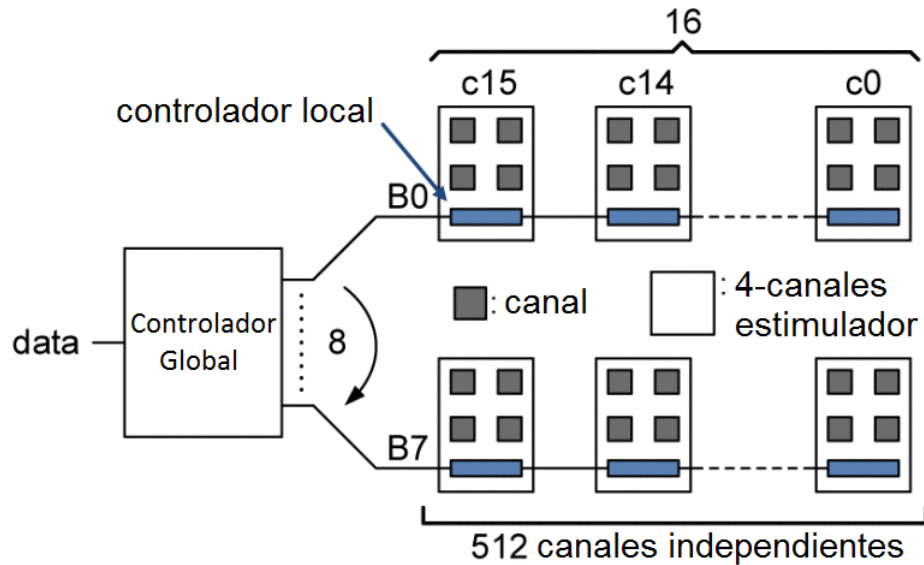


Figura 2.4: Esquema del controlador global y arreglo de estimuladores [1]

El paquete de datos de 128 bits para cada columna será extraído por el controlador local y se asignarán los bits correspondientes al bloque, como se observa en la Figura 2.5.

$D_x = 128b$ para cada columna de estimuladores c_x ($4 \cdot 8$ ch), $x \in \{0, 15\}$

Data = $\langle D_0 \rangle \langle CRC8 \rangle \langle D_1 \rangle \langle CRC8 \rangle \dots \langle D_{15} \rangle \langle CRC8 \rangle$

Paquete por frame = $\langle \text{Cabecera} \rangle \langle \text{Data} \rangle$

Figura 2.5: Protocolo de comunicación para transmisión de datos [1]

El controlador local compara el voltaje de salida y un voltaje de referencia para calibrar la corriente de estimulación ajustando los DACs. Además controla las 4 fuentes de corriente de estimulación usando el flujo de datos que manda el controlador global, como se observa en la Figura 2.2, funciona a 10 kHz, consume $<1\mu W$ e implementa 6 máquinas de estado. De las cuales 4 son idénticas y se encargan de controlar las fuentes de corriente, 1 controla la calibración y la última la operación general del controlador local.

Cada fuente de corriente es capaz de generar una forma de onda arbitraria de estimulación con 4 bits de resolución que definen la amplitud cada $109.2\mu s$, fase anódica inicial y cada fase separada por un conjunto de 0's (Figura 2.6).

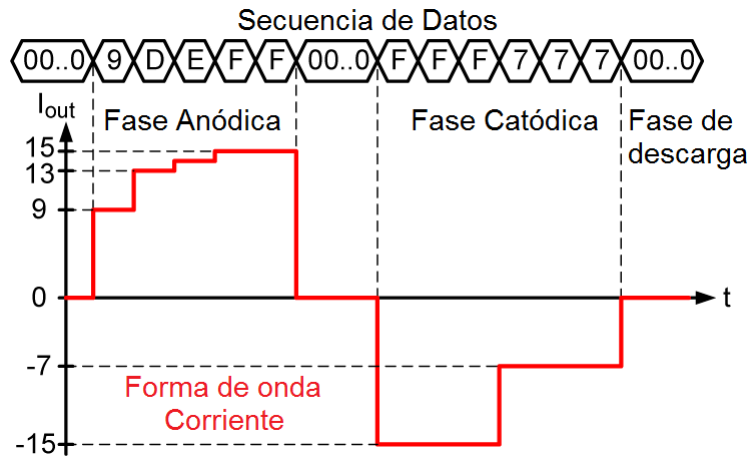


Figura 2.6: Generación de forma de onda arbitraria [1]

2.2.2. Controlador para prótesis epiretinal de un sistema en chip de alto voltaje compliance

El área del chip es de 37.6 mm^2 , cuenta con 1024 canales de estimulación distribuidos en 256 pixeles con 4 canales cada uno. La información es demodulada por el bloque DPSK y enviada al controlador global.

En este diseño cada pixel cuenta con 4 canales, 1 controlador local, 1 demultiplexor y 1 fuente de corriente de estimulación. El demultiplexor se encarga de cambiar el canal que recibe la onda de estimulación de cada pixel. Cada fuente de corriente cuenta con un adaptador de nivel, una etapa de alto voltaje de salida, un espejo de corriente y un DAC de 4 bits de resolución, como se muestra en la Figura 2.1.

El controlador global se encarga del cambio en el demultiplexor en todos los pixeles y de controlar cada pixel mandando una señal a cada controlador local para la generación de una onda de estimulación bifásica visualizada en la Figura 2.7. De esta manera el controlador local controla el adaptador de nivel, espejo de corriente y el DAC para ajustar una corriente de estimulación que ingresa al demultiplexor [10].

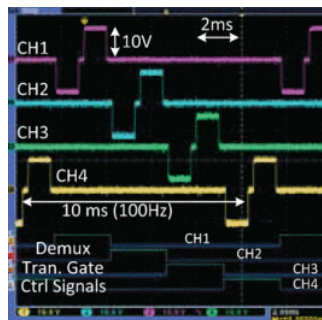


Figura 2.7: Prueba de demultiplexor y fuente de corriente [10]

2.3. Comparación de diseños de prótesis epiretinales

En la Tabla 2.1 se comparan las características de los diseños de prótesis epiretinales.

Tabla 2.1: Comparación de Diseños de Prótesis Epiretinales

Prótesis Epiretinal	ITBCS13 [1]	ISSCC13 [10]
Tecnología	65 nm 1.2V/2.5V	0.18 μm
Velocidad de datos	Hasta 20 Mbps	2Mbps
Número de Canales	512	1024
Canales compartidos	4 canales independientes, comparten controlador local y circuito de calibración	4 canales no independientes y comparten fuente de corriente
Area Total	4.5 x 3.1 mm ²	5.7 x 6.6 mm ²
Forma de onda de estimulación	Generación de forma de ondas arbitraria	Generación de pulsos bifásicos
Tamaño Pixel	0.0169 mm ²	0.0255 mm ²
Controlador Global	1	1
Controlador local	128	256
Area Estimulador	260 x 260 μm^2	75 x 75 μm^2
Maquinas de Estado en Controlador Local	6	4

Debido a las características y mejoras que tienen las diferentes ondas de estimulación es preferible poder diseñar un controlador flexible que pueda escoger las diferentes ondas de estimulación arbitrariamente y que cuente con canales independientes. Por esta razón se elegirá realizar el diseño del controlador basado en el diseño ITBCS13 [1].

Capítulo 3

Diseño del Controlador de un Neuro-Estimulador de Prótesis Epiretinal

3.1. Requerimientos y consideraciones

Para el diseño se empleará un FPGA de la familia Cyclone II EP2C35F672C6N de tecnología TSMC de 90nm, la cual valida una futura implementación en ASIC por ser la misma tecnología¹. Asimismo el diseño, mostrado en la Figura 3.1, ha considerado un controlador global encargado de enviar las señales de entrada al controlador diseñado, el cual asignará valores de amplitud y forma de onda generada para cada uno de los cuatro canales del estimulador independientemente [1], [10]. Además accederá a la secuencia de valores de las cuatro formas de onda a través de la memoria. En las Tablas 3.1 y 3.2 se presenta la información de las entradas y salidas del controlador respectivamente.

¹El Laboratorio de Microelectrónica de la SEE-PUCP cuenta desde inicio de Junio de 2017 con la tecnología de 90nm de TSMC para soluciones ASIC

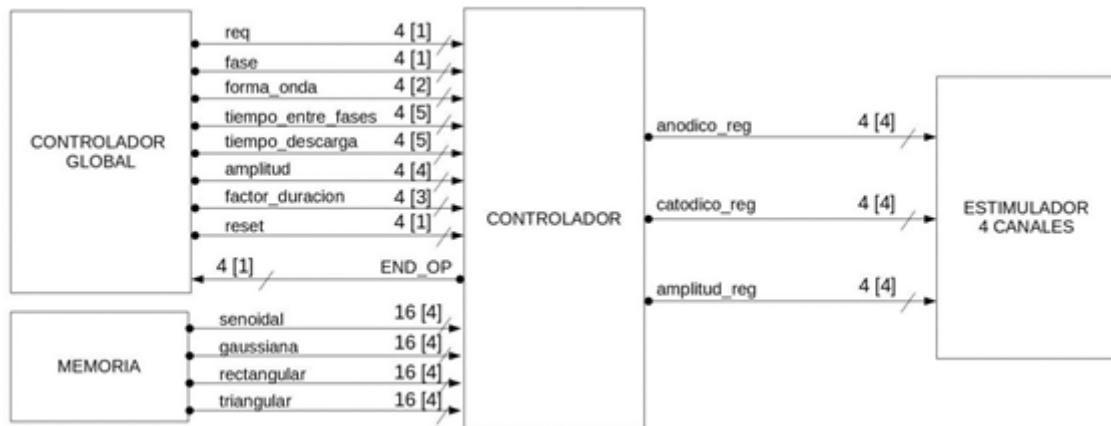


Figura 3.1: Interacción entre Controlador Global, Memoria, Controlador y Estimulador

Tabla 3.1: Entradas al controlador

ENTRADAS	(# filas)[#bits]
Req	4[1]
Fase	4[1]
forma_onda	4[2]
tiempo_entre_fases	4[5]
tiempo_descarga	4[5]
Amplitud	4[4]
factor_duración	4[3]
Reset	4[1]
Senoidal	16[4]
Gaussiana	16[4]
Rectangular	16[4]
Triangular	16[4]

Tabla 3.2: Salidas del controlador

SALIDAS	(# filas)[#bits]
anodico_reg	4[4]
catodico_reg	4[4]
amplitud_reg	4[4]
END_OP	4[1]

Al emplear los criterios, explicados en el capítulo 2, sobre las diferentes formas de onda de estimulación, variación de periodo de estimulación, descarga de cargas residuales y estimulación con pulsos bifásicos se plantean los siguientes requerimientos del controlador [4, 23, 2, 3]:

1. Generar formas de ondas iguales y/o diferentes en cuatro salidas (salidas independientes).

2. Las formas de onda son las siguientes:

- Sinusoidal
- Gaussiana
- Triangular
- Rectangular

3. Los valores de los parámetros de las ondas generadas pueden ser modificadas, ver Figura 3.2 y Tabla 3.3 :

- Tiempo de pulso anódico y catódico
- Tiempo entre fases
- Tiempo de descarga
- Amplitud anódica y catódica
- Periodo Total de Estimulación

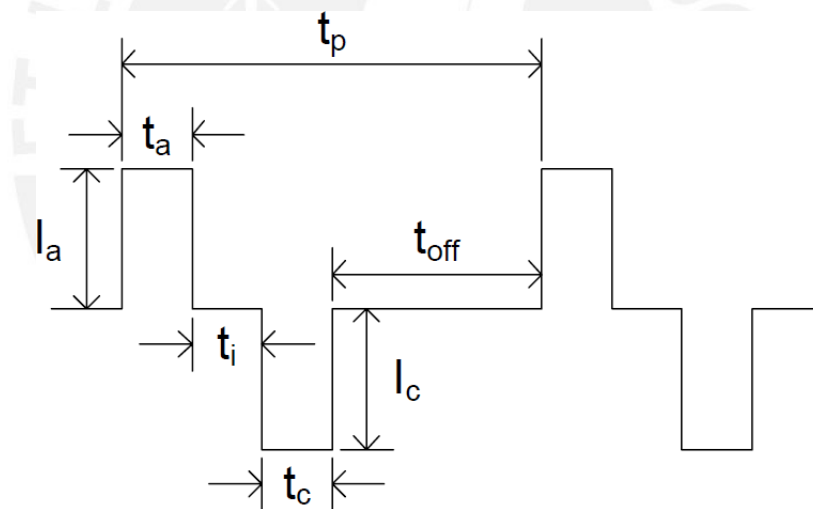


Figura 3.2: Forma de onda de corriente de estimulación [11]

Tabla 3.3: Parámetros de las ondas generadas

SIMBOLO	PARAMETRO
I_a	Amplitud de la fase anódica
I_c	Amplitud de la fase catódica
t_a	Duración del pulso anódico
t_i	Duración del retraso entre fases
t_c	Duración del pulso catódico
t_{off}	Duración de la fase de descarga
t_p	Periodo total

3.2. Funcionamiento

El controlador digital genera diferentes formas de onda en los cuatro canales empleando una señal de clock con resolución inicial de $50 \mu\text{s}$. Las ocho señales de entrada enviadas por el *controlador global*, mostrado en la Figura 3.1, contienen los datos que estimulan los canales por separado, por esta razón estas señales son distribuidas entre los cuatro bloques *canal* dentro del controlador. Asimismo las secuencias de bits de memoria con información de formas de onda (senoidal, gaussiana, rectangular y triangular) son asignadas a los cuatro bloques *canal*. Los bloques *DAC_anodico* y *DAC_catodico* visualizados en la Figura 3.3 forman parte del bloque *Estimulador 4 canales* mostrado en la Figura 3.1. En general la Figura 3.3 muestra la distribución de señales de entrada y de salida del bloque *controlador* de la Figura 3.1.

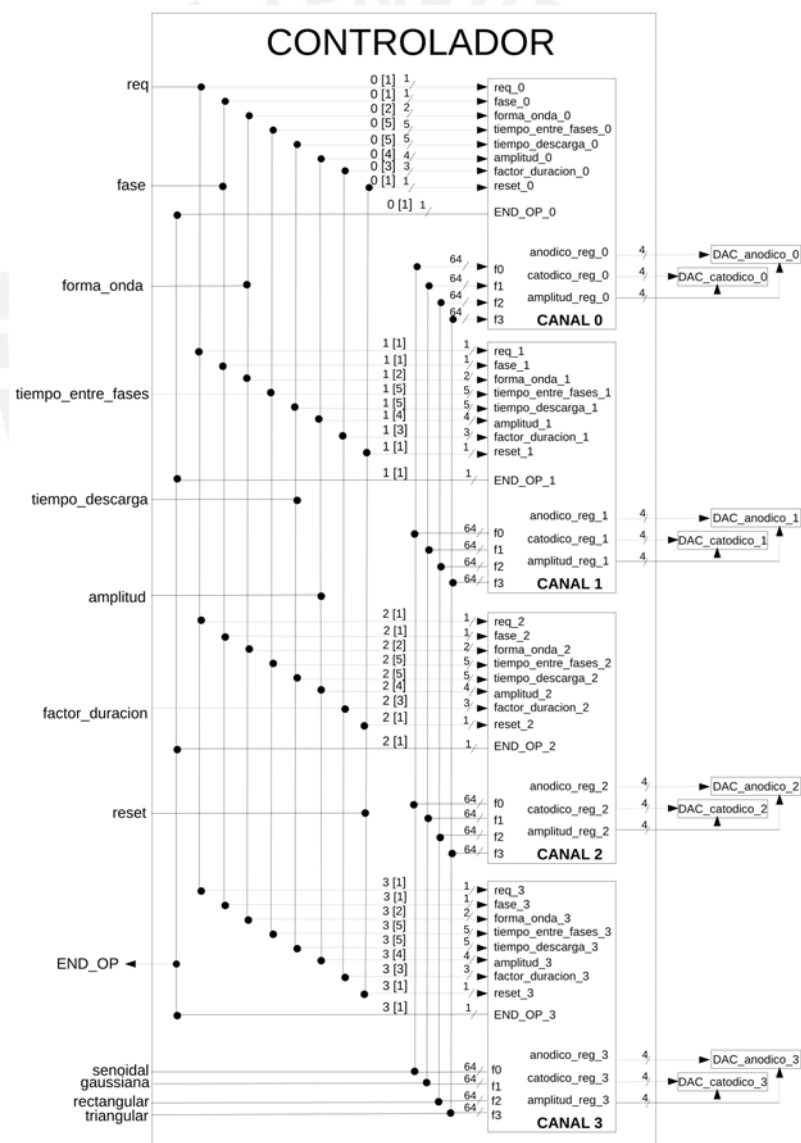


Figura 3.3: Entradas y salidas de los cuatro bloques canal dentro del controlador

3.3. Descripción de entradas

Los canales presentan un funcionamiento independiente uno del otro, por lo tanto son asignados diferentes valores de entradas para cada canal los cuales solo comparten el acceso a la memoria, mostrado en la Figura 3.3.

El controlador como un solo bloque, sin contar las señales de memoria, tendrá 88 bits de entrada repartidos en 4 sub-bloques *canal_n* donde $n = \{0, 1, 2, 3\}$, cada canal recibirá 22 bits repartidos entre las siguientes señales de entrada:

1. *req_n* (1 bit)

La entrada *req_n* al recibir un bit en '1' inicia la generación de onda con los parámetros seleccionados (forma de onda, tiempo entre fases, fase inicial, tiempo de descarga, amplitud y periodo) mostrada en la Tabla 3.4.

Tabla 3.4: Funciones de la entrada *req_n*

req_n	Generación de una onda de estimulación
0	No genera onda de estimulación
1	Sí genera una onda de estimulación

2. *fase_n* (1 bit)

Se encarga de seleccionar la fase inicial de la onda de estimulación, las dos opciones son fase anódica o catódica mostradas en la Tabla 3.5.

Tabla 3.5: Funciones de la entrada *fase_n*

fase_n	Fase inicial de onda de estimulación
0	Fase anódica
1	Fase catódica

3. *forma_onda_n* (2 bits)

La señal de entrada *forma_onda_n*, explicada en la Tabla 3.6, tiene la función de seleccionar la forma de la onda de estimulación entre cuatro opciones: senoidal, gaussiana, rectangular y triangular.

Tabla 3.6: Funciones de la entrada *forma_onda_n*

forma_onda_n	Selección de forma de onda
00	Onda senoidal
01	Onda gaussiana
10	Onda rectangular
11	Onda triangular

4. *tiempo_entre_fases_n* (5 bits)

Esta señal de entrada puede seleccionar el número de ciclos de reloj que se desea emplear como tiempo entre fases anódica y catódica, mostrada en la Tabla 3.7 .

Tabla 3.7: Funciones de entrada *tiempo_entre_fases_n*

tiempo_entre_fases_n	Duración de tiempo entre fases (# ciclos de reloj)
00000	1
00001	2
00010	3
...	...
...	...
11101	30
11110	31
11111	32

5. *tiempo_descarga_n* (5 bits)

A través de esta señal de entrada se puede seleccionar el número de ciclos de reloj que se desea emplear como tiempo de descarga al finalizar la onda, se visualiza en la Tabla 3.8 .

Tabla 3.8: Funciones de entrada *tiempo_descarga_n*

tiempo_descarga_n	Duración de tiempo de descarga (# ciclos de reloj)
00000	1
00001	2
00010	3
...	...
...	...
11101	30
11110	31
11111	32

6. *amplitud_n* (4 bits)

La entrada *amplitud_n* se encarga de establecer las amplitudes de la onda seleccionada en

los DACs del bloque de estimulador, se observa en la Tabla 3.9.

Tabla 3.9: Funciones de entrada *amplitud_n*

amplitud_n	Amplitud de la onda de estimulación
0000	1
0001	2
0010	3
...	...
...	...
1101	14
1110	15
1111	16

7. *factor_duracion_n* (3 bits)

Se encarga de seleccionar el tiempo que durará un ciclo de reloj de la onda en función de la resolución temporal de $50 \mu\text{s}$ (duración de un ciclo de reloj por defecto) los valores se visualizan en Tabla 3.10.

Tabla 3.10: Funciones de entrada *factor_duracion_n*

factor_duracion_n	Duración de un ciclo de reloj (μs)
000	50
001	100
010	200
011	400
100	500
101	600
110	600
111	600

8. *reset_n* (1 bit)

La señal *reset_n* se encarga de reiniciar las funciones del controlador, su funcionamiento se muestra en la Tabla 3.11.

Tabla 3.11: Funciones de entrada *reset_n*

reset_n	Reinicio de operaciones del controlador
0	Si
1	No

3.4. Memoria

Las secuencias de bits que generan las formas de onda están almacenadas en el bloque *memoria* visualizado en la Figura 3.1. Estas señales están conformadas por 16 secuencias de 4 bits, las cuales son utilizadas dos veces por el controlador para generar las fases anódica y catódica respectivamente de las ondas de corriente de estimulación como la mostrada en la Figura 3.2.

1. Senoidal

La secuencia de bits, visualizada en la Tabla 3.12, contiene información de media onda senoidal. La cual ingresa al controlador a través de la señal de entrada $f0$, mostrada en la Figura 3.3 y genera la gráfica de la Figura 3.4:

Tabla 3.12: Secuencia de valores que generan la onda senoidal

#Fila	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Valor	0000	0011	0110	1001	1011	1101	1110	1111	1111	1110	1101	1011	1001	0110	0011	0000

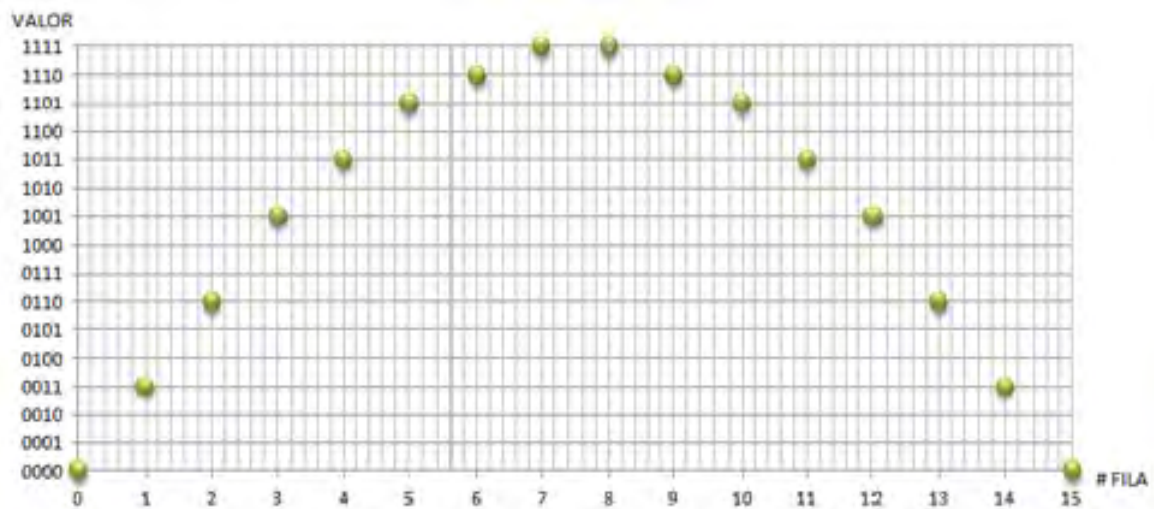


Figura 3.4: Gráfico de media onda senoidal

2. Gaussiana

La información de la onda gaussiana visualizada en la Tabla 3.13 es transmitida al controlador a través de la señal $f1$ mostrado en la Figura 3.3 que genera el gráfico correspondiente presentado en la Figura 3.5 :

Tabla 3.13: Secuencia de valores que generan la onda gaussiana

#Fila	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Valor	0000	0000	0000	0001	0010	0110	1010	1111	1111	1010	0110	0010	0001	0000	0000	0000

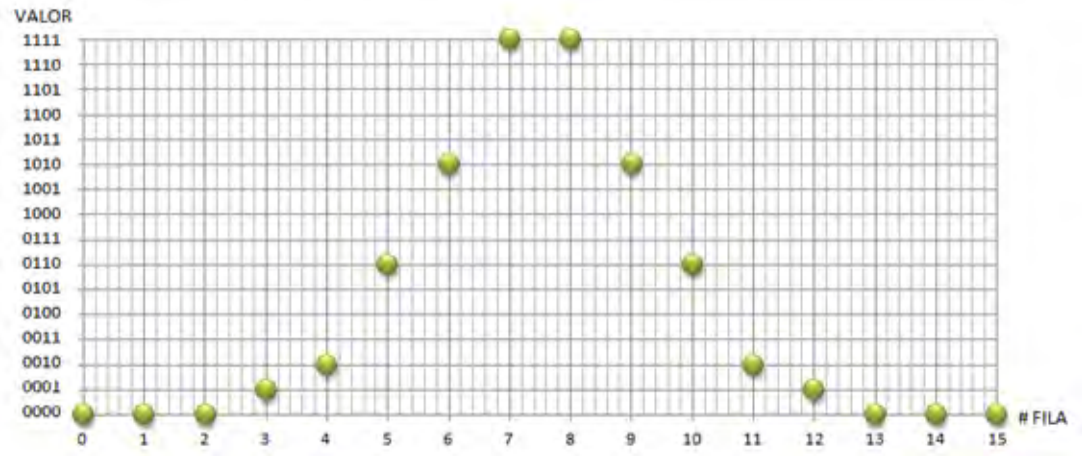


Figura 3.5: Gráfico de la onda gaussiana

3. Rectangular

La forma de onda rectangular está almacenada en memoria con una secuencia de bits que ingresa al controlador a través de la señal f_2 , mostrada en la Figura 3.3, con los valores ilustrados en la Tabla 3.14 y que genera el gráfico de la Figura 3.6.

Tabla 3.14: Secuencia de valores que generan la onda rectangular

#Fila	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Valor	1111	1111	1111	1111	1111	1111	1111	1111	1111	1111	1111	1111	1111	1111	1111	1111

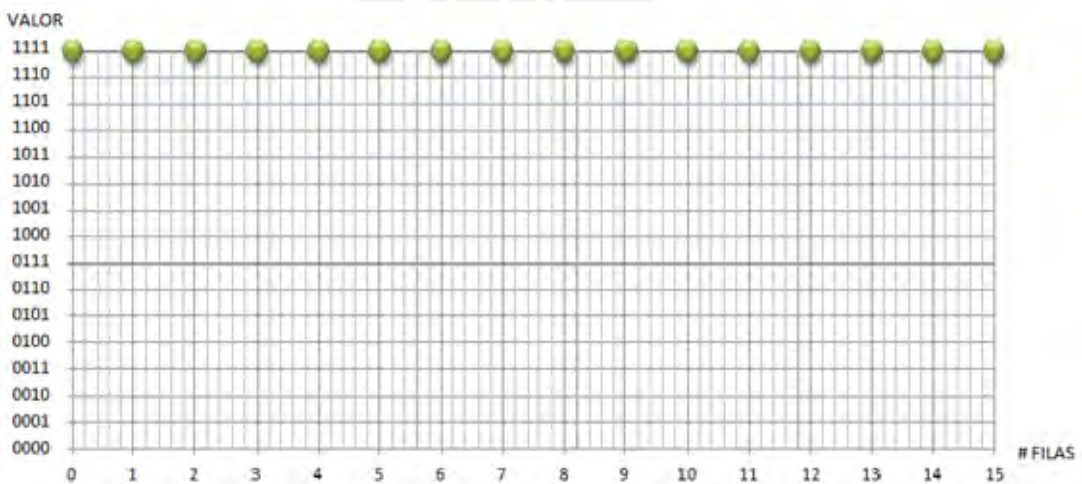


Figura 3.6: Gráfico de la onda rectangular

4. Triangular

La información de la onda triangular mostrada en la Tabla 3.15 se asigna a la señal f_3 como se muestra en la Figura 3.3 y genera el gráfico de la Figura 3.7 :

Tabla 3.15: Secuencia de valores que generan la onda triangular

#Fila	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Valor	0000	0010	0100	0110	1000	1010	1100	1110	1100	1010	1000	0110	0100	0010	0000	0000

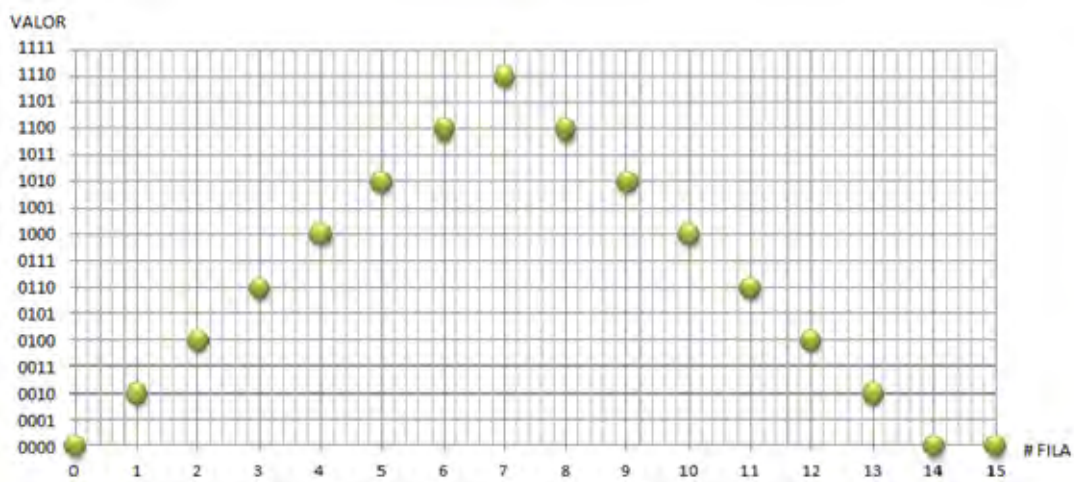


Figura 3.7: Gráfico de la onda triangular

3.5. Descripción de salidas

El bloque *estimulación de cuatro canales*, visualizado en la Figura 3.1, tendrá como entradas a las salidas del controlador mostrado en la Figura 3.3. Sin contar la salida END_OP_n que interactúa con el *controlador global*, tendrá 48 bits de salida generados por los 4 bloques $canal_n$ donde $n = \{0, 1, 2, 3\}$, cada canal transmitirá 12 bits distribuidos entre las siguientes señales de salida:

1. *anodico_reg_n* (4 bits)

Se encarga de generar la forma de onda anódica a través de 16 secuencias de 4 bits cada una, esta salida va como entrada a un $DAC_anodico_n$ del bloque *estimulador 4 canales* mostrados en las Figuras 3.1 y 3.3.

2. *catodico_reg_n* (4 bits)

Genera la forma de onda catódica a través de 16 secuencias de 4 bits cada una, esta salida va como entrada a un $DAC_catodico_n$ del bloque *estimulador 4 canales* visualizados en las Figuras 3.1 y 3.3.

3. *amplitud_reg_n* (4 bits)

La salida *amplitud_reg_n* como se observa en la Tabla 3.16, se encarga de establecer las amplitudes de la onda seleccionada en los DACs del bloque *estimulador 4 canales* mostrado en la Figura 3.1.

Tabla 3.16: Valores que generan la salida *amplitud_reg_n*

amplitud_reg_n	Amplitud de la onda de estimulación
0000	1
0001	2
0010	3
...	...
...	...
1101	14
1110	15
1111	16

4. *END_OP_n* (1 bit)

Esta señal cambia a alta '1' cuando finaliza la estimulación en el canal *n*. La señal va hacia el *controlador global* mostrado en la Figura 3.1. Las funciones de *END_OP_n* se observan en la Tabla 3.17.

Tabla 3.17: Función que genera la salida *END_OP_n*

END_OP_n	Estimulación Finalizada
0	No
1	Si

3.6. Bloques funcionales internos

El diseño dentro de los cuatro bloques *canal n* son idénticos, con los mismos tipos de entradas y salidas, mostradas en la Figura 3.3. La distribución de bloques digitales dentro de un bloque *canal n* es visualizado en la Figura 3.13 y cuantificada en la Tabla 3.18.

Tabla 3.18: Cantidad de bloques digitales en un controlador

Bloques Digitales	Cantidad
FSM (Máquina de Estados)	1
Contador Especial	2
Adaptador Pulso	3
Multiplexor	7
Registro Tipo D	8
Contador Módulo 16	1
Comparador Igualdad	1
Demultiplexor	1

3.6.1. Máquina de estados (FSM)

El tipo de máquina de estados escogido es de Moore porque genera una salida basándose solo en sus estados actuales volviéndola más estable en comparación con la de Mealy que se basa en sus estados actuales y entradas produciendo inestabilidad ante una falla en la entrada. La máquina de estado Moore del *controlador* es mostrada en la Figura 3.8 y en la Tabla 3.19 se observan las descripciones de sus 5 estados:

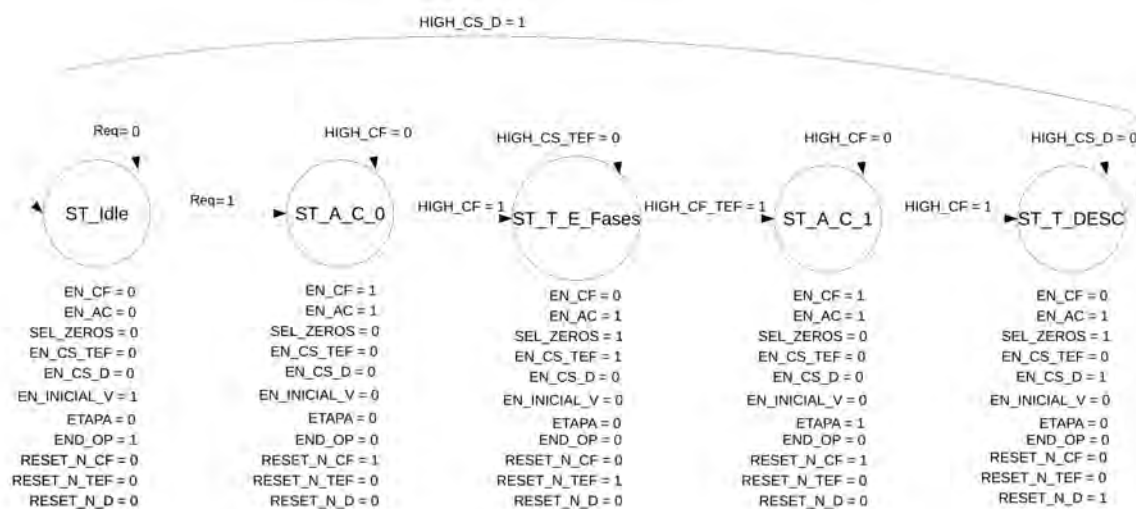


Figura 3.8: Descripción de máquina de estados

Tabla 3.19: Descripción de estados

Estado	Descripción
ST_Idle	Espera de solicitud de operación
ST_A_C_0	Transmisión de la primera fase elegida de estimulación (anódica o catódica)
ST_T_E_Fases	Finaliza la primera fase de estimulación e inicia el tiempo de retraso hasta el inicio de la siguiente fase
ST_A_C_1	Finaliza el tiempo de retraso e inicia la segunda fase correspondiente (anódica o catódica)
ST_T_DESC	Finaliza la segunda fase y comienza el tiempo de descarga para luego terminar con la estimulación

Los estados visualizados en la Figura 3.8 cuentan con 4 señales de entrada de 1 bit que permiten la transición entre estados, representados en la Tabla 3.20 y mostrados en color rojo en la Figura 3.13 a excepción de *Req*.

Tabla 3.20: Descripción de Señales de Entrada de Estados

Señales de Entrada	Descripción
Req	Habilita el bloque Máquina de Estados (FSM)
HIGH_CF	Finaliza la generación de una fase de la onda (catódica o anódica)
HIGH_CS_TEF	Finaliza el tiempo de retraso entre fases de la onda
HIGH_CS_D	Finaliza el tiempo de descarga de la onda

Asimismo la máquina de estado generará 11 señales de salida de 1 bit descritas en la Tabla 3.21, las cuales se pueden observar de color azul en la Figura 3.13 a excepción de *END_OP*.

Tabla 3.21: Descripción de Señales de Salida de Estados

Señales de Salida	Descripción
EN_CF	Transmisión de las secuencias de bits con información de las formas de onda
EN_AC	Registro de las señales anódica y catódica
SEL_ZEROS	Transmisión de una secuencia de ceros "0000"
EN_CS_TEF	Habilita el tiempo de retraso entre fases
EN_CS_D	Activa el tiempo de descarga al finalizar la segunda fase
EN_INICIAL_V	Habilita todos los registros de las entradas para iniciar la estimulación
ETAPA	Se encarga de cambiar la fase de la onda de estimulación
END_OP	Se activa cuando finaliza un periodo total de estimulación
RESET_N_CF	Se encarga de reiniciar los bloques encargados de generar las fases anódica y catódica cuando finaliza una de las fases, se activa en baja
RESET_N_TEF	Reinicia los bloques que generan el tiempo de retraso entre fases cuando no están activos, se activa en baja
RESET_N_D	Cuando no están empleándose los bloques que generan el tiempo de descarga al finalizar la segunda fase, se activa en baja

3.6.2. Contador Especial

Se diseñó un bloque llamado *Contador_especial* que realiza una cuenta desde "00000" hasta el valor ingresado a la entrada *TIEMPO*, las señales se describen en la Tabla 3.22 y se muestran en la Figura 3.9. Los detalles internos del *contador_especial* se visualizan en la Figura 3.10 el cual esta compuesto por un multiplexor 2 a 1, flip flop D, sumador y comparador. El *contador_especial* trabaja con las entradas al controlador *tiempo_entre_fases* y *tiempo_descarga* como se puede observar en la Figura 3.13, siendo dos bloques *contador_especial* por canal *n*.

Tabla 3.22: Descripción de las señales del *contador_especial*

Señales	Descripción
CLK	Clock asignado
RESET_N	Se reinicia el funcionamiento en baja '0'
EN_CS	Habilita el funcionamiento en alta '1'
TIEMPO	Valor asignado que finaliza la cuenta iniciada en "00000"
HIGH_CS	Se pone en alta '1' cuando finaliza la cuenta

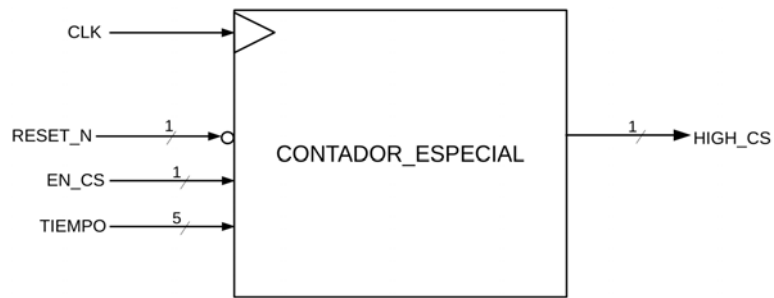


Figura 3.9: Entradas y salidas del bloque *contador_especial*

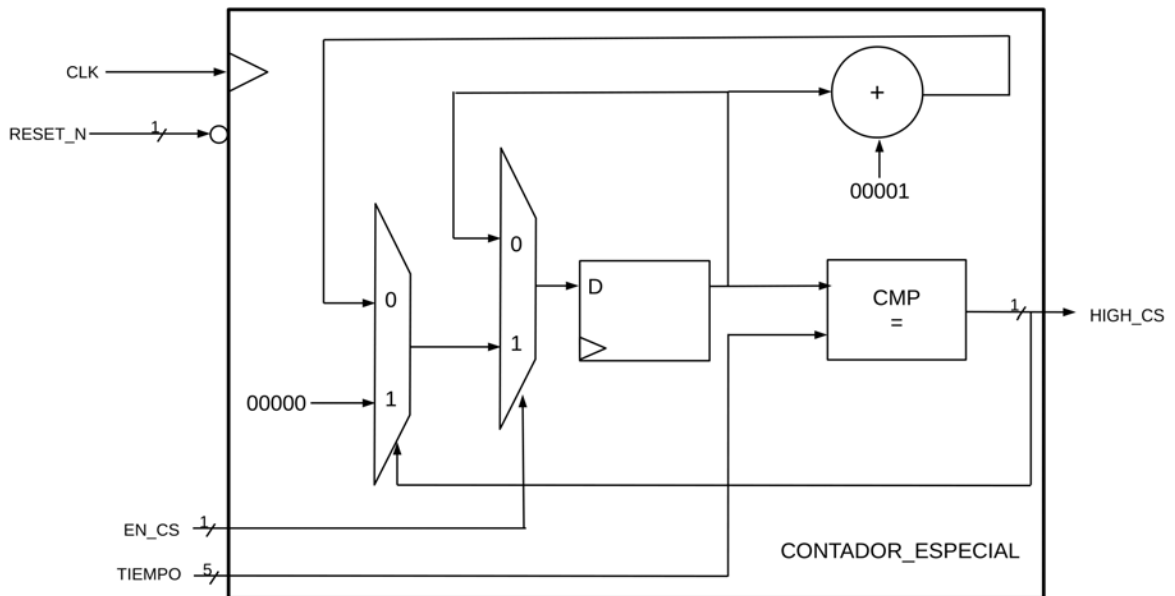


Figura 3.10: Diseño de Contador Especial

3.6.3. Adaptador de pulso

El diseño del bloque *adaptador_pulso* mostrado en la Figura 3.11 tiene como entrada a la señal *factor_duracion_reg* y como salida la señal *enable_out* que funciona de seis formas descritas en la Tabla 3.23. Las señales de entrada restantes se describen en la Tabla 3.24 y el funcionamiento interno del circuito se visualiza en la Figura 3.12 que consiste en multiplexores 2 a 1, un multiplexor 8 a 1, sumadores, flip flops D, comparadores y una función booleana AND. El *adaptador_pulso* trabaja directamente con la entrada del controlador *factor_duracion* para mantener una misma duración trabajo en todo el circuito como se observa en la Figura 3.13. En total son 3 bloques *adaptador_pulso* que se utilizan por *canal_n*.

Tabla 3.23: Descripción de las señales *factor_duracion* y *enable_out*

Factor_duracion	Enable_out
000	Será igual a enable
001	Se pone en alta '1' cada dos ciclos de reloj
010	Se pone en alta '1' cada cuatro ciclos de reloj
011	Se pone en alta '1' cada ocho ciclos de reloj
100	Se pone en alta '1' cada diez ciclos de reloj
101	Se pone en alta '1' cada doce ciclos de reloj
110	Se pone en alta '1' cada doce ciclos de reloj
111	Se pone en alta '1' cada doce ciclos de reloj

Tabla 3.24: Descripción de las señales *ENABLE*, *RESET_N* y *CLOCK*

Señales	Descripcion
ENABLE	Habilita el funcionamiento en alta '1'
RESET_N	Se reinicia el funcionamiento en baja '0'
CLOCK	Clock asignado



Figura 3.11: Entradas y salidas del bloque *adaptador de pulso*

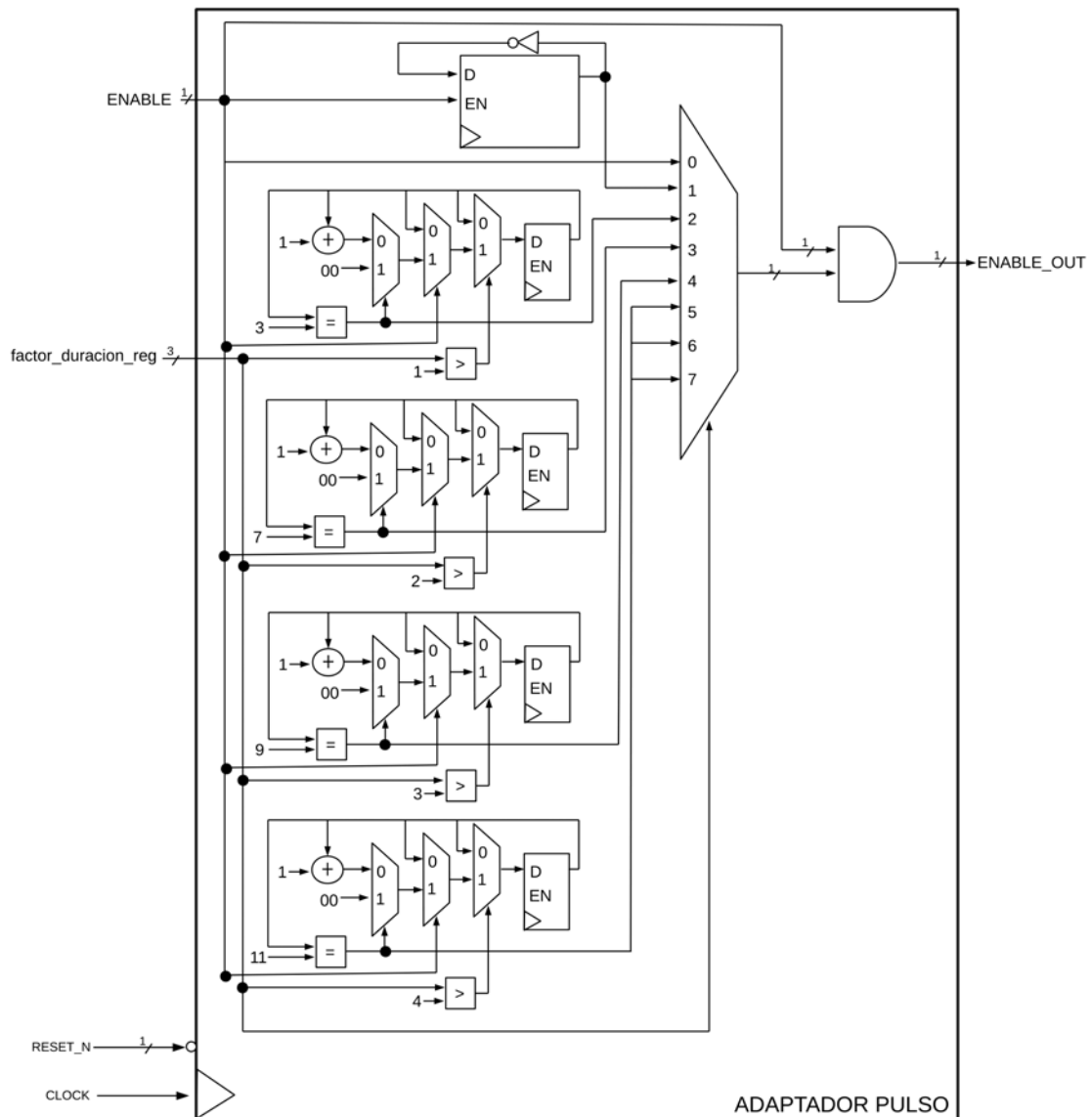


Figura 3.12: Diseño de bloque *adaptador pulso*

3.6.4. Datapath

El diseño del Datapath de un *canal_n*, ilustrado por la Figura 3.13, esta formado por las señales de entrada del controlador (Figura 3.3), las señales de la máquina de estado Moore (Figura 3.8), junto con los bloques *contador_especial* (Figura 3.9), *adaptador_pulso* (Figura 3.11), multiplexores, demultiplexores, comparadores, contadores y registros. El cual genera las salidas *anodico_reg_n*, *catodico_reg_n* y *amplitud_reg_n* para un *canal_n*. Las señales de azul son salidas de la máquina de estado (Tabla 3.21), las señales de verde son entradas al controlador (Tabla 3.1), las señales de rojo son entradas hacia la máquina de estado (Tabla 3.20) y las señales en naranja son salidas del controlador (Tabla 3.2).

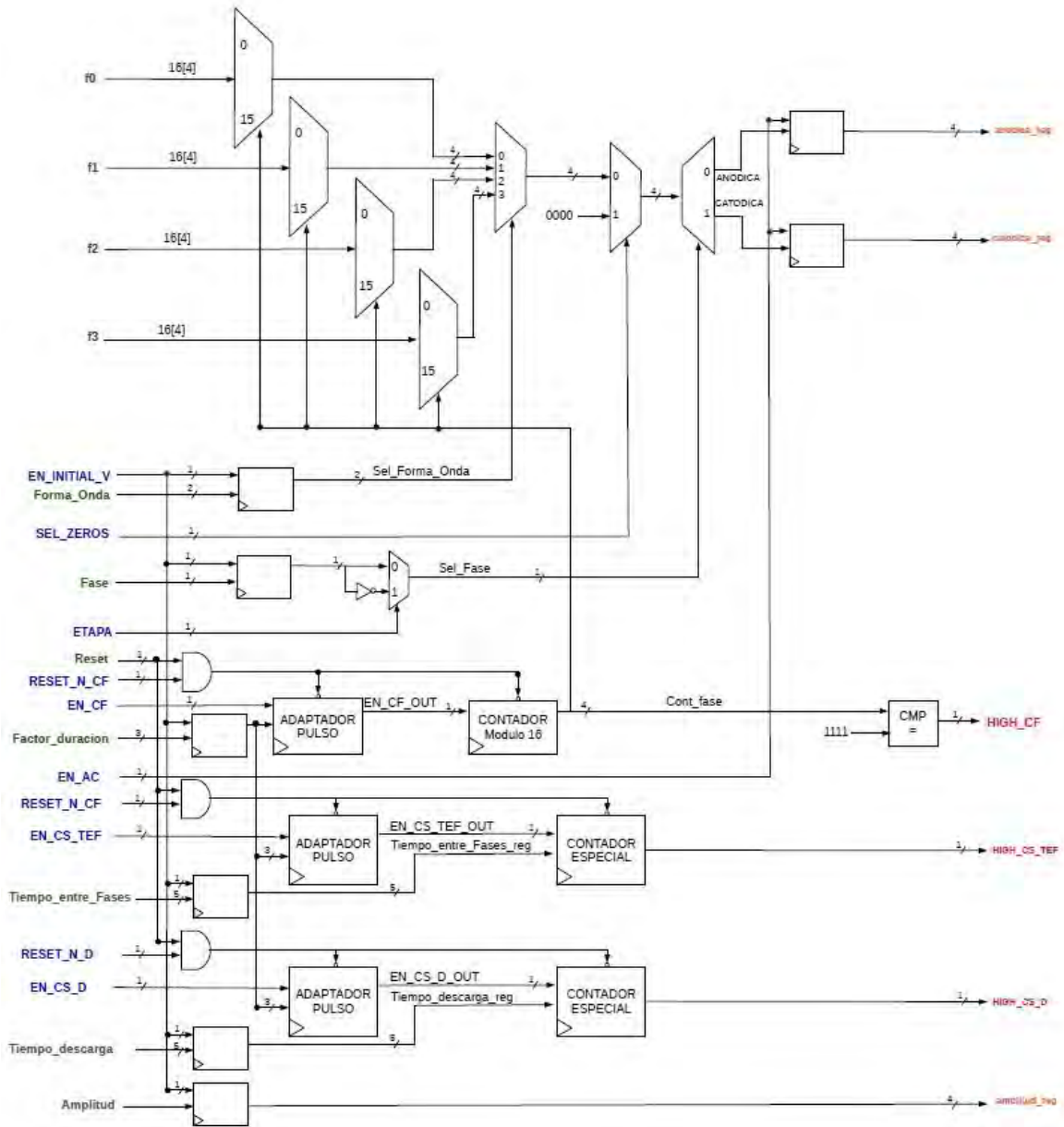


Figura 3.13: Diseño del Datapath para un bloque *canal n*

Capítulo 4

Resultados y Simulaciones

4.1. Codificación del diseño y análisis de simulación

Se empleó el lenguaje de descripción de hardware VHDL (nivel RTL) para describir estructuralmente el controlador utilizando bloques funcionales de menor tamaño. La síntesis se realizó para un dispositivo FPGA de la Familia Cyclone II EP2C35F672C6N.

La simulación se realizó con el programa ModelSimAltera de la compañía Mentor Graphics [5] asignando $50\mu s$ como resolución temporal (ciclo de reloj). En la simulación cada bloque *canal_n* genera ondas de estimulación variando sus parámetros, como se observa en las Figuras 4.2, 4.3, 4.4 y 4.5. Las señales de entrada en cada bloque *canal_n* se visualizan en la Figura 3.3 y los valores de simulación que tienen se explican en la Tabla 4.1. Se trabaja con valores aleatorios en algunas señales de entrada para comprobar la flexibilidad al cambiar los parámetros de la onda de estimulación.

Tabla 4.1: Valores de señales en la simulación de cada *canal_n*

SEÑALES DE ENTRADA	Canal 0 (Figura 4.2)	Canal 1 (Figura 4.3)	Canal 2 (Figura 4.4)	Canal 3 (Figura 4.5)
Req	Se envía por un ciclo de reloj un '1' para generar la onda de estimulación			
Fase	4 primeras ondas inician con fase anódica y luego las 4 siguientes con fase catódica			
forma_onda	Senoidal	Gaussiana	Rectangular	Triangular
tiempo_entre_fases	Aleatorio			
tiempo_descarga	Aleatorio			
Amplitud	Aleatorio			
factor_duración	Aleatorio			
Reset	'1'			

En la simulación del controlador visualizada en la Figura 4.1 se han encerrado con un recuadro verde las señales de *Memoria* donde se almacenan las diferentes señales de formas de onda a utilizar, en esta tesis se usaron las señales *senoidal* (Figura 3.4), *gaussiana* (Figura 3.5),

rectangular (Figura 3.6) y *triangular* (Figura 3.7). Las señales de entrada y de salida del controlador, mostradas en las Tablas 4.2 y 4.3, se han separado en dos subgrupos respectivamente *controlador_entradas* (recuadro color rojo) y *controlador_salidas* (recuadro color naranja), mostradas en la Figura 4.1 donde se puede monitorear el comportamiento de las salidas para los cuatro canales de estimulación y verificar las formas de onda finales.

De esta manera cada señal del controlador cuenta con cuatro valores asignados para cada *canal_n* de estimulación respectivamente, conforme a la Tabla 4.1. Cabe resaltar que se generan nuevos valores en el controlador cada vez que la señal de entrada *req* es activada. Para simular un comportamiento independiente entre los canales del controlador se iniciaron las formas de onda de cada canal con 50 μ s de diferencia.

Tabla 4.2: Distribución de señales *controlador_entradas* de la simulación

Señales de entrada	Valor	Canal 0	Canal 1	Canal 2	Canal 3
Req	0010	0	0	1	0
Fase	0010	0	0	1	0
forma_onda	{0}{1}{2}{3}	00	01	10	11
tiempo_entre_fases	{4}{5}{3}{12}	00100	00101	00011	01100
tiempo_descarga	{11}{6}{9}{5}	01011	00110	01001	00101
Amplitud	{5}{5}{2}{B}	0101	0101	0010	1011
factor_duración	{3}{3}{2}{3}	011	011	010	011
Reset	1111	1	1	1	1

Tabla 4.3: Distribución de señales *controlador_salidas* de la simulación

Señales de salida	Valor	Canal 0	Canal 1	Canal 2	Canal 3
END_OP	0010	0	0	1	0
anodica_reg	{0}{3}{0}{8}	0000	0011	0000	1000
catodica_reg	{0}{0}{0}{0}	0000	0000	0000	0000
amplitud_reg	{5}{5}{1}{B}	0101	0101	0001	1011

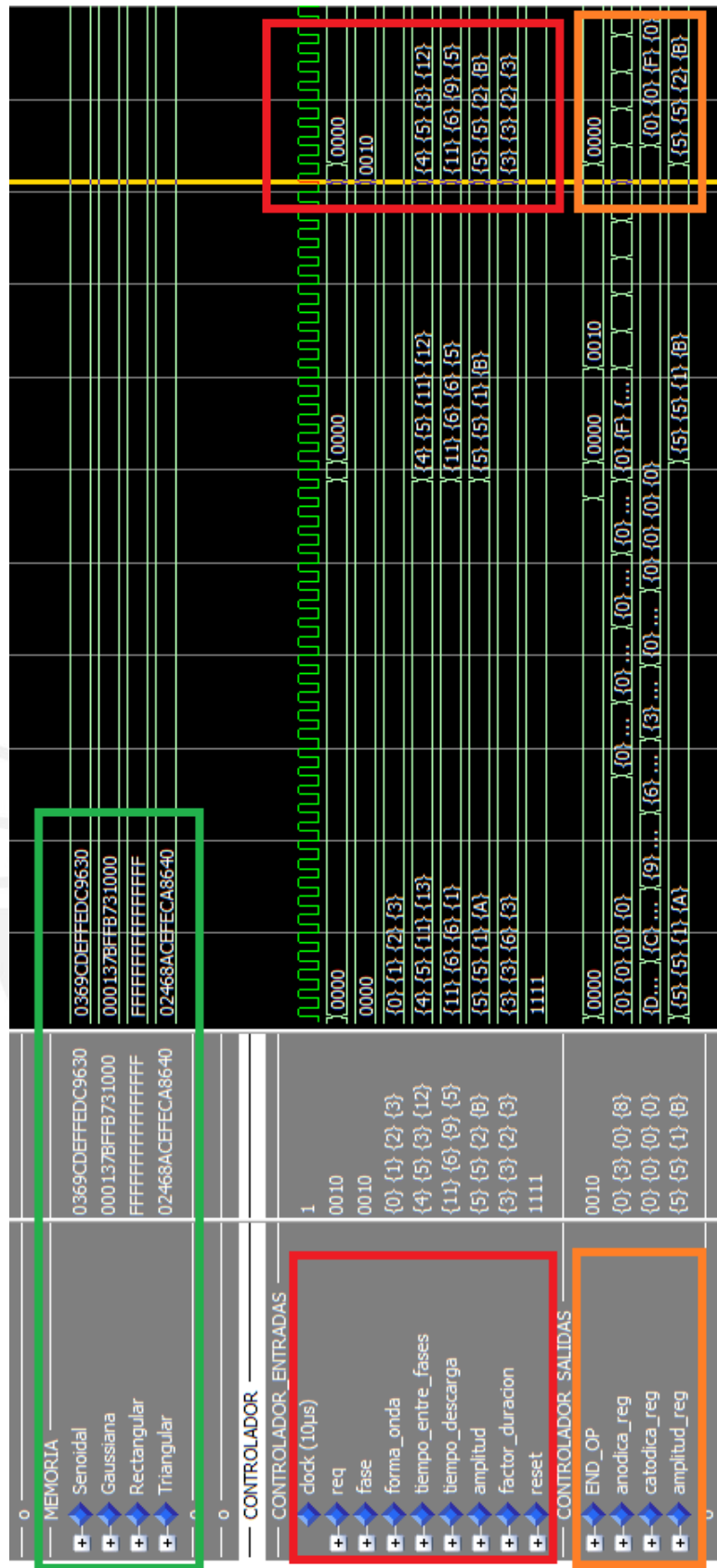


Figura 4.1: Simulación y asignación de entradas al controlador

4.2. Simulación de canales

Como objetivo de la simulación se busca un rango de frecuencia acorde a las investigaciones realizadas sobre prótesis epiretinal, siendo el rango (40Hz - 100Hz) el seleccionado ya que las frecuencias que lo conforman cumplen con un correcto funcionamiento en diferentes prótesis epiretinales [4, 1, 2, 23]. Asimismo, es necesario un control completo de los parámetros de onda como la fase inicial, forma de onda, tiempo de descarga, tiempo entre fases, amplitud y duración. Como se puede comprobar en las Figuras 4.2, 4.3, 4.4 y 4.5 las simulaciones generaron en los cuatro canales correctas formas de onda de corriente de estimulación como se observa en la Figura 3.2 y se asignaron valores aleatorios a ciertos parámetros mostrados en la Tabla 4.1.

4.2.1. Canal 0

La simulación del *Canal 0* con parámetros aleatorios (Tabla 4.1) arroja periodos de estimulación entre [1.850 - 28.70]ms equivalente a un rango de frecuencias entre [34.84 - 540]Hz. Las ondas senoidales generadas son visualizadas en la Figura 4.2, en la cual se encerró en un recuadro amarillo una onda senoidal, en uno rojo las señales de entrada explicadas en la Tabla 4.4 y en un recuadro naranja las señales de salida mostradas en la Tabla 4.5.

Tabla 4.4: Valores de señales de entrada de una onda senoidal

Señales de entrada	Valor binario	Valor decimal	Descripción
Req	0	0	Esta en funcionamiento
Fase	0	0	Anódica inicial
forma_onda	00	0	Onda senoidal
tiempo_entre_fases	01101	13	13 ciclos de reloj de duración
tiempo_descarga	00001	1	1 ciclo de reloj de duración
Amplitud	1010	10	Se ingresa el valor 10 al DAC
factor_duración	011	3	El ciclo de reloj dura 400 μ s
Reset	1	1	No se reinicia

Tabla 4.5: Valores de señales de salida de una onda senoidal

Señales de salida	Valor binario	Valor decimal	Descripción
END_OP	1	1	Salida de Máquina de estados (Tabla 3.21)
anodica_reg	16[4]	0 a 15	16 secuencias de 4 bits que generan la fase anódica senoidal
catodica_reg	16[4]	0 a 15	16 secuencias de 4 bits que generan la fase catódica senoidal
amplitud_reg	1010	10	Se ingresa el valor 10 al DAC

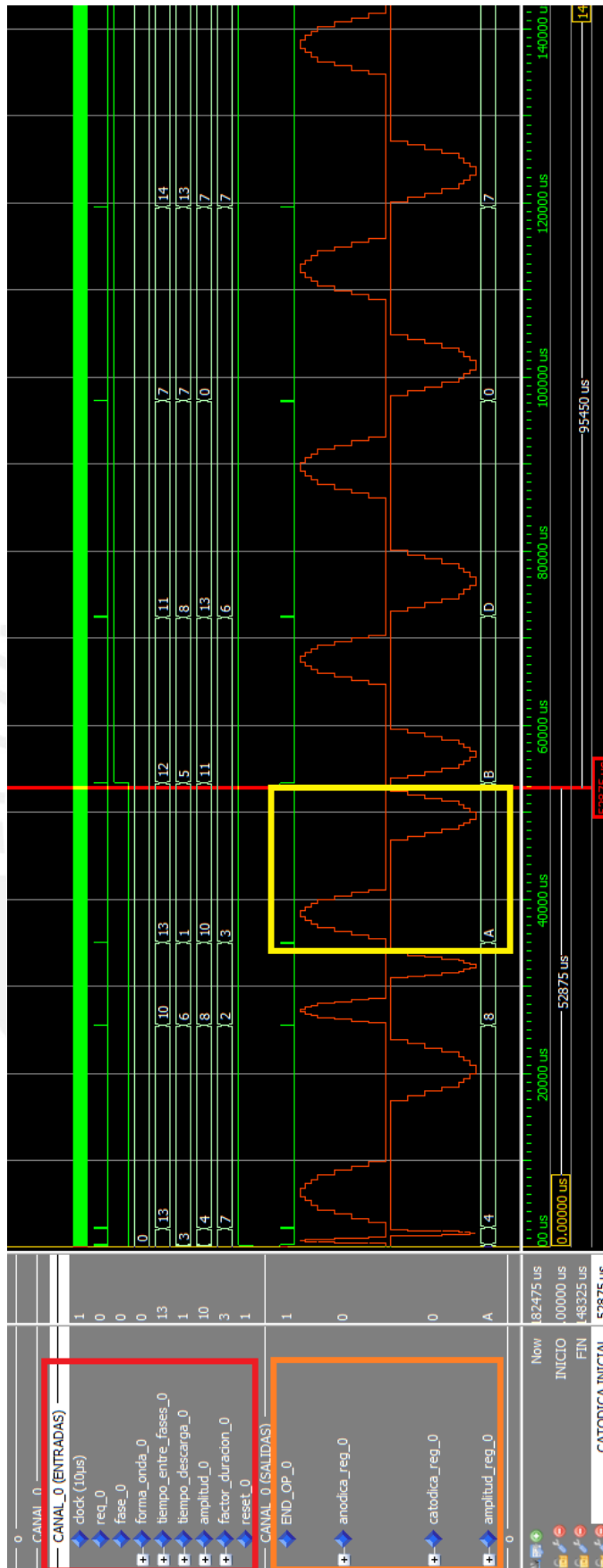


Figura 4.2: Simulación del *canal 0* del controlador

4.2.2. Canal 1

En el *Canal 1* se simuló con parámetros aleatorios (Tabla 4.1) arrojando periodos de estimulación entre [3.0 - 25.20]ms equivalente a un rango de frecuencias entre [39.68 - 333.33]Hz. Las ondas gaussianas generadas son visualizadas en la Figura 4.3, en la cual se encerró en un recuadro amarillo una onda gaussiana, en uno rojo las señales de entrada explicadas en la Tabla 4.6 y en un recuadro naranja las señales de salida mostradas en la Tabla 4.7.

Tabla 4.6: Valores de señales de entrada de una onda gaussiana

Señales de entrada	Valor binario	Valor decimal	Descripción
Req	0	0	Esta en funcionamiento
Fase	0	0	Anódica inicial
forma_onda	01	1	Onda gaussiana
tiempo_entre_fases	00110	6	6 ciclos de reloj de duración
tiempo_descarga	00111	7	7 ciclos de reloj de duración
Amplitud	1010	10	Se ingresa el valor 10 al DAC
factor_duración	010	2	El ciclo de reloj dura 200 μ s
Reset	1	1	No se reinicia

Tabla 4.7: Valores de señales de salida de una onda gaussiana

Señales de salida	Valor binario	Valor decimal	Descripción
END_OP	1	1	Salida de Máquina de estados (Tabla 3.21)
anodica_reg	16[4]	0 a 15	16 secuencias de 4 bits que generan la fase anódica gaussiana
catodica_reg	16[4]	0 a 15	16 secuencias de 4 bits que generan la fase catódica gaussiana
amplitud_reg	1010	10	Se ingresa el valor 10 al DAC

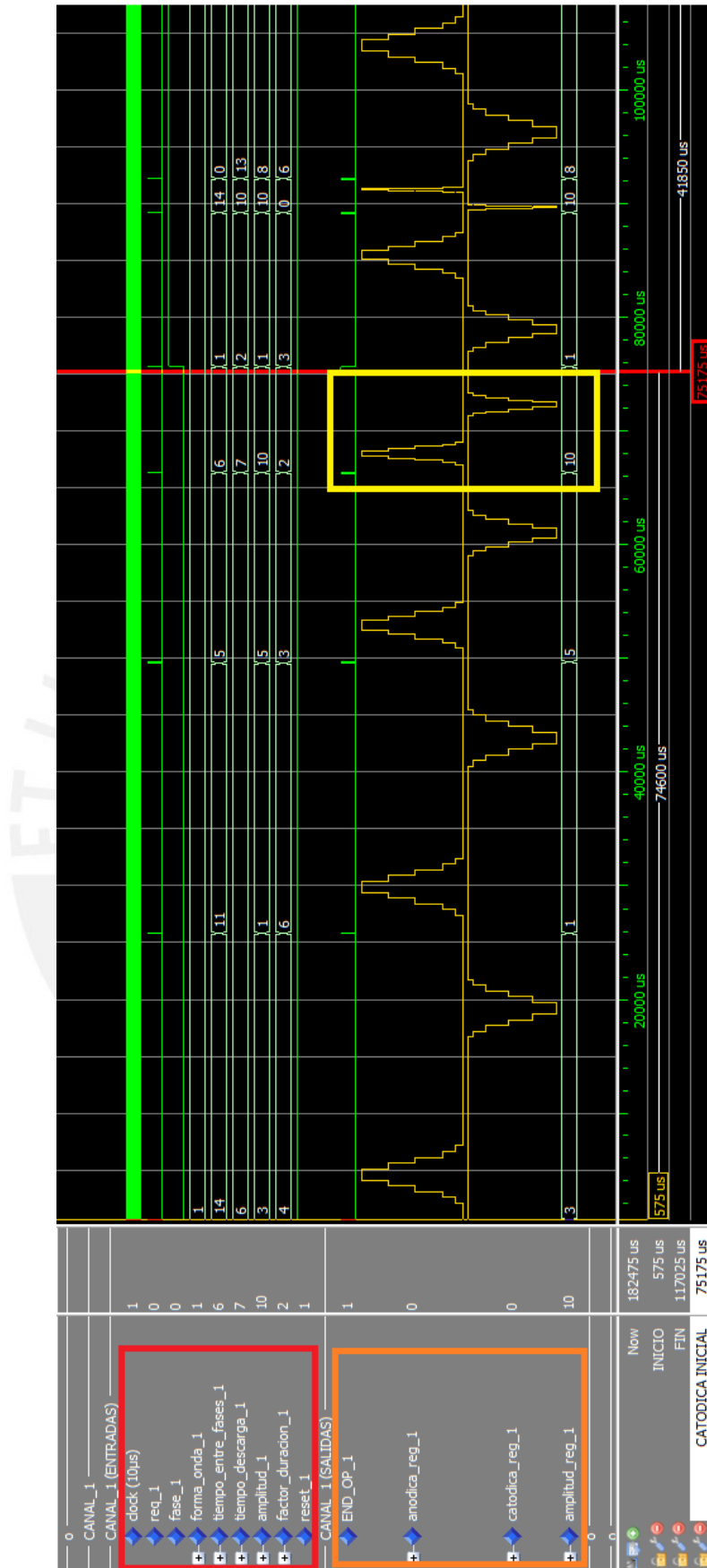


Figura 4.3: Simulación del *canal 1* del controlador

4.2.3. Canal 2

La simulación del *Canal 2* con parámetros aleatorios (Tabla 4.1) arroja periodos de estimulación entre [3.7 - 25.8]ms equivalente a un rango de frecuencias entre [38.75 - 270]Hz. Las ondas rectangulares generadas son visualizadas en la Figura 4.4, en la cual se encerró en un recuadro amarillo una onda rectangular, en uno rojo las señales de entrada explicadas en la Tabla 4.8 y en un recuadro naranja las señales de salida mostradas en la Tabla 4.9.

Tabla 4.8: Valores de señales de entrada de una onda rectangular

Señales de entrada	Valor binario	Valor decimal	Descripción
Req	0	0	Esta en funcionamiento
Fase	1	1	Catódica inicial
forma_onda	10	2	Onda rectangular
tiempo_entre_fases	00001	1	1 ciclo de reloj de duración
tiempo_descarga	00010	2	2 ciclos de reloj de duración
Amplitud	0011	3	Se ingresa el valor 3 al DAC
factor_duración	100	4	El ciclo de reloj dura $500\mu s$
Reset	1	1	No se reinicia

Tabla 4.9: Valores de señales de salida de una onda rectangular

Señales de salida	Valor binario	Valor decimal	Descripción
END_OP	0	0	Salida de Máquina de estados (Tabla 3.21)
anodica_reg	16[4]	0 a 15	16 secuencias de 4 bits que generan la fase anódica rectangular
catodica_reg	16[4]	0 a 15	16 secuencias de 4 bits que generan la fase catódica rectangular
amplitud_reg	0011	3	Se ingresa el valor 3 al DAC

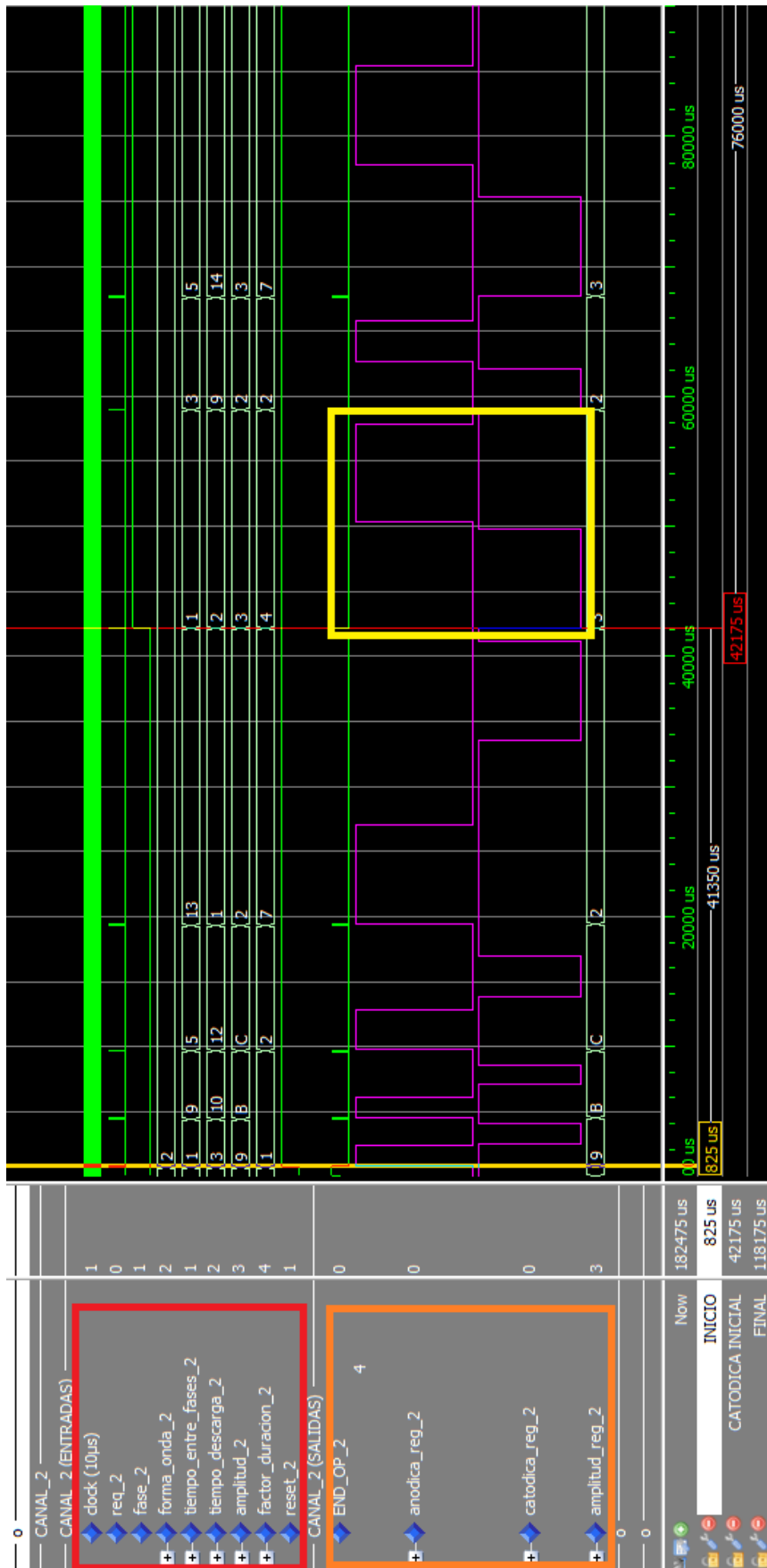


Figura 4.4: Simulación del canal 2 del controlador

4.2.4. Canal 3

En el *Canal 3* se simuló con parámetros aleatorios (Tabla 4.1) arrojando periodos de estimulación entre [5.4 - 23.20]ms equivalente a un rango de frecuencias entre [43.10 - 185.18]Hz. Las ondas triangulares generadas son visualizadas en la Figura 4.5, en la cual se encerró en un recuadro amarillo una onda rectangular, en uno rojo las señales de entrada explicadas en la Tabla 4.10 y en un recuadro naranja las señales de salida mostradas en la Tabla 4.11.

Tabla 4.10: Valores de señales de entrada de una onda triangular

Señales de entrada	Valor binario	Valor decimal	Descripción
Req	0	0	Esta en funcionamiento
Fase	0	0	Anódica inicial
forma_onda	11	3	Onda triangular
tiempo_entre_fases	01101	13	13 ciclos de reloj de duración
tiempo_descarga	00110	6	6 ciclos de reloj de duración
Amplitud	0010	2	Se ingresa el valor 2 al DAC
factor_duración	011	3	El ciclo de reloj dura 400 μ s
Reset	1	1	No se reinicia

Tabla 4.11: Valores de señales de salida de una onda triangular

Señales de salida	Valor binario	Valor decimal	Descripción
END_OP	1	1	Salida de Máquina de estados (Tabla 3.21)
anodica_reg	16[4]	0 a 15	16 secuencias de 4 bits que generan la fase anódica triangular
catodica_reg	16[4]	0 a 15	16 secuencias de 4 bits que generan la fase catódica triangular
amplitud_reg	0010	2	Se ingresa el valor 2 al DAC

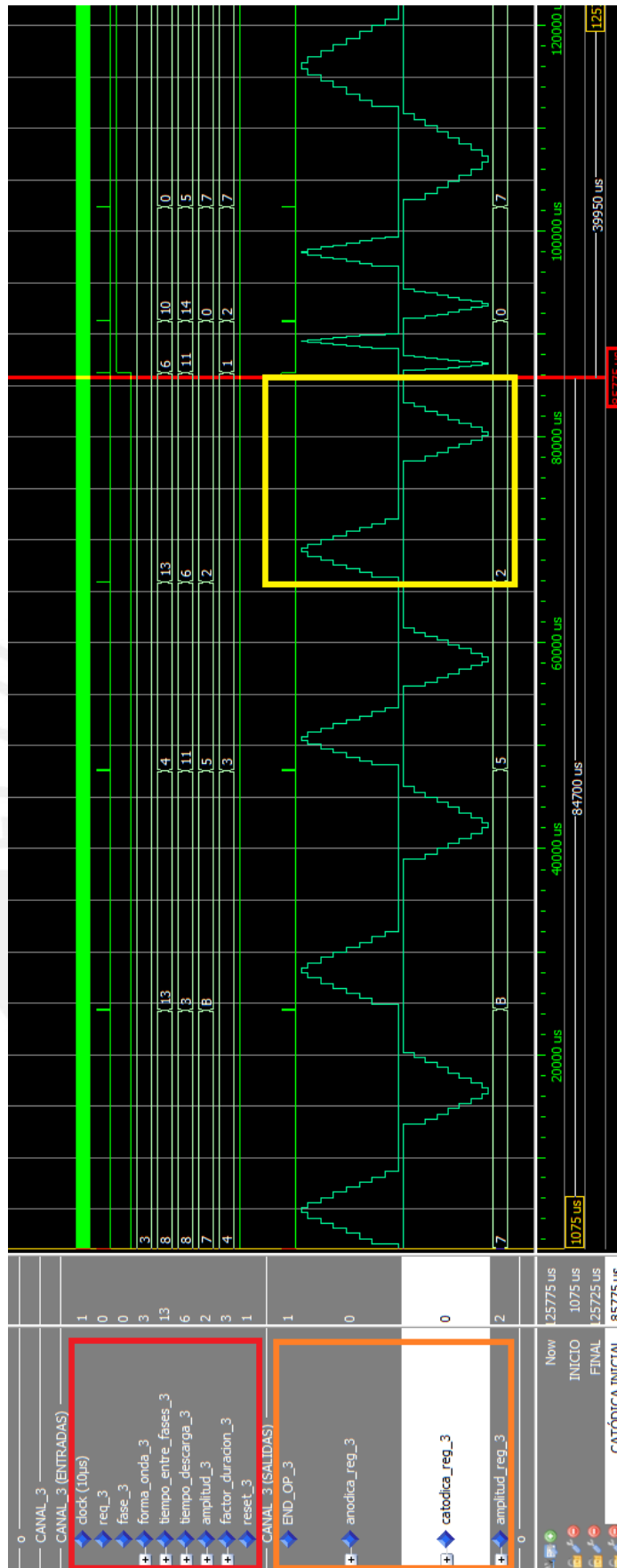


Figura 4.5: Simulación del *canal 3* del controlador

4.2.5. Canales juntos

En la siguiente Figura 4.6 se visualizan las salidas *anodica_reg* y *catodica_reg* que generan las formas de onda senoidal (Figura 4.2), gaussiana (Figura 4.3), rectangular (Figura 4.4) y triangular (Figura 4.5) de los cuatro canales respectivamente.

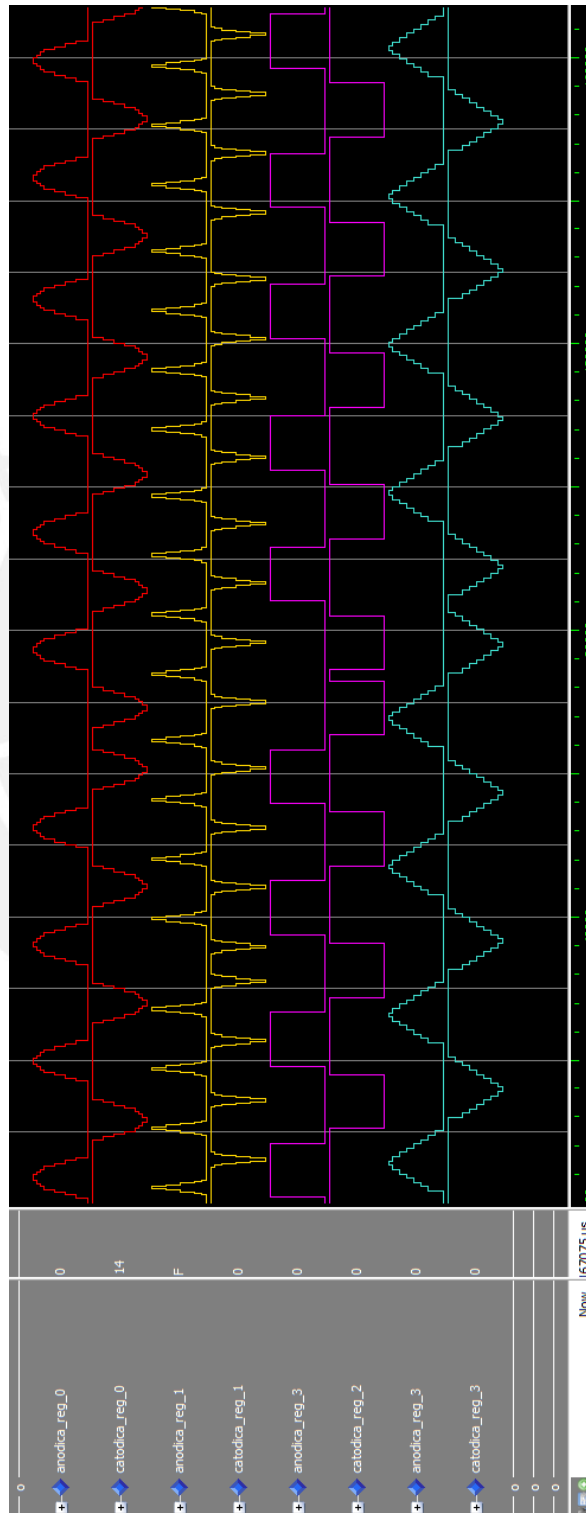
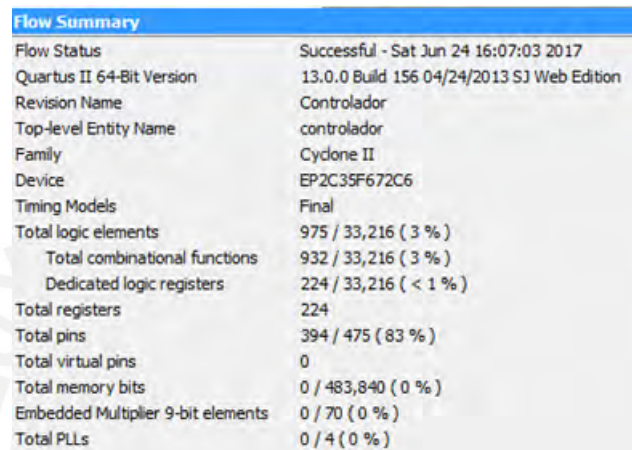


Figura 4.6: Simulación de canales del controlador

4.3. Resultados de la síntesis de la arquitectura diseñada

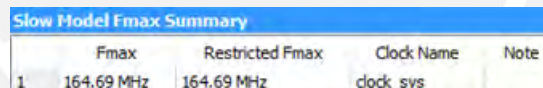
La arquitectura del controlador digital diseñado fue sintetizada utilizando el software Quartus II 13.0 para el FPGA Cyclone II EP2C35F672C6N de la compañía ATERA [6]. Los resultados obtenidos son una prueba para verificar el funcionamiento del diseño en una plataforma ya que el objetivo en un futuro es implementar el diseño en un chip (ASIC)¹.

En las Figuras 4.7 y 4.8 se muestran los resultados de la síntesis realizada a la arquitectura del controlador digital y la frecuencia máxima respectivamente.



Flow Summary	
Flow Status	Successful - Sat Jun 24 16:07:03 2017
Quartus II 64-Bit Version	13.0.0 Build 156 04/24/2013 SJ Web Edition
Revision Name	Controlador
Top-level Entity Name	controlador
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	975 / 33,216 (3 %)
Total combinational functions	932 / 33,216 (3 %)
Dedicated logic registers	224 / 33,216 (< 1 %)
Total registers	224
Total pins	394 / 475 (83 %)
Total virtual pins	0
Total memory bits	0 / 483,840 (0 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

Figura 4.7: Resultado de la síntesis de la arquitectura del controlador digital



Slow Model Fmax Summary				
	Fmax	Restricted Fmax	Clock Name	Note
1	164.69 MHz	164.69 MHz	clock_sys	

Figura 4.8: Frecuencia máxima de operación

Los resultados comprueban que sí funciona la arquitectura y la codificación del controlador digital a una plataforma FPGA, ya que se utiliza solo un 3 % de los elementos lógicos totales y se obtuvo una frecuencia máxima mucho mayor a la necesaria de [40 – 100]Hz.

¹El FPGA es de la misma tecnología que el ASIC, lo que valida una futura implementación en el mismo

Conclusiones

- El diseño presentado de un controlador digital con resolución temporal de $50 \mu s$ cumple con el objetivo general, demostrado en las Figuras 4.2-4.6, de generar formas de onda independientemente a cuatro canales para un estimulador de prótesis epiretinal con frecuencia de operación entre 40 Hz – 100 Hz.
- El controlador digital también cumple con el objetivo secundario de poder seleccionar entre cuatro formas de onda de manera independiente, ya que los cuatro canales seleccionan independientemente ondas senoidales, gaussianas, rectangulares o triangulares a través de la entrada *forma_onda*.
- Asimismo se lleva a cabo el objetivo secundario de tener la capacidad de modificar los parámetros de forma onda de estimulación eligiendo el tiempo de retraso entre fases y tiempo de descarga respectivamente con las entradas *tiempo_entre_fases* y *tiempo_descarga*. Adicionalmente escoger entre la fase anódica o catódica como inicio de estimulación con la entrada *fase*. También asignar al DAC del bloque estimulador la amplitud de la onda de estimulación empleando la entrada *amplitud* y aumentar la resolución de funcionamiento usando la señal *factor_duración*.
- La implementación del controlador digital en el FPGA Cyclone II de Altera formó parte de una prueba del correcto funcionamiento de la arquitectura en una plataforma, debido a que el diseño es para realizarse en un chip (ASIC) de la misma tecnología TSMC de 90nm, como fue explicado en el capítulo 4.

Recomendaciones

- El diseño del controlador de cuatro canales puede ser parametrizado realizando una implementación en la codificación de la arquitectura en VHDL, lo que permite flexibilidad en el diseño al poder presentar más de una configuración. De esta manera, se obtendría un mayor número de canales que mejoraría la resolución de la estimulación.
- En un futuro implementar la codificación de la arquitectura en otro lenguaje de descripción de hardware como Verilog HDL que es más amigable para realizar la codificación y Testbench. Un ejemplo de esto es el caso de generar números aleatorios en VHDL, el cual presenta ciertas deficiencias. Otro factor a tener en consideración es que Verilog HDL tiene una variante para proyectos con señal mixta (dominio analógico y digital) llamado Verilog AMS, que es altamente empleado en la Industria [27] y servirá para integrar este diseño digital con la parte analógica del neuro-estimulador, el cual es de otra tesis.
- El empleo de la metodología de diseño y verificación es indispensable cuando se realiza un diseño en hardware, por ello se recomienda usar esta metodología en futuros trabajos de mejora del controlador. En esta arquitectura se realizó la verificación funcional por medio de Testbench, con estímulos aleatorios para así poder estresar el circuito e identificar la existencia de inconsistencias en el mismo, sin embargo se recomienda efectuar la metodología de verificación funcional del diseño por medio de SystemVerilog [28].
- Para poder comprobar el funcionamiento del controlador digital es necesario implementarlo junto con un bloque de estimulador por canales y verificar una estimulación exitosa.

Bibliografía

- [1] M. Monge, M. Raj, M. H. Nazari, H. Chang, Y. Zhao, J. D. Weiland, M. S. Humayun, Y. Tai, and A. Emami, “A fully intraocular high-density self-calibrating epiretinal prosthesis,” *IEEE Transactions on Biomedical Circuits and Systems*, vol. 7, pp. 747–760, Dec 2013.
- [2] A. C. Weitz, D. Nanduri, M. R. Behrend, A. Gonzalez-Calle, R. J. Greenberg, M. S. Humayun, R. H. Chow, and J. D. Weiland, “Improving the spatial resolution of epiretinal implants by increasing stimulus pulse duration,” *Sci Transl Med*, vol. 7, p. 318ra203, Dec 2015.
- [3] M. Sahin and Y. Tie, “Non-rectangular waveforms for neural stimulation with practical electrodes,” *J Neural Eng*, vol. 4, pp. 227–233, Sep 2007.
- [4] L. Yue, J. D. Weiland, B. Roska, and M. S. Humayun, “Retinal stimulation strategies to restore vision: Fundamentals and systems,” *Progress in Retinal and Eye Research*, vol. 53, pp. 21 – 47, 2016.
- [5] A. Corporation, *Using ModelSim to Simulate Logic Circuits for Altera FPGA Devices*. Altera, 10 de Abril de 2017.
- [6] A. Corporation, *Cyclone ii device handbook*. Altera.
- [7] J. A. F. Tresguerres and C. A. Ruiz, *Fisiología humana*. McGraw-Hill, 4 ed., 2014.
- [8] J. D. Weiland, W. Liu, and M. S. Humayun, “Retinal prosthesis,” *Annu Rev Biomed Eng*, vol. 7, pp. 361–401, 2005.
- [9] S. Sight, “Argus II Retinal Prosthesis System.” <http://www.secondsight.com/argus-ii-retinal-prosthesis-system-en.html>, 05 de Marzo de 2017.
- [10] K. Chen, Y. Lo, and W. Liu, “A 37.6mm²1024-channel high-compliance-voltage soc for epiretinal prostheses,” in *2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 294–295, Feb 2013.

- [11] E. K. F. Lee and A. Lam, "A matching technique for biphasic stimulation pulse," in *2007 IEEE International Symposium on Circuits and Systems*, pp. 817–820, May 2007.
- [12] B. G. S. and L. W. S., "The sensations produced by electrical stimulation of the visual cortex," *The Journal of Physiology*, vol. 196, no. 2, pp. 479–493.
- [13] A. M. POTTS and J. INOUE, "The electrically evoked response (eer) of the visual system :ii. effect of adaptation and retinitis pigmentosa," *Investigative Ophthalmology Visual Science*, vol. 8, no. 6, p. 605, 1969.
- [14] M. S. Humayun, E. de Juan Jr., J. D. Weiland, G. Dagnelie, S. Katona, R. Greenberg, and S. Suzuki, "Pattern electrical stimulation of the human retina," *Vision Research*, vol. 39, no. 15, pp. 2569 – 2576, 1999.
- [15] J. F. Rizzo, J. Wyatt, J. I. Loewenstein, S. Kelly, and D. Shire, "Perceptual efficacy of electrical stimulation of human retina with a microelectrode array during short-term surgical trials.," *Investigative ophthalmology visual science*, vol. 44 12, pp. 5362–9, 2003.
- [16] J. D. Weiland and M. S. Humayun, "Visual prosthesis," *Proceedings of the IEEE*, vol. 96, pp. 1076–1084, July 2008.
- [17] J. F. Rizzo, J. Wyatt, M. Humayun, E. de Juan, W. Liu, A. Chow, R. Eckmiller, E. Zrenner, T. Yagi, and G. Abrams, "Retinal prosthesis: an encouraging first decade with major challenges ahead," *Ophthalmology*, vol. 108, pp. 13–14, Jan 2001.
- [18] Second Sight, "History." <http://www.secondsight.com/history-en.html>, 20 de Abril de 2017.
- [19] PIXIUM VISION, "IRIS BIONIC VISION SYSTEM." <http://www.pixium-vision.com/en/technology-1/iris-vision-restoration-system>, 24 de Abril de 2017.
- [20] D. Nils Alteheld, "Epi-Ret Project." <http://www.pixium-vision.com/en/technology-1/iris-vision-restoration-system>, 15 de Abril de 2017.
- [21] R. Implant, "Alpha AMS." <https://www.retina-implant.de/en/implant/ri-alpha-ams/>, 06 de Marzo de 2017.
- [22] L. N. Ayton, P. J. Blamey, R. H. Guymer, C. D. Luu, D. A. X. Nayagam, N. C. Sinclair, M. N. Shivdasani, J. Yeoh, M. F. McCombe, R. J. Briggs, N. L. Opie, J. Villalobos, P. N.

- Dimitrov, M. Varsamidis, M. A. Petoe, C. D. McCarthy, J. G. Walker, N. Barnes, A. N. Burkitt, C. E. Williams, R. K. Shepherd, P. J. Allen, and for the Bionic Vision Australia Research Consortium, "First-in-human trial of a novel suprachoroidal retinal prosthesis," *PLOS ONE*, vol. 9, pp. 1–26, 12 2014.
- [23] J. C. LILLY, G. M. AUSTIN, and W. W. CHAMBERS, "Threshold movements produced by excitation of cerebral cortex and efferent fibers with some parametric regions of rectangular current pulses (cats and monkeys)," *J. Neurophysiol.*, vol. 15, pp. 319–341, Jul 1952.
- [24] K. Chen, Z. Yang, L. Hoang, J. Weiland, M. Humayun, and W. Liu, "An integrated 256-channel epiretinal prosthesis," *IEEE Journal of Solid-State Circuits*, vol. 45, pp. 1946–1956, Sept 2010.
- [25] E. Noorsal, K. Sooksood, H. Xu, R. Hornig, J. Becker, and M. Ortmanns, "A neural stimulator frontend with high-voltage compliance and programmable pulse shape for epiretinal implants," *IEEE Journal of Solid-State Circuits*, vol. 47, pp. 244–256, Jan 2012.
- [26] J. Sit and R. Sarpeshkar, "A low-power blocking-capacitor-free charge-balanced electrode-stimulator chip with less than 6 na dc error for 1-ma full-scale stimulation," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 1, pp. 172–183, Sept 2007.
- [27] K. Kundert and O. Zinke, *The Designer's Guide to Verilog-AMS*. Springer Publishing Company, Incorporated, 2013.
- [28] C. Spear, *SystemVerilog for Verification, Second Edition: A Guide to Learning the Testbench Language Features*. Springer Publishing Company, Incorporated, 2nd ed., 2008.

Anexos

Ver CD-ROM adjunto

- a) Adaptador de Pulso detalles internos
- b) Contador Especial detalles internos
- c) Bloques Diseño Canal
- d) Controlador bloques internos
- e) Datapath detalles internos
- f) Máquina de Estados (FSM)

