

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ
FACULTAD DE CIENCIAS E INGENIERÍA



PONTIFICIA
UNIVERSIDAD
CATÓLICA
DEL PERÚ

**DISEÑO E IMPLEMENTACIÓN DE UN SISTEMA DE ADQUISICIÓN DE
DATOS ULTRASÓNICOS EN UN FPGA**

Tesis para optar el Título de Ingeniero Electrónico, que presenta el bachiller:

David Javier Santos Llave

ASESOR: Roberto Lavarello Montero

Lima, Diciembre del 2013

RESUMEN

El presente trabajo tiene como objetivo diseñar y desarrollar un sistema de adquisición de datos ultrasónicos en un FPGA, capaz de excitar transductores ultrasónicos en el rango de las aplicaciones médicas convencionales de ultrasonido, y de digitalizar, almacenar y transmitir los ecos ultrasónicos recibidos a una computadora personal.

En el Capítulo 1 se presenta la problemática actual en nuestro país con respecto al desarrollo de sistemas de adquisición de datos ultrasónicos y las ventajas que tendría desarrollar este tipo de tecnología. Adicionalmente, se presenta los objetivos del presente proyecto de tesis, los requerimientos y características principales del sistema propuesto y las maneras que existen de implementar un sistema de adquisición de datos.

En el Capítulo 2 se describen cada una de las partes que componen un sistema de adquisición de datos ultrasónicos, por ejemplo: circuito de excitación, acondicionamiento de señal, adquisición de datos, transmisión de datos e interfaz con el usuario. Adicionalmente se analizan las características físicas y eléctricas de cada parte del sistema.

En el Capítulo 3 se presenta el diseño electrónico de la etapa de excitación de transductores ultrasónicos, adquisición, almacenamiento, pre-procesamiento y transmisión de datos a la computadora. En cada etapa se muestra los criterios de diseño utilizados, las simulaciones obtenidas con el diseño propuesto y se realiza una comparación cualitativa con el trabajo precedente a este proyecto.

En el Capítulo 4 se muestran los resultados obtenidos con el sistema de adquisición de datos desarrollado. Se presenta una comparación cualitativa entre los resultados obtenidos con el equipo comercial MS-5800 de la empresa OLYMPUS y el sistema de excitación desarrollado. También se presenta una comparación entre las señales adquiridas con un osciloscopio digital de la marca TEKTRONIX y el sistema de adquisición de datos desarrollado.

A mi madre y hermano por su apoyo
incondicional.

A mi novia Diana por su apoyo,
motivación y por creer en mí siempre.

A mi asesor y por sus enseñanzas y
por su apoyo durante todo este
tiempo.



INDICE

INTRODUCCIÓN	1
CAPÍTULO 1: PROBLEMÁTICA, OBJETIVOS Y ESTADO DEL ARTE	2
1.1 PROBLEMÁTICA ACTUAL	2
1.2 JUSTIFICACIÓN	2
1.3 OBJETIVOS.....	3
I. <i>Objetivo principal</i>	3
II. <i>Objetivos específicos</i>	3
1.4 CARACTERÍSTICAS DEL SISTEMA PROPUESTO	4
1.5 ESTADO DEL ARTE	5
I. <i>Módulos para ensamblar</i>	5
II. <i>Sistema comerciales</i>	5
CAPÍTULO 2: SISTEMA DE ADQUISICIÓN DE DATOS ULTRASÓNICOS	7
2.1 SISTEMAS DE ADQUISICIÓN DE DATOS.....	7
2.2 SISTEMAS DE ADQUISICIÓN DE DATOS ULTRASÓNICOS.....	7
I. <i>Sistema de Transmisión de Pulsos</i>	8
II. <i>Sistema de Recepción de Datos</i>	10
CAPÍTULO 3: DISEÑO DEL SISTEMA DE ADQUISICIÓN DE DATOS	12
3.1 SISTEMA DE TRANSMISIÓN DE PULSOS.....	12
I. <i>Precedente</i>	12
II. <i>Diseño propuesto</i>	13
3.2 SISTEMA DE RECEPCIÓN DE DATOS.....	18
I. <i>Precedente</i>	18
II. <i>Diseño propuesto</i>	18
3.3 DISEÑO DE LA LÓGICA DE CONTROL	26
3.4 DISEÑO DEL SOFTWARE	27
I. <i>Recepción de datos</i>	29
II. <i>Adquisición de datos</i>	31
III. <i>Almacenamiento de datos</i>	33
IV. <i>Transmisión de datos</i>	33
CAPÍTULO 4: DESARROLLO DEL SISTEMA DE ADQUISICIÓN DE DATOS	35
4.1 RESULTADOS	35
I. <i>Sistema de transmisión de pulsos</i>	35
II. <i>Sistema de adquisición de datos</i>	39
CONCLUSIONES	49
RECOMENDACIONES	51
BIBLIOGRAFÍA	55

INTRODUCCIÓN

El ultrasonido es una herramienta utilizada en diversas aplicaciones tanto en medicina como en la industria. En aplicaciones médicas el ultrasonido es una herramienta de gran importancia para diagnóstico médico. Otras técnicas como rayos X, tomografía nuclear, y resonancia magnética (MRI), también son usadas en ambientes médicos. Sin embargo, las técnicas ultrasónicas emplean energía no ionizante a diferencia de los rayos X y tomografía nuclear, y requieren equipos relativamente más económicos en comparación con MRI.

A pesar de las ventajas que presenta el ultrasonido con respecto a otras técnicas, los equipos comerciales (ecógrafos) disponibles son de costo elevado para nuestra economía. Adicionalmente, otra desventaja de estos equipos es que limitan el acceso a los datos de radiofrecuencia (RF) ultrasónicos. Para acceder a esta información es necesario comprar licencias especiales que incrementan significativamente el costo del equipo. El acceso a los datos de radiofrecuencia ultrasónicos permite el desarrollo de nuevos algoritmos tanto para la formación como para el procesamiento de imágenes médicas. Finalmente, el desarrollo de equipos de adquisición de datos ultrasónicos de bajo costo es requerido para el uso de esta tecnología en áreas rurales remotas.

Ante este contexto, el presente trabajo de tesis tiene como objetivo diseñar un sistema de adquisición de datos ultrasónicos, capaz de excitar transductores ultrasónicos en el rango de las aplicaciones convencionales de ultrasonido. Adicionalmente el sistema permite adquirir, almacenar, pre-procesar y transmitir los datos adquiridos a una computadora personal utilizando un FPGA.

El presente trabajo servirá como herramienta básica de investigación en ultrasonido e imágenes médicas en el medio local y su aplicación puede extenderse para adquirir señales de aplicaciones similares, como radares y sonares.

CAPÍTULO 1: PROBLEMÁTICA, OBJETIVOS Y ESTADO DEL ARTE.

1.1 Problemática Actual

En nuestro país el desarrollo de sistemas de adquisición de datos a altas velocidades (MHz) es escaso. Los motivos son diversos, incluyendo falta de centros especializados y la complejidad del hardware y software requerido. En el caso particular de aplicaciones de ultrasonido, en nuestro país no existen centros que desarrollen la tecnología necesaria para construir el instrumental requerido. Estas circunstancias nos obligan a depender de centros tecnológicos extranjeros lo cual resulta un gran problema, ya que estamos supeditados a entes externos que ofrecen productos al mercado internacional sin satisfacer las condiciones o las necesidades específicas de cada país.

Adicionalmente, el acceso a los ecos de radiofrecuencia ultrasónicos es requerido para el desarrollo de nuevos algoritmos de formación y procesamiento de imágenes. Una desventaja de los escáneres ultrasónicos comerciales es que normalmente limitan el acceso a estos datos al requerir el pago de licencias de elevado costo o la firma de convenios de propiedad intelectual. Por ejemplo, Siemens permite el acceso a datos de radiofrecuencia a través de la compra de la interfaz Axius Direct [Ashfaq06], pero dicha herramienta tiene un costo adicional al escáner y solamente se puede emplear en algunos modelos antiguos de escáneres de este fabricante como el Antares y el S2000. Algunas plataformas de investigación comerciales, como las fabricadas por Ultrasonix [Wilson06], permiten el acceso a datos de radiofrecuencia sin necesidad de licencias o convenios adicionales. Sin embargo, el precio de dichas plataformas de investigación bordea los 90, 000 dólares americanos, lo cual lo hace inaccesible para aplicaciones de ultrasonido en zonas rurales de nuestro país.

1.2 Justificación

La principal motivación del presente tema de tesis es demostrar la factibilidad de utilizar una nueva tecnología flexible (FPGA) en el desarrollo de un sistema de adquisición de datos ultrasónicos de propósito específico, bajo costo, portátil y con tecnología disponible en Perú. Cabe mencionar que el desarrollo de equipos de estas características es tema actual de investigación tanto para aplicaciones médicas (medicina rural) como militares (diagnóstico en campo de batalla). Ejemplos de sistemas de bajo costo desarrollados recientemente pueden ser encontrados en la literatura [Baran09, Richard08, Fuller08].

El desarrollo de un sistema de adquisición de datos ultrasónicos que permita el acceso a los datos de radiofrecuencia ultrasónicos en una Universidad como la PUCP permitiría a los grupos de investigación generar y disponer de datos propios de ultrasonido, lo cual favorecería el crecimiento de investigaciones en esta área. Adicionalmente, el desarrollo de algoritmos de formación y procesamiento de imágenes de ultrasonido puede ser muy lucrativo para los centros de investigación ya que se pueden ofrecer comercialmente a las decenas de empresas que ofrecen sistemas ultrasónicos, entre ellas tenemos General Electric®, Philips®, LG® y Ultrasonix®. Cabe resaltar que el equipo a desarrollar podría servir como sistema de adquisición de datos para otros tipos de señales con características similares a las ondas ultrasónicas, lo cual amplía la variedad de aplicaciones del sistema planteado.

Finalmente, los objetivos de esta tesis son muy importantes en países como Perú, en particular para el desarrollo de aplicaciones biomédicas en zonas rurales. Las instituciones médicas en las ciudades grandes del Perú cuentan actualmente con escáneres comerciales y tienen asignados presupuestos que permiten la compra de escáneres más actualizados de ser necesario. Sin embargo, en las ciudades pequeñas del país, las postas médicas no cuentan con este tipo de tecnología.

1.3 Objetivos

I. Objetivo principal

El presente tema de tesis tiene como objetivo principal desarrollar un sistema de adquisición de datos ultrasónicos de un solo canal que permita el acceso a los datos de radiofrecuencia ultrasónicos.

II. Objetivos específicos

- a) Revisar el trabajo previo realizado por Ingunza y Valverde [Ingunza02]
- b) Diseñar un circuito de transmisión de pulsos capaz de excitar transductores de ultrasonido para aplicaciones médicas convencionales.
- c) Diseñar un sistema de adquisición de datos ultrasónicos en un FPGA.
- d) Diseñar una interfaz de comunicación entre la PC y el sistema de adquisición de datos.

1.4 Características del Sistema Propuesto

El sistema de adquisición de datos ultrasónicos propuesto debe tener las siguientes características:

I. Capacidad de trabajar a velocidades elevadas.

Las aplicaciones médicas convencionales de ultrasonido tales como imágenes modo B de hígado, próstata y fetos, utilizan frecuencias centrales de operación menores a 15 MHz. La máxima frecuencia de operación ultrasónica se encuentra limitada en la práctica por el incremento del coeficiente de atenuación como función de la frecuencia. Sin embargo, existen otras aplicaciones, como dermatología y oftalmología, que utilizan frecuencias superiores a 15 MHz debido a que la distancia de penetración del ultrasonido no es significativa [Bridal03]. En la mayoría de aplicaciones en imágenes médicas ultrasónicas el ancho de banda relativo suele ser cercano al 100% [Szabo04]. Esto significa que la máxima frecuencia de la onda ultrasónica recibida por el transductor es de 22.5 MHz (1.5 veces la frecuencia máxima de operación de 15 MHz). Debido a la disponibilidad de transductores y a las limitaciones de hardware desarrollado, en el presente trabajo de tesis se utilizarán transductores no enfocados de 1, 2 y 5 MHz y una frecuencia de muestreo de 25 MHz. Este valor de frecuencia de muestreo es suficiente para corroborar el correcto funcionamiento del sistema diseñado.

II. Alta relación señal al ruido y rango dinámico.

Las señales ultrasónicas se atenúan exponencialmente conforme se propagan en el medio a analizar. Típicamente se asume una atenuación promedio en tejidos blandos de 0.5 dB/cm/MHz, aunque tejidos adiposos y algunos tumores suelen exhibir mayor atenuación [Szabo04]. Esto significa que la amplitud del eco ultrasónico recibido, por el sistema de adquisición, disminuye proporcionalmente a la distancia que recorre y a su frecuencia central. A esto se suma el ruido granular que depende del tamaño de las partículas que originan los ecos ultrasónicos. Estos factores causan que las señales de ultrasonido tengan un rango dinámico muy elevado, por lo cual dichas señales se comprimen logarítmicamente (en escala de decibelios - dB). Por tal motivo, la SNR del sistema propuesto debe ser mayor al rango dinámico de la señal ultrasónica para que las características de menor intensidad sean claramente apreciadas en la imagen resultante [Schafer84].

III. Versatilidad

Otra característica importante del sistema es que el usuario podrá configurar a frecuencia de muestreo, ancho de ventana, duración de la toma de datos, frecuencia de repetición de pulso (PRF por sus siglas en inglés *Pulse Repetition Frequency*) y número de promediados desde la interfaz de la computadora. Esto es necesario al construir un dispositivo prototipo ya que en la mayoría de los casos cada experimento necesita parámetros de configuración diferentes.

1.5 Estado del Arte

Existen dos maneras de obtener un sistema de adquisición de datos ultrasónicos: adquirir módulos comerciales de cada parte del sistema y ensamblarlos, o comprar un sistema ultrasónico comercial completo. A continuación evaluaremos ambas opciones:

I. Módulos para ensamblar.

Actualmente existe una extensa bibliografía sobre las partes que componen un sistema de adquisición de datos ultrasónicos. A su vez, existen diversos fabricantes que ofrecen productos comerciales que realizan el funcionamiento de cada una de dichas partes. Por ejemplo, en la etapa de excitación de datos existen los equipos fabricados por Olympus® [**Olympus06**] y Matec® [**Matec12**]. Estos equipos permiten excitar transductores de distintas frecuencias permitiendo graduar el número de pulsos y la potencia. En la etapa de adquisición de datos existen empresas que ofrecen sistemas de adquisición de varios canales, como por ejemplo Analog Devices®, Texas Instruments® y National Instruments®. Todos estos módulos de evaluación, tanto en la etapa de excitación como en la de adquisición, son comerciales y se pueden conseguir en tiendas especializadas. Ensamblar los módulos comerciales de un sistema de adquisición de datos implica un nivel de complejidad menor, comparado a primera opción, pero el costo del producto se incrementa considerablemente. Al igual que la primera opción, el ensamblaje de partes comerciales también permite tener acceso a los datos de frecuencia ultrasónicos. Para mayor alcance sobre algunos sistemas de adquisición de datos ultrasónicos desarrollados de esta forma se recomienda revisar [**Salazar03, Waag06, Chun07, Wilson06**].

II. Sistemas comerciales.

Finalmente, existe la opción de adquirir un equipo comercial para aplicaciones clínicas. Existen diversas compañías especializadas en la construcción de equipos de ultrasonido

entre las principales destacan Philips®, General Electric®, y Siemens® entre otros. Sin embargo, el acceso a los datos de radiofrecuencia en dichos escáneres es limitado. Para acceder a dichos datos es necesario pagar una licencia de precio elevado. Adicionalmente, dichas licencias típicamente conllevan limitaciones de derechos de autor sobre algoritmos desarrollados con el uso de dichos escáneres. Como referencia, en la Figura 1 se muestra el equipo LOQIC 9 de General Electric® el cual cuesta alrededor de 70,000 dólares americanos [Absolute Equipment]. Adicionalmente existen equipos comerciales, como los de la empresa Ultrasonix® [Ultrasonix12, Wilson06], que si permite acceder a los datos de radiofrecuencia a cambio de un precio mayor comparado a otros equipos comerciales.



Figura 1. Equipo LOQIC9 de General Electric, tomado de [Absolute Equipment].

CAPÍTULO 2: SISTEMA DE ADQUISICIÓN DE DATOS ULTRASÓNICOS

2.1 Sistemas de Adquisición de Datos

Según la definición de R. Pallás, “Se denomina sistema de adquisición de datos al sistema cuya función es coleccionar información, documentar y/o analizar un fenómeno físico” [Pallás98]. Dicho sistema involucra etapas para la conversión de variables físicas analógicas continuas en variables digitales (es decir, la amplitud solamente toma un número finito de valores dentro de un rango especificado) en tiempo discreto (es decir, la amplitud es medida en un número finito de instantes de tiempo dentro de un rango especificado) que pueden ser manipuladas a través de una computadora mediante un software de aplicación. Un sistema de adquisición de datos consta de las siguientes etapas: sensado, acondicionamiento de señal, digitalización mediante un conversor analógico/digital (ADC por sus siglas en inglés *Analog-to-Digital Converter*), y procesamiento en una computadora. Este esquema se muestra en la Figura 2.

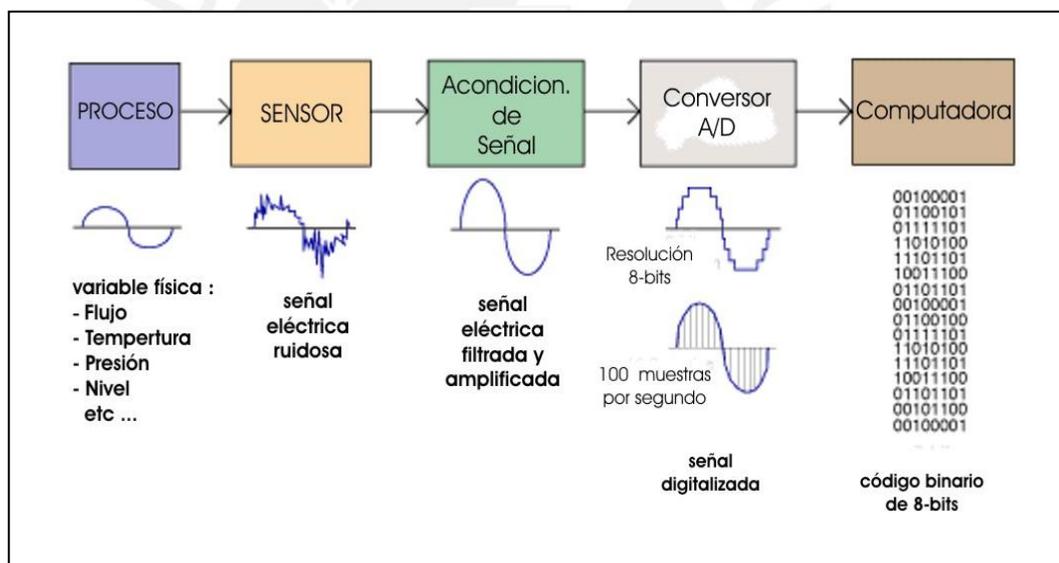


Figura 2. Diagrama de bloques de un sistema de adquisición de datos, tomado de [Pallás98].

2.2 Sistemas de Adquisición de Datos Ultrasónicos

En la Figura 3 muestra el diagrama de bloques genérico de un sistema típico de adquisición de datos ultrasónicos, el cual consta principalmente de un sistema de transmisión de pulsos, un sistema de adquisición y transmisión de datos, y una interfaz con el usuario [Ingunza02]. A continuación se describe cada uno de los bloques que conforman un sistema de adquisición de datos ultrasónicos.

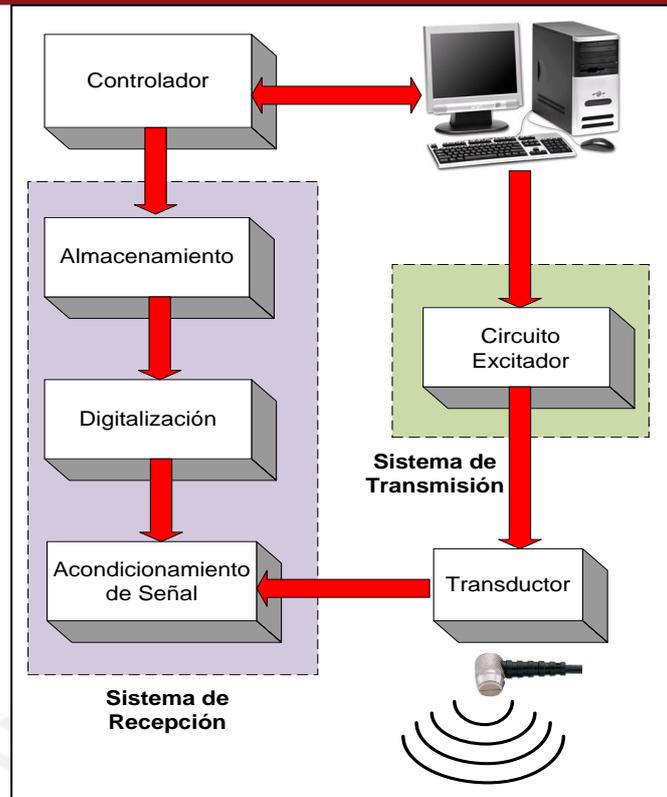


Figura 3. Diagrama de bloques de un sistema de adquisición de datos ultrasónicos genérico.

I. Sistema de Transmisión de Pulsos

El sistema de transmisión de pulsos está formado por el transductor de ultrasonido y el circuito excitador.

a) Transductores Ultrasónicos

Un transductor ultrasónico es el dispositivo por el cual la energía mecánica (ondas acústicas) se convierte en energía eléctrica o viceversa. Para generar las ondas acústicas es necesario excitar al transductor con pulsos eléctricos de determinados parámetros de frecuencia y potencia. Los transductores más comúnmente usados son basados en materiales piezoeléctricos, los cuales están constituidos por una cerámica piezoeléctrica cubierta de electrodos en sus caras laterales. En la Figura 4 se puede apreciar la composición básica de un transductor piezoeléctrico. Para mayor referencia sobre las características y construcción de transductores piezoeléctricos revisar [Krautkramer90].

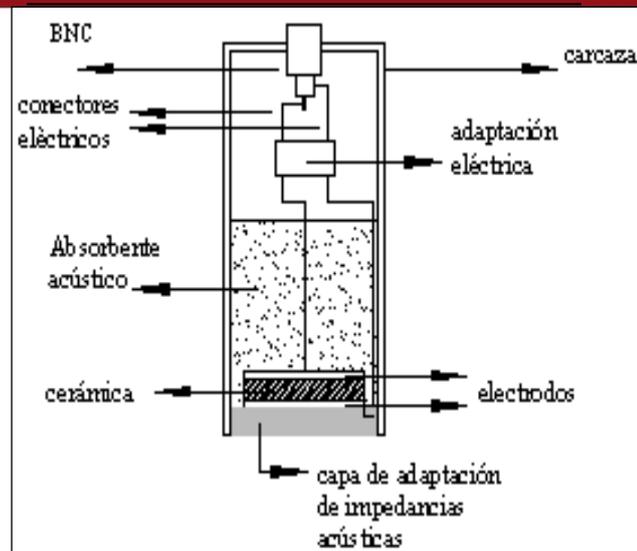


Figura 4. Esquema de un transductor de ultrasonido, tomado de [Krautkramer90].

b) Circuito Excitador

Los transductores de ultrasonido son excitados típicamente con pulsos eléctricos superiores a los 40 Voltios. Para generar estos pulsos es necesario desarrollar un circuito de excitación (pulser) capaz de excitar a los transductores de ultrasonido. Una característica de este circuito es que manejan niveles elevados de voltaje (varias decenas de voltios) y que el espectro de frecuencia del pulso eléctrico contenga al ancho de banda del transductor ultrasónico.

Los tipos de circuitos de excitación más comunes son: ráfaga (burst) o banda estrecha, y aguja (needle) o banda ancha. Los excitadores tipo ráfaga generan señales cuadradas o sinusoidales con una frecuencia central de oscilación y un número de periodos variable. La principal característica de estos excitadores es que la frecuencia central de oscilación de la señal eléctrica debe estar dentro del ancho de banda del transductor. Debido a que esta señal de excitación tiene un ancho de banda usualmente corto se le domina pulso de banda estrecha. Por el contrario, los excitadores tipo aguja generan un pulso eléctrico de muy corta duración lo cual, en el dominio de la frecuencia, se traduce en un espectro de banda ancha. Una ventaja de este tipo de transductores es que pueden excitar diversos transductores que se encuentren dentro del espectro de frecuencias del pulso de excitación. Adicionalmente, los circuitos electrónicos utilizados en su fabricación son más sencillos de desarrollar que los excitadores tipo ráfaga. Sin embargo, el hecho de generar energía en un espectro de frecuencias muy ancho se traduce en una utilización ineficiente de la energía. Para más información sobre este tipo de circuitos de excitación revisar [Krautkramer90].

II. Sistema de Recepción de Datos

La recepción de datos consiste en digitalizar y transmitir a una PC las señales provenientes de la interacción de la onda ultrasónica emitida con el objeto en estudio. Esta etapa consta de las siguientes partes: etapa de acondicionamiento de la señal y etapa de adquisición de datos.

a) Acondicionamiento de Señal

Normalmente, los traductores ultrasónicos utilizan un mismo contacto para la transmisión y recepción de ondas ultrasónicas. Esto significa que cuando el sistema de transmisión genera los pulsos de excitación de más de 40VDC, esta señal también está conectada a la entrada del circuito de digitalización (ADC) que en su mayoría de casos sólo soporta unos cuantos voltios como voltaje de entradas. Adicionalmente, los ecos recibidos tienen una amplitud en el orden de los milivoltios, valor que tampoco se encuentra en el rango de voltajes de entrada del ADC. Si se conecta el transductor directamente a la etapa de adquisición, el ADC se puede dañar debido a un voltaje excesivo; adicionalmente los ecos recibidos no se podrán digitalizar correctamente ya que el rango dinámico de la señal será limitado. Por lo tanto, en este tipo de sistemas es necesaria una etapa de acondicionamiento de señal, que incluya una etapa de limitación de voltaje y de amplificación/atenuación de la señal. Adicionalmente, el acondicionamiento de señal se utiliza para realizar el acople de impedancias entre el transductor y el circuito de adquisición.

b) Adquisición de Datos

Esta etapa consiste de un proceso de digitalización y almacenamiento de datos. Para esto es necesario un controlador que se encargue de administrar todos los procesos involucrados en la adquisición de datos (generar las señales de control tanto para el sistema de transmisión de pulsos como para el sistema de adquisición de datos) y transmitir los datos adquiridos a la PC. Entre las operaciones que el controlador debe supervisar se encuentran manejar la frecuencia de repetición de pulsos (PRF por sus siglas en inglés *Pulse Repetition Frequency*) del sistema de transmisión de pulsos, los tiempos de conversión de datos del ADC, habilitadores, los comandos de lectura y escritura de datos de las memorias y, realizar operaciones aritméticas con los datos adquiridos (promediado). Adicionalmente, para obtener una señal más inmune al ruido producido por el hardware y por la interferencia electromagnética, el controlador debe considerar una etapa de promediado. Finalmente, otra característica adicional del controlador es que debe ser capaz de operar a altas velocidades (se considera como mínimo la máxima frecuencia de muestreo a utilizar), permitir la programación flexible de

la lógica de control de adquisición, y pre-procesar los datos ultrasónicos. Es importante enfatizar que las señales de control generadas para cada uno de los procesos deben estar sincronizadas ya que cualquier desfase entre ellas (*jitter*) originaría errores en los datos adquiridos [Kalashnikov05].

c) Transmisión de datos

Luego de digitalizar y almacenar las señales, es necesario transmitir dicha información a una computadora por un medio físico para visualizarla y procesarla. Para ello, es necesario contar con una interfaz rápida y eficiente con la PC. Dentro de las tecnologías utilizadas para la transmisión de datos están: PCI, Ethernet, USB y RS232. En su segunda versión, la interfaz PCI Express X2 puede trabajar a velocidades de 133MHz logrando tasas de transmisión de aproximadamente 1GB/s a 64bits en una sola dirección de datos. Actualmente, la interfaz PCI Express X16 puede permitir incrementar la velocidad del reloj hasta en 16 veces logrando tasas de transmisión de datos de hasta 8Gbp/s [Solari01]. La interfaz Ethernet puede trabajar desde 10 Mbps (IEEE 802.3) hasta 10 Gbps en su última versión (IEEE 802.3ak) [Axelson03]. La interfaz USB permite transmitir datos a velocidades de hasta 480 Mbps (60 Mega bytes por segundo) pero sólo en periodos de ráfaga (burst) [Axelson90]. Finalmente la interfaz serial RS-232 puede alcanzar velocidades de hasta 115,200 bps.

d) Interfaz con el usuario

El propósito general de una interfaz de datos es que el usuario pueda interactuar con el sistema de adquisición de datos, enviando y recibiendo información. En particular, un sistema de adquisición de datos ultrasónicos debe permitir que el usuario pueda configurar algunos parámetros de la adquisición, como número de muestras, tiempo de ventana, frecuencia de muestreo, número de promediados, ancho de banda entre otros.

CAPÍTULO 3: DISEÑO DEL SISTEMA DE ADQUISICIÓN DE DATOS

En el presente capítulo se detallan las características técnicas del sistema propuesto y los criterios utilizados en el diseño de dicho sistema. Adicionalmente, se presentan los cambios y las mejoras realizadas al sistema de adquisición de datos propuesto en la tesis de R. Ingunza y J. Valverde [Ingunza02]. En la Figura 5 se presenta el diagrama de bloques detallado de las etapas de transmisión de pulsos y adquisición de datos del sistema propuesto.

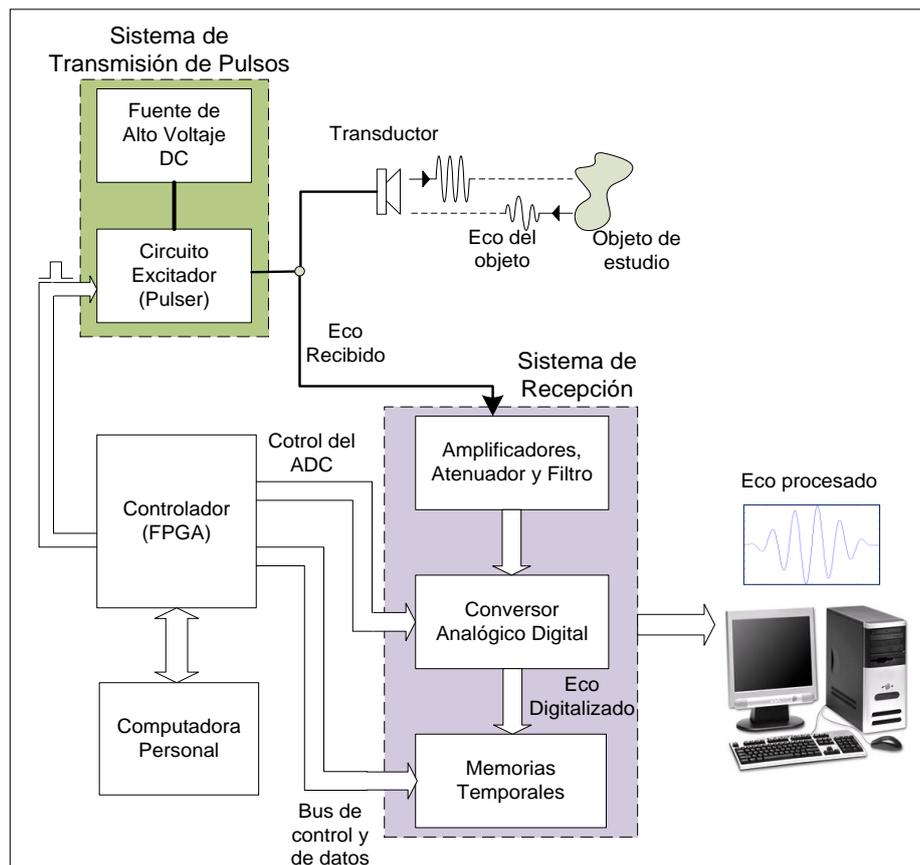


Figura 5. Diagrama de bloques del sistema propuesto.

3.1 Sistema de Transmisión de pulsos

I. Precedente

En el trabajo de tesis de [Ingunza02] se desarrolló un circuito pulser de banda ancha capaz de excitar transductores de 2 y 4 MHz. El diagrama esquemático de dicho circuito se muestra en la Figura 6. El principio de operación básico del circuito consiste en almacenar energía en un capacitor (C1) para luego, mediante un MOSFET, conmutar la carga y transmitir la energía almacenada rápidamente al transductor de ultrasonido. La

carga y descarga del capacitor se controlan con señales digitales generadas por un microcontrolador PIC 16F877-20. Para limitar la duración de los pulsos generados por el microcontrolador se utilizó un monoestable CD74HC4538 y para conmutar el HEXFET se utilizó el UC3710. Los resultados obtenidos muestran que el tiempo de bajada del pulso de excitación es de 25ns y el tiempo de recuperación del pulso está alrededor de los 200ns. Los resultados obtenidos en dicho trabajo muestran que el pulso generado puede excitar satisfactoriamente transductores de 4 MHz. La fuente de alimentación desarrollada para excitar al transductor de ultrasonido está basada en un circuito “multiplicador de voltaje”, el cual consta de un arreglo de diodos y condensadores. Para entender con mayor detalle el principio de funcionamiento de este circuito de excitación revisar [Ingunza02].

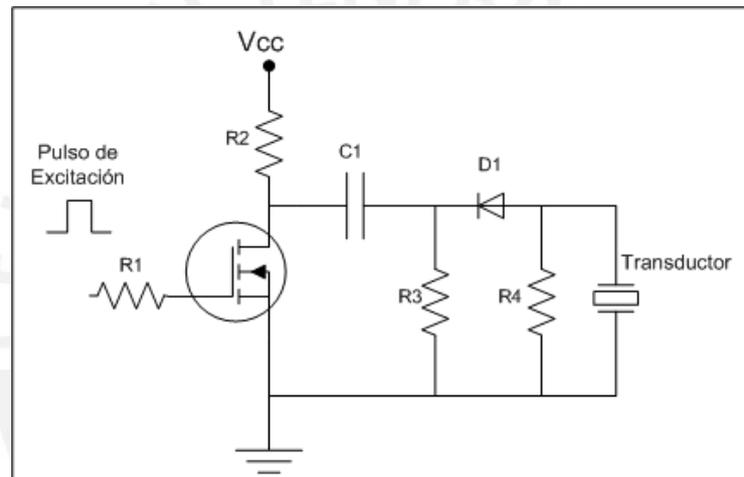


Figura 6. Diagrama esquemático del circuito pulser construido en [Ingunza02].

II. Diseño propuesto

Debido a los buenos resultados obtenidos en [Ingunza02], en el presente trabajo se optó por utilizar un circuito excitador de banda ancha (aguja) pero modificando los componentes utilizados para mejorar el tiempo de conmutación del pulso de excitación (aumento del BW).

a) Circuito de Excitación

Como se mencionó en el Capítulo 2, el BW del pulso de excitación debe ser mayor o igual a 22.5 MHz, rango de frecuencias utilizado en aplicaciones médicas convencionales. Del análisis del circuito de la Figura 6 se deduce que para aumentar el BW del sistema es necesario disminuir el tiempo de conmutación del circuito pulser. Esto significa que el HEXFET y el resto de componentes seleccionados deben tener una respuesta en el

orden de los nanosegundos, para asegurar así, la máxima transmisión de energía al transductor. De este análisis también se deduce que la disminución del tiempo de descarga del condensador afecta la amplitud máxima del pulso de excitación. Empíricamente se observó que el voltaje mínimo para excitar los transductores ultrasónicos adquiridos en el laboratorio es de 40VDC. Tomando este valor como umbral mínimo se procedió a re-calcular los valores de los componentes del circuito (resistencia y condensador) para lograr el BW máximo.

En la Tabla 1 se muestra una comparación de las características físicas y eléctricas de seis tipos de HEXFET que se pueden encontrar en el mercado local. Los parámetros más relevantes para la elección del conmutador fueron: tiempo de subida, tiempo de bajada y voltaje de drenador a surtidor (). Los tiempos de conmutación deben ser los apropiados para que el pulso de excitación tenga el BW requerido y el voltaje determina si el HEXFET puede soportar el pulso de alta potencia. Finalmente el componente seleccionado fue el IRF820, que soporta voltajes entre drenador y surtidor de hasta 500V y tiene tiempos de conmutación menores a 20ns.

	IRF620	IRF630	IRF720	IRF740	IRF820	IRF840
Voltaje Drenador Surtidor (V)	200	200	400	500	500	500
Resistencia Interna	0.8	0.4	0.55	0.85	3	0.85
Corriente Drenador Surtidor (A)	6	9	10	8	2.5	8
T_{subida} (ns)	40	15	14	27	8	21
T_{bajada} (ns)	10	40	50	24	16	19

Tabla 1. Transistores MOSFET tipo HEXFET disponibles en el mercado local.

Para controlar adecuadamente el IRF820 se utilizó el circuito integrado de potencia UC3710 debido a los buenos resultados obtenidos en [Ingunza02], y a la disponibilidad del chip en el mercado local. Otro dispositivo importante en el circuito excitador es el diodo "D1" de la Figura 7. El diodo utilizado en el circuito pulser propuesto es el BAT42, el cual es recomendado para aplicaciones de radio-frecuencia (RF) por fabricantes como Texas Instruments y Analog Devices debido a su bajo tiempo de respuesta (5ns). Las características eléctricas más resaltantes del diodo BAT42 se muestran en la Tabla 2.

Parámetros	Valor	Unidades
Voltaje pico inverso máximo	30	V
Corriente directa	200	mA
Disipación de Potencia	200	mW
Capacitancia de entrada	7	pF
Tiempo de recuperación	5	ns

Tabla 2. Características eléctricas del diodo BAT42.

La señal de inicio del sistema (la inversa de PRF) es enviada desde el controlador (FPGA) hacia el sistema de excitación de alta potencia. Para evitar interferencias de la fuente de voltaje y del pulso de excitación en la etapa digital de adquisición de datos, es necesario utilizar un opto-acoplador. Para este proyecto se optó por el 4N25 de la empresa Fairchild Semiconductors. En la Tabla 3 se muestra las principales características eléctricas de este componente.

Parámetros	Valor	Unidades
Voltaje inverso máximo	6	V
Tiempo de subida y de bajada	2	us
Corriente del colector	100	mA
Capacitancia de entrada	25	pF

Tabla 3. Características eléctricas del 4N35.

En la Figura 7 se muestra el circuito esquemático diseñado para el circuito pulser con los valores de resistencia y de condensador adecuados de tal forma que el tiempo de descarga del condensador C1 sea mínimo, logrando así mayor BW. En el circuito esquemático mostrado se considera voltajes de alimentación de 5VDC, 12VDC y 180VDC para el opto acoplador, el circuito integrado de potencia y la etapa de excitación respectivamente. Además se considera condensadores de desacoplo para la alimentación de 5VDC y 12 VDC.

En la Figura 8 se muestra las simulación obtenida con el software SPICE® del circuito de excitación diseñado (Figura 9) para una resistencia de amortiguamiento de 50 Ohmios. La simulación predice que el pulso eléctrico generado tiene una amplitud pico de 50V, tiempo de bajada menor a 10ns, y tiempo de recuperación de 12ns.

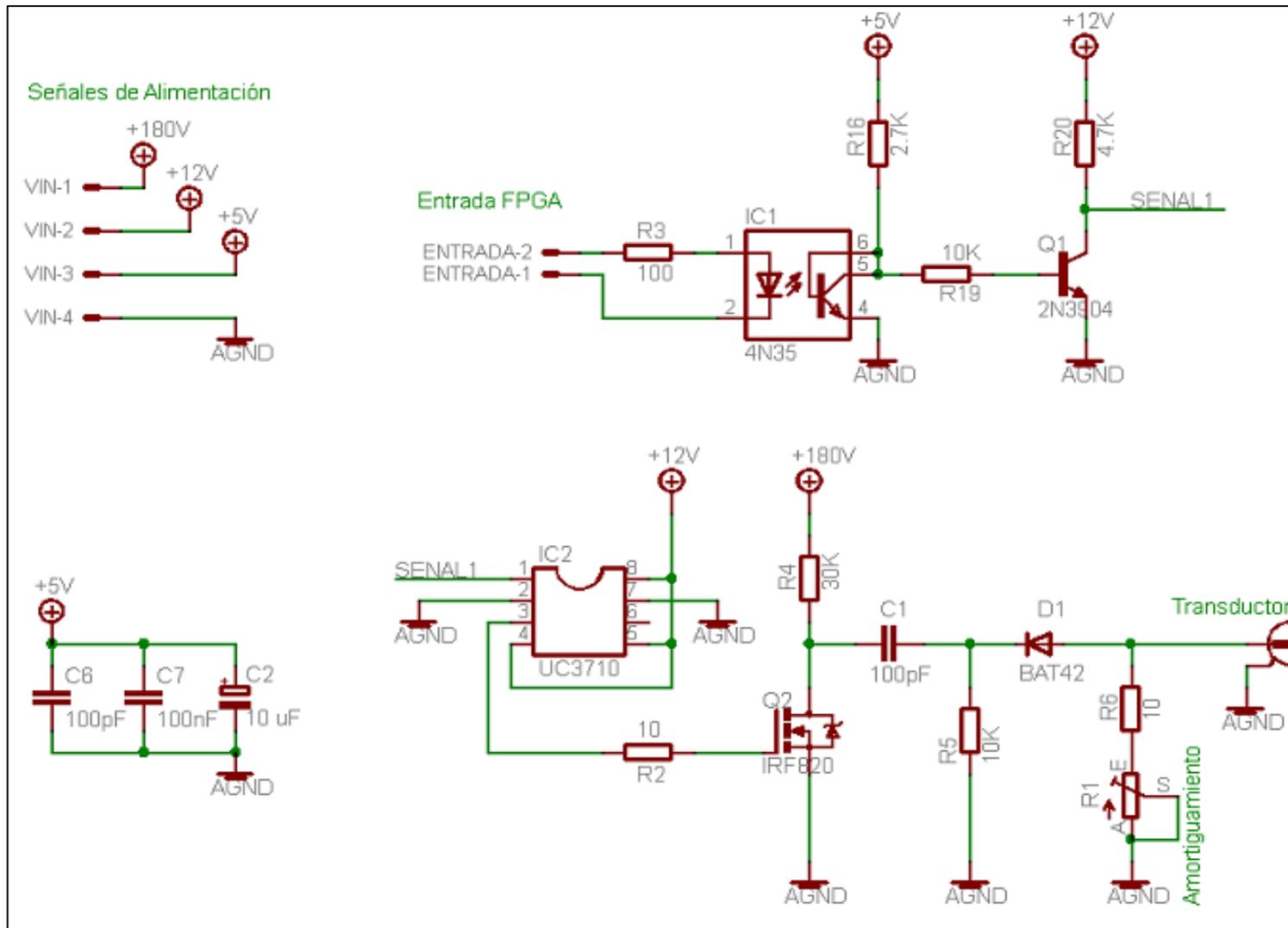


Figura 7. Diagrama esquemático final del circuito excitador.

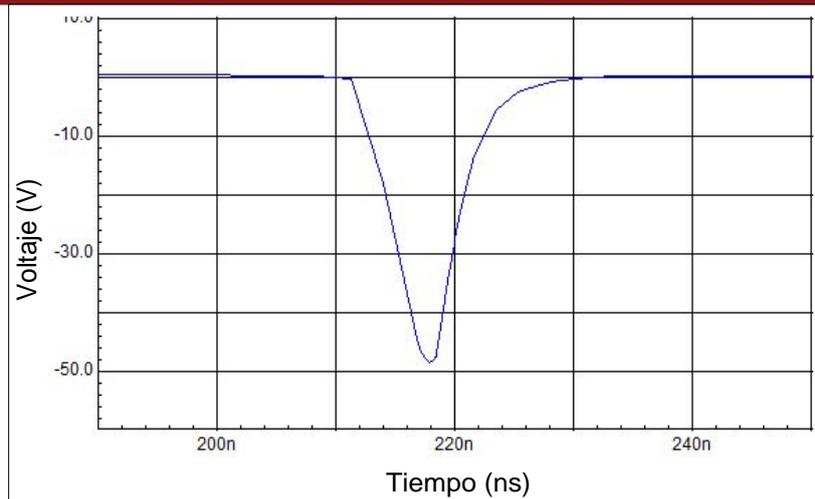


Figura 8. Simulación con el software SPICE del pulso diseñado.

La respuesta en frecuencia del pulso de excitación diseñado se muestra en la Figura 9. El BW del pulso generado por la simulación es de aproximadamente 48 MHz (a -3dB). Este valor es suficiente para cubrir los 22.5 MHz planteados como requerimiento del sistema.

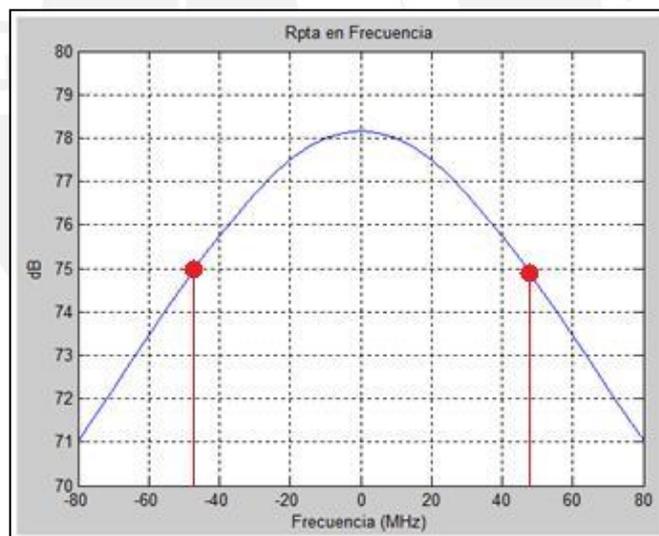


Figura 9. Ancho de banda teórico obtenido con el software MATLAB®.

El circuito propuesto está diseñado para soportar valores de resistencia de amortiguamiento configurables (R_1 en el circuito esquemático de la Figura 7) desde 50 hasta 500 Ohmios. Estos valores de impedancia han sido escogidos considerando que la impedancia nominal de los transductores de ultrasonido es de 50 Ohmios y tomando como referencia el equipo comercial MS5800 de Olympus® [Olympus06].

b) Fuente de Voltaje

El sistema desarrollado requiere de dos fuentes de alimentación, una para la etapa de excitación (potencia) y otra para la etapa digital. En la etapa de potencia, se utilizó un circuito “multiplicador” de voltaje de 10 etapas con lo cual se obtiene alrededor de 120VDC, valor de voltaje suficiente para excitar un transductor ultrasónico. Para generar la fuente de voltaje de potencia se utilizó un circuito “multiplicador de voltaje” debido a los buenos resultados obtenidos en el trabajo de [Ingunza02]. Para la etapa digital se diseñó una fuente de voltaje de 3.3, 5, 12 y -5 voltios continuos (VDC) a partir de un voltaje alterno de 15 VRMS. Para obtener 12 y 5.5 VDC se utilizó los reguladores de voltaje LM7812 y LM7805 respectivamente. Para generar los voltajes de 3.3V y -5V se utilizaron los reguladores de voltaje variable LM317 y LM337 respectivamente. En la Figura 10 se muestra el circuito esquemático diseñado para la fuente de energía.

3.2 Sistema de Recepción de Datos

I. Precedente

En el trabajo de tesis de [Ingunza02] se desarrolló un circuito de adquisición de datos con las siguientes características:

- Frecuencia de muestreo de hasta 20MSPS.
- Resolución de 12 bits.
- Memorias RAM estática de almacenamiento temporal de 32KB.
- Microcontrolador PIC 16F877-20 de 5 MIPS.
- Transmisión de datos por protocolo RS232.
- Interfaz de usuario para realizar el procesamiento de datos.

En este diseño se utilizó un microcontrolador de la empresa Microchip® para controlar las señales de control tanto en la etapa de excitación como en la etapa de adquisición. Conforme se reciben los datos el sistema guarda la señal digitalizada en la memoria RAM. Posteriormente el sistema envía los datos a la PC para su post-procesamiento mediante el protocolo RS232.

II. Diseño propuesto

Para un mejor análisis, se dividió el diseño propuesto en tres partes: Adquisición de datos, Acondicionamiento de señal y procesamiento de datos.

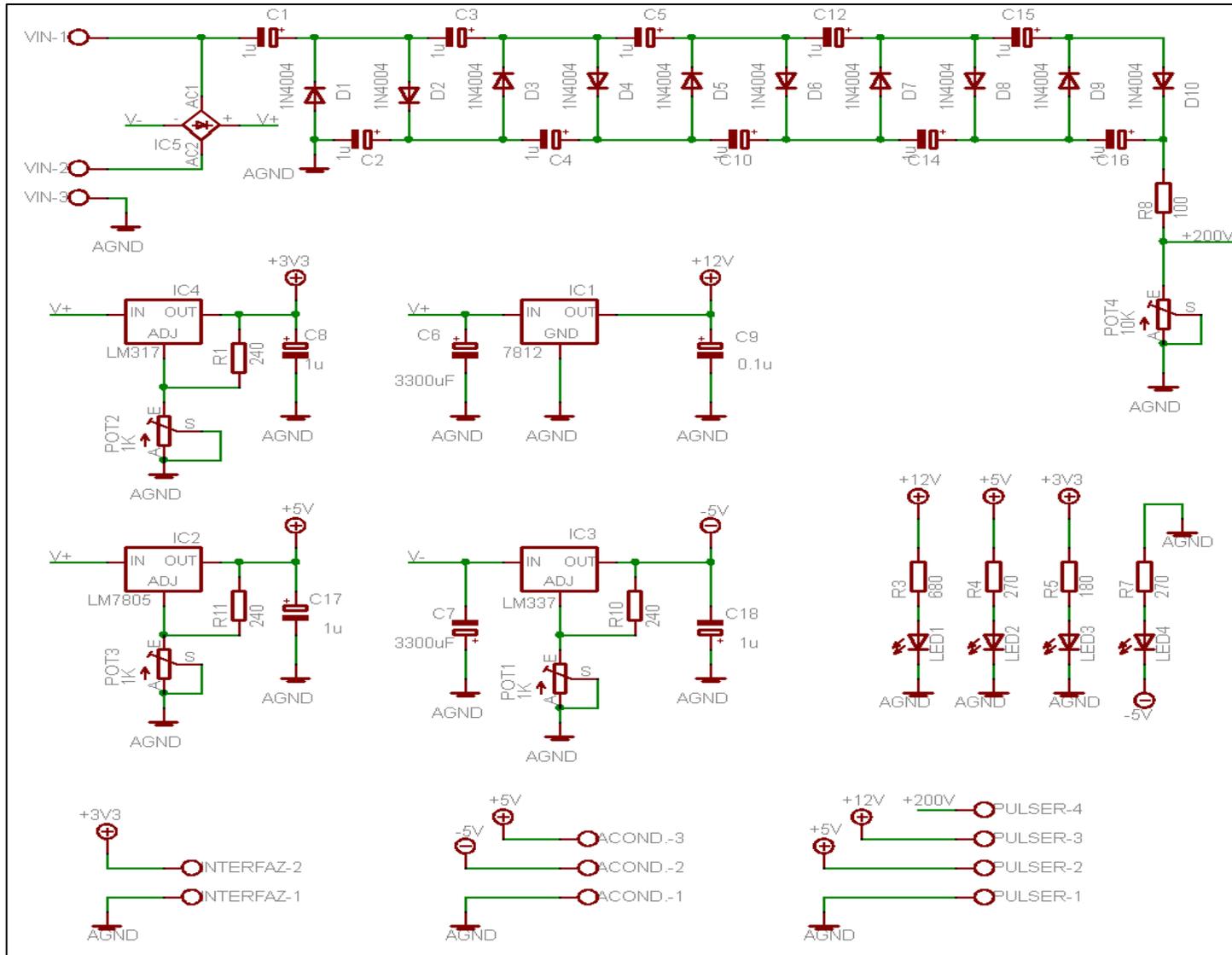


Figura 10. Diagrama esquemático de la fuente de energía del circuito.

a) Adquisición de datos

Por el criterio de Nyquist, sabemos que para muestrear correctamente una señal es necesario como mínimo una frecuencia de muestreo de por lo menos el doble de la señal a digitalizar. En aplicaciones médicas convencionales las señales ultrasónicas tienen una frecuencia máxima de 22.5MHz, esto significa que la tasa de adquisición de datos del ADC a escoger debe ser mayor a 45MSPS. Sin embargo, como se mencionó en el Capítulo 1, en el presente proyecto sólo utilizaremos transductores de hasta 5MHz de frecuencia central de oscilación debido a la disponibilidad en el laboratorio. Si asumimos un BW del 100% para estos transductores entonces la frecuencia máxima de la señal ultrasónica sería de 7.5MHz. Es decir, la frecuencia de muestreo mínima del ADC debe ser 15MSPS. Bajo esta premisa, en el presente trabajo se optó por utilizar la tarjeta de evaluación del conversor análogo-digital AD6640 de la empresa Analog Devices debido a la disponibilidad del equipo y a la facilidad de uso.

Cabe resaltar que esta tarjeta de evaluación fue proporcionada por el Radio Observatorio de Jicamarca (ROJ). En la Tabla 4 se muestran las características principales del AD6640, entre las principales destacan: bajo consumo de potencia, 12 bits de resolución, tasa de muestreo de 65 MSPS y SNR de 68 dB.

Parámetros	Valor	Unidades
Voltaje de entrada	2	Vpp
Voltaje de salida	3.3 - 5	V
Tasa máxima de muestreo	65	MSPS
Rango dinámico	80	dB
Relación Señal al Ruido	68	dB
Impedancia de entrada diferencial	1.5	pF
No linealidad	0.5	LSB
Potencia Consumida	710	mW
Voltaje de Alimentación	± 5	V
Retardo de salida en la digitalización de datos	8.5 – 12.5	Ns

Tabla 4. Características del conversor analógico digital AD6640.

Este módulo de evaluación posee entradas analógicas diferenciales, tanto para la señal de reloj (ENCODER) como para la señal de entrada de datos (AIN). El voltaje de referencia interno del ADC es provisto por reguladores internos de 2.4 VDC. Adicionalmente el módulo AD6640 está provisto internamente de transformadores de

acople de impedancia y diodos de protección en la entrada, buffer de protección a la salida y condensadores de entrada y salida para filtrar el ruido. Los conectores tanto de la señal de entrada como para la señal de reloj son del tipo BNC de 50 Ohmios. Para mayor información sobre el AD6640 se recomienda revisar [AnalogDevices03].

El diagrama de tiempos del AD6640 se muestra en la Figura 11. Se observa que las señales de entrada y de reloj se ingresan por los canales AIN y ENCODE respectivamente. Cada vez que el ADC detecta un flanco de subida en el canal ENCODE se empieza con la digitalización de los datos ingresados por el canal AIN. Los datos digitalizados están disponibles luego de 2 ciclos de reloj más un retardo denominado t_{AO} , el cual varía entre 8.5 y 12.5ns. El tiempo t_{AO} es de 400ps.

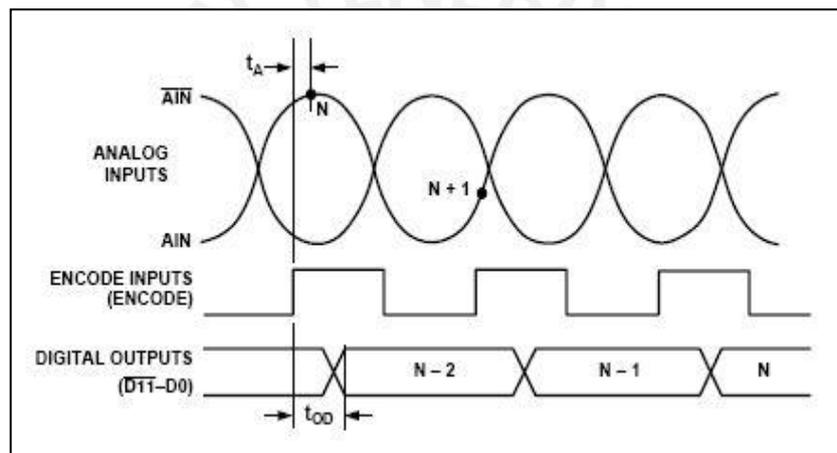


Figura 11. Diagrama de tiempos del ADC AD6640 [AnalogDevices03].

Para almacenar las señales digitalizadas el sistema utiliza las compuertas lógicas del FPGA como memorias temporales. Esto limita la cantidad de datos que se pueden almacenar debido a la capacidad interna del FPGA. Para aumentar el número de datos adquiridos con el sistema se realizarán varias adquisiciones correspondientes a varios intervalos de tiempo de una misma muestra y luego se concatenarán los datos para formar la señal original.

b) Acondicionamiento de Señal

Tomando como referencia el trabajo de [Ingunza02] y mediciones realizadas con transductores de ultrasonido, se observó que el pulso de excitación de un transductor de ultrasonido puede llegar hasta 60 VDC y que los ecos obtenidos por el transductor pueden alcanzar amplitudes entre 10 mVpp y 80 mVpp. El ADC seleccionado soporta voltajes de entrada de hasta 2 Vpp, es decir es necesario amplificar la señal de

ultrasonido para aprovechar todo el rango dinámico del ADC. Además, como se mencionó en el capítulo anterior, es necesario limitar la señal proveniente del transductor, para evitar dañar al ADC con los voltajes elevados de la etapa de excitación. Debido a las características físicas de la señal de ultrasonido, es necesario utilizar un amplificador con BW y Slew Rate elevado, de bajo ruido y alta estabilidad en frecuencia. En particular, el amplificador a utilizar debe seguir señales con frecuencia de hasta 10MHz (se considera hasta el 5to armónico para un transductor de 2MHz). En el presente proyecto se utilizó el amplificador ZFL-500LN+ (24dB) y como atenuador el VAT-3 (-3dB) ambos de Minicircuits®, empresa especializada en aplicaciones de radiofrecuencia. En la Figura 11 se muestra el atenuador y el amplificador utilizados, y en la Tabla 5 y 6 se muestran sus características técnicas.

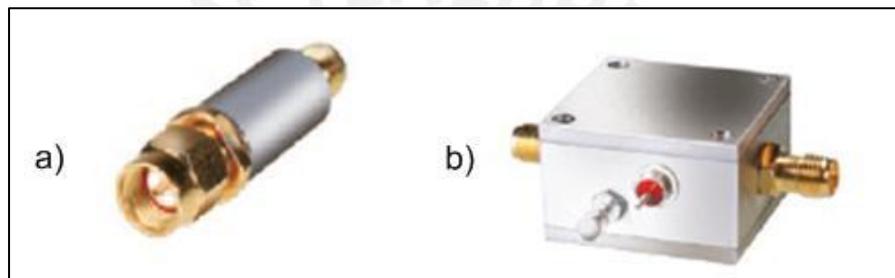


Figura 11. a) Atenuador VAT-3 y b) Amplificador ZFL-500LN+

Impedancia	50 Ohmios
Rango de frecuencias	0.1 – 500 MHz
Ganancia	24dB +/-0.5
Potencia	+5 dBm
Tipo de conector	SMA

Tabla 5. Características técnicas del amplificador ZFL-500LN+.

Impedancia	50 Ohmios
Rango de frecuencias	0 – 600 MHz
Atenuación	-3dB
Potencia	1W
Tipo de conector	SMA

Tabla 6. Características técnicas del atenuador VAT-3.

c) Control y Procesamiento de datos

Para el control y procesamiento de datos del presente proyecto se pueden utilizar diversos dispositivos, como por ejemplo: un microcontrolador (uC), un DSP o un dispositivo lógico programable (CPLD o FPGA). Actualmente en el mercado podemos encontrar microcontroladores con frecuencias de operación en el orden de los cientos de MHz, incluso GHz; sin embargo, la característica única del FPGA de realizar procesos de manera concurrente (en paralelo) lo hacen ideal para aplicaciones de adquisición de datos de alta velocidad. Entre las principales ventajas de los FPGA's destacan: su elevada potencia de cálculo, la capacidad de realizar procesos concurrentes y la flexibilidad de programación [Xilinx12, Altera12]. Además actualmente existe una tendencia en usar FPGA's en el desarrollo de sistemas de adquisición de datos de alta velocidad [Scabia02, Choubey06, Kalashnikov07]. En el presente proyecto se optó por utilizar un FPGA VirtexII-Pro (módulo XC2VP30) de la empresa Xilinx. Las razones para escoger este módulo fueron las siguientes:

- **Potencia de cálculo.** El módulo de evaluación utilizado tiene una potencia de cálculo de 200 MIPS.
- **Disponibilidad.** Este módulo de entrenamiento ha sido adquirido por la universidad y se encuentra disponible en los laboratorios del Grupo de Procesamiento Digital de Señales e Imágenes (GPDSI) y de Microelectrónica (GUE).
- **Facilidad en el uso.** Otra ventaja de este módulo es que los incluye conectores de alta velocidad conectados directamente a los puertos de entrada y salida del FPGA. Estos conectores están diseñados para reducir ruido de altas frecuencias. Además dicho módulo tiene incorporado los periféricos necesarios para transmisión de datos con el protocolo RS232 y Ethernet. A esto se suma el hecho que todos los componentes del módulo (FPGA, slots para memorias, periféricos, conectores de entrada y salida, pulsadores, leds etc.) están soldados directamente en la tarjeta de evaluación. Con esto se evita soldar componentes de empaques complicados (BGA) y además permite descartar problemas producidos por el hardware.
- **Respaldo.** Otra característica importante es que el fabricante brinda literatura especializada como manuales y ejemplos de aplicación de sus tarjetas de evaluación.

En la Tabla 7 se muestran las características técnicas más relevantes de dicha tarjeta de evaluación y en la Figura 12 se muestra la tarjeta de evaluación.

Recursos	
1	FPGA VirtexII-Pro con procesador Interno PowerPC
1	DDR SDRAM de 2GB
1	Dispositivo físico 10/100 Ethernet
1	Puerto Serial DB-9 RS232 y PS2
1	Potencia de cálculo de hasta 200 MIPS
1	Códec de Audio
1	Puertos de alta velocidad incorporados
1	Puerto USB de configuración
3	Puerto serial SATA
1	Salida XSGA
30,816	Compuertas lógicas
644	Puertos de entrada y salida
27,392	Flip flops

Tabla 7. Características técnicas de la tarjeta de evaluación XC2VP30 de Xilinx.

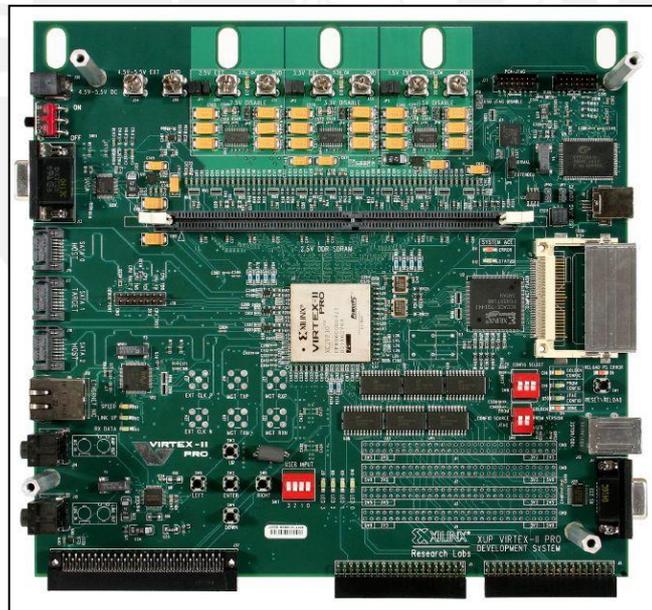


Figura 12. Tarjeta de evaluación XUP2 de la empresa XILINX.

Debido a que es necesario utilizar el puerto de alta velocidad que tiene la tarjeta XUP2, se desarrolló una tarjeta electrónica que sirva como interfaz entre el FPGA, el sistema pulser y el ADC (Figura 13). Esta interfaz tiene un conector BNC para conectar la señal del ADC, un conector tipo Molex para conectar la señal de PRF a la tarjeta pulser y un conector de alta velocidad para enviar las señales de control del FPGA.

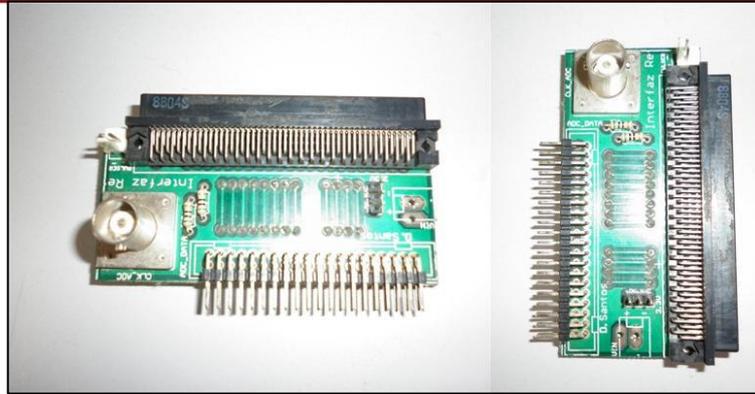


Figura 13. Tarjeta de interfaz entre el FPGA, el pulser y el ADC.

d) Etapa de Transmisión de datos

Como se explicó en el Capítulo 2, la transmisión de datos del sistema se realiza una vez que se ha terminado de adquirir y procesar las señales recibidas por el transductor ultrasónico. Debido a que la velocidad de transmisión no es un parámetro crítico para el presente proyecto, se utilizó una interfaz serial bajo el protocolo RS232 para transmitir los datos desde el FPGA hacia la PC. Sin embargo en la sección recomendaciones del Capítulo 4 se hace un análisis más a detalle de la interfaz de transmisión de datos apropiada para versiones más avanzadas del sistema propuesto.

e) Interfaz de Usuario

Otra característica del sistema propuesto es que el usuario puede configurar los parámetros de cada adquisición de datos desde la PC. Para esto se diseñó una interfaz de usuario (Figura 14) en el entorno de programación Visual Basic® que pueda comunicarse con el FPGA mediante el protocolo RS232. Luego de revisar bibliografía [Schueler84, Powers00, Ingunza02, Hein92, Ping96] sobre los parámetros utilizados en este tipo de ensayos se consideraron los siguientes:

- **Frecuencia de repetición de pulsos (PRF).** Indica la frecuencia con la cual se enviará los pulsos de potencia para excitar al transductor. El usuario podrá escoger los valores de 1, 2 y 5 KHz.
- **Frecuencia de muestreo.** Indica cuántas muestra tomará el sistema por periodo de la onda. El usuario podrá escoger los valores de 25 y 50MHz.
- **Número de datos (Tiempo de adquisición de datos).** Indica cuántas muestras se tomarán en la etapa de digitalización de datos.

- **Tiempo de espera.** Este valor determina el tiempo que se debe esperar entre la excitación del transductor y la toma de datos.
- **Número de muestras (promediados).** Este valor indica cuántas muestras se tomarán para una misma línea de datos. El valor escogido debe ser múltiplo de 2 y puede llegar hasta un máximo 64 veces.

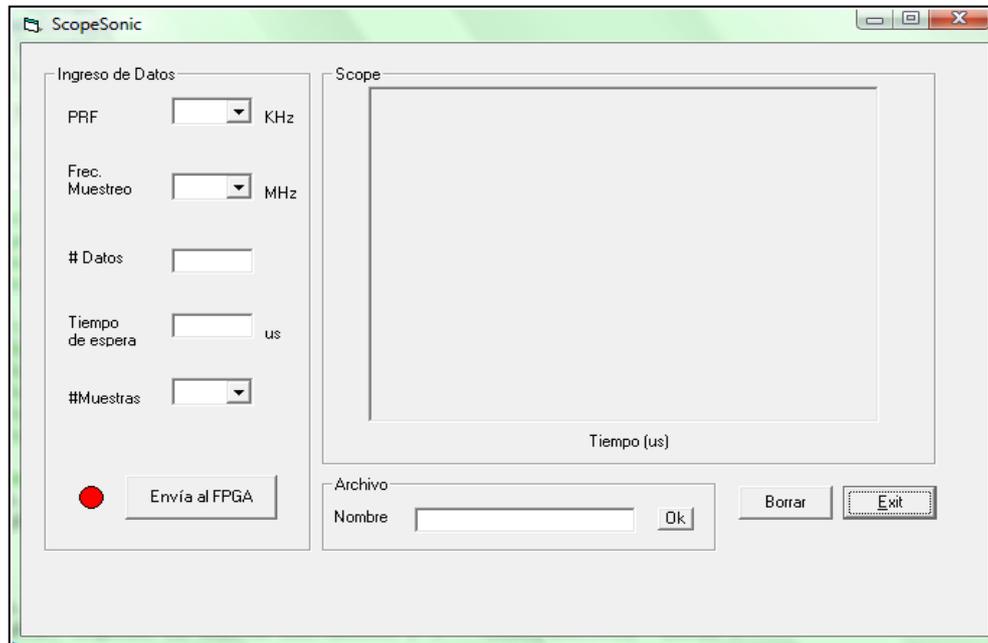


Figura 14. Interfaz gráfica del sistema.

3.3 Diseño de la Lógica de Control

El proceso de funcionamiento del sistema es el siguiente: Primero el usuario configura los parámetros del experimento en la interfaz de usuario. Luego de configurar estos parámetros, la PC envía toda la información al FPGA para empezar con la digitalización de datos. Finalmente, el FPGA genera las señales de control para la adquisición de datos y posteriormente envía la información recopilada a la PC. A continuación se describe la lógica de control del FPGA desde la etapa de inicialización hasta la transmisión de los datos digitalizados.

Antes de empezar con el proceso de adquisición es necesario inicializar todas las variables en el FPGA para evitar que alguna variable tenga un valor aleatorio. Cabe resaltar que en lugar de utilizar memorias externas, se optó por utilizar memorias internas en el FPGA en base a compuertas lógicas. Las memorias internas del FPGA se denominan como FIFO1 y FIFO2 a lo largo del documento para facilitar la explicación. La primera memoria (FIFO1) almacenará todos los datos provenientes directamente del ADC,

la segunda memoria (FIFO2) se encargará de almacenar los datos sumados por el FPGA. En el caso que se desee utilizar memorias externas, las señales de control de este proceso serán direccionadas a los puertos de salida del FPGA según corresponda. En la Figura 15 se muestra el diagrama de tiempos de la lógica de control propuesta.

Al inicio del proceso de adquisición de datos el FPGA enviará una señal de control (PRF) al circuito excitador para que se generen los ecos ultrasónicos. La PRF tendrá una frecuencia máxima de 5KHz (tiempo mínimo de duración de 200us). Después de un tiempo el ADC inicia la conversión de datos por un tiempo (máximo de 100us). Luego la memoria FIFO1 se activa por el mismo tiempo en modo Escritura para que cada dato digitalizado por el ADC se almacene en una posición de la memoria. Al finalizar el almacenamiento de todos los datos en la memoria, el FPGA activa las 2 memorias FIFO en modo Lectura. Luego el FPGA lee uno por uno los datos de cada posición de memoria, los suma y almacena en la FIFO 2 (Acumulador). Los valores de tiempo, y son especificados por el usuario. Todo este proceso, desde la digitalización hasta la suma, es realizado una cantidad de veces también especificada por el usuario (n veces en el ejemplo de la Figura 19), luego del cual el FPGA activará la FIFO2 en modo lectura y capturará la sumatoria de los datos del acumulador. Luego se procede a normalizar la suma dividiendo entre el número de adquisiciones (n) y posteriormente el FPGA transmite la señal promediada a un computador personal. Finalmente para adquirir una siguiente línea de datos, el sistema debe repetir todo los procedimientos descritos anteriormente, desde la inicialización del sistema hasta la transmisión de datos a la PC.

3.4 Diseño del Software

Para generar las señales de control necesarias del sistema es necesario desarrollar una arquitectura que genere señales de control de manera secuencial y de manera concurrente (paralela). Por tal motivo, en el proyecto propuesto se utilizó una arquitectura con máquinas de estados [Pedroni04]. Existen dos tipos de máquinas de estado: máquina de Mealy y máquina de Moore. La salida de la máquina de Mealy depende del estado presente y de otros parámetros de entrada. Por el contrario, la salida de la máquina de Moore sólo depende del estado presente [Brown05]. En este proyecto en particular se utilizará la máquina de Mealy ya que la salida depende de variables externas y no necesariamente del estado presente.

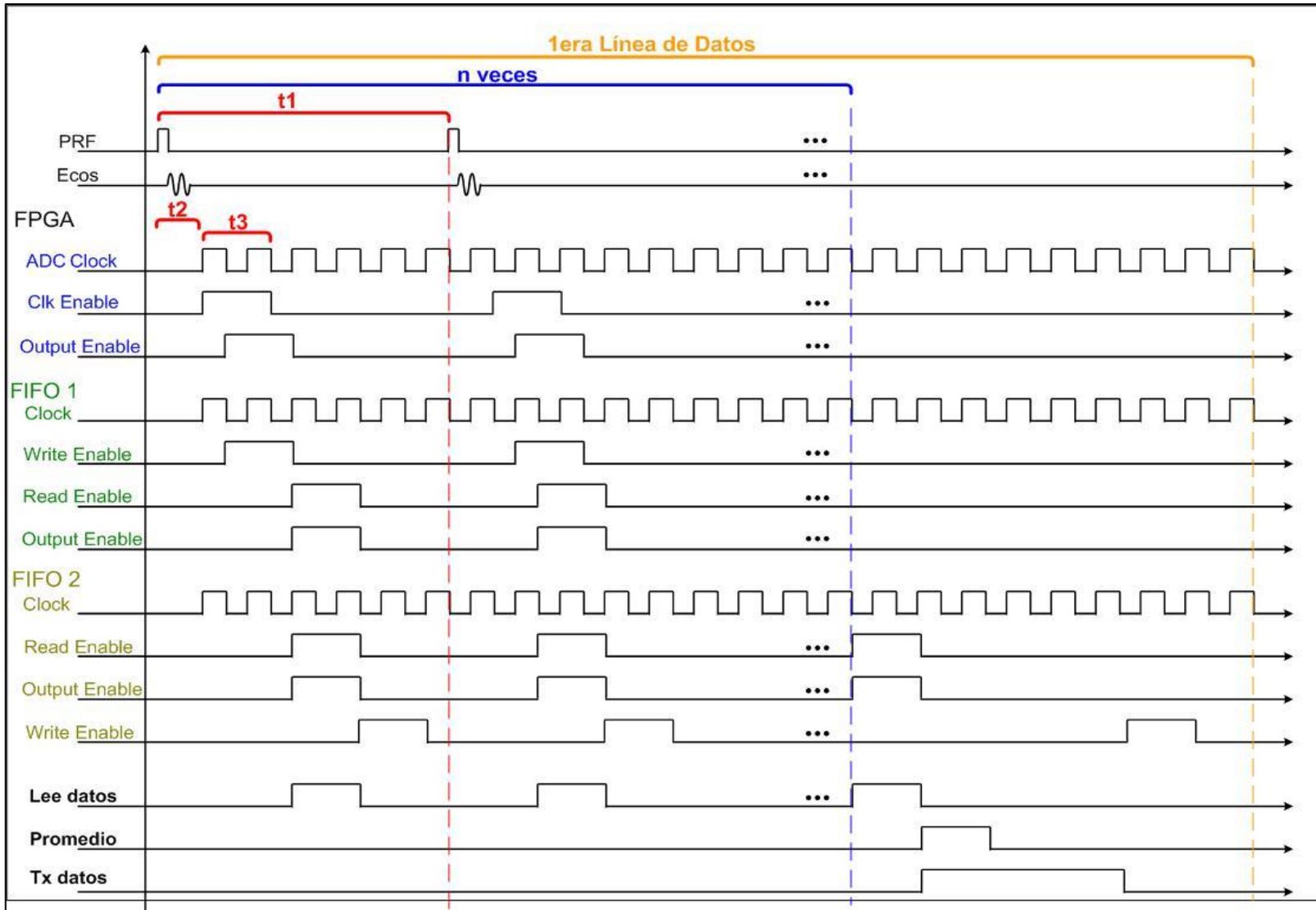


Figura 15. Diagrama de tiempos de la lógica de control del sistema.

Para realizar la programación de la lógica de control se tuvo que diseñar máquinas de estado para los estados principales y además diseñar sub-máquinas de estado dentro de los estados principales. Esto implica que todos los estados deben estar sincronizados para un correcto funcionamiento en conjunto de todo el sistema. El sistema propuesto consta de 10 estados los cuales a su vez están formados de sub-estados como se observa en la Figura 16. El comportamiento de dichos estados corresponde al diagrama de tiempos de la lógica de control descrita en la Figura 15. Para configurar la frecuencia de muestreo del sistema a 25 o 50MHz, se utilizó divisores de frecuencia de la señal de reloj por defecto de 100MHz. Por ejemplo si el usuario escogiera una frecuencia de 25 MHz, automáticamente el FPGA utilizaría un divisor de frecuencia con un factor de 4 para llegar a 25 MHz.

A continuación se presentan las simulaciones obtenidas del software desarrollado para el sistema de adquisición de datos propuesto. La plataforma utilizada para realizar las simulaciones fue Quartus® II de Altera. Todas las simulaciones presentadas se realizaron en el modo "Timing", el cual permite apreciar el comportamiento más cercano a la realidad ya que considera los retardos internos del FPGA. Para facilidad en la explicación se presenta una simulación general del funcionamiento de todos los procesos del sistema propuesto. Estos procesos son: recepción y transmisión de datos con el protocolo RS232, adquisición de datos, almacenamiento en memoria y promediado de datos. Los parámetros de entrada de la simulación fueron: PRF de 1KHz, número de datos igual a 7, frecuencia de muestreo de 50MHz, tiempo de espera de 200ns y número de muestras (promediado) igual a 4. Cabe resaltar que de los 7 datos adquiridos el último dato se usa para indicar el fin de la trama (dato con ceros), es decir, sólo se digitalizan 6 datos de manera efectiva.

I. Recepción de datos

Para simular la recepción de datos se generó manualmente como entrada las tramas de datos del protocolo RS232 en el programa Quartus II. Luego se verificó que el sistema reciba y almacene correctamente dichos datos. La configuración del protocolo RS232 fue: comunicación síncrona, sin paridad y un bit de parada. Para fines prácticos, se escogió una velocidad de muestreo diferente a la real de tal forma que se pueda apreciar en la simulación. En la Figura 17 se muestra el resultado obtenido para la recepción de datos. Se observa que el sistema identifica y almacena correctamente los 5 datos recibidos. Los parámetros del experimento fueron: 4 muestras, 50MHz de frecuencia de muestreo, 7 datos, PRF de 1KHz y 200ns de tiempo de espera (lo cual equivale a la espera de 10 datos).

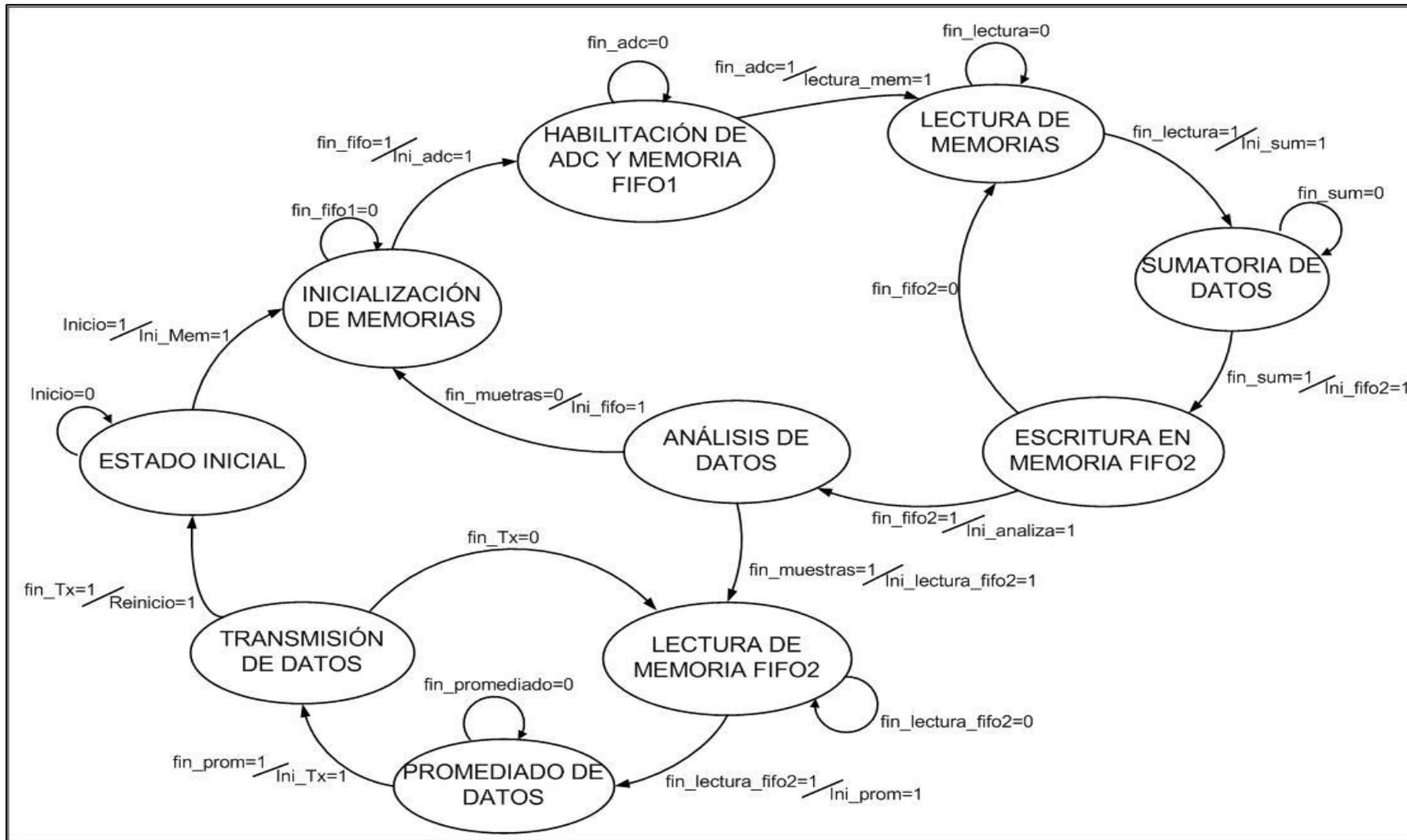


Figura 16. Diagrama de estados de todo el sistema.

En esta simulación se utilizó una frecuencia de muestreo de 50MHz para verificar el funcionamiento de la recepción de datos a una velocidad máxima. La descripción de los indicadores generados es la siguiente:

- Din* : Señal de entrada
- Buf_fin_rx* : Bandera que indica el fin de un recepción de datos.
- Buf_datavalida* : Bandera que indica una comunicación exitosa.
- Buf_data* : Buffer que contiene el dato recibido.
- Buf_error* : Bandera que indica si se ha producido un error en la recepción de datos.

II. Adquisición de datos

Luego de verificar la recepción de datos se simuló la lógica de control del proceso de la adquisición de datos. Para esto se generaron señales pseudo aleatorias simulando los datos de entrada provenientes del ADC. Además se agregaron señales de identificación (banderas) que muestran el tiempo de actividad de los principales procesos del sistema. En la Figura 18 se muestra la simulación de la lógica de control del sistema para los valores de entrada predefinidos anteriormente. Se puede apreciar que la secuencia de activación de los procesos corresponde al diagrama de tiempos mostrado en la Figura 16. La descripción de los indicadores generados es la siguiente:

- Cont_prf_out* : Contador del número de prf generadas.
- Prf_out* : Pulso de excitación de la tarjeta pulser (Señal PRF).
- Espera_out* : Tiempo de espera entre la señal PRF y la primera adquisición de datos. En la Figura 15 tiene el valor de .
- Toma_dato_out* : Duración del proceso encargado de digitalizar y adquirir los datos del ADC. En la Figura 15 tiene el nombre de *Lee Datos* y tiene un valor .
- Suma_dato_out* : Duración del proceso encargado de sumar los datos adquiridos del ADC con los datos almacenados en la memoria FIFO1 y luego almacenar dicha suma en la memoria FIFO2. En la Figura 15 tiene el valor de .
- Espera2_out* : Tiempo de espera hasta la siguiente señal prf.
- Divide_dato_out* : Duración del proceso encargado en promediar las señales de la memoria FIFO2. En la Figura 15 tiene el nombre de *Promedio*.
- Tx_data_out* : Duración del proceso encargado de transmitir los datos promediados a la PC. En la Figura 15 tiene el nombre de *TX datos*.
- Borro_fifo2_out* : Duración del proceso encargado de borrar la memoria FIFO2.

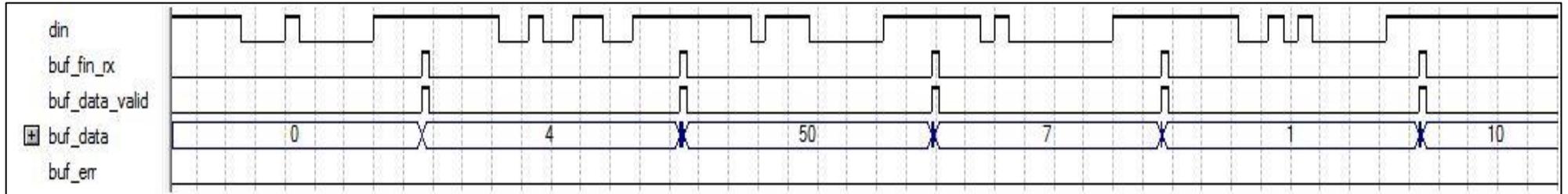


Figura 17. Simulación de la recepción de datos con el protocolo RS232.

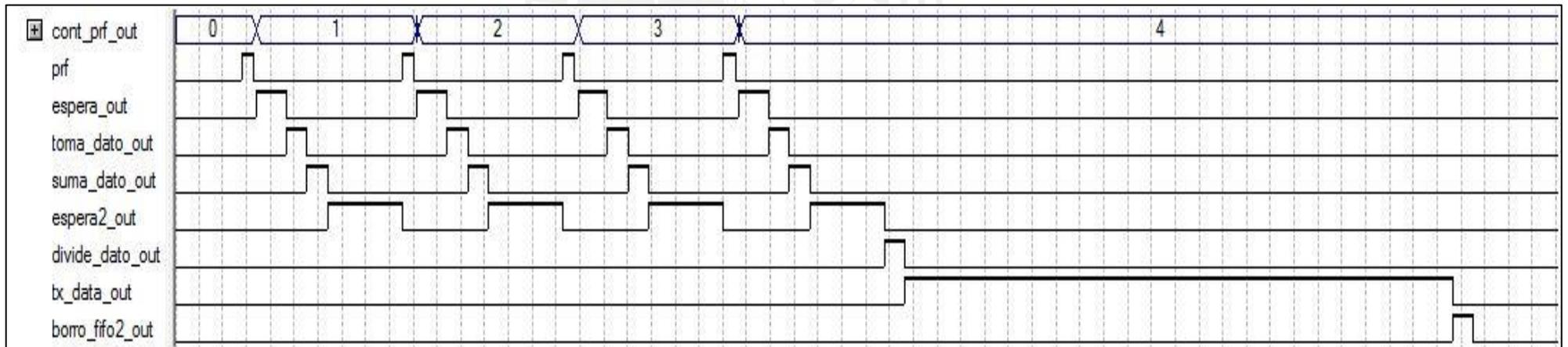


Figura 18. Simulación de la lógica de control.

III. Almacenamiento de datos

A continuación se muestra la simulación obtenida del proceso de almacenamiento y promediado de datos. Las señales que se muestran en esta simulación son:

V0fifo1(i)_out : Corresponde al elemento *i* de la memoria V0fifo1.

V0fifo2(i)_out : Corresponde al elemento *i* de la memoria V0fifo2.

Para facilitar la explicación, sólo se analizará los primeros datos de las 4 adquisiciones realizadas. Es decir, los datos que aparecen en las señales V0fifo1_out y V0fifo2_out de la Figura 19. Los cuatro datos adquiridos fueron: 80, 292, 34 y 214; los cuales se almacenan en la memoria FIFO1 (señal V0fifo1). Las sumas sucesivas de estos datos (80, 372, 406 y 620) se almacenan en la memoria FIFO2 (señal V0fifo2). Luego se procede a leer los datos de la memoria FIFO2 (señal V0fifo2) y a realizar el promediado para las 4 adquisiciones realizadas. El resultado obtenido es 155, el cual es el cociente entero obtenido de la división de 620 entre 4. Luego de la etapa de transmisión de datos la memoria FIFO2 se inicializa en '0'.

IV. Transmisión de datos

La simulación de transmisión de datos con el protocolo RS232 se muestra en la Figura 20. Las señales de control mostrados son:

Trans_out : Datos almacenados en memoria que deben enviarse a la PC.

Datotx_out : Señal de datos generada por el FPGA.

Listotx_out : Bandera que indica el fin de una transmisión exitosa.

Contx_out : Contador del número de datos enviado.

Al igual que en la recepción de datos, la velocidad de transmisión fue escogida de tal forma que se pueda visualizar las señales de control. Debido a que los datos tienen una longitud de 12 bits, se procedió a dividir los datos en dos tramas. La menos significativa (últimos 8 bits) se transmiten primero y la parte menos significativa (4 primeros bits) se transmiten inmediatamente después. Tanto en la transmisión como en la recepción de datos se utilizan los mismos parámetros de comunicación. Regresando al ejemplo anterior, para enviar el valor 155 se debe enviar primero el valor 155 y luego el valor 0 como se muestra en la Figura 20.

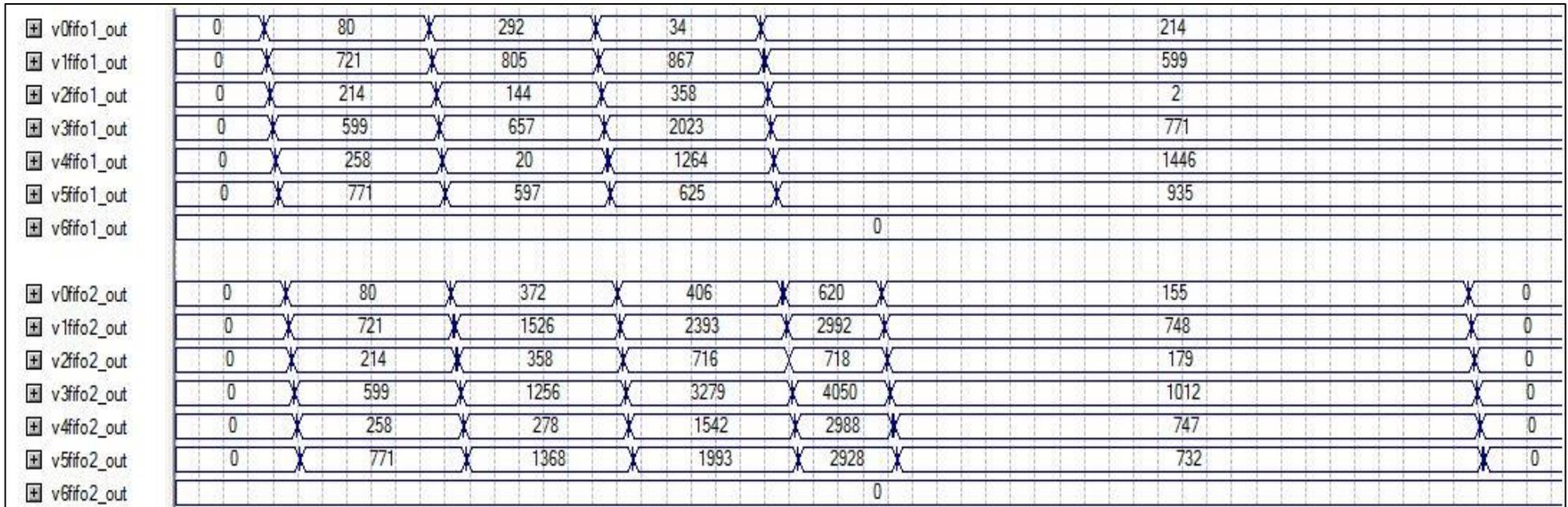


Figura 19. Simulación del almacenamiento y promediado de datos.

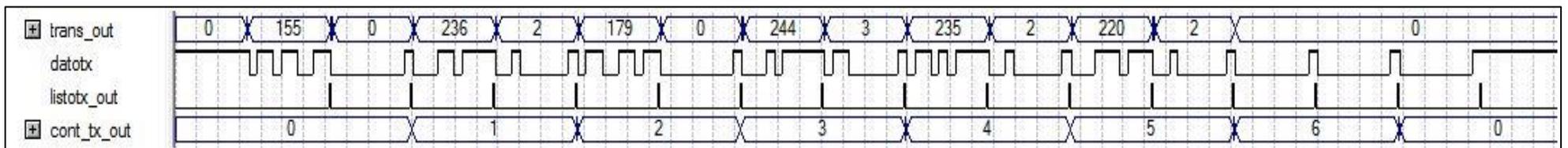


Figura 20. Simulación de la transmisión de datos con el protocolo RS232.

CAPÍTULO 4: IMPLEMENTACIÓN DEL SISTEMA DE ADQUISICIÓN DE DATOS

En el presente capítulo se muestran los resultados obtenidos con el sistema de adquisición de datos desarrollado. Para el sistema de transmisión de pulsos se muestra los resultados obtenidos con el circuito pulser y la fuente de energía. Para validar los resultados obtenidos se presenta una comparación de las señales obtenidas con el sistema propuesto y con el equipo comercial MS5800 de Olympus. En el sistema de adquisición de datos se muestra los resultados obtenidos luego de digitalizar ondas sinusoidales de 1, 2 y 5MHz generadas con un generador de funciones PM5193 de FLUKE, utilizando una frecuencia de muestreo de 25MHz. Además se muestra los datos digitalizados y procesados de ecos de ultrasonido obtenidos con el sistema desarrollado. Para digitalizar las señales se utilizó un osciloscopio TEKTRONIX TDS 1002 y para graficar las imágenes se utilizó el software MATLAB ®.

4.1 Resultados

I. Sistema de transmisión de pulsos

En la Figura 21 se muestran los resultados obtenidos experimentalmente con el circuito de excitación desarrollado y con el equipo comercial MS5800 de Olympus para resistencias de amortiguamiento de 50 y 100 Ohmios. En la Figura 21a, 21c, 21d y 21e se muestran los resultados obtenidos con el sistema propuesto. La respuesta en el tiempo de los pulsos de excitación obtenidos con el equipo comercial MS-5800, para los mismos valores de resistencias de amortiguamiento, se presenta en la Figura 21b y 21e. La respuesta en frecuencia del sistema propuesto y del equipo de MS5800 se muestran en la Figura 21c y Figura 21f respectivamente. Se puede observar que los resultados obtenidos con el sistema propuesto (Figura 21a y 21c) tienen características similares (tiempo de bajada, voltaje y BW) con respecto a la señal obtenida en la simulación del pulso de excitación de la Figura 8 y 8.

Para una resistencia de amortiguamiento de 50 Ohmios el sistema comercial presenta un tiempo de bajada de 8ns, tiempo de subida de 20ns, voltaje pico de -28 voltios y BW a -6dB de 35MHz. Para ese mismo valor de resistencia, el circuito de excitación desarrollado presenta las siguientes características: tiempo de bajada de 8ns, tiempo de subida de 20ns, voltaje pico de -35 voltios y BW a -6dB de 52MHz.

Para una resistencia de amortiguamiento de 100 Ohmios el sistema comercial presenta un tiempo de bajada de 9ns, tiempo de subida de 45s, voltaje pico de -32 voltios y BW a -6dB de 24MHz. Para ese mismo valor de resistencia, el circuito de excitación desarrollado presenta las siguientes características: tiempo de bajada de 9ns, tiempo de subida de 30ns, voltaje pico de -46 voltios y BW a -6dB de 31MHz.

Los resultados muestran que el circuito de excitación desarrollado presenta características comparables en tiempos de conmutación, amplitud y BW, con respecto al equipo comercial MS-5800 de Olympus. Como información complementaria en la Tabla 8 se muestra las características técnicas del equipo MS-5800.

Características	Unidades
Voltaje de salida	de 50 a 300 V
Frecuencia de repetición de pulsos	Hasta 20 KHz
Corriente de salida	1A
Ancho de Banda	de 0.5 a 25 MHz

Tabla 8. Características técnicas del MS-5800 de Olympus.

Las pruebas experimentales obtenidas con el circuito pulser desarrollado muestran que el sistema es capaz de excitar transductores de ultrasonido de hasta 50 MHz (Figura 21c) de frecuencia central de operación, lo cual cubre el rango de frecuencias utilizado en aplicaciones médicas convencionales de ultrasonido. En la Figura 22 y 23 se muestran los circuitos desarrollados de la fuente de voltaje y el circuito pulser respectivamente. Adicionalmente en la Figura 24 se muestra la señal en el tiempo obtenida con el sistema pulser y un transductor de 1MHz utilizando una pieza de metal como prueba. La señal presentada fue digitalizada con un osciloscopio Tektronix a una velocidad de muestreo de 1GSPS. Tanto el transductor como la pieza de prueba fueron proporcionadas por el laboratorio de materiales de la facultad de ingeniería mecánica.

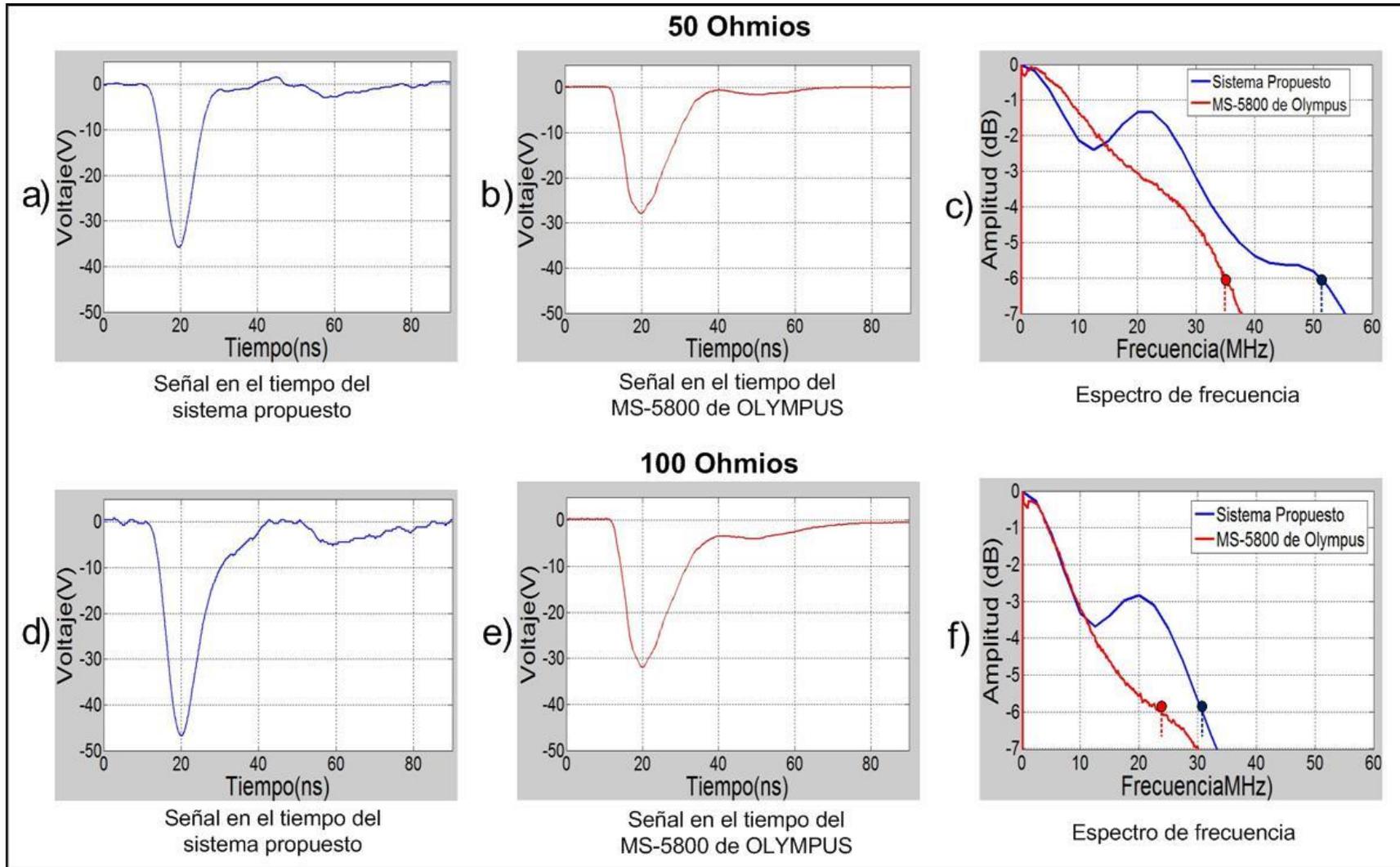


Figura 21. Respuesta en el tiempo y en frecuencia del pulso de excitación con el sistema propuesto (a), (d) y con el equipo comercial MS-5800 de Olympus (b), (e), para resistencia de amortiguamiento de 50 y 100 Ohmios respectivamente.

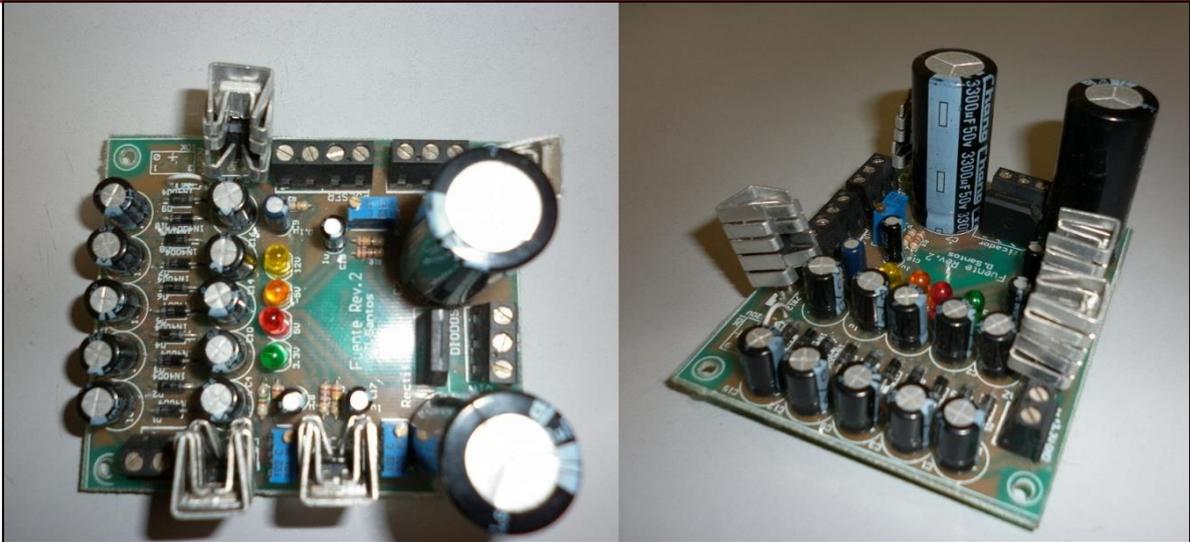


Figura 22. Circuito de la fuente de alimentación desarrollada.

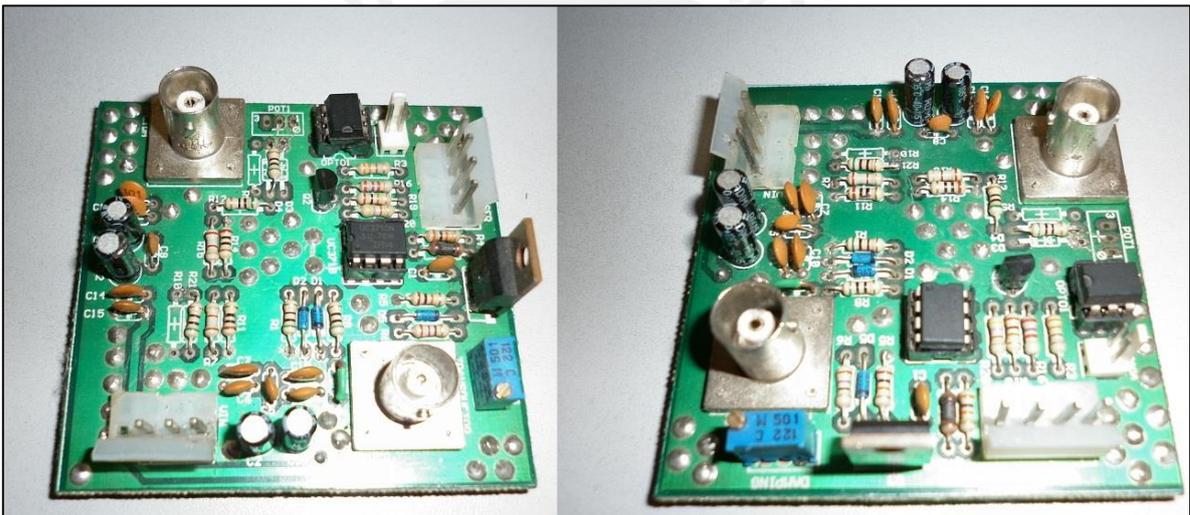


Figura 23. Circuito de excitación ("Pulser") desarrollado.

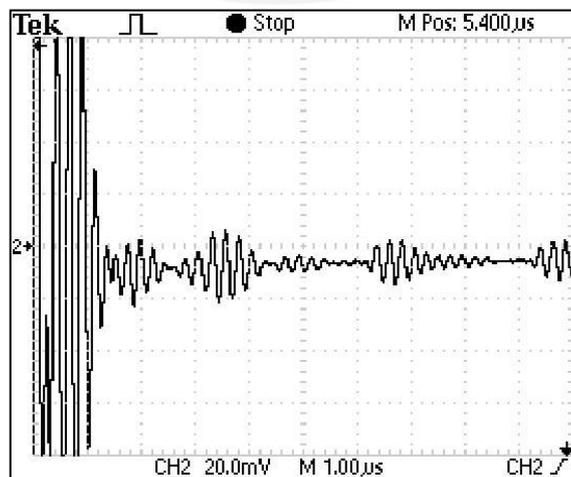


Figura 24. Señal en el tiempo digitalizada por un Osciloscopio Tektronix a 1GSPS utilizando el sistema de excitación desarrollado.

II. Sistema de adquisición de datos

Para validar la digitalización y procesamiento de datos del sistema desarrollado se utilizó un generador de funciones PM5193 de la marca FLUKE para generar señales sinusoidales a la entrada del sistema. La validación consiste en corroborar si las señales adquiridas con el sistema propuesto son similares a las señales generadas con el PM5193. Las frecuencias de las señales sinusoidales utilizadas fueron de 1, 2 y 5 MHz de tal forma que sean similares a la frecuencia de los transductores de ultrasonido disponibles en el laboratorio. En la Tabla 9 se muestra las características técnicas del PM5193.

Rango de Frecuencias	0.1mHz - 50 MHz
Rango de Voltaje	0.2 - 10Vpp
Resolución máxima	0.1 MHz
Error	+/- 1ppm
Impedancia de salida	50 Ohmios
Coefficiente de temperatura	+/- 0.2ppm / K

Tabla 9. Características técnicas del generador de funciones PM5193 de FLUKE.

En la Figura 25 y 26 se muestran los datos digitalizados con el sistema propuesto para señales sinusoidales de 1,2 y 5 MHz de frecuencia central, 500mV de amplitud, sin promediado y con 8 promediados respectivamente. La digitalización de datos se realizó a una frecuencia de muestreo de 25MHz con un tiempo de ventana de adquisición de datos de 2us (50 muestras) y una resolución de 8bits. En la Figura 25a y 26a se muestra una onda sinusoidal de 1MHz, en la Figura 25b y 26b se muestra una onda sinusoidal de 2MHz y en la Figura 25c y 26c se muestra una onda sinusoidal de 5MHz. Las ondas de 5MHz no se aprecian adecuadamente debido a que sólo hay 5 puntos por periodo de onda (frecuencia de muestreo de 25MHz).

De los gráficos, se puede apreciar en las gráficas que el sistema digitaliza correctamente las señales para frecuencias de 1, 2 y 5MHz. Adicionalmente se comprobó que la interfaz de usuario recibe y almacena correctamente los datos enviados por el FPGA bajo el protocolo RS232. Finalmente, la cantidad máxima de datos que el sistema puede almacenar.

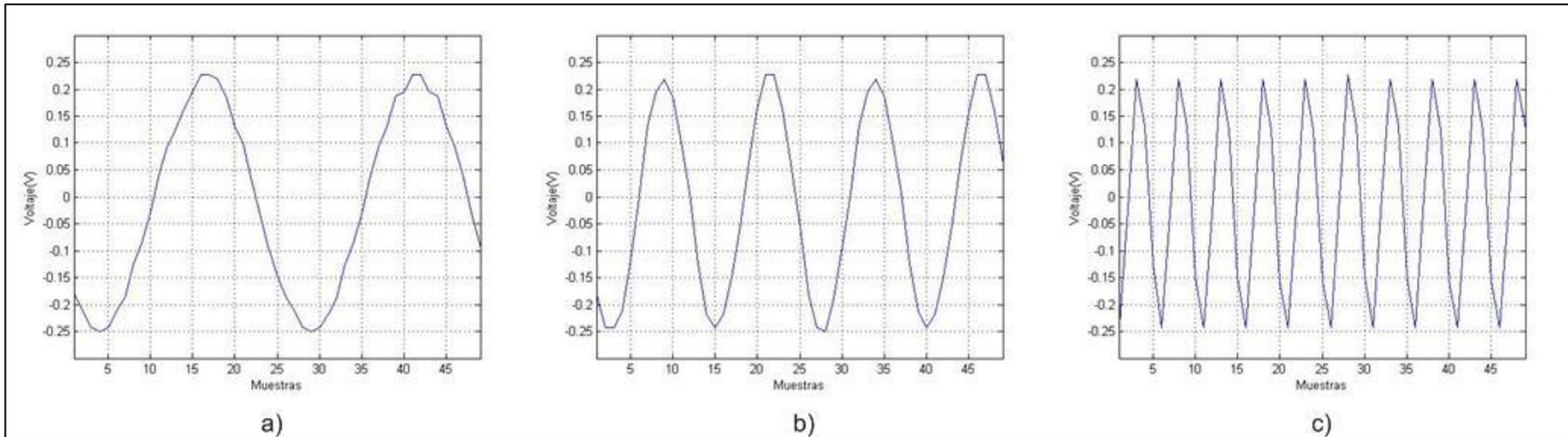


Figura 25. Ondas sinusoidales de 1,2 y 5MHz digitalizadas sin promediado.

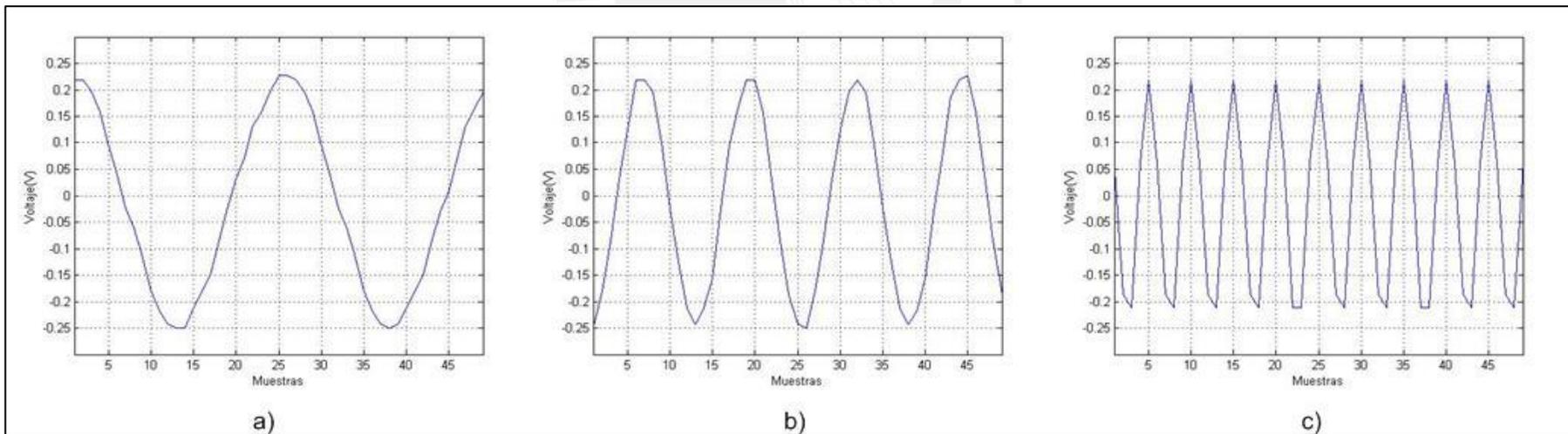


Figura 26. Ondas sinusoidales de 1,2 y 5MHz digitalizadas con 8 promediados.

En la Figura 27 se muestran los datos digitalizados para señales sinusoidales de 1 y 2MHz de frecuencia central, 500mV de amplitud, frecuencia de muestreo de 50MHz y una ventana de tiempo de 1us. En el Capítulo 3 se mencionó que el ADC seleccionado (AD6640) tiene un retardo de digitalización entre 8.5 y 12.5ns luego del flanco de subida de la señal ENCODE. En el sistema desarrollado se considera que la señal ENCODE (habilitador para el inicio de una muestra) está desfasada 90 grados de la señal de reloj interno del FPGA. Es decir, el FPGA adquiere los datos digitalizados de la salida del ADC medio ciclo de reloj después del flanco de subida de la señal ENCODE. Eso significa que para una frecuencia de muestreo de 50MHz (20ns de periodo) el FPGA adquiere los datos digitalizados 10ns después del flanco de subida de la señal ENCODE, tiempo en el cual el ADC todavía se encuentra en proceso de digitalización. Por tal motivo, las señales digitalizadas a una frecuencia de 50MHz aparecen distorsionadas como se aprecia en la Figura 27. Para solucionar este problema el FPGA debería generar una señal de reloj configurable para adquirir las señales digitalizadas por el ADC en el momento adecuado.

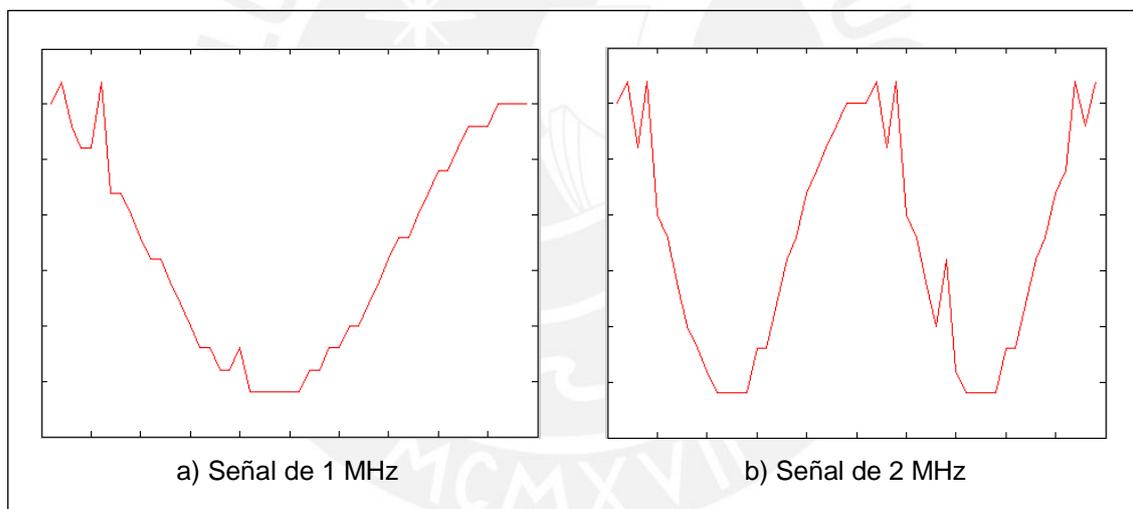


Figura 27. Digitalización de datos para una frecuencia de muestreo de 50MHz.

Luego de corroborar que el sistema digitaliza correctamente ondas sinusoidales de 1,2 y 5MHz se procedió a probar directamente con una señal proveniente de un transductor de ultrasonido. Para esta prueba se utilizó un transductor enfocado de 2.25MHz de frecuencia central (Figura 28), una frecuencia de muestreo de 25MHz, 8 bits de resolución, PRF de 1KHz, tiempo de ventana de datos de 6.4us (160 muestras) y promediado de datos de 4,16 y 64 veces. El elemento de propagación utilizado fue el agua y se utilizó una pieza de plástico blando como reflector.



Figura 28. Transductor de ultrasonido de 1MHz y 2.25 MHz.

En la Figura 29 y 30 se pueden apreciar una comparación cualitativa entre las señales obtenidas con el sistema propuesto y las señales obtenidas con el Osciloscopio digital TEKTRONIX para una misma frecuencia de muestreo. En la Figura 29 se muestra los resultados obtenidos sin promediados y con 4 promediados y en la Figura 30 se muestra los resultados obtenidos con 16 y 64 promediados.

En ambos casos se observa que los ecos recibidos son débiles (entre 10 a 60mV), existe una componente DC menor a 500mV y que no se aprecia una diferencia visual entre la señal sin promediados y con 64 promediados. Los ecos adquiridos con el osciloscopio presentan una amplitud menor debido al acople de impedancias con las puntas del osciloscopio. Sin embargo, se puede apreciar en las gráficas que las señales adquiridas con el sistema propuesto son comparables a las obtenidas con el osciloscopio digital para una misma resolución y una misma frecuencia de muestreo.

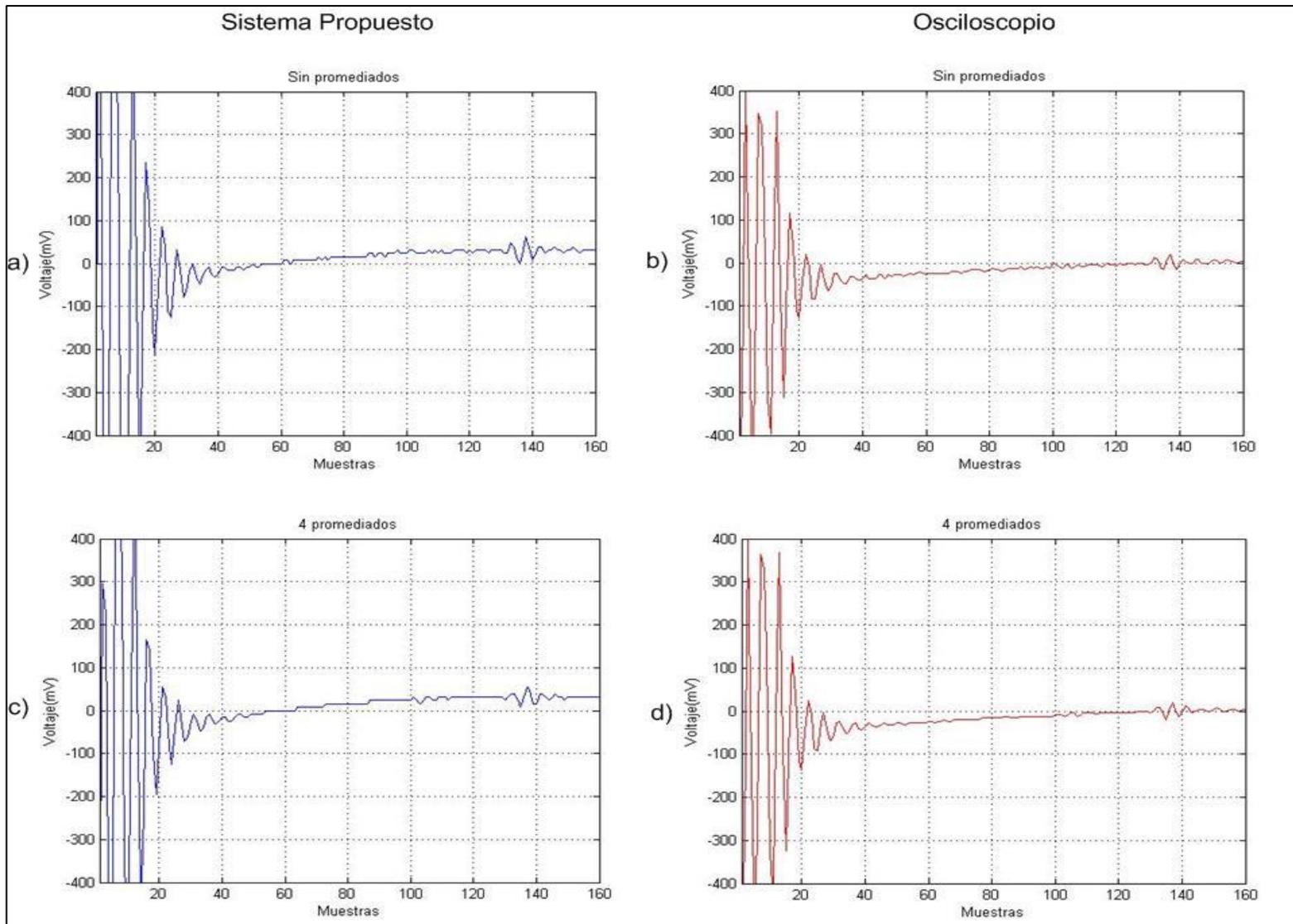


Figura 29. Datos adquiridos con el Osciloscopio y con el sistema propuesto para 0 y 4 promediados.

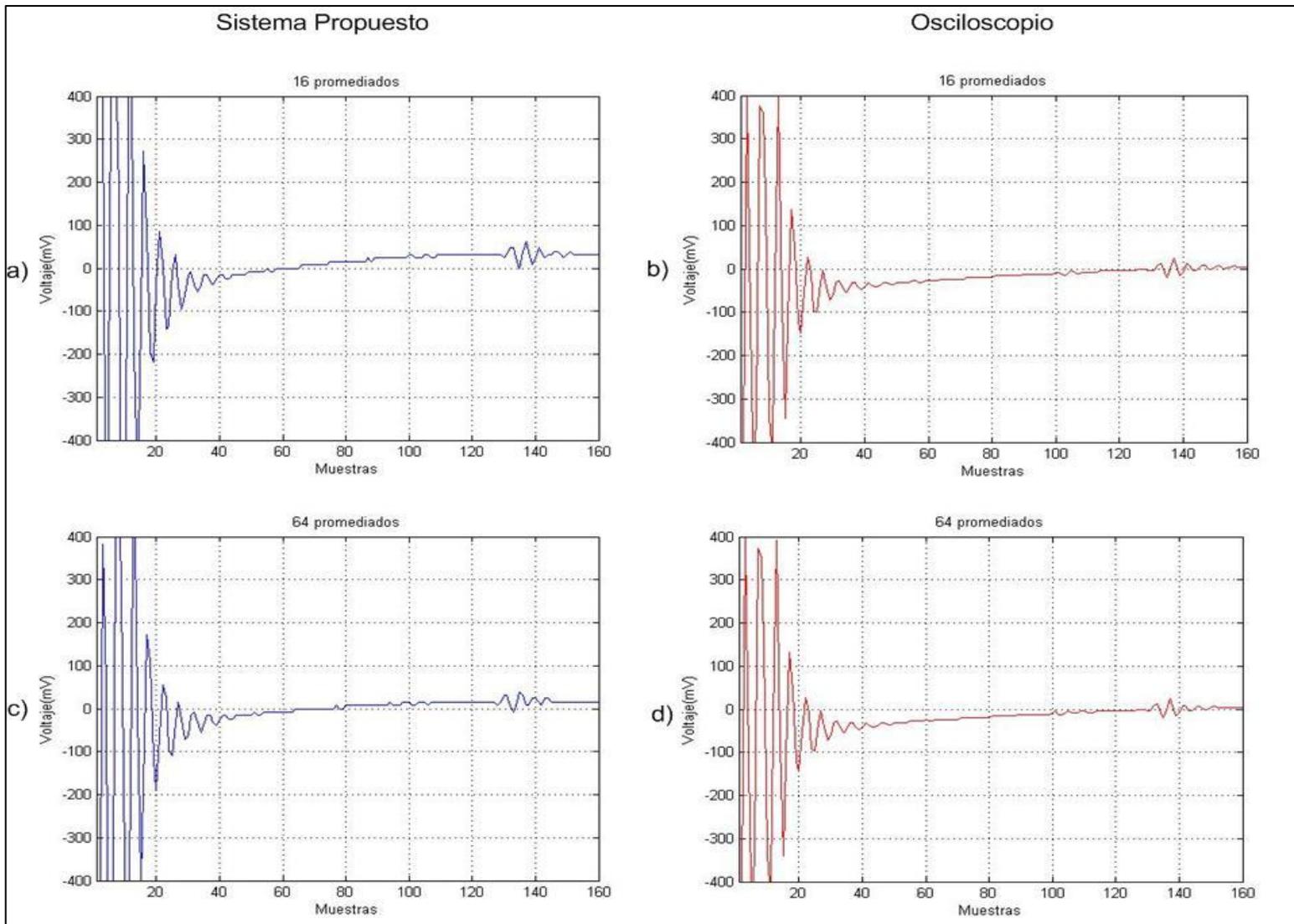


Figura 30. Datos adquiridos con el Osciloscopio y con el sistema propuesto para 16 y 64 promediados.

Para corroborar la resolución espacial del sistema propuesto se utilizó una pieza metálica de prueba en forma de escalera como se muestra en la Figura 31. Las dimensiones de esta pieza son: 12.7mm de alto (H), 203.2mm de largo (D), 38.1mm de ancho (L) y los escalones tienen una altura de 2.54mm.

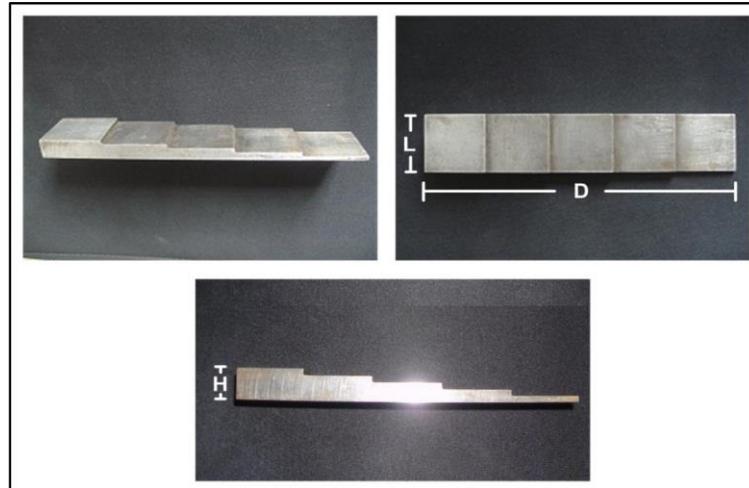


Figura 31. Pieza de metal utilizada en los experimentos.

El objetivo de esta prueba es desplazar el transductor de ultrasonido horizontalmente de un extremo al otro de la pieza de prueba, adquirir los ecos obtenidos en cada escalón, visualizar como el eco recibido se desplaza en el tiempo y corroborar que la separación entre los ecos es equivalente a la distancia de los peldaños de la escalera. En la Figura 32 se muestra la pieza de prueba sumergida en agua (a) y la posición del transductor con respecto a la pieza de pruebas (b). Para realizar esta prueba se utilizó una resistencia de amortiguamiento de 50 Ohmios, un transductor de 2.25MHz, frecuencia de muestreo de 25 MHz, frecuencia de repetición de pulsos de 1KHz, resolución 12 bits y promediado de 64 veces.



Figura 32. Pieza de prueba y posición del transductor en el envase de pruebas.

Si asumimos que la velocidad del sonido en el agua es de 1500m/s entonces según las fórmulas 4 y 5, para una frecuencia de 25MHz la resolución espacial máxima del sistema propuesto es de 30um. El transductor se encuentra posicionado a una distancia de aproximadamente 7mm del primer peldaño y la altura de la escalera es de 12.7mm. Esto significa que la ventana de tiempo de la adquisición de datos debe cubrir una distancia mayor a 19.7mm. Por tal motivo para visualizar el desplazamiento de los ecos se utilizó una ventana de tiempo 32us la cual equivale a 24mm de distancia recorrida. Debido a que el sistema desarrollado no puede almacenar muchas muestras para alcanzar una ventana de datos de 32us se concatenaron 8 señales de 4us (100 datos) cada una.

$$\text{-----} \quad (4)$$

$$\text{-----} \quad (5)$$

En la Figura 33 se muestran los resultados obtenidos en esta prueba. Se observa que los ecos adquiridos están desfasados a una distancia casi constante, la cual equivale a la separación entre peldaños de la pieza de metal en forma de escalera. Para obtener la distancia entre los ecos se procede a analizar el número de muestras de separación entre los ecos. Para calcular el número de muestras entre los ecos se tomó como referencia el punto más bajo de los ecos. Luego con la fórmulas 4 y 5 podemos obtener el tiempo y la distancia entre los peldaños. La separación entre el primer y segundo escalón corresponde a 88 muestras lo cual equivale a 2.64mm. La separación entre el segundo y tercer escalón es de 86 muestras lo cual equivale a 2.58mm. La separación entre el tercer y cuarto escalón es de 85 muestras lo cual equivale a 2.55mm. Finalmente, la separación entre el cuarto y quinto escalón es de 87 muestras lo cual equivale a 2.61mm. El promedio de la distancia de los escalones es de 2.59mm. Este valor difiere en 50um con respecto al valor medido empíricamente de 2.54mm.

Los resultados mostrados en este capítulo muestran que el sistema desarrollado puede digitalizar señales ultrasónicas de hasta 5MHz, con una frecuencia de muestreo de 25MHz, resolución de 12 bits, capacidad de promediar hasta 64 veces las señales obtenidas y una interfaz gráfica que permite configurar los parámetros de frecuencia de muestreo, frecuencia de repetición de pulsos (PRF), tiempos de espera, ventana de datos y número de promediados. Adicionalmente se hicieron pruebas utilizando una frecuencia de muestreo de 50MHz, sin embargo los resultados obtenidos no son estables y

presentan mucho ruido. Por tal motivo sólo se presentaron los resultados obtenidos para 25MHz de frecuencia de muestreo. Para aumentar la frecuencia de muestreo del sistema se recomienda rediseñar la tarjeta interfaz y revisar el software de la etapa de transmisión de datos con el protocolo RS232 para descartar cualquier problema de sincronización al momento de enviar los datos digitalizados con el ADC.

El sistema desarrollado es una primera etapa para el desarrollo de sistemas de adquisición de datos ultrasónicos utilizando FPGA's. En la sección Recomendaciones del presente documento se presentan una serie de cambios para futuras versiones del sistema.



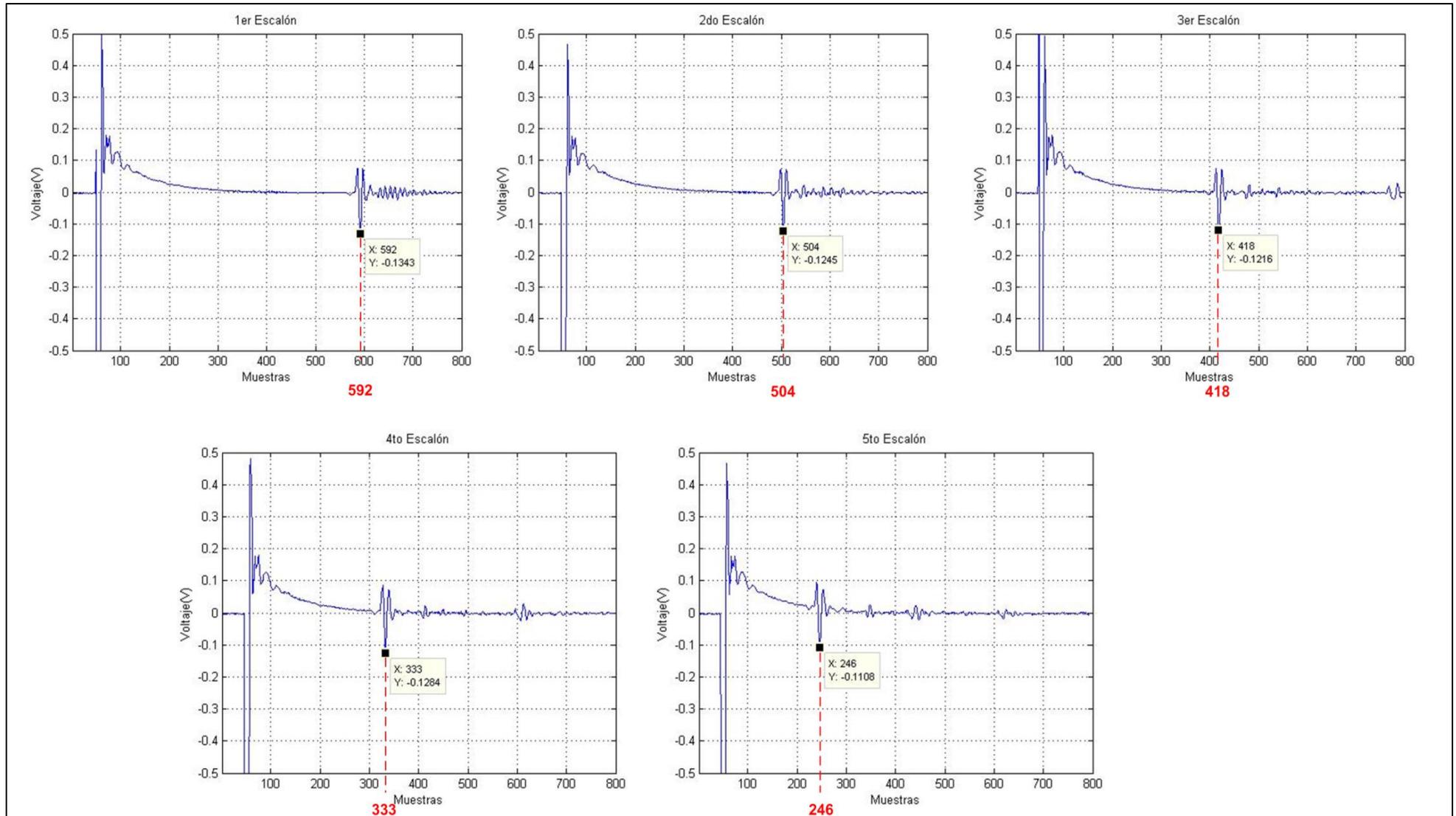


Figura 33. Ecos obtenidos con una pieza de metal de la Figura 32.

CONCLUSIONES

- El presente trabajo de investigación desarrollado ha cumplido con los objetivos propuestos:
 - ✓ Revisar el trabajo previo realizado por Ingunza y Valverde [Ingunza02].
 - ✓ Diseñar un circuito de transmisión de pulsos capaz de excitar transductores de ultrasonido para aplicaciones médicas convencionales.
 - ✓ Diseñar un sistema de adquisición de datos ultrasónicos en un FPGA.
 - ✓ Diseñar una interfaz de comunicación entre la PC y el sistema de adquisición de datos.
- El circuito de excitación implementado es capaz de excitar transductores de ultrasonido de hasta 50 MHz de BW, rango de frecuencias utilizado en aplicaciones médicas convencionales. Se utilizaron transductores enfocados de 1MHz y 2.25MHz; y transductores no enfocados de 5MHz para comprobar el correcto funcionamiento del sistema. Las respuestas en el tiempo y en frecuencia del circuito de excitación desarrollado son comparables a los resultados obtenidos con el equipo comercial MS-5800 de Olympus.
- Se implementó un sistema de adquisición de datos ultrasónicos de un solo canal, capaz de adquirir ecos ultrasónicos de transductores con frecuencia central de operación de hasta 15 MHz con un BW fraccional de 100%. El sistema cuenta con una etapa de acondicionamiento de señal, adquisición de datos, procesamiento y transmisión de datos. El sistema de adquisición fue diseñado para trabajar con una frecuencia de muestreo de hasta 50 MHz y una resolución de 12 bits. El funcionamiento del sistema ha sido validado con frecuencias de muestreo de hasta 25 MHz debido a que la tarjeta de adquisición de datos utilizada (AD6640) posee retardos internos mayores a los considerados en la arquitectura del sistema. Finalmente, para la etapa de comunicación entre el FPGA y la PC, se desarrolló una interfaz gráfica utilizando el protocolo serial RS232.
- El sistema de adquisición de datos diseñado presenta las siguientes mejoras con respecto al trabajo realizado anteriormente en [Ingunza02]:
 - Frecuencia de operación de hasta 50MHz.
 - Numero de promediados de hasta 64 veces.
 - Utiliza una arquitectura basada en FPGA.
 - Permite excitar transductores de ultrasonido de hasta 50 MHz de BW.

- El sistema desarrollado utiliza un dispositivo lógico programable (FPGA) como controlador de los procesos involucrados en la adquisición de datos. La lógica de control desarrollada está basada en máquinas de estado lo que permite flexibilidad de programación. Además, el sistema cuenta con una etapa de promediado variable hasta 64 veces que permite reducir el ruido eléctrico, producido por el hardware y la interferencia electromagnética, hasta en 18dB. En los resultados obtenidos con el FPGA se utilizó una frecuencia de reloj de 25MHz, sin embargo el sistema está diseñado para trabajar a frecuencias de hasta 100MHz, rango máximo soportado por la tarjeta de evaluación VIRTEXII-Pro. Los resultados obtenidos en la digitalización de datos a 8 y 12bits son comparables a los obtenidos con un osciloscopio digital.
- El sistema propuesto es un punto de partida para futuros desarrollos tecnológicos con FPGA's en el área de formación y procesamiento de imágenes ultrasónicas para aplicaciones médicas como por ejemplo, formación de imágenes modo B, sistema de adquisición de datos para arreglos ultrasónicos, imágenes Doppler, elastografía, tomografía acústica entre otros.
- El trabajo de investigación desarrollado muestra que es factible desarrollar un sistema de adquisición de datos ultrasónicos en un FPGA a frecuencias de operación de 25MHz utilizando tecnología disponible en Perú.

RECOMENDACIONES

Los resultados obtenidos en el presente trabajo son alentadores. Sin embargo, para futuras versiones se recomienda lo siguiente:

I. Etapa de Excitación

- a) **Utilizar una fuente de voltaje eficiente.** La fuente de alimentación diseñada utiliza un arreglo de condensadores para almacenar la energía necesaria para excitar al transductor. Para mejorar la eficiencia de esta fuente se podría optar por utilizar fuentes conmutadas (switching) o fuentes rectificadoras. La principal consideración es que el voltaje de salida debe permitir voltajes positivos y negativos superiores a 40 Voltios continuos (+/- 40VDC). Además, se debe tomar en cuenta que el voltaje de salida debe ser regulado por el usuario de tal forma que se pueda controlar la energía de los ecos de ultrasonido según el experimento a realizar. En particular se sugiere el chip: LT1170, LT1171 y LT1172 de la empresa Linear Technology. Finalmente, si se requiere que el equipo sea portátil, se recomienda utilizar baterías de Litio-Ion y un regulador de voltaje para la etapa digital y elevador de voltaje DC-DC (Step-up) para la etapa de potencia. Para evitar interferencia entre las señales de voltaje se recomienda utilizar un filtro tipo pi entre la fuente digital y la fuente de potencia.
- b) **Utilizar un circuito de excitación de banda angosta.** La mayoría de equipos comerciales de ultrasonido utiliza circuitos de excitación de banda angosta debido a que son más eficientes y configurables. Los circuitos más comunes consisten en un arreglo de transistores MOSFET's que conmutan a frecuencias elevadas de tal forma que el voltaje de la salida es una señal alterna (cuadrada o sinusoidal) con valores positivos y negativos y con una frecuencia similar a la frecuencia central del transductor ultrasónico.
- c) **Regular la resistencia de "damping" de manera automática.** Esta resistencia se encuentra a la salida del circuito de excitación y regula la cantidad de energía entregada al transductor la cual varía según el experimento a realizar. Por lo tanto es necesario que el usuario pueda configurar estos parámetros por hardware (mediante switch o pulsadores) o por software (potenciómetros digitales). Los valores típicos de esta resistencia son: 50, 100 y 500 Ohmios.

II. Etapa de Adquisición de datos

- a) **Utilizar amplificadores y atenuadores configurables.** Los ecos de ultrasonido recibidos tienen diversos valores de amplitud según el experimento que se realiza, por tal motivo la ganancia y la atenuación de la señal debe ser configurable para lograr que el rango dinámico de la señal de ultrasonido sea igual al rango de voltaje de entrada permitido por el ADC. Una solución sería utilizar amplificadores en cascada de tal forma que por hardware (switch o pulsadores) o por software se pueda habilitar o deshabilitar dichas etapas y lograr los niveles de amplificación y atenuación deseados. Como referencia se puede considerar que los factores de ganancia típicos utilizados en equipos comerciales están en el orden de 20, 40 y 60dB. Los OPAMPS a utilizar en esta etapa deben ser escogidos teniendo en consideración el BW, Slew Rate, CMRR y potencia disipada.
- b) **Utilizar filtros.** Adicionalmente a la etapa de amplificación y atenuación se recomienda agregar una etapa de filtrado, de segundo orden como mínimo, para evitar aliasing y señales espurias que puedan afectar la señal de ultrasonido. Para este desarrollo se pueden utilizar filtros digitales (FIR) o analógicos (activos) que tengan una respuesta en fase casi lineal. Adicionalmente, esta etapa de filtrado debería ser configurable de tal forma que el usuario pueda variar la frecuencia de corte y el orden del filtro ya sea por hardware o por software.
- c) **Desarrollar tarjetas ADC propias.** La tarjeta de evaluación AD6640 puede ser reemplazada por tarjetas de adquisición de datos desarrolladas localmente logrando reducir los costos e incrementar el *knowhow* en el desarrollo de tecnología de adquisición de datos de alta frecuencia. Los diagramas esquemáticos, distribución de componentes y los criterios necesarios para la construcción de dichas tarjetas se encuentran disponibles en las páginas web de diversos fabricantes: *Analog Devices*, *Texas Instrument*, *National Instruments* entre otros. Los componentes electrónicos necesarios para la construcción de estas tarjetas se pueden conseguir en el mercado local o en su defecto importarlos. En el Perú, existe la tecnología necesaria para fabricar tarjetas electrónicas de doble cara con un ancho de pistas de hasta 1 décima de pulgada. Más aún, existe mano de obra calificada capaz de soldar componentes electrónicos cuya separación entre patas es muy pequeña (TQFP, LQFP, FQN entre otros). Además, existe una experiencia previa en el ROJ desarrollando circuitos impresos de 4 capas para frecuencias de operación de hasta 32MHz y en la importación de tarjetas electrónicas en el extranjero. Entre las

principales ventajas de las tarjetas multicapa tenemos:

- Facilidad en la distribución de pistas en la tarjeta.
- Disminución de las capacitancias distribuidas entre las capas de tierra y alimentación (capacitancias parásitas) debido al efecto de plano de imagen (Image Plane Effect en inglés).
- Mejora de la SNR, especialmente en altas frecuencias.

Para mayor información sobre las ventajas y desarrollo de tarjetas multicapas se recomienda revisar [Alan01].

- d) **Implementar la lógica de control en un microcontrolador.** La principal ventaja de estos dispositivos es la experiencia previa que se tiene en Perú en el desarrollo de aplicaciones con microcontroladores y microprocesadores. Adicionalmente existe una amplia variedad de bibliografía y documentación sobre el uso y aplicaciones de estos dispositivos. Luego de implementar la lógica en un microcontrolador se podría hacer una comparación de rendimiento y eficiencia (benchmarking) con respecto al sistema que usa un FPGA como controlador.
- e) **Utilizar memorias externas para almacenar datos.** Debido a que se usa las compuertas lógicas del FPGA como memorias, la capacidad del sistema desarrollado está limitado para tomar 200 muestras de 18 bits como máximo. Este número de muestras es muy bajo ya que en las aplicaciones convencionales de ultrasonido es necesario almacenar gran cantidad de datos debido a la elevada frecuencia de muestreo y a la complejidad de los algoritmos utilizados. Por tal motivo es necesario utilizar memorias externas de tal forma que el controlador pueda almacenar la mayor cantidad de datos posibles para su post procesamiento. En el Capítulo 3 se propone una arquitectura basada en memorias externas tipo FIFO como posible solución. El chip sugerido es el SN74V293-6PZA de Texas Instruments. Este chip podría almacenar hasta 1ms de datos considerando una frecuencia de muestreo de 50MHz, resolución de 12bits y promediado de hasta 64 veces muestras.
- f) **Mejorar la SNR.** Para obtener un mayor aislamiento electromagnético se recomienda utilizar jaula de Faraday tanto en la etapa de excitación de datos como en la etapa de adquisición de datos. Adicionalmente, los cables utilizados para transmitir señales deben estar apantallados.

- g) **Mejorar la tasa de transmisión de datos a la PC.** Para mejorar la tasa de transmisión de datos del sistema se recomienda utilizar una interfaz Ethernet. Esta interfaz soporta velocidades de transmisión superiores a 1Mbps, es compatible con la mayoría de PC y permite conectividad por red con otros dispositivos. A diferencia de la interfaz USB o PCI, Ethernet tiene mayor literatura especializada y es más utilizada comercialmente. A pesar de las ventajas expuestas, es necesario tener en cuenta que el software de control requerido para manejar las señales de control de esta interfaz es complejo. Una opción es comprar los drivers Ethernet a empresas especializadas sin embargo, el precio de este software es muy elevado.
- h) **Desarrollar un sistema de adquisición de varios canales.** Actualmente los sistemas de ultrasonido comerciales utilizan arreglos de transductores de ultrasonido (arrays) para la adquisición de datos. Esto involucra tener múltiples canales de adquisición de datos. El sistema ultrasónico propuesto puede ser extendido para excitar y adquirir señales provenientes de arreglos de transductores de ultrasonido en lugar de transductores de un solo canal. Con respecto al software, se podría utilizar la misma arquitectura diseñada para la etapa de transmisión, recepción y procesamiento de datos aplicado para cada uno de los transductores dentro del arreglo. Además, se deberá agregar un módulo de control que permite sincronizar dichas tareas para cada uno de los transductores dentro del arreglo. En relación al hardware, se deberá usar memorias externas para incrementar la capacidad de almacenamiento del sistema y desarrollar tarjetas electrónicas propias para cada uno de los transductores en el arreglo.

BIBLIOGRAFÍA

- [Alan01] H. Alan, *The art of analog layout*, New Jersey : Prentice Hall, 2001.
- [Altera12] Altera. (2012). Why Use FPGA in Embedded Designs? [Online]. Disponible: <http://www.altera.com/devices/processor/fpgas/emb-why-use.html>
- [AnalogDevices03] Analog Devices. (2003, Mar.). AD6640 Data Sheet Rev A [Online]. Disponible: http://www.analog.com/static/imported-files/data_sheets/AD6640.pdf
- [Ashfaq06] M.Ashfaq, S.S. Brunke, J.J.Dahl, "An ultrasound research interface for a clinical system," *IEEE Transactions on Ultrasonics, Ferroelectrics and Frequency Control*, vol. 53, no. 10, pp. 1759 – 1771, Octubre 2006.
- [Axelson03] J.Axelson, *Embedded Ethernet and Internet Complete: Designing and Programming Small Devices For Networking*, Madison, Wisconsin: Lakeview Research LLC, 2003.
- [Axelson90] J.Axelson, *USB complete: everything you need to develop custom USB peripherals*, Caracas: Unión Latina – Universidad Simón Bolívar, 1990.
- [Baran09] J. M. Baran and J. G. Webster, "Design of low-cost portable ultrasound systems – review," in *Proceedings of the Annual International Conference of the IEEE Engineering in Medicine and Biology Society*, 2009, pp. 792-795.
- [Bridal03] S.L.Bridal, J.M.Correas, A.Sareid, P.Laugier, "Milestones on the road to higher resolution, quantitative and functional ultrasonic imaging," *Proceedings of the IEEE*, vol. 91, no 10, pp. 1543-1561, Octubre 2003.
- [Brown05] S.Brown, *Fundamentals of Digital Logic Design with VHDL*, Boston: McGraw-Hill, 2005.
- [Choubey06] A.K. Choubey, R.Raushan, V. Manojkumar, "High-speed data acquisition system design," in *1st International Symposium on Systems and Control in Aerospace and Astronautics*, Enero 2006, pp. 6-14.
- [Chun07] S.Chun, G.Clement, K.Hynynen, "A computer-controlled ultrasound pulser-receiver system for trans-skull fluid detection using a shear wave transmission technique," *IEEE Transactions on UFFC*, vol. 54, no. 9, pp. 1772-1783, Septiembre 2007.
- [Erguri05] A.S.Erguri, Y.Huang, X. Zhuang, G.G.KhuriYakub, "Capacitive micromachined ultrasonic transducers: fabrication technology," *IEEE Transactions on Ultrasonics, Ferroelectrics and Frequency Control*, vol. 52, no. 12, pp. 2242 – 2258, Diciembre 2005.

[Fuller08] M. I. Fuller, K. Ranganathan, S. Zhou, T. N. Blalock, J. A. Hossack, and W. F. Walker, "Experimental system prototype of a portable, low-cost, C-scan ultrasound imaging device," *IEEE Transactions on Biomedical Engineering*, vol. 55, no. 2, pp. 519-530, Febrero 2008.

[Hein92] I.A.Hein, J.A.Novakofski, W.D.Jr O'Brien, "Ultrasound data acquisition system design for collecting high quality RF data from beef carcasses in the slaughterhouse environment," *Proceedings. IEEE Ultrasonics Symposium*, vol. 2, pp. 1039-1044, Octubre 1992.

[Ingunza02] R.Ingunza, J.Valverde. "Diseño e Implementación de un Sistema de Adquisición de Señales Ultrasónicas para Transductores Industriales", Tesis de Ingeniería, Facultad de Ciencias e Ingeniería, Pontificia Universidad Católica del Perú, Lima, Perú, Febrero 2002.

[Kalashnikov05] A.N. Kalashnikov, R.E Challis, A.K.Holmes, "Effects of frame jitter in data acquisition system," *IEEE Transaction on Instrumentation Measurements*, vol. 54, pp. 2177-2183, Mayo 2005.

[Kalashnikov07] A.N. Kalashnikov, Vladimir G. Ivchenko, Richard E. Challis, Barrie R. Hayes-Gill, "High-accuracy data acquisition architectures for ultrasonic imaging," *IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control*, vol. 54, no. 8, Agosto 2007.

[Krautkramer90] J.B. Krautkramer, *Ultrasonic Testing of Materials*, Berlin: Springer-Verlag, 1990.

[Matec12] Matec Instruments (2012). Product Information [Online]. Disponible: http://www.matec.com/mindt/products/ultrasonic_instruments/pr-5000/

[Olympus06] OLYMPUS (2006). 5800PR Product Overview [Online]. Disponible: <http://www.olympusndt.com/en/5800pr/>

[Oralkan02] O.Oralkan, M.Karaman, S.Ergun, "Capacitive micromachined ultrasonic transducers: next generation array for acoustic imaging," *IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control*, vol. 49, no. 11, pp. 1596-1610, Noviembre 2002.

[Pallás98] R. Pallás, *Adquisición y Distribución de Señales*. Barcelona: Marcombo, 1998.

[Pedroni04] V.A.Pedroni, *Circuit Design with VHDL*, Cambridge: MIT Pr, 2004.

[Ping96] H. Ping, X.Kefu, C. Chen, P. Murka, "A PC-based ultrasonic data acquisition system for computer-aided prosthetic socket design rehabilitation engineering," *IEEE Transactions on Neural Systems and Rehabilitation*, vol. 4, pp. 114-119, Junio 1996.

[Powers00] J. Powers, T.R.Porter, S.Wilson, "Ultrasound contrast imaging research," *Medicamundi*, vol. 44, no. 2, pp. 28-36, Noviembre 2000.

[Radiología05] S.C.Bushong, *MANUAL DE RADIOLOGÍA para TÉCNICOS*, Barcelona: Elsevier, 2005.

[Richard08] W. D. Richard, D. M. Zar, and R. Solek, "A low-cost B-mode USB ultrasound probe," *Ultrasonic Imaging*, vol. 30, no. 1, pp. 21-28, January 2008.

[Salazar03] J.Salazar, A.Turo, J.Chavez, J.Ortega, M.Garcia, "High-power high-resolution pulser for air-coupled ultrasonic NDE applications," *IEEE Transactions on Instrumentation and Measurement*, vol. 52, no. 6, pp. 1792-1798, Diciembre 2003.

[Scabia02] M.Scabia, E.Biagi, L.Masotti, "Hardware and software platform for real-time processing and visualization of echographic radiofrequency signals," *IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control*, vol. 49, pp. 144-1452, Octubre 2002.

[Schafer84] M.E.Schafer, P.A. Lewin, "The influence of front-end hardware on digital ultrasonic imaging," *IEEE Transactions on Sonics and Ultrasonics*, vol. 31, no. 4, pp. 295-306, Julio 1984.

[Schueler84] C.F. Schueler, H. Lee, "Fundamentals of digital ultrasonic imaging," *IEEE Transactions on Sonics and Ultrasonics*, vol. 31, pp. 195 – 217, Julio 1984.

[Solari01] E.Solari, *PCI and PCI-X Hardware and Software: Architecture and Design*, San Diego : Annabooks, 2001.

[Stark02] H. Stark, *Probability and random processes with applications to signal processing*, Upper Saddle River, New Jersey : Prentice Hall, 2002.

[Szabo04] T. Szabo, *Diagnostic ultrasound imaging: inside out*, Burlington, New York : Elsevier Science, 2004.

[Ultrasonix12] Ultrasonix. (2012). Ultrasound Products [Online]. Disponible: <http://www.ultrasonix.com/ultrasound-systems/sonixmdp>

[Waag06] R.Waag, R.Fedewa, "A ring transducer system for medical ultrasound research," *IEEE Transactions on UFFC*, vol. 53, no. 10, pp. 1707-1718, Octubre 2006.

[Wilson06] T.Wilson, J.Zagzebski, T.Varguese, "The ultrasonix 500RP: A commercial ultrasound research interface," *IEEE Transactions on UFFC*, vol. 53, no. 10, pp. 1772-1782, Octubre 2006.

[Xilinx12] Nick Price. (2000). Benefits of Using Xilinx FPGAs with MIPS® Microprocessor [Online]. Disponible: http://www.xilinx.com/ipcenter/processor_central/wp121.pdf