

**PONTIFICIA UNIVERSIDAD
CATÓLICA DEL PERÚ**

FACULTAD DE CIENCIAS E INGENIERÍA



**DISEÑO DE UN CIRCUITO DE RECHAZO DE RIZADO PARA UN
AMPLIFICADOR CHOPPER DE SEÑALES NEURONALES CON
VOLTAJE DE ALIMENTACIÓN MENOR A 1V**

Tesis para optar por el Título de Ingeniero Electrónico, que presenta el bachiller:

Rodrigo Marín Talledo

ASESOR:

Julio César Saldaña Pumarica

Lima, 2022

Declaración jurada de autenticidad

Yo, Julio César Saldaña Pumarica, docente de la Facultad de Ciencias e Ingeniería de la Pontificia Universidad Católica del Perú, asesor de la tesis de investigación titulado DISEÑO DE UN CIRCUITO DE RECHAZO DE RIZADO PARA UN AMPLIFICADOR CHOPPER DE SEÑALES NEURONALES CON VOLTAJE DE ALIMENTACIÓN MENOR A 1V, del autor Rodrigo Marín Talledo dejo constancia de lo siguiente:

- El mencionado documento tiene un índice de puntuación de similitud de 11%. Así lo consigna el reporte de similitud emitido por el software *Turnitin* el 09/10/2022.
- He revisado con detalle dicho reporte y confirmo que cada una de las coincidencias detectadas no constituyen plagio alguno.
- Las citas a otros autores y sus respectivas referencias cumplen con las pautas académicas.

Lugar y fecha: 28 de Noviembre de 2022

Apellidos y nombres del asesor: <u>Saldaña Pumarica, Julio César</u>	
DNI: 10123705	
ORCID: https://orcid.org/0000-0001-6834-6436	
Firma	

Resumen

El presente trabajo de tesis consiste en el diseño de un circuito de rechazo de rizado para un amplificador *chopper* de señales neuronales con voltaje de alimentación menor a 1V. Este diseño está orientado a trabajar en un sistema de adquisición de señales neuronales, capaz de detectar la actividad de una sola neurona, de modo que las señales a acondicionar presentan frecuencias que van de 100 Hz a 10 KHz y amplitudes que alcanzan valores entre $10\mu\text{V}$ y 1mV . Se plantea que el diseño del circuito propuesto sea capaz de operar con la tecnología de proceso TSMC 180nm y se utilizará la herramienta de *software* Cadence para efectuar las simulaciones necesarias. Para introducir el presente estudio en la tendencia actual de utilizar electrónica de bajo valor de voltaje de alimentación, se propone como requerimiento utilizar tensiones eléctricas menores a 1V, lo cual involucra un desafío, pues se reduce el rango de operación lineal de los transistores que incluye el diseño.

Índice

Introducción	1
Estado del arte de los sistemas de adquisición de señales neuronales	3
1.1. Enfoque actual de las interfaces cerebro-computador.....	3
1.2. Clasificación de las interfaces cerebro-computador implantables	8
1.2.1. BCIs parcialmente invasivas	8
1.2.2. BCIs invasivas	8
1.3. Amplificación de señales neuronales	9
1.4. Tensión de rizado en los amplificadores <i>chopper</i> de señales neuronales	12
1.5. Técnicas de reducción de rizado	13
1.5.1. Acoplamiento capacitivo	13
1.5.2. Estabilización <i>chopper</i>	14
1.5.3. Lazo de realimentación para la compensación de rizado	14
1.6. Declaración de la problemática	15
1.7. Justificación.....	16
1.8. Objetivos	17
1.8.1. Objetivo general	17
1.8.2. Objetivos específicos	17
1.9. Alcance.....	18
Marco teórico y modelo de solución.....	19
2.1. Clasificación de las señales neuronales.....	19
2.2. El Transistor de Efecto de Campo Metal-Óxido-Semiconductor (MOSFET).....	20
2.3. El efecto cuerpo.....	22
2.4. Modelo en pequeña señal	23
2.5. El ruido flicker	26
2.6. El <i>offset</i> DC de los amplificadores operacionales	28
2.6.1. El <i>mismatch</i> de los transistores	29
2.6.2. El <i>offset</i> DC como consecuencia del <i>mismatch</i>	30
2.7. Modulación en el amplificador <i>chopper</i>	33

2.8	El amplificador <i>fully-differential</i>	35
2.9.	Realimentación de modo común (CMFB)	36
2.9.1.	Técnicas de detección del modo común	37
2.9.2.	Técnicas de realimentación del modo común.....	39
2.10.	Lazo de cancelación de <i>offset</i> por control de puerta trasera PMOS	42
2.11.	Modelo de solución	44
Diseño de un circuito de rechazo de rizado para un amplificador basado en par diferencial complementario.....		46
3.1.	Obtención de la función de transferencia del transconductor realimentado con un lazo de cancelación de <i>offset</i>	46
3.1.1.	Análisis en pequeña señal del amplificador de transconductancia.....	46
3.1.2.	Análisis en pequeña señal del par diferencial complementario.....	49
3.1.3.	Obtención de la función de transferencia del lazo de cancelación de <i>offset</i>	53
3.1.4.	Obtención de la función de transferencia del par diferencial complementario realimentado	56
3.2.	Obtención de los parámetros de diseño del lazo de cancelación de <i>offset</i>	60
3.3.	Dimensionamiento de los transistores CMOS	63
Simulaciones y resultados.....		69
4.1.	Testbench	69
4.2.	Análisis DC	70
4.3.	Análisis AC	75
4.4.	Análisis de <i>corner</i>	79
4.4.1.	Análisis de <i>corner</i> del par diferencial complementario.....	80
4.4.2.	Análisis de <i>corner</i> del lazo de cancelación de <i>offset</i>	82
Conclusiones		85
Recomendaciones y trabajos futuros		86
Bibliografía		87

Índice de figuras

Figura 1. <i>Test in-vivo</i> del sistema BCI basado en BWD. (a) Transmisor BWD (52mm x 44mm). (b) BWD conectado al pedestal posterior en la cabeza de un primer paciente voluntario. (c) Sistema de recepción inalámbrica, basado en una configuración de cuatro antenas. (d) Segundo paciente voluntario con dos transmisores inalámbricos en la cabeza.	5
Figura 2. Espectrograma obtenido del transmisor inalámbrico tras la adquisición continua de actividad de picos neuronales durante veinticuatro horas seguidas.	6
Figura 3. BCI invasiva de la empresa Neuralink, capaz de procesar, estimular y transmitir señales neuronales.	7
Figura 4. Ejemplo gráfico de la configuración de electrodos para ECoG.....	8
Figura 5. Primate haciendo uso de una interfaz neuronal en tiempo real.	9
Figura 6. Amplificador <i>chopper</i> de lazo abierto.	11
Figura 7. Arquitectura presentada de un sistema de medición de biopotenciales.....	11
Figura 8. Tensión de rizado del amplificador <i>chopper</i> debido a la modulación del <i>offset</i>	12
Figura 9. Circuito de un amplificador <i>chopper</i> totalmente diferencial acoplado capacitivamente.	13
Figura 10. Diagrama de bloques de un amplificador estabilizado por <i>chopper</i>	14
Figura 11. Primera etapa de un amplificador <i>Chopper</i> con lazo de cancelación <i>offset</i> incluido.	15
Figura 12. Comparación de las distintas tecnologías de adquisición de señales neuronales, incluye estimaciones de resolución espacial, ancho de banda y nivel de voltaje de las señales.	20
Figura 13. Estructura de un MOSFET.	21

Figura 14. Variación de la carga en la zona de depleción cuando se le agrega un potencial eléctrico al terminal de cuerpo.	22
Figura 15. Modelo de un transistor MOS en pequeña señal.	24
Figura 16. Modelo de un transistor MOS en pequeña señal, considerando la transconductancia de puerta trasera.	25
Figura 17. Enlaces colgantes en la interfaz Óxido-Silicio de un MOSFET.	26
Figura 18. Modelo del ruido <i>flicker</i> en un transistor MOS.	27
Figura 19. Densidad espectral del ruido.	27
Figura 20. Variaciones microscópicas en las dimensiones de los transistores.	29
Figura 21. Par diferencial con una tensión de <i>offset</i> DC debido al <i>mismatch</i> de los transistores.	31
Figura 22. Modulador <i>Chopper</i> . (a) Diagrama esquemático. (b) Diagrama de tiempos.	34
Figura 23. Modulación de una senoide de 200 mV de amplitud y 10 KHz de frecuencia, por medio de una onda cuadrada.	35
Figura 24. Amplificadores operacionales. (a) <i>Single-ended</i> . (b) <i>Fully-differential</i> . (c) <i>Fully-differential</i> con realimentación capacitiva.	36
Figura 25. Concepto gráfico de la realimentación de modo común.	37
Figura 26. Detección resistiva del nivel de modo común.	37
Figura 27. Detección activa del nivel de modo común.	39
Figura 28. Técnica del par diferencial para la realimentación de modo común.	39
Figura 29. Amplificador fully differential basado en un par diferencial PMOS con un CMFB del tipo NMOS.	40
Figura 30. Circuito CMFB basado en la topología DDA.	41

Figura 31. Amplificador fully differential basado en un par diferencial PMOS con un CMFB basado en la topología DDA.	42
Figura 32. Amplificador <i>chopper</i> de doble etapa con lazo de cancelación de <i>offset</i>	43
Figura 33. (a) Circuito de cancelación de <i>offset</i> , implementado con la técnica de control PMOS de puerta trasera. (b) Diagrama esquemático del amplificador gocl del lazo de cancelación de <i>offset</i>	43
Figura 34. Alternativas de solución para la corrección de rizado en amplificadores <i>chopper</i> . (a) Condensadores de acoplo en el amplificador. (b) Amplificador <i>chopper</i> de doble etapa con lazo de cancelación de <i>offset</i> (OCL, por sus siglas en inglés). Lazo para la compensación de rizado.	44
Figura 35. Modelo de solución basado en un amplificador <i>chopper</i> de doble etapa con lazo de cancelación de <i>offset</i>	45
Figura 36. Diagrama esquemático de un transconductor.	47
Figura 37. Modelo equivalente de un transconductor.	48
Figura 38. Amplificador operacional con una señal de interés amplificada y ruido térmico añadido a la salida.	50
Figura 39. Diagrama esquemático del par diferencial complementario.	52
Figura 40. Análisis en pequeña señal del par diferencial complementario.	52
Figura 41. Análisis individual de los nodos v_{oN} y v_{oP}	52
Figura 42. Representación simbólica del par diferencial complementario.	53
Figura 43. Simplificación del lazo de cancelación de <i>offset</i> con una impedancia de salida.	54
Figura 44. Simplificación de las resistencias R_{OCL} conectadas al OCL.	54

Figura 45. Diagrama de bloques del lazo de cancelación de <i>offset</i> en conjunto con los transistores PMOS ubicados en g_{m1} .	55
Figura 46. Diagrama esquemático del par diferencial complementario con transistores PMOS influenciados por el efecto cuerpo.	57
Figura 47. Análisis en pequeña señal de la contribución del efecto cuerpo en el par diferencial complementario.	57
Figura 48. Representación simbólica de la contribución del efecto cuerpo en el par diferencial complementario.	57
Figura 49. Diagrama de bloques del par diferencial complementario.	58
Figura 50. Diagrama de bloques del conjunto g_{m1} y OCL.	58
Figura 51. Lazo de cancelación de <i>offset</i> con realimentación de modo común.	64
Figura 52. Diagrama esquemático del OCL y CMFB con la nueva configuración de fuente de corriente.	67
Figura 53. <i>Testbench</i> del diseño propuesto. El símbolo denominado gm-gOCL contiene el par diferencial complementario conectado con el lazo de cancelación de <i>offset</i> .	70
Figura 54. Diagrama esquemático del par diferencial complementario.	72
Figura 55. Diagrama esquemático del lazo de cancelación de <i>offset</i> .	74
Figura 56. Diagrama esquemático del par diferencial complementario en lazo abierto, simulado en la herramienta CADENCE	76
Figura 57. Respuesta en frecuencia del par diferencial complementario, configurado en lazo abierto.	77
Figura 58. Diagrama esquemático del lazo de cancelación de <i>offset</i> implementado en la herramienta CADENCE, incluye los pines de entrada y salida del circuito.	77

Figura 59. Respuesta en frecuencia del OCL configurado en lazo abierto.	77
Figura 60. Simulación AC del circuito. En amarillo se observa la función de transferencia del circuito cuando se utiliza un lazo de cancelación de <i>offset</i> y en rojo se observa el caso en el que no se usa un lazo de cancelación de <i>offset</i>	78
Figura 61. Configuración del análisis de <i>corner</i> dentro del entorno ADE XL en la herramienta CADENCE.	80
Figura 62. Análisis PVT de la respuesta en frecuencia del par diferencial complementario....	81
Figura 63. Gráfica del análisis PVT de la función de transferencia del par diferencial complementario con lazo de cancelación de <i>offset</i>	83



Índice de tablas

Tabla 1. Comparación entre dos sistemas propuestos de interfaces neuronales.	7
Tabla 2. Regiones de operación de un transistor NMOS.	21
Tabla 3. Dimensiones de los transistores a utilizar en el par diferencial.	61
Tabla 4. Parámetros calculados del lazo de cancelación de <i>offset</i>	63
Tabla 5. Dimensiones de los transistores utilizados en el lazo de cancelación de <i>offset</i> con realimentación de modo común.	68
Tabla 6. Dimensiones y condiciones de polarización de los transistores del par diferencial complementario.	73
Tabla 7. Dimensiones y condiciones de polarización de los transistores del lazo de cancelación de <i>offset</i> con realimentación de modo común.	74
Tabla 8. Parámetros de interés de la respuesta en frecuencia del par diferencial complementario.	76
Tabla 9. Parámetros de interés de la respuesta en frecuencia del lazo de cancelación de <i>offset</i>	78
Tabla 10. Variación de los parámetros de proceso, voltaje y temperatura seleccionados para cada simulación de <i>corner</i> ejecutada.	80
Tabla 11. Análisis PVT de las transconductancias de interés involucradas en el par diferencial complementario.	81
Tabla 12. Análisis PVT de las transconductancias de interés involucradas en el lazo de cancelación de <i>offset</i>	82
Tabla 13. Análisis PVT de las transconductancias de interés involucradas en el lazo de cancelación de <i>offset</i>	82
Tabla 14. Valores obtenidos de la atenuación tras realizar el análisis PVT.	84

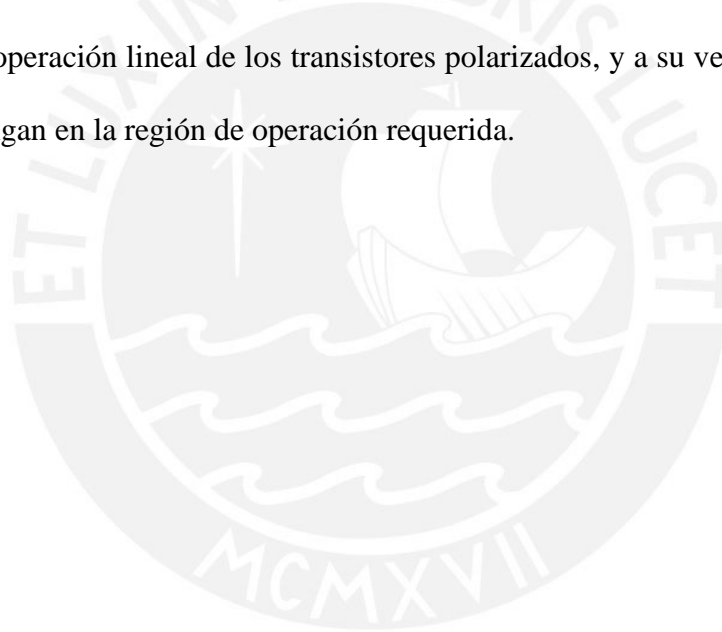
Introducción

La emergente tendencia de investigación basada en sistemas de adquisición y control de señales biomédicas, abre las puertas a desarrollar nuevos procesos de seguimiento médico y potencial tratamiento de enfermedades mediante el uso y aplicación de la microelectrónica, rama de la electrónica que permite implementar circuitos eléctricos en dimensiones de orden inferior al micrómetro. Uno de los enfoques actuales de estos sistemas, consiste en el diseño de interfaces cerebro-computador bidireccionales, dispositivos implantables cuya función es detectar señales neuronales y estimular la función cerebral [1].

El registro de señales neuronales mediante interfaces cerebro-computador (BCI por sus siglas en inglés: *Brain Computer Interfaces*), se realiza a través de un sistema de adquisición de biopotenciales, etapa de preprocesamiento que amplifica y suprime el ruido de las señales de interés. El amplificador, bloque principal de dicho sistema, tiene la función de incrementar la magnitud de las señales neuronales que generalmente presentan un valor inferior a los $10 \mu V_{RMS}$ [2]. Dicho dispositivo debe ser capaz de suprimir una serie de parámetros agresores tales como, el ruido *flicker* y el *offset* [3], con el objetivo de evitar la pérdida de información contenida en la señal por acondicionar. La alternativa de solución recomendada por la literatura, consiste en emplear un amplificador *chopper* pues, limita el efecto del voltaje de *offset* de entrada y el ruido *flicker* después de trasladar sus componentes espectrales a una banda de alta frecuencia [4]. Sin embargo, como todo sistema real, el amplificador *chopper* presenta limitaciones que introducen errores en las señales acondicionadas tales como el ruido de modo común y la tensión de rizado. Este último, distorsiona la señal de interés amplificada, pues grandes rizados (hasta $80 mV_{pp}$) aparecen en la salida del amplificador debido a la modulación del ruido *flicker* y del voltaje de *offset*; problema que potencialmente podría saturar el amplificador y que, de la misma manera que los demás

errores, se corrige mediante la inclusión de circuitos auxiliares en el sistema de adquisición de señales neuronales [5], [6].

El propósito de esta tesis consiste en diseñar una solución analógica para un amplificador *chopper* basada en la tecnología TSMC 180nm, de modo que cualquier rizado del amplificador, sea atenuado por medio de un circuito de corrección con voltaje de alimentación inferior a 1V. El desafío de utilizar tensiones de alimentación (V_{dd}) por debajo de 1V, reside en la disminución del rango de operación lineal del transistor, pues el valor del voltaje de alimentación se aproxima al voltaje umbral (V_{th}) del transistor. Al mantener de manera cercana los valores de V_{th} y V_{dd} , se reduce el rango de operación lineal de los transistores polarizados, y a su vez, la confiabilidad de que estos se mantengan en la región de operación requerida.



Capítulo 1

Estado del arte de los sistemas de adquisición de señales neuronales

En este capítulo se presenta una revisión del estado del arte en relación a los sistemas implantables de adquisición de señales neuronales. En particular, se mencionan ejemplos recientes de interfaces neuronales de lazo cerrado, las cuales son utilizadas en aplicaciones como el estudio de la actividad neuronal, el tratamiento de diferentes trastornos neurológicos como Epilepsia, Parkinson, Depresión y Alzheimer; y el control de neuro prótesis. Además, se detallan los distintos tipos de BCI que existen en la actualidad.

Una parte importante de estos sistemas implantables es el amplificador de señales neuronales, dispositivo capaz de acondicionar una señal de interés, pero que involucra una serie de limitaciones basadas en la interferencia, ruido *flicker* y *offset*; las cuales deben ser corregidas mediante la integración de circuitos auxiliares.

1.1. Enfoque actual de las interfaces cerebro-computador

Una de las aplicaciones de la medida de señales neuronales, consiste en el estudio de la actividad cerebral, específicamente de personas que sufren de trastornos neurológicos, con el propósito de plantear nuevas técnicas de tratamiento basadas en la estimulación del sistema nervioso. Durante mucho tiempo la vía común para el tratamiento de estos trastornos, ha sido el uso de fármacos. Sin embargo, el efecto de resistencia a medicamentos en pacientes con enfermedades como el mal de Parkinson y la epilepsia [7], [8], no aseguraba una mejora continua en la condición del doliente. Por esta razón, en la década de los sesenta se planteó una alternativa

de solución basada en dispositivos unidireccionales de lazo abierto enfocados en la estimulación eléctrica del sistema nervioso [9]. Hoy en día, dichos dispositivos han sido reemplazados por interfaces neuronales bidireccionales, sistemas implantables que generan una respuesta ajustada al funcionamiento individual del sistema nervioso.

Las interfaces neuronales bidireccionales de lazo cerrado, consisten en sistemas que se ajustan de forma dinámica a los parámetros obtenidos de las señales registradas en respuesta a la actividad neuronal y psicológica [10], [11]. Como resultado, se evidencia una ventaja en usos terapéuticos con respecto a las interfaces de lazo abierto [12]. Una de las aplicaciones que ofrece este tipo de BCI, consiste en una técnica denominada neuro modulación de lazo cerrado, la cual consiste en estimular el sistema nervioso con el propósito de efectuar el tratamiento de algún trastorno neurológico, como requisito se plantea la medición de señales neuronales extracelulares. Por consiguiente, el sistema de adquisición debería ser capaz de procesar señales en el rango de 650 Hz - 7.5 KHz [5].

A nivel académico, diferentes investigaciones orientadas al campo de los implantes cerebrales, se enfocan en el desarrollo de interfaces neuronales de arquitecturas innovadoras. Por ejemplo, a inicios del año 2021, un equipo de ingenieros de *Brown University*, estableció en [13] un prototipo de interfaz neuronal basado en transmisores inalámbricos. Por un lado, utilizar una BCI convencional involucra el uso de un pedestal que conecta una serie de cables del dispositivo implantable con el procesador de señales y el decodificador. Por otro lado, el uso de tecnología inalámbrica permite desarrollar interfaces neuronales que de forma independiente registren los datos del cerebro, mientras que el procesamiento se realiza de manera externa; de este modo es eliminado el enredo de cables de la cabeza del paciente. Esta segunda alternativa, fue implementada en un *test in-vivo*, tal como se observa en la figura 1, cuya marcha fue posible tras

utilizar el denominado “*Brownless Wireless Device*” (BWD), dispositivo que incorpora un filtro en el rango de 1 Hz a 7.8 KHz y que digitaliza las señales neuronales detectadas, en 12 bits por muestra, a una frecuencia de muestreo de 20 kHz para cada electrodo. El experimento consistió en detectar la actividad cerebral de un voluntario durante un periodo veinticuatro horas de manera continua e ininterrumpida, algo que se logró de manera satisfactoria con el dispositivo inalámbrico.

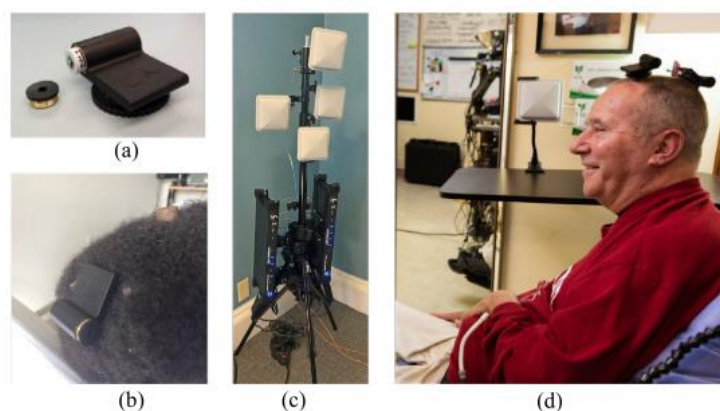


Figura 1. *Test in-vivo* del sistema BCI basado en BWD. (a) Transmisor BWD. (b) BWD conectado al pedestal posterior en la cabeza de un primer paciente voluntario. (c) Sistema de recepción inalámbrica, basado en una configuración de cuatro antenas. (d) Segundo paciente voluntario con dos transmisores inalámbricos en la cabeza

[13].

En la figura 2, se observa el espectrograma de la data neuronal grabada de manera continua durante el periodo de tiempo especificado, medición que asegura la confiabilidad del sistema inalámbrico de registro de actividad neuronal.

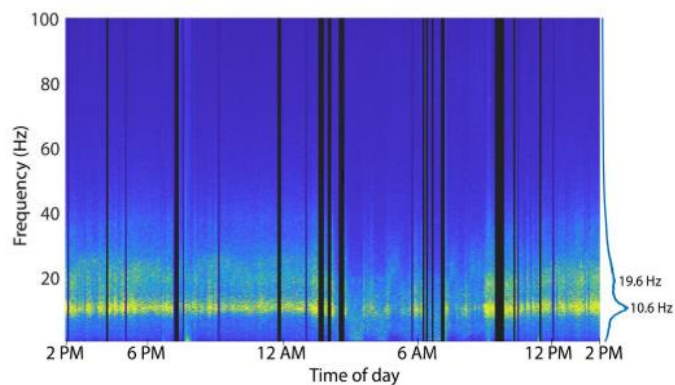


Figura 2. Espectrograma obtenido del transmisor inalámbrico tras la adquisición continua de actividad de picos neuronales durante veinticuatro horas seguidas [13].

A nivel empresarial, se busca alcanzar prototipos viables de interfaces neuronales, con la motivación de que eventualmente estos productos logren penetrar el mercado. Uno de los proyectos actuales más populares en materia de neuro tecnología es comandado por investigadores y desarrolladores de Neuralink, empresa de origen estadounidense fundada por Elon Musk, cuya meta es destinar las BCI al público en general. Con base en las presentaciones de sus prototipos y las descripciones superficiales del mismo, brindadas en uno de sus artículos publicados, se logra identificar que la mayor parte de la atención se centra en tres características del dispositivo: El número total de electrodos, la disipación de potencia y el ancho de banda, especificaciones que deben ajustarse para destinar el implantable a aplicaciones clínicas.

En 2019, el equipo de Neuralink realizó una publicación en la que se ofrecen detalles acerca de su segundo prototipo de interfaces neuronales invasivas [2]. Respecto a las especificaciones del sistema, se mencionan los desafíos que involucra el desarrollo de las BCIs, entre los cuales destacan la incapacidad de procesar señales a gran escala y la necesidad reducir la disipación de potencia total del sistema para facilitar las operaciones inalámbricas. Esencialmente, el acondicionamiento analógico del BCI consiste en amplificar señales neuronales que se encuentren

en un rango inferior a los $10 \mu V_{RMS}$, al mismo tiempo que se rechaza el ruido fuera de banda para posteriormente muestrear y digitalizar la señal amplificada. Cabe resaltar que dichos dispositivos son implementados mediante un circuito integrado de aplicación específica (ASIC) cuya disipación de potencia rodea los 6 mW, diseño que varía en base a los avances de los prototipos implementados. En la tabla 1 se observa una comparación entre el segundo prototipo de Neuralink, identificado como sistema A y su predecesor denominado sistema B, donde se puede identificar que existe una predisposición por aumentar la frecuencia de muestreo y reducir la disipación de potencia total del sistema. Sin embargo, es necesario considerar que el sistema A está diseñado para aplicaciones de menor densidad de canal respecto al sistema B, es decir el número total de electrodos implantados es menor.

Tabla 1. Comparación entre dos sistemas propuestos de interfaces neuronales [2].

	System A	System B
Number of Channels	1,536	3,072
Sampling Rate	19.3 kHz	18.6 kHz
Total System Power Consumption	550 mW	750 mW
Total System Size	$(24.5 \times 20 \times 1.65) \text{ mm}^3$	$(23 \times 18.5 \times 2) \text{ mm}^3$

En la figura 3, se muestra una actualización del año 2020, que consiste en una versión completamente inalámbrica capaz de transmitir 1024 canales de picos neuronales en tiempo real [14].

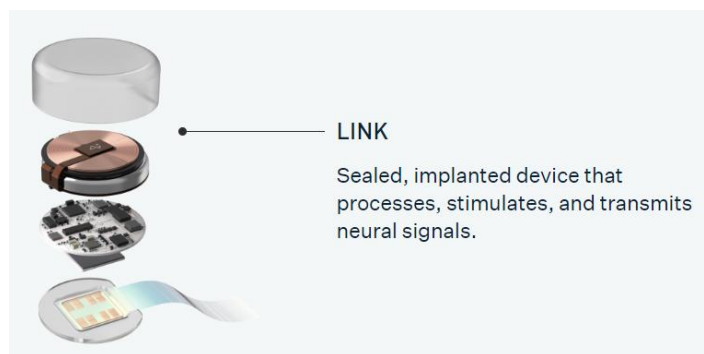


Figura 3. BCI invasiva de la empresa Neuralink, capaz de procesar, estimular y transmitir señales neuronales [14].

1.2. Clasificación de las interfaces cerebro-computador implantables

1.2.1. BCIs parcialmente invasivas

Las interfaces neuronales parcialmente invasivas se colocan al interior del cráneo, pero fuera de la materia gris, con el propósito de extraer señales neuronales con una mejor resolución espacial a comparación de la EEG. Un ejemplo de este tipo de BCI es la basada en electrocorticografía (ECoG), técnica que consiste en obtener señales neuronales cuyo contenido espectral presenta un ancho de banda de aproximadamente 200 Hz. Esto es posible con una malla de electrodos colocada en la corteza cerebral, capaz de detectar señales con un rango amplitud de voltaje que va de $5 - 100 \mu V$. Un ejemplo gráfico se puede observar en la figura 4, en la cual se muestra una configuración de electrodos para ECoG [3], [15], [16].

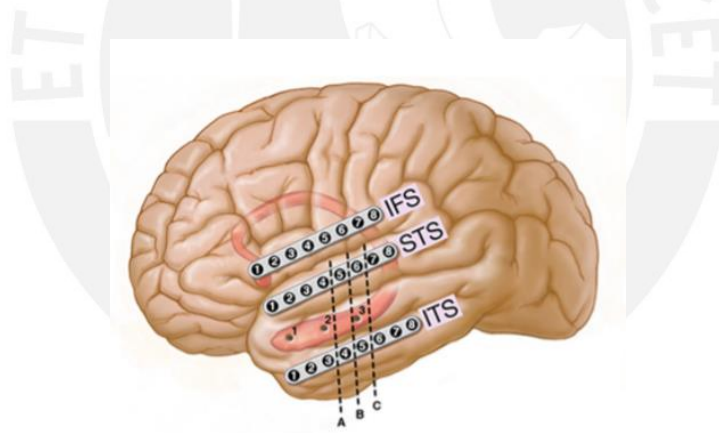


Figura 4. Ejemplo gráfico de la configuración de electrodos para ECoG [17].

1.2.2. BCIs invasivas

Las interfaces neuronales invasivas son dispositivos que se colocan directamente en el cerebro con la finalidad de obtener señales neuronales que presenten menor atenuación de amplitud e interferencia de artefactos. Son dos los tipos de señales que pueden ser adquiridas mediante este tipo de BCIs, los potenciales de campo local y los registros de una sola unidad.

Por un lado, la detección de potenciales de campo local consiste en mediciones extracelulares, es decir, en un área alrededor de las neuronas de la cual son obtenidas señales con un ancho de banda de aproximadamente 200 Hz y amplitudes que oscilan entre $10 \mu - 1 mV$ [3], [15].

Por otro lado, los registros de una sola unidad o una sola neurona, consisten en señales cuyo contenido espectral se ubica dentro de un rango de frecuencias que va de 100 a 10 KHz, con amplitudes de voltaje que pueden alcanzar valores de $10 \mu - 1 mV$ [3], [16]. Un ejemplo de este tipo de interfaces neuronales se puede apreciar en la figura 5, donde se muestra la actividad cerebral de un primate, mientras hace uso de una BCI invasiva en tiempo real, desarrollada por el equipo de Neuralink, con la cual es capaz de jugar *Pong* utilizando únicamente sus pensamientos.



Figura 5. Primate haciendo uso de una interfaz neuronal en tiempo real [14].

1.3. Amplificación de señales neuronales

La reducción de disipación de potencia de circuitos implantables permite implementar diseños más viables de interfaces neuronales que incluso, tendrían la capacidad de operar con alimentación inalámbrica para evitar la necesidad de reemplazo de batería [18]. Además de la baja disipación de potencia, el rendimiento frente al ruido es una característica importante en los

sistemas de adquisición de señales neuronales ya que se produce una alteración significativa de la señal de interés cuando el amplificador del sistema interactúa con el ruido de baja frecuencia, también denominado ruido *flicker* o ruido $1/f$.

El ruido *flicker*, consiste en una señal no deseada que aparece en todos los dispositivos activos como consecuencia de la aparición de trampas generadas en el cristal de silicio de los dispositivos semiconductores. Estas trampas capturan y liberan portadores de carga de manera aleatoria, lo cual origina una señal cuya densidad espectral de potencia es inversamente proporcional a la frecuencia [19], [20].

De acuerdo con [3], [21], el uso de un circuito denominado amplificador *chopper* de lazo abierto (figura 6), es capaz de evitar los errores en la medición de señales biomédicas causados por su interacción con el ruido de baja frecuencia. El principio de funcionamiento de este circuito, consiste en la modulación de una señal de interés, previo a la entrada del amplificador, a la frecuencia *chopper*; valor que se encuentra por encima de la esquina del ruido de baja frecuencia. Posterior a la amplificación, el ruido es modulado a la frecuencia *chopper* y la señal de interés es demodulada, con el propósito de aplicar un filtro pasa bajo que genere como salida únicamente la señal de interés en banda base, limitando así la aparición de parámetros agresores cuyos espectros han sido desplazados a una alta frecuencia. Dentro del conjunto de parámetros agresores que el amplificador *chopper* es capaz de suprimir, se encuentran el ruido *flicker* o ruido $1/f$, los errores generados por la deriva o arrastre, el *offset* del amplificador y el ruido *popcorn*.

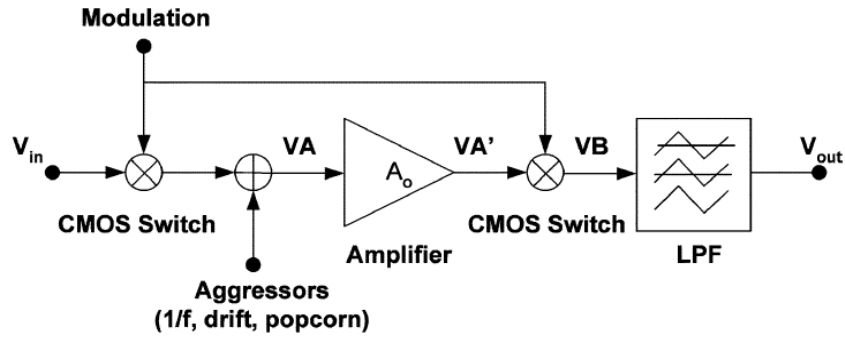


Figura 6. Amplificador *chopper* de lazo abierto [3].

Una implementación más detallada se puede apreciar en la figura 7, donde además del amplificador principal se muestran circuitos auxiliares que compensan algunos problemas asociados a la técnica *chopper*. El amplificador contenido en este sistema de adquisición de señales neuronales, es conocido como *capacitively-coupled chopper instrumentation amplifier*.

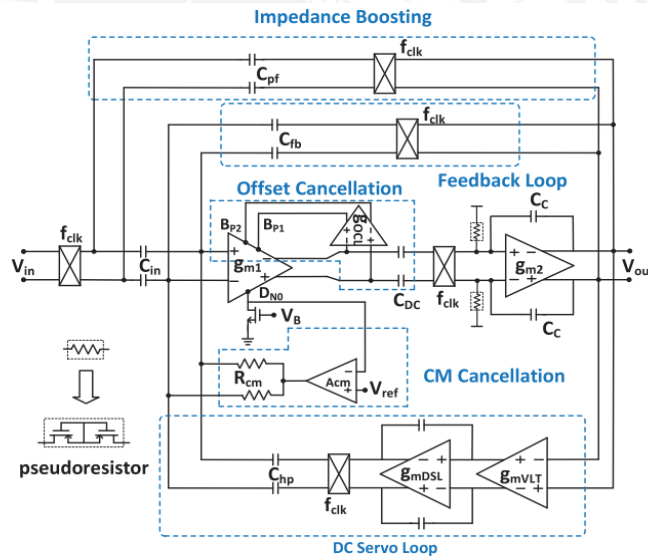


Figura 7. Arquitectura presentada de un sistema de medición de biopotenciales [5].

1.4. Tensión de rizado en los amplificadores *chopper* de señales neuronales

El amplificador *chopper* tiene como objetivo principal, suprimir el ruido *flicker* y *offset* mediante una serie de desplazamientos del espectro en el dominio de la frecuencia. No obstante, cuando estas dos componentes son moduladas, se crea a la salida del amplificador un rizado que debe ser suprimido. Como un primer camino de solución para eliminar el rizado, se plantea colocar un filtro pasa bajo a la salida del amplificador *chopper*. Sin embargo, es necesario tomar en cuenta que tanto el uso de un filtro pasivo como activo, agrega una componente de ruido a la señal de interés, e incluso este último introduce un *offset* adicional a la salida del amplificador. Asimismo, utilizar tal elemento electrónico implica un incremento en el área del circuito total y una limitación del ancho de banda (BW), pues para eliminar el espectro de la señal localizada a una alta frecuencia, su frecuencia de corte debe ser lo suficientemente estrecha como para filtrar toda componente no deseada. Como alternativas de solución se establecen diferentes técnicas tales como el uso de capacitores de desacoplo, filtro *notch* o rechaza banda de capacitor conmutado, lazo de rechazo de rizado con acoplamiento AC, lazo de cancelación de offset, entre otros [4], [6], [5]. En la figura 8 se muestra de manera gráfica la generación de rizado a la salida de un amplificador *chopper* debido a la tensión de *offset* del op-amp.

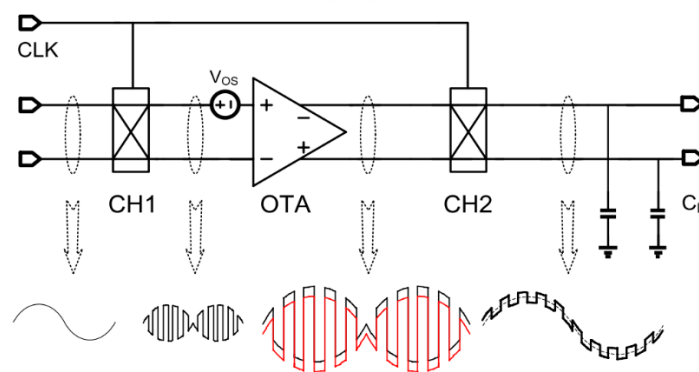


Figura 8. Tensión de rizado del amplificador *chopper* debido a la modulación del *offset* [22].

1.5. Técnicas de reducción de rizado

Como se mencionó anteriormente, para suprimir el efecto de la modulación del ruido *flicker* y del *offset* en el amplificador *chopper*, se utilizan componentes o circuitos auxiliares capaces de corregir este rizado. Previamente se mencionó que uno de los objetivos es evitar que el circuito ocupe una amplia región del chip. Además, como se desea utilizar fuentes de alimentación menores a 1V, es importante identificar que el circuito no produzca un alto valor de disipación de potencia.

Con base en los criterios previamente mencionados y las alternativas de solución planteadas en la sección anterior, en el libro “*Capacitively – Coupled Chopper Amplifiers*” [4],

1.5.1. Acoplamiento capacitivo

La topología basada en acoplamiento capacitivo es capaz de reducir la corriente de *offset* generada en la primera etapa del amplificador (G_{m1}) y el ruido de baja frecuencia, con el objetivo de suprimir el rizado a la salida del circuito. Para ello, tal como se muestra en la figura 9, dos capacitores de desacoplo ($C_{out1,2}$) son insertados a la salida del amplificador g_{m1} para limitar el paso del ruido *flicker* y del *offset*, de modo que estos no logren alcanzar el segundo modulador del circuito, el cual, los convierte en el rizado o *glitch* a la salida del amplificador *chopper*. Sin embargo, una de las desventajas de este circuito, es que su ganancia ($G_{m1} * R_{out1,2}$) está limitada por las resistencias de salida $R_{out1,2}$ [4].

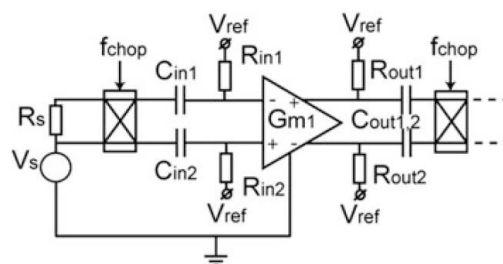


Figura 9. Circuito de un amplificador *chopper* totalmente diferencial acoplado capacitivamente [4].

1.5.2. Estabilización *chopper*

Este lazo de compensación de *offset* (figura 10), presenta dos caminos por donde circula la señal, uno de alta frecuencia (HFP, por sus siglas en inglés), que representa el camino principal conformado por un amplificador A_1 y uno de baja frecuencia (LFP, por sus siglas en inglés) que consiste en un lazo auxiliar que limita el ancho de banda y corrige el *offset* intrínseco de A_1 por medio de una alta ganancia. Debido a las impedancias del lazo de realimentación, se genera una tensión de error $\frac{A_1 \times V_{os1}}{A_2 \times A_3}$ a la entrada del amplificador A_1 . Por un lado, el ruido *flicker* del HFP se suprime de manera similar al caso de V_{os1} , mientras que V_{os2} (*offset* del LFP) pasa por la técnica *chopper*. Por otro lado, el rizado generado en el lazo auxiliar es suprimido mediante un integrador [4].

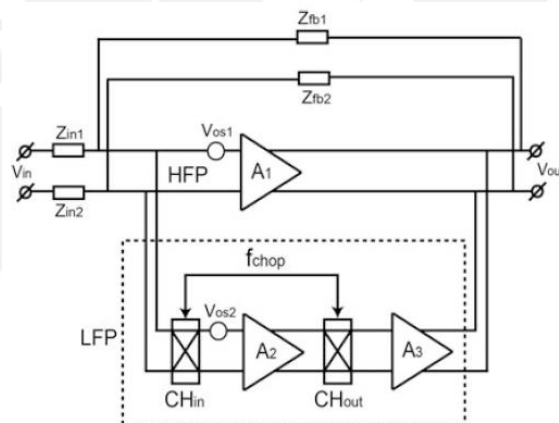


Figura 10. Diagrama de bloques de un amplificador con estabilización *chopper* [4].

1.5.3. Lazo de realimentación para la compensación de rizado

El lazo de cancelación de *offset* es un circuito auxiliar basado en la realimentación para la compensación de rizado, este se conecta a la salida de la primera etapa (gm_1 en la figura 11) de un amplificador *chopper* multietapa. El objetivo es eliminar de manera local un *offset* DC para

suprimir el rizado a la salida del circuito. Esta alternativa de solución propuesta en [5], está basada en la técnica de control de puerta trasera o *backgate*, la cual consiste en dirigir una tensión de *offset* hacia la entrada del amplificador g_{ocl} , de modo que su tensión de salida sea realimentada hacia las puertas traseras o terminales de cuerpo (B_{P1} y B_{P2}) de dos transistores internos que integran el par diferencial del amplificador g_{m1} . De acuerdo con las simulaciones efectuadas en la fuente mencionada, esta topología permite lidiar con tensiones de *offset* que superen los ± 13 mV cuando se alimenta el circuito con una tensión de 0.8 V.

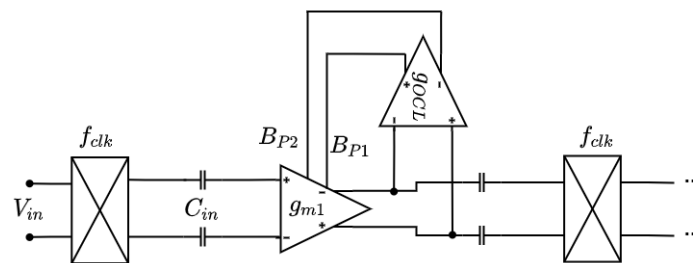


Figura 11. Primera etapa de un amplificador *Chopper* con lazo de cancelación *offset* incluido.

1.6. Declaración de la problemática

En los sistemas de adquisición de señales neuronales, una de las principales limitaciones de la arquitectura *chopper*, consiste en la generación de rizado en la tensión de salida. En esta tesis, se plantea diseñar un circuito de baja potencia capaz de corregir dicha limitación producida por la modulación del ruido *flicker* y de la tensión de *offset*, capaz de operar con un voltaje de alimentación menor a 1V. Esta propuesta de solución se realizará con base en la tecnología TSMC 180nm y estará destinada a formar parte de un sistema integrado en chip, con el objetivo de viabilizar soluciones implantables de interfaces neuronales que trabajen con baterías que no deban

ser reemplazadas en cortos periodos de tiempo e incluso que puedan funcionar con alimentación inalámbrica mediante un acoplamiento inductivo [10].

1.7. Justificación

Los ejemplos presentados en la primera parte de este capítulo demuestran la importancia de aumentar el número de electrodos en los sistemas de adquisición de señales neuronales. Para ello, es necesario que la disipación de potencia en cada canal de medida sea minimizada, y un camino de solución para este reto, es la reducción del voltaje de alimentación del dispositivo implantable. No obstante, disminuir el valor de dicho voltaje supone un completo desafío pues, se reduce del rango de operación lineal de los transistores polarizados que contiene el circuito analógico del sistema de adquisición de señales neuronales. Si bien una reducción de la tensión de alimentación mejora el consumo de energía de dichos sistemas, se genera un sacrificio de rendimiento frente al ruido, razón por la cual, desde la década pasada se viene realizando múltiples investigaciones enfocadas en el diseño de sistemas de adquisición de señales neuronales operados por fuentes de voltaje menores a 1V [5],[23]. Tras efectuar la revisión de la literatura orientada a los sistemas mencionados, se comprobó que la arquitectura más utilizada para la amplificación de señales neuronales, es la que se conoce como *capacitively-coupled chopper instrumentation amplifier*, y entre los problemas más relevantes, se encuentra la generación de rizado en la tensión de salida del amplificador de señales neuronales. Por lo tanto, se justifica la investigación de soluciones ante la aparición de rizado, con la restricción de utilizar un voltaje de alimentación inferior a 1V.

1.8. Objetivos

1.8.1. Objetivo general

Diseñar un circuito de rechazo de rizado para un amplificador *chopper* de señales neuronales con voltaje de alimentación menor a 1V.

1.8.2. Objetivos específicos

- Seleccionar una topología orientada a un circuito de rechazo de rizado.
- Seleccionar una metodología, para dimensionar los transistores del circuito de rechazo de rizado, capaz de operar con un voltaje de alimentación menor a 1V.
- Diseñar un circuito de rechazo de rizado para un amplificador *chopper* basado en la tecnología de proceso TSMC 180nm con la metodología seleccionada.
- Elaborar el diagrama esquemático correspondiente al diseño propuesto con base en el cálculo de dimensiones de los transistores MOSFET.
- Realizar una serie de simulaciones eléctricas con la herramienta CADENCE para corroborar el correcto funcionamiento del amplificador del circuito de rechazo de rizado.
- Ajustar el diseño del circuito de rechazo de rizado de acuerdo con los resultados obtenidos de las simulaciones efectuadas.
- Realizar el análisis de *corner* del circuito propuesto con la finalidad de determinar cómo cambian los valores de los parámetros de interés antes variaciones de proceso, voltaje y temperatura.

1.9. Alcance

Se llegará hasta el análisis de *corner* del circuito que resuelve el problema planteado. Cabe destacar que no se va a desarrollar un sistema completo de adquisición de señales neuronales, pero sí una parte del mismo. Asimismo, no se realizará el *Layout* ni la fabricación del circuito integrado debido a limitaciones económicas y de tiempo.



Capítulo 2

Marco teórico y modelo de solución

En el capítulo 2 se plantea la información necesaria para llevar a cabo el diseño del circuito de corrección de rizado orientado a un amplificador *chopper* con voltaje de alimentación menor a 1V. En específico, se comienza con la clasificación de las señales neuronales, posteriormente se muestra a detalle los componentes que integran al amplificador *chopper*, tales como los moduladores, el amplificador *fully-differential* y la realimentación en modo común, los cuales serán importantes para entender el modelo de solución que se define al finalizar el presente capítulo.

2.1. Clasificación de las señales neuronales

En el capítulo 1 se mencionaron algunas aplicaciones de las interfaces cerebro-computador. Para lograr su desarrollo, la etapa principal de estos sistemas consiste en un circuito de adquisición de señales neuronales, cuyo objetivo es detectar y acondicionar señales neuronales con frecuencias y voltaje asociados, para posteriormente procesarlas. Es por ello que, es importante caracterizar el tipo de señal neuronal a la cual se enfoca el circuito a diseñar, para conocer los parámetros eléctricos de operación del sistema de adquisición.

En la figura 12 se observan los diferentes tipos de señales neuronales que se adquieren mediante el uso de distintos BCIs. En primer lugar, las señales de EEG se obtienen tras colocar electrodos a lo largo del cuero cabelludo de un paciente. En segundo lugar, las señales de ECoG son adquiridas mediante una malla de electrodos extendida en la corteza cerebral. En tercer lugar,

los potenciales de campo local y las unidades simples, se extraen a través de un arreglo de microelectrodos que reposa en la sustancia gris del cerebro de una persona o animal, previamente sometido a una intervención quirúrgica en la cual se implantó una interfaz neuronal invasiva.

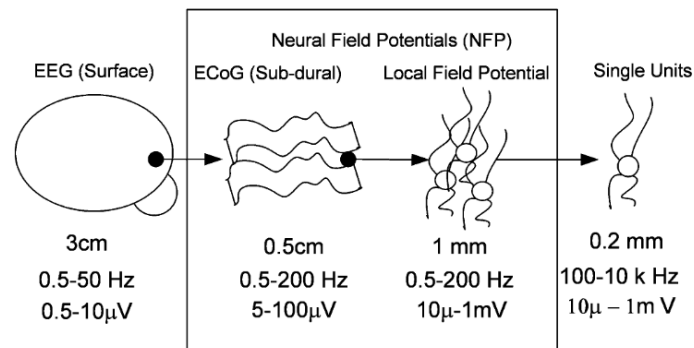


Figura 12. Comparación de las distintas tecnologías de adquisición de señales neuronales, incluye estimaciones de resolución espacial, ancho de banda y nivel de voltaje de las señales [3].

El presente estudio, está orientado a las interfaces neuronales invasivas, dispositivos capaces de detectar potenciales eléctricos provenientes de las unidades simples, es decir, un conjunto de neuronas individuales. Estas señales presentan amplitudes que varían en un rango de $10\mu - 1mV$ y valores de frecuencia entre $100 - 10 kHz$.

2.2. El Transistor de Efecto de Campo Metal-Óxido-Semiconductor

(MOSFET)

El transistor MOS, también llamado MOSFET es un dispositivo semiconductor cuya estructura física consiste en la unión de piezas conductoras, aislantes y de Silicio dopado. Con respecto a su geometría, el MOSFET está constituido por cuatro terminales, la puerta o *gate*, el drenador o *drain* y el sustrato (*p-Substrate* en la figura 13) o *bulk*. Como ejemplo, se muestra en siguiente imagen, la estructura de un MOSFET de canal N. Por un lado, la puerta (G) es un

terminal que consiste en una placa conductora ubicada en la zona superior del transistor, la cual reposa sobre un material dieléctrico situado encima de un sustrato de Silicio tipo p. Por otro lado, el flujo de electrones es posible debido a los terminales drenador (D) y surtidor (S), dos regiones tipo n que permiten la creación de un canal de electrones cuando se les aplica una diferencia de potencial lo suficientemente positiva después de superar el valor de la tensión umbral entre los terminales G y S [24].

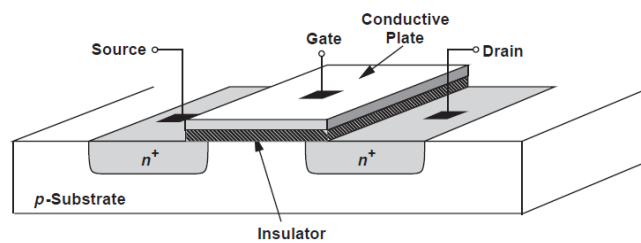


Figura 13. Estructura de un MOSFET [24].

Cuando una diferencia de potencial entre los terminales de puerta y surtidor superan el valor de tensión umbral del MOSFET, se genera un canal entre ambos, lo que permite el flujo de portadores de carga. Es así que aparecen las diferentes regiones de operación del transistor MOS, entre las cuales se encuentran: Triodo, Corte y Saturación; cuyas condiciones eléctricas y ecuaciones se observan en la tabla 2.

Tabla 2. Regiones de operación de un transistor NMOS. Adaptado de [25].

Región	Condiciones de v_{GS} y v_{DS}	Corriente de drenador i_D
Triodo	$v_{GS} > V_{TH}$ $v_{DS} < v_{GS} - V_{TH}$	$i_D = \mu C_{ox} \frac{W}{L} \left((v_{GS} - V_{TH}) v_{DS} - \frac{1}{2} v_{DS}^2 \right)$
Saturación	$v_{GS} > V_{TH}$ $v_{DS} \geq v_{GS} - V_{TH}$	$i_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (v_{GS} - V_{TH})^2$
Corte	$v_{GS} \leq V_{TH}$	$i_D = 0$

2.3. El efecto cuerpo

Una de las particularidades de los transistores MOS consiste en su tensión umbral, pues mediante el uso de un fenómeno denominado efecto cuerpo, se puede alterar dicho valor en función de una diferencia de potencial entre los terminales Surtidor y Cuerpo.

En un transistor NMOS, mientras el potencial de cuerpo V_B sea más negativo respecto al potencial de surtidor V_S , mayor cantidad de huecos se desplazarán hacia el sustrato tipo p, esto ocasiona que se incremente la cantidad de cargas negativas en el canal del transistor, de modo que la zona de depleción aumenta su ancho (figura 14). Este ensanchamiento de la región de depleción, implica un aumento en la barrera de potencial V_{TH} , la cual es necesaria superar para inducir un canal de conducción entre el drenador y surtidor del transistor [24].

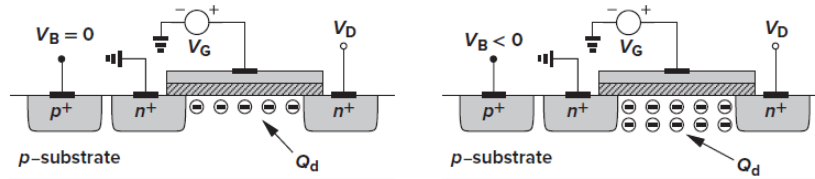


Figura 14. Variación de la carga en la zona de depleción cuando se le agrega un potencial eléctrico al terminal de cuerpo [24].

El fenómeno denominado Efecto Cuerpo, se modela de manera matemática mediante la siguiente ecuación:

$$V_{TH} = V_{TH0} + \gamma \left(\sqrt{2\phi_F + V_{SB}} - \sqrt{|2\phi_F|} \right) \quad (1)$$

Donde, V_{TH0} es la tensión umbral obtenida cuando los terminales de surtidor y cuerpo presentan el mismo potencial eléctrico, es decir, $|V_B - V_S| = 0$. Además, se sabe que:

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_{sub}}}{C_{ox}} \quad (2)$$

$$\Phi_F = \left(\frac{kT}{q}\right) \ln\left(\frac{N_{sub}}{n_i}\right) \quad (3)$$

En (1), γ representa el coeficiente del efecto cuerpo, q es la carga del electrón, ϵ_{si} es la constante dieléctrica del silicio, N_{sub} es la densidad de dopaje del sustrato y C_{ox} la capacitancia de la interfaz puerta-óxido por unidad de área.

A partir de Φ_F , se resalta que, k es la constante de Boltzmann, n_i la densidad de electrones en el silicio no dopado. Asimismo, se debe enfatizar el hecho de que, mediante el efecto cuerpo se pueden generar variaciones controladas de corriente de drenador en un MOSFET debido a su dependencia de la tensión umbral, tal como se observa en la ecuación de la corriente de drenador de un transistor MOS en la región de saturación:

$$I_D = \frac{1}{2}\mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \approx \frac{1}{2}\mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (4)$$

2.4. Modelo en pequeña señal

El Dr. Ali Niknejad, investigador en el área de circuitos integrados de la Universidad de Berkeley en Estados Unidos, define en [26], la transconductancia g_m de un transistor MOS, como el cambio de la corriente de drenador respecto a la tensión generada entre puerta y surtidor, tal como se define en la siguiente ecuación:

$$g_m = \frac{\Delta i_D}{\Delta v_{GS}} \Big|_{V_{GS}, V_{DS}} = \frac{\partial i_d}{\partial v_{GS}} \Big|_{V_{GS}, V_{DS}} \quad (5)$$

$$g_m = \mu C_{OX} \frac{W}{L} (V_{GS} - V_{TH})(1 + \lambda V_{DS}) \quad (6)$$

Comparando las ecuaciones (6) y (4), se obtiene:

$$g_m = \frac{2I_D}{(V_{GS} - V_{TH})} = \frac{2I_D}{V_{overdrive}} \quad (7)$$

Inicialmente, el modelo en pequeña señal del CMOS es el de la figura 15.

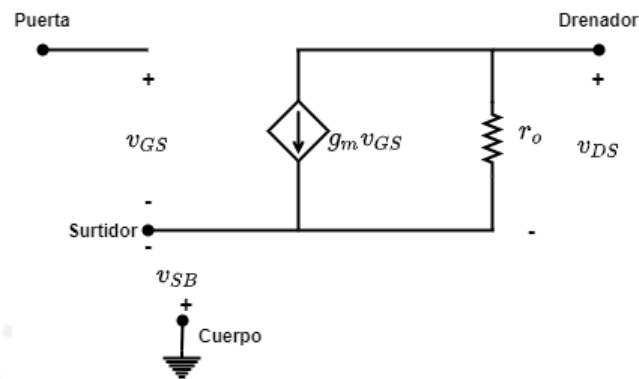


Figura 15. Modelo de un transistor MOS en pequeña señal.

Donde,

$$i_{DS} = g_m v_{GS} + \frac{1}{r_o} v_{DS} \quad (8)$$

$$r_o = \left(\frac{\partial i_d}{\partial v_{GS}} \Big|_{V_{GS}, V_{DS}} \right)^{-1} \quad (9)$$

$$r_o = \frac{1}{\frac{W}{L} \frac{\mu C_{OX}}{2} (V_{GS} - V_{TH})^2 \lambda} \quad (10)$$

Adicionalmente, el voltaje umbral V_{TH} puede ser modificado tras inyectar portadores de carga en el terminal de cuerpo o *bulk* del transistor MOS, debido al efecto cuerpo. Este fenómeno

altera el valor de la corriente eléctrica I_{DS} y por dicho motivo se le denomina al terminal de cuerpo, puerta trasera o segunda puerta.

Entonces, ya que las variaciones en la tensión umbral pueden generar variaciones en la corriente de drenador de los CMOS se puede considerar que, por efecto cuerpo, la corriente I_D varía con respecto a la tensión cuerpo-surtidor del transistor. Por dicho motivo, aparece una transconductancia de cuerpo o transconductancia de puerta trasera, descrita bajo la siguiente ecuación:

$$g_{mb} = \frac{\Delta i_D}{v_{BS}} \Big|_Q = \frac{\partial i_D}{\partial v_{BS}} \Big|_Q \quad (11)$$

Donde, Q es el punto de operación en función de V_{GS} , V_{DS} y V_{BS} . De modo que se obtiene la expresión:

$$g_{mb} = \frac{g_m \gamma}{2\sqrt{V_{SB} + 2\Phi_F}} \quad (12)$$

En consecuencia, el nuevo modelo en pequeña señal se muestra en la figura 16.

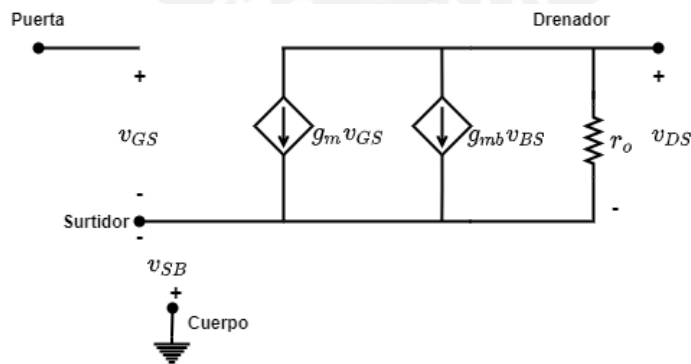


Figura 16. Modelo de un transistor MOS en pequeña señal, considerando la transconductancia de puerta trasera.

2.5. El ruido flicker

Previamente se mencionó que una de las causas del ruido *flicker* en dispositivos semiconductores, se debe a las incertidumbres en los procesos de manufactura, donde la contaminación y defectos en el cristal de Silicio ocasionan la aparición de trampas de portadores de carga en el material. Estas trampas originan un proceso continuo de captura y liberación aleatoria de electrones y huecos, lo cual desencadena la aparición del ruido *flicker*, cuya densidad espectral es inversamente proporcional a la frecuencia [19], [20].

Específicamente en los transistores MOS, el ruido *flicker* nace en la interfaz formada entre la puerta de óxido y el cristal de Silicio del MOSFET, ya que los defectos producidos durante el proceso de fabricación, definen un fenómeno que aparece en dicha región. Dicho fenómeno, consiste en la aparición de enlaces incompletos que introducen estados de energía adicionales, tal como se muestra en la figura 17. Dichos estados ocasionan la captura y liberación de portadores de carga, razón por la cual aparece el ruido flicker[24], [27].

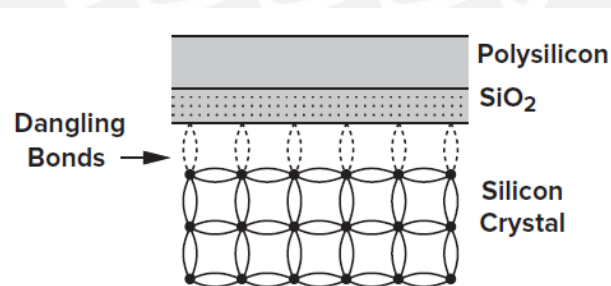


Figura 17. Enlaces colgantes en la interfaz Óxido-Silicio de un MOSFET [24].

Generalmente, para el caso de un MOSFET, el ruido *flicker* se modela como una fuente corriente en paralelo con el transistor MOS (figura 18), cuya densidad espectral de corriente está representada en la ecuación (13).

$$\overline{i_{n,fn}^2} = \frac{K_f}{C_{ox}WL} \frac{g_m^2}{f} \quad (13)$$

Donde W es el ancho de la puerta y L es la longitud de canal del MOSFET, C_{ox} representa a la capacitancia del óxido del transistor, K_f a la constante dependiente de proceso y g_m al factor de transconductancia del transistor.

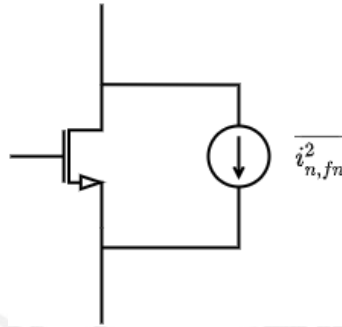


Figura 18. Modelo del ruido *flicker* en un transistor MOS.

En dispositivos electrónicos, se puede realizar un análisis del ruido *flicker*, a partir de su densidad espectral, donde la amplitud cae en una razón de $\frac{1}{\sqrt{f}}$, tal como se muestra en la figura 19. Asimismo, es necesario resaltar que f_c se define como la frecuencia de corte, donde el ruido *flicker* coincide de manera aproximada con la componente de ruido blanco.

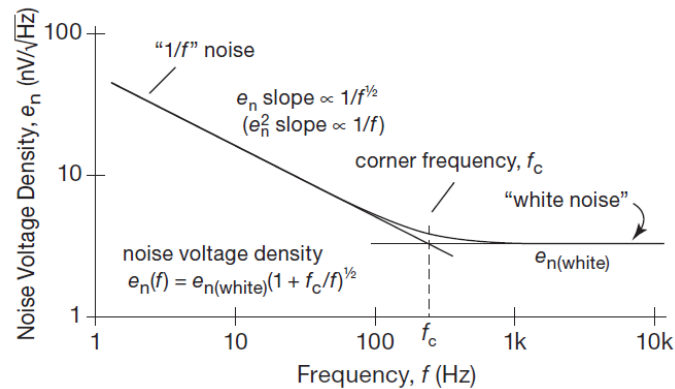


Figura 19. Densidad espectral del ruido [20].

La tensión generada por el ruido *flicker*, puede ser hallada tras considerar un valor de densidad de ruido $e_{n_1} = k/\sqrt{f}$, donde $k = e_1\sqrt{f_1}$, e_1 es el valor de densidad de ruido localizado a una

frecuencia f_1 y f una variable que indica frecuencia. Entonces, para calcular el valor de tensión que genera el ruido *flicker*, se consideran las siguientes ecuaciones:

$$e_{flicker_{A-B}} = \sqrt{\int_{f_A}^{f_B} e_n^2 df} \quad (14)$$

$$e_{flicker_{A-B}} = \sqrt{\int_{f_A}^{f_B} e_1^2 \cdot f_1 \cdot \frac{1}{f} df} \quad (15)$$

$$e_{flicker_{A-B}} = e_1 \sqrt{f_1} \sqrt{\ln\left(\frac{f_B}{f_A}\right)} \quad (16)$$

Donde $e_{flicker_{A-B}}$ es la tensión generada por el ruido flicker en un rango de frecuencias $f \in [f_A; f_B]$ y e_n es la función de densidad espectral del ruido *flicker*. Asimismo, si se desea calcular el ruido total en el dispositivo electrónico, se debe tomar en cuenta el siguiente cálculo:

$$e_{Blanco}^2 = e_w \times \sqrt{BW} \quad (17)$$

$$e_{Total} = \sqrt{e_{Blanco}^2 + e_{flicker}^2} \quad (18)$$

De la ecuación (17), es necesario destacar que BW es el ancho de banda del ruido blanco y e_w representa al valor constante de densidad de ruido blanco, el cual se puede obtener de cualquier gráfica de densidad espectral de ruido similar a la que se observa en la figura 19.

2.6. El *offset* DC de los amplificadores operacionales

La generación de rizado a la salida del amplificador *chopper*, aparece como consecuencia de la modulación de dos componentes intrínsecos del amplificador, el ruido *flicker* y el *offset*. En esta sección se destacan las causas que ocasionan dichas componentes.

2.6.1. El *mismatch* de los transistores

Desde una perspectiva ideal, se podría pensar que establecer el ancho y largo de canal de dos transistores MOS es suficiente para considerarlos como idénticos. Sin embargo, debido a incertidumbres en el proceso de fabricación, el MOSFET sufre variaciones aleatorias y microscópicas en su geometría (figura 20). Por consiguiente, nace una asimetría o *mismatch* entre dos transistores cuyas características se asumían inicialmente como equivalentes [24].

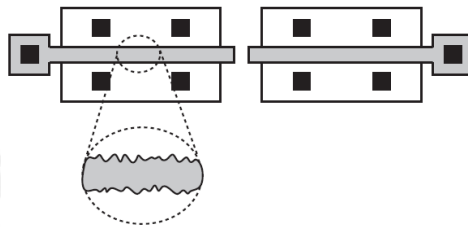


Figura 20. Variaciones microscópicas en las dimensiones de los transistores [24].

No solo ocurren variaciones en la geometría del transistor, sino también en el voltaje umbral de este, debido a que se encuentra en función del nivel de dopaje en el canal y en el terminal de gate; variable que varía aleatoriamente entre dispositivos producidos. Ya que,

$$V_{TH} = \phi_{MS} + 2\phi_F + \frac{Q_{dep}}{C_{ox}} \quad (19)$$

Donde, ϕ_F es el potencial de fermi del material visto en (3), ϕ_{MS} es la diferencia entre las funciones de trabajo de la puerta de polisilicio y el substrato de silicio, Q_{dep} es la carga en la región de depleción y C_{ox} es la capacitancia de puerta-óxido por unidad de área.

En [24] se plantea que, por un lado, pueden ser estudiados los mecanismos que desembocan en la generación del *mismatch*, pero se requiere de la caracterización del mismo fenómeno porque este análisis es muy dependiente del proceso de fabricación y del *Layout*. Por otro lado, puede ser analizado el efecto del *mismatch* en el rendimiento de los circuitos y una de las formas más

sencillas consiste en partir de la expresión de la corriente de drenador del MOSFET en saturación (4) ya que para un V_{GS} determinado se observan asimetrías entre $\mu, C_{OX}, W, L, V_{TH}$, y por ende entre valores de I_D , si comparamos dos transistores idealmente idénticos. Para el caso en el que se fija un valor de I_D determinado, se tendrán asimetrías de V_{GS} . Adicionalmente, es importante resaltar que, mientras aumentan los valores de W y L , las asimetrías relativas $\Delta W/W$ y $\Delta L/L$ se reducen. Asimismo, toda *mismatch* disminuye cuando el área $W \times L$ del transistor, incrementa.

De acuerdo con [28], las variaciones del voltaje umbral y de la movilidad de los portadores de carga; son proporcionales a $\frac{1}{\sqrt{WL}}$. Por dicha razón se definen las ecuaciones:

$$\Delta V_{TH} = \frac{A_{VTH}}{\sqrt{WL}} \quad (20)$$

$$\Delta \left(\mu C_{OX} \frac{W}{L} \right) = \frac{A_K}{\sqrt{WL}} \quad (21)$$

Donde A_{VTH} y A_K son factores de proporcionalidad, obtenidos tras caracterizar el *mismatch* de los transistores a través de mediciones, tal como se efectúa en [29].

Con base en la teoría revisada en la presente sección, se establece que el *mismatch* de los transistores produce variaciones en parámetros como la tensión umbral y la movilidad de los portadores de carga (debido a la alteración del valor de μC_{OX}). Como resultado, algunos de los fenómenos que aparecen en los circuitos debido al *mismatch* consisten en, el *offset* DC, la distorsión finita de orden par y la disminución del rechazo de modo común.

2.6.2. El *offset* DC como consecuencia del *mismatch*

Previamente se mencionó que, a nivel de circuitos, una de las consecuencias del *mismatch* de los transistores radica en la aparición de un *offset* DC en aquellos dispositivos que integran una

gran cantidad de transistores. En la figura 21 se muestra como ejemplo un par diferencial basado en transistores MOS. Idealmente, si los NMOS M_1 y M_2 son diseñados con valores de ancho y largo de canal iguales, se considera que son completamente idénticos. Sin embargo, en la práctica aparecen asimetrías, de modo que una tensión de *offset* DC se origina en el dispositivo. En este caso, se modela dicho parámetro como una fuente de voltaje continuo $V_{OS,in}$ en la puerta del transistor M_1 , de modo que, al voltaje de salida del par diferencial V_{out} , se le añade un voltaje de *offset* porque el voltaje V_D será distinto en los transistores M_1 y M_2 . Algunas de las consecuencias del *offset* en los amplificadores consisten en, la saturación y la limitación de precisión en la medición de señales [24].

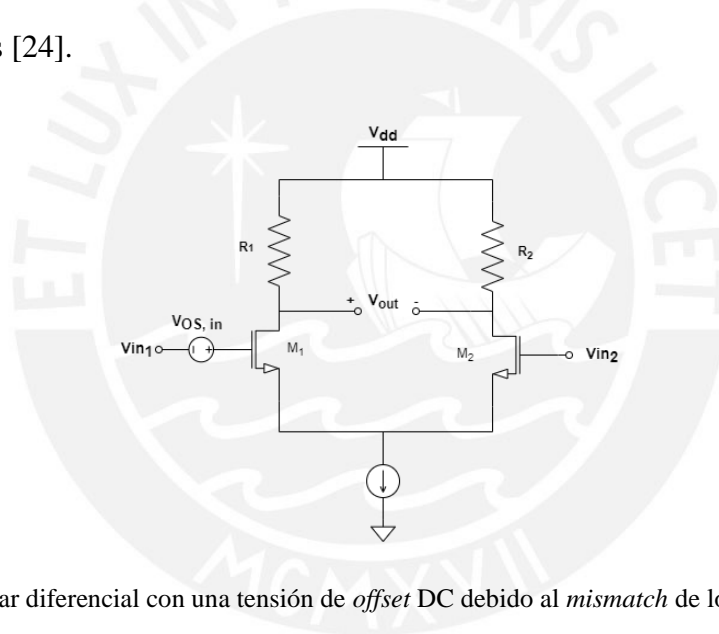


Figura 21. Par diferencial con una tensión de *offset* DC debido al *mismatch* de los transistores.

Por un lado, la saturación se genera cuando una señal de entrada supera el rango de tensión permitido por la alimentación del amplificador. Para el caso de la figura 21, el amplificador diferencial presenta una alimentación asimétrica, de modo que el valor del voltaje a la salida no puede superar el rango de tensión de carril a carril del circuito, es decir, $V_{out} \in [0; V_{dd}]$. Por consiguiente, una tensión de *offset* DC lo suficientemente grande, incrementa la posibilidad de saturar un amplificador, esto sugiere un inconveniente ya que desencadena la pérdida de

información en una señal de interés. La causa principal de este problema, se debe a que el *offset* se ve afectado por la ganancia en lazo abierto del par diferencial, pues, $V_{OS,out} = A_v \times V_{OS,in}$.

De modo que, si una señal V_{in} (con un valor máximo $A_{m\acute{a}x}$) entra en el amplificador por medio de sus dos terminales V_{in_1} y V_{in_2} , el pico máximo de tensión $V_{m\acute{a}x}$ tendría un valor igual a:

$$V_{m\acute{a}x} = A_{m\acute{a}x} \times A_v + V_{OS,out} = A_v(A_{m\acute{a}x} + V_{OS,in}) \quad (22)$$

Si el valor de $V_{m\acute{a}x}$ supera la tensión positiva de alimentación V_{dd} , el amplificador diferencial se satura.

Por otro lado, el ingeniero Behzad Razavi explica en [24], la limitación de precisión en los dispositivos amplificadores. Por ejemplo, en aplicaciones donde se utiliza un comparador para determinar si una señal de entrada V_{in} es mayor o menor que un voltaje de referencia V_{ref} , el *offset* modifica la mínima comparación de un valor $V_{in} - V_{ref}$ a $(V_{in} + V_{OS,in}) - V_{ref}$. Esta alteración reduce la confiabilidad de la detección, de manera que, se limita la precisión de los amplificadores operacionales. En la figura 21 se presentó un amplificador diferencial, donde se resalta la presencia de una tensión de *offset* en la entrada del transistor M_1 , como consecuencia del *mismatch*. Para entender la relación entre el valor de dicho *offset* con las asimetrías del circuito, se parte de la expresión, $V_{OS,in} = V_{GS1} - V_{GS2}$, y con ella es posible obtener la ecuación (23). Para desarrollar esta última ecuación mencionada, se define una serie de consideraciones como, $V_{TH1} = V_{TH}$; $V_{TH2} = V_{TH} + \Delta V_{TH}$; $\left(\frac{W}{L}\right)_1 = \frac{W}{L}$; $\left(\frac{W}{L}\right)_2 = \frac{W}{L} + \Delta\left(\frac{W}{L}\right)$; $R_1 = R_D$; $R_2 = R_D + \Delta R$. Además, se toma en cuenta la asimetría de corrientes, $I_{D1} = I_D$ e $I_{D2} = I_D + \Delta I_D$ y se rechaza todo *mismatch* en μC_{OX} . Es importante incluir dentro de las consideraciones mencionadas que, $I_D R_1 = I_D R_2 = I_D R_D = (I_D + \Delta I_D)(R_D + \Delta R_D)$, de modo que $\frac{\Delta I_D}{I_D} = -\frac{\Delta R_D}{R_D}$. También se debe identificar que $\frac{\Delta I_D}{I_D}$ y

$\frac{\Delta(\frac{W}{L})}{(\frac{W}{L})} \ll 1$, para que en los casos donde se tengan expresiones de la forma $\delta \ll 1$, puedan ser

empleadas simplificaciones como $\sqrt{1 + \delta / 2}$ y $(\sqrt{1 + \delta})^{-1} \approx 1 - \delta/2$.

$$V_{os,in} = \frac{V_{GS} - V_{TH}}{2} \left[\frac{\Delta R_D}{R_D} + \frac{\Delta(\frac{W}{L})}{(\frac{W}{L})} \right] - \Delta V_{TH} \quad (23)$$

Cabe resaltar que, esta ecuación es válida solo para el caso del par diferencial con carga simétrica. Además, la expresión de la tensión de *offset*, resalta su dependencia ante el *mismatch* de la carga resistiva R_D , las dimensiones del transistor y del voltaje umbral V_{TH} .

2.7. Modulación en el amplificador *chopper*

La topología del amplificador *chopper* presenta un modulador a la entrada del circuito y un demodulador a la salida del mismo. Sin dichos componentes, no sería posible separar en el dominio de la frecuencia, la señal de interés de componentes no deseados como el *offset* DC y el ruido *flicker*.

El principio de funcionamiento de un modulador *chopper*, se basa en la técnica de modulación por amplitud (AM). La modulación AM permite trasladar el espectro de una señal, generalmente en banda base, a una frecuencia superior por medio de una señal sinusoidal que actúa como portadora. Dicho proceso es representado por una función senoidal $f_{AM}(t) = f(t)\sin(\omega_0 t)$, cuya transformada de Fourier, con la cual se logra apreciar la traslación en frecuencia, toma la forma de $F_{AM}(\omega) = F(\omega - \omega_0)$.

Para efectuar la modulación *chopper*, se utiliza una serie de *switches* o llaves que generan un efecto de multiplicación de una señal modulante con una onda cuadrada de período T_{ch} , la cual

se comporta como una señal de portadora. Con el objetivo de explicar su funcionamiento, es necesario resaltar dos estados del modulador basados en la inversión de polaridad. Asimismo, se debe tomar en cuenta el circuito esquemático del modulador *chopper* y el diagrama de tiempos que se muestra en la figura 22. El primer estado se origina cuando los transistores con entrada γ_1 conducen durante un instante de tiempo menor a T_{ch} , mientras que los transistores con entrada γ_2 se encuentran en corte. Como resultado, se genera una tensión $V_2 = V_1 \times 1$ a la salida del modulador.

El segundo estado se produce cuando los NMOS de entrada γ_2 conducen, mientras que los de entrada γ_1 se mantienen en corte durante un instante de tiempo menor a T_{ch} . Con dicho arreglo, se logra obtener una tensión $V_2 = V_1 \times (-1)$, es decir, se produce la inversión de signo de la magnitud de una señal modulante. Además, de acuerdo con lo que se establece en la teoría del amplificador *chopper*, la frecuencia f_{ch} debe ser mayor que la frecuencia de esquina del ruido *flicker*, con la finalidad de poder separar el espectro de interés del espectro de ruido de baja frecuencia en bandas diferentes.

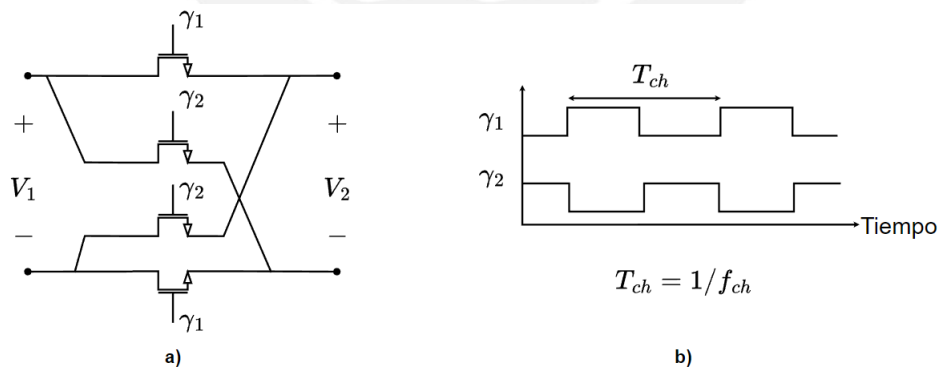


Figura 22. Modulador *Chopper*. (a) Diagrama esquemático (b) Diagrama de tiempos. Adaptado de [30].

La acción conjunta de los dos estados presentados, permite la modulación de una señal de interés por medio de una onda cuadrada de alta frecuencia. Como ejemplo, se muestra en la figura 23 el efecto de dicha modulación, cuando se tiene como señal modulante una sinusoidal con

amplitud de 200 mV y frecuencia de 10 KHz. A partir de dicho ejemplo se puede resaltar su similitud con respecto a la modulación del tipo AM.

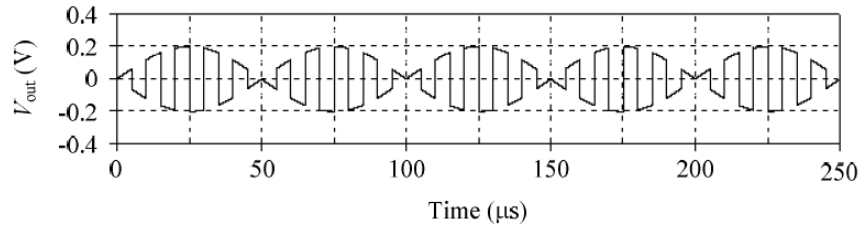


Figura 23. Modulación de una senoide de 200 mV de amplitud y 10 KHz de frecuencia, por medio de una onda cuadrada [31].

2.8 El amplificador *fully-differential*

A diferencia del típico amplificador operacional, formalmente conocido como *single-ended* (figura 24(a)), el op-amp *fully-differential* (figura 24(b)) presenta una entrada y una salida diferencial, lo cual involucra una serie de ventajas en su rendimiento tales como: La presencia de una alta inmunidad frente al ruido externo, un voltaje de saturación de salida incrementado, la reducción de armónicos de orden par, entre otros [32]. Una de las particularidades de este tipo de amplificadores, reside en un pin adicional que presenta, denominado V_{OCM} . Este terminal de entrada permite establecer una tensión de modo común, a partir de la cual, varía la señal diferencial aplicada.

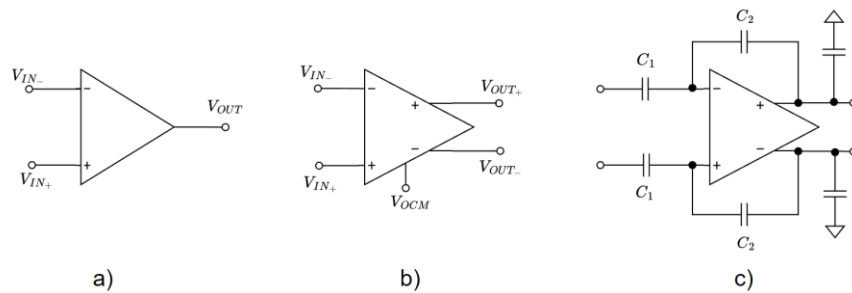


Figura 24. Amplificadores operacionales. (a) *Single-ended*. (b) *Fully-differential*. (c) *Fully-differential* con realimentación capacitiva. Adaptado de [32].

A diferencia del single-ended, el amplificador *fully differential* se caracteriza por las siguientes ecuaciones que describen su voltaje de entrada y voltaje de salida en base a los potenciales eléctricos localizados en cada uno de sus terminales:

$$V_i = \frac{V_{in+} - V_{in-}}{2} \quad (24)$$

$$V_o = \frac{V_{out+} - V_{out-}}{2} \quad (25)$$

Generalmente, al igual que el caso de los amplificadores *single-ended*, se utilizan topologías realimentadas. En el caso de los amplificadores *fully-differential*, es muy común observar circuitos basados en realimentación capacitiva, tal como se muestra en la figura 24(c). La realimentación resistiva presenta una degradación del margen de fase cuando se utilizan resistencias suficientemente grandes, para no reducir la ganancia de lazo abierto del op-amp cuando se forma un polo lo suficientemente grande [24]. Por dicha razón, se utiliza una realimentación capacitiva que establece la siguiente relación entrada-salida:

$$\frac{V_{out}}{V_{in}} \approx -\frac{C_1}{C_2} \left(1 - \frac{C_1 + C_2 + C_{in}}{C_2} \cdot \frac{1}{A_0} \right) \quad (26)$$

Donde, $\frac{V_{out}}{V_{in}}$ representa la ganancia en lazo cerrado del amplificador, A_0 a la ganancia en lazo abierto y C_{in} a la capacitancia de entrada del amplificador.

2.9. Realimentación de modo común (CMFB)

El circuito de realimentación de modo común, nace para corregir las perturbaciones o excitaciones de la tensión de modo común que pueden aparecer en los amplificadores operacionales. A simples rasgos, tal como se observa en la figura 25, el circuito de CMFB, detecta una tensión de modo común para compararla con una tensión de referencia. Posteriormente,

realimenta la señal al amplificador (basado en un par diferencial en el presente ejemplo), cancela la componente de corriente de modo común y establece un nivel DC esperado a la salida del circuito.

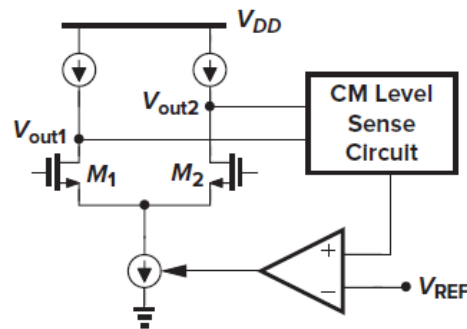


Figura 25. Concepto gráfico de la realimentación de modo común [24].

2.9.1. Técnicas de detección del modo común

Por un lado, se tiene la detección resistiva que consiste en el uso de dos resistencias empleadas para medir el voltaje de modo común, tal como se muestra en la figura 26 donde las resistencias R_1 y R_2 por medio de un divisor resistivo permiten obtener la tensión de modo común $V_{out,CM}$ del amplificador en configuración cascodo.

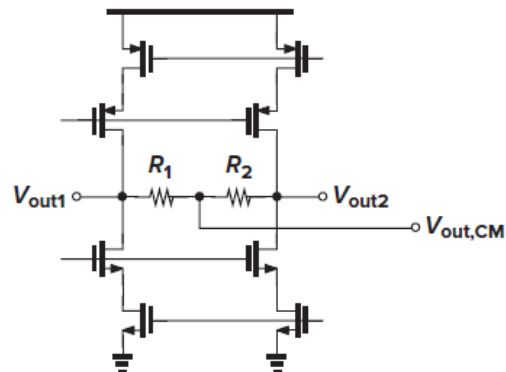


Figura 26. Detección resistiva del nivel de modo común [24].

Si consideramos $I_{R1} = I_{R2}$, es decir, $\frac{V_{out1} - V_{out,CM}}{R_1} = \frac{V_{out,CM} - V_{out2}}{R_2}$ y como resultado

se obtiene la ecuación (27).

$$V_{out,CM} = \left(\frac{V_{out1}R_2 + V_{out2}R_1}{R_1 + R_2} \right) \quad (27)$$

Esto quiere decir que si $R_1 = R_2$, obtenemos como resultado un valor de $V_{out,CM} = \frac{V_{out1} + V_{out2}}{2}$, lo que significa que el valor de la tensión de modo común es igual a la semisuma de los voltajes de salida del amplificador cuyo nivel de modo común quiere ser regulado. Es importante tener en consideración que, si se utiliza la detección resistiva, deben ser utilizados valores de resistencia R_1 y R_2 mayores que la impedancia de salida del op-amp, así no se reduce el valor de la ganancia en lazo abierto.

Por otro lado, de acuerdo con [24], la detección activa en los circuitos CMFB toma los voltajes de salida del amplificador, estos se comparan con un voltaje de referencia V_{ref} y se produce una corriente I_{CM} que incrementa de manera proporcional al nivel de modo común.

Usando como referencia la figura 27, si ejecutamos el análisis en pequeña señal del circuito mostrado y tomamos $I_{M2} = \left(\frac{g_m}{2}\right)V_{out1}$ e $I_{M4} = \left(\frac{g_m}{2}\right)V_{out2}$, se logra identificar que $I_{CM} = \left(\frac{g_m}{2}\right)(V_{out1} + V_{out2})$, dicho en otras palabras, $I_{CM} \propto (V_{out1} + V_{out2})$. Donde I_{CM} corresponde a la corriente que será copiada mediante los espejos de corriente, de modo que podamos obtener un voltaje de salida de modo común $V_{out-CM} \approx V_{ref}$ tras emplear realimentación negativa.

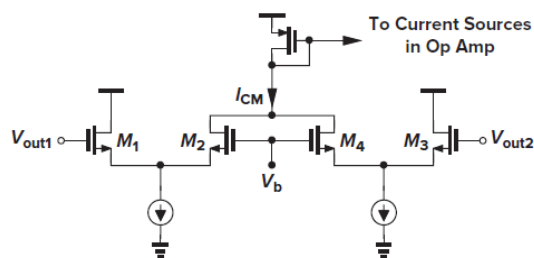


Figura 27. Detección activa del nivel de modo común [24].

2.9.2. Técnicas de realimentación del modo común

En primer lugar, se tiene la técnica del par diferencial (figura 28). Para este caso se toma como ejemplo un par diferencial NMOS con el cual se compara el nivel de modo común proveniente del amplificador operacional, por medio de las dos resistencias R_{CM} que miden los voltajes V_{OUTP} y V_{OUTN} , con una tensión de referencia V_{CMOCL} de modo que el amplificador mantenga su nivel de modo común alrededor de dicho valor.

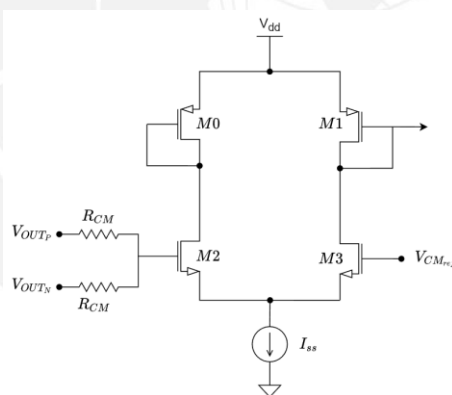


Figura 28. Técnica del par diferencial para la realimentación de modo común.

Si aumenta el nivel de modo común proveniente del op-amp, aumenta la tensión V_{gs} del transistor M2 de modo que aumenta la corriente de drenador que fluye por el canal del mismo. Es así que, aumenta I_D de M0 y para que se mantenga el valor de la fuente de corriente I_{SS} , se reducen los valores de I_D de los transistores M3 y M1. M1 actúa como un espejo de corriente que se dirige hacia el amplificador operacional y al presentar una reducción de I_D , disminuye el valor de

corriente que fluya por el amplificador diferencial con el propósito de reducir el nivel de modo común para obtener un valor de $V_{g_{M10}} \approx V_{CM_{ref}}$.

Con respecto a cómo reducir o aumentar la corriente de los op-amps con el propósito de disminuir o elevar el nivel de modo común de los mismos, se utiliza la configuración cascodo de los espejos de corriente, tal como se muestra en la figura 29, donde se toma como ejemplo un amplificador operacional del tipo *fully-differential* basado en un par diferencial PMOS con un circuito de CMFB NMOS.

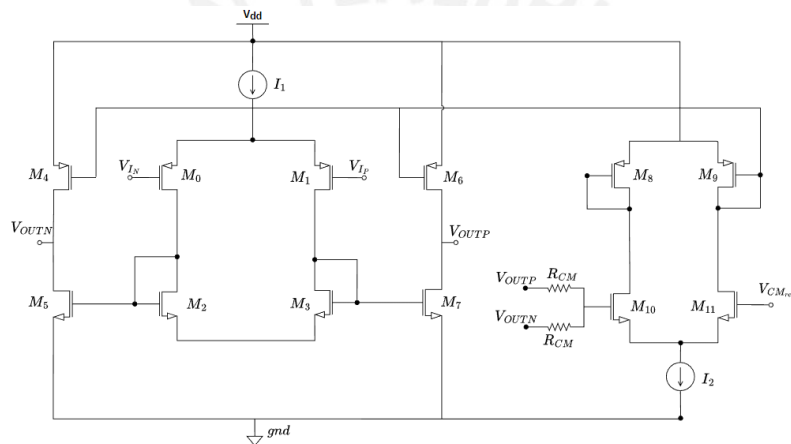


Figura 29. Amplificador fully differential basado en un par diferencial PMOS con un CMFB del tipo NMOS.

En este caso se puede ver que los pares M_4 y M_5 , junto con M_6 y M_7 representan de manera respectiva a las configuraciones cascodo de los espejos de corriente por medio de los cuales es posible modificar la corriente que aparece en los transistores M_2 y M_3 del par diferencial principal para que el nivel de modo común obtenga el valor deseado.

En segundo lugar, se tiene el amplificador de diferencia diferencial (DDA, por sus siglas en inglés), hace uso de la detección activa del nivel de modo común por medio de los transistores M_2 y M_5 (figura 30). Es así que, mediante dos pares diferenciales, que contienen el conjunto de

transistores M2-M3 y M4-M5, son comparadas las tensiones V_{OUT_P} y V_{OUT_N} con un voltaje de referencia denominado $V_{CM_{OCL}}$.

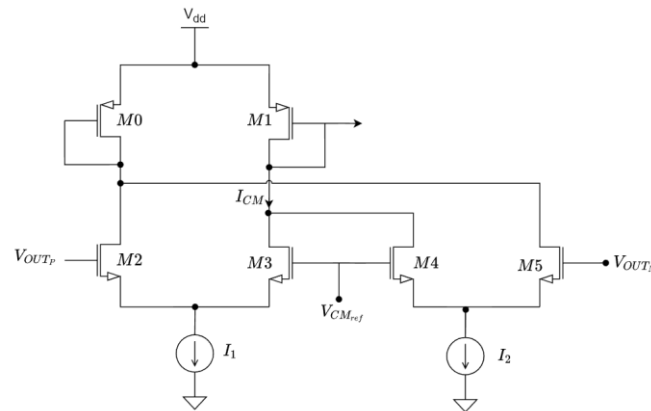


Figura 30. Circuito CMFB basado en la topología DDA.

Cuando varía el nivel de modo común del amplificador principal, que se utiliza en conjunto con este circuito de CMFB, varían los valores independientes de los voltajes V_{OUT_P} y V_{OUT_N} . Por ejemplo, si aumenta el nivel de modo común del amplificador principal (*fully-differential*), aumenta el valor de sus dos voltajes de salida. Es por ello que, las tensiones V_{gs} de los transistores M2 y M5 se incrementan, y como resultado sus corrientes I_D elevan su valor. Para mantener constantes los valores de las fuentes de corriente I_1 e I_2 , tiene que disminuir el valor de I_D de los transistores M3 y M4, ello ocasiona que la corriente $I_{CM} = I_{D_{M3}} + I_{D_{M4}}$ también disminuya.

El transistor M1 (figura 30), cuya corriente de drenador equivale a I_{CM} , actúa como espejo de corriente, es decir, como un dispositivo de control que en este caso disminuye el valor de I_D de los transistores del op-amp cuyo nivel de modo común se quiere reducir. Esto permite obtener, en el amplificador principal, un voltaje de modo común aproximadamente igual al voltaje de referencia ($V_{out-CM} \approx V_{CM_{ref}}$). Para reducir o elevar el nivel de modo común con el objetivo de obtener un valor aproximadamente igual a un voltaje de referencia $V_{CM_{ref}}$, se emplea la

configuración cascado de espejos de corriente para poder variar el valor de I_D de los transistores M2 y M3 de la figura 31. Este cambio permite regular el modo común del amplificador para que su valor final se establezca en un valor aproximado al de la tensión de referencia.

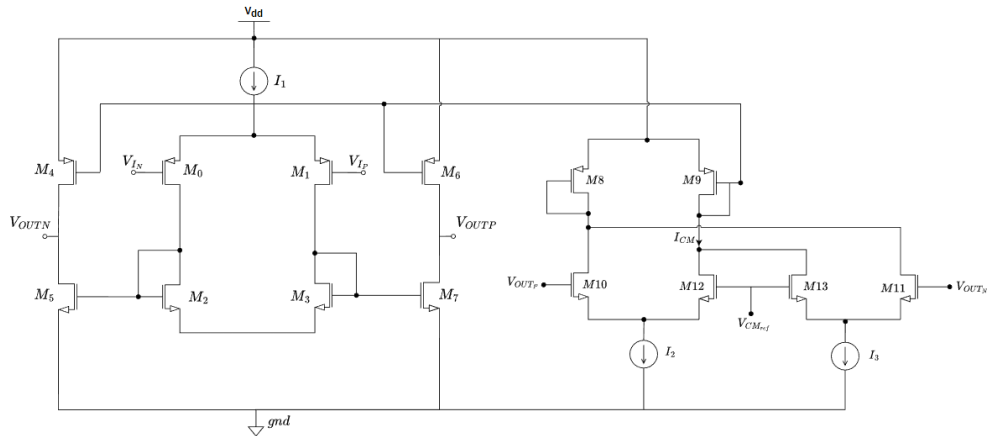


Figura 31. Amplificador fully differential basado en un par diferencial PMOS con un CMFB basado en la topología DDA.

2.10. Lazo de cancelación de *offset* por control de puerta trasera PMOS

El lazo de cancelación de *offset* por control de puerta trasera PMOS, es una técnica propuesta en el artículo “*Design of a Low Noise Bio-Potential Recorder With High Tolerance to Power-Line Interference Under 0.8 V Power Supply*” [5], donde se planteó realimentar la salida generada por la primera etapa del amplificador *chopper*, con el propósito de atenuar el rizado que aparece en V_{out} , producto de la modulación del *offset* producido por g_{m1} . En la figura 32, se muestra el diagrama esquemático de un amplificador *chopper* de doble etapa con un lazo de cancelación de *offset* incluido.

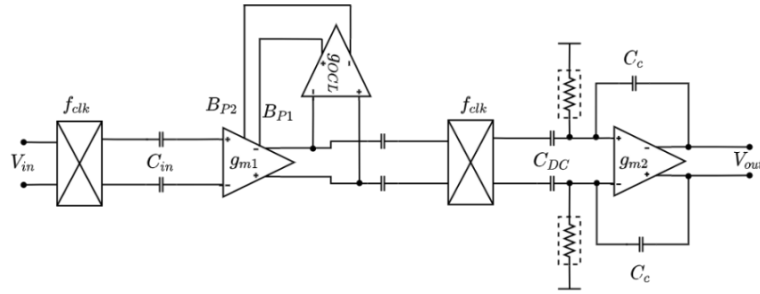


Figura 32. Amplificador *chopper* de doble etapa con lazo de cancelación de *offset*.

La técnica de control de puerta trasera PMOS (cuyo circuito se observa en la figura 33(a) y en la figura 33(b), el diagrama esquemático de g_{ocl}), consiste en aprovechar el efecto cuerpo de los MOSFETs con el propósito de equilibrar sus tensiones umbrales, ya que el fenómeno de *mismatch* introduce variaciones en dicho parámetro. Se utiliza un lazo de cancelación de *offset* para generar potenciales en los terminales de cuerpo (B_{p2} y B_{p1}) de los transistores del par diferencial incluido en g_{m1} . Al generar una diferencia de potencial entre surtidor y cuerpo, aumentan los voltajes umbrales de dichos transistores por el efecto cuerpo, esto permite balancear los dos transistores de interés. Al equilibrarlos, se evita que una tensión de *offset* aparezca en dicho circuito, de modo que, se evita su posterior modulación; y en general, la aparición de rizado en la tensión de salida del amplificador *chopper* de doble etapa.

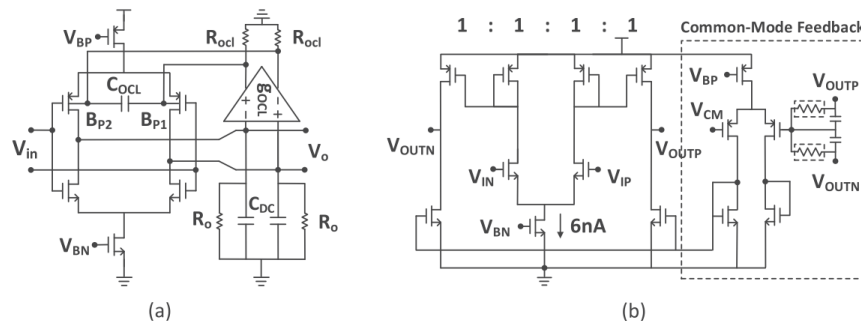


Figura 33. (a) Circuito de cancelación de *offset*, implementado con la técnica de control PMOS de puerta trasera. (b)

Diagrama esquemático del amplificador g_{ocl} del lazo de cancelación de *offset* [5].

2.11. Modelo de solución

Previamente, en el capítulo 1 se mostraron tres alternativas de solución para el rizado generado a la salida del amplificador *chopper*, para el caso de señales neuronales. En primer lugar, se presentó la solución basada en acoplamiento capacitivo (figura 34(a)), donde se emplean capacitores para limitar la presencia del *offset* y ruido *flicker* en los amplificadores de la configuración *chopper*; en segundo lugar, el lazo de cancelación de *offset* (figura 34(b)), circuito que utiliza el efecto cuerpo para limitar el *offset* producido por el *mismatch* de los transistores; y, en tercer lugar, el lazo para la compensación de rizado (figura 34 (c)), circuito que hace uso de la realimentación positiva para corregir el *offset* intrínseco del amplificador operacional por medio de ganancias. De estos tres métodos, el más atractivo para la corrección de rizado consiste en un lazo de cancelación de *offset*, ya que durante la revisión del estado del arte se encontró un artículo del año 2020 en el que un equipo de ingenieros electrónicos de La Universidad de Tsinghua, propuso utilizar un OCL para un amplificador *chopper* de doble etapa con voltaje de alimentación de 0.8 voltios. Por consiguiente, utilizar dicha topología permitirá colocar el presente estudio dentro de la tendencia actual de utilizar electrónica de baja potencia en sistemas de adquisición de señales neuronales.

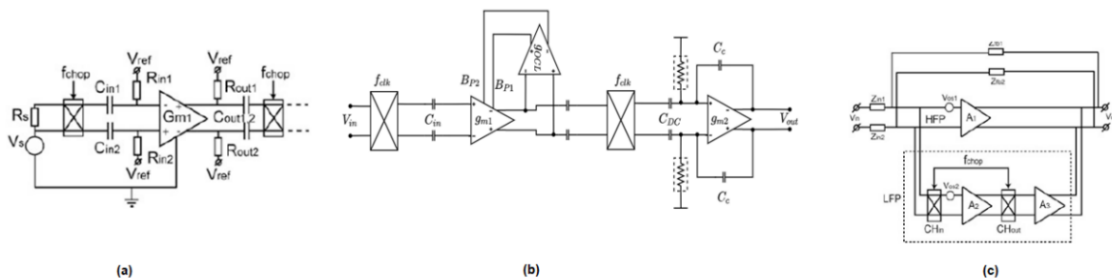


Figura 34. Alternativas de solución para la corrección de rizado en amplificadores *chopper*. (a) Condensadores de acoplo en el amplificador [4]. (b) Amplificador *chopper* de doble etapa con lazo de cancelación de *offset*. Lazo para la compensación de rizado [4].

En la figura 35 se logra identificar las piezas clave que componen al amplificador *chopper* de doble etapa. En específico, esta tesis consiste en el diseño de un OCL (encerrado en rojo), circuito basado en una topología denominada control PMOS de puerta trasera, que según [5], se puede implementar con una tensión de alimentación de 0.8V.

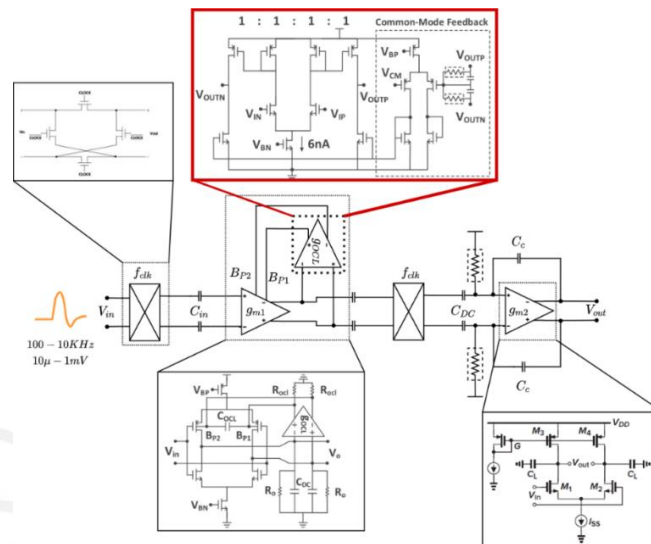


Figura 35. Modelo de solución basado en un amplificador *chopper* de doble etapa con lazo de cancelación de *offset*.

Capítulo 3

Diseño de un circuito de rechazo de rizado para un amplificador basado en par diferencial complementario

En el presente capítulo se plantea todo análisis y cálculo necesario para la obtención de los parámetros de diseño del lazo de cancelación de *offset*, a partir de los cuales se definen las dimensiones de los transistores involucrados en el circuito propuesto. Inicialmente se parte del cálculo del modelo matemático, es decir, las funciones de transferencia necesarias para la obtención de una ecuación que represente la atenuación del *offset* mediante el uso de un OCL. Posteriormente se definen las especificaciones del OCL y se realiza el cálculo de los componentes que intervienen, tales como resistencias y capacitancias. Finalmente, una vez conocidos los parámetros de diseño del OCL se procede a realizar el dimensionamiento de los transistores, actividad que consiste en hallar los valores del ancho y longitud de canal de estos.

3.1. Obtención de la función de transferencia del transconductor realimentado con un lazo de cancelación de *offset*

3.1.1. Análisis en pequeña señal del amplificador de transconductancia

Con el objetivo de determinar los criterios de diseño del lazo de cancelación de *offset*, es de gran importancia desarrollar el modelo matemático que caracteriza a este circuito. Dicho modelo consiste en una función de transferencia (FT), la cual se obtiene mediante un modelo de pequeña señal. Para calcularlo, se comienza con el análisis del diagrama esquemático de un

amplificador de transconductancia, circuito que consiste en un par diferencial y espejos de corriente, tal como se muestra en la figura 36.

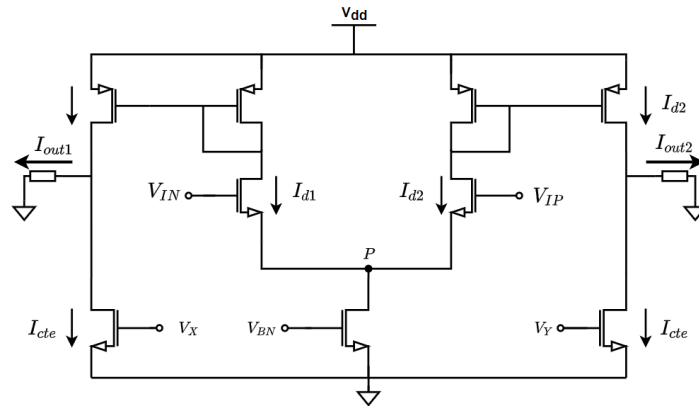


Figura 36. Diagrama esquemático de un transconductor.

Para el análisis de este transconductor se asume que la pequeña señal que se toma en cuenta, consiste en una variación simétrica, es decir, $V_{IN} = +\frac{v_{in}}{2}$ y $V_{IP} = -\frac{v_{in}}{2}$. Por lo tanto, cuando la corriente del par diferencial I_{d1} aumenta, la corriente I_{d2} debería disminuir. Adicionalmente, tras el análisis diferencial, se identifica que el punto P equivale a la tierra virtual del circuito porque el potencial de dicho nodo no va a cambiar en pequeña señal. Esto quiere decir que, para simplificar el cálculo involucrado, se modela dicho nodo como una conexión a tierra.

Una vez definidos los voltajes de entrada, se determina que las corrientes generadas en el par diferencial son $I_{d1} = \frac{g_m v_{in}}{2}$ e $I_{d2} = -\frac{g_m v_{in}}{2}$, las cuales son replicadas posteriormente mediante espejos de corriente. Asimismo, son empleadas dos fuentes de corriente basadas en transistores NMOS que fijan una corriente constante I_{cte} que idealmente no va a variar. Es así que I_{out1} e I_{out2} , corrientes que fluyen por una impedancia de salida, son estrictamente proporcionales a v_{in} , tal como se muestra en las siguientes ecuaciones.

$$I_{out1} = \frac{g_m v_{in}}{2} \quad (28)$$

$$I_{out2} = \frac{g_m v_{in}}{2} \quad (29)$$

En síntesis, un amplificador de transconductancia tiene la capacidad de producir una corriente de salida a partir de un voltaje de entrada, siendo más específicos, a partir de una variación simétrica de la entrada.

En la figura 37, se muestra el modelo equivalente de un amplificador de transconductancia, el cual será utilizado para determinar la FT del OCL y la FT del conjunto que contiene a la primera etapa del amplificador *chopper* realimentado con un OCL (también llamada FT del lazo cerrado), con el propósito de evaluar el efecto de este.

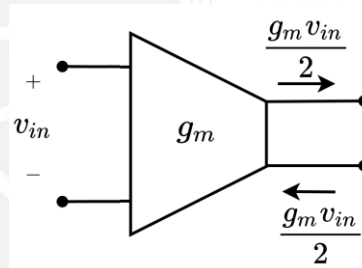


Figura 37. Modelo equivalente de un transconductor.

El circuito que se mostró en la figura 33(a) permite identificar un amplificador de transconductancia g_{m1} configurado en lazo abierto y conectado en serie con los condensadores de desacoplo C_{DC} , los cuales tienen la labor de eliminar la tensión de *offset* (V_{offset}) de g_{m1} y, por consiguiente, el rizado a la salida del circuito completo. Sin embargo, a pesar de que el uso de estos condensadores evita el paso de cualquier tensión continua a la siguiente etapa del amplificador *chopper*; la ganancia de este amplificador g_{m1} puede ser suficiente para saturar su

salida ante la presencia de un offset, sobre todo cuando la tensión de alimentación es reducida. Entonces, si bien C_{DC} puede reducir la tensión V_{offset} de g_{m1} , su uso no evita la saturación de tal amplificador. Ante dicho problema, el grupo de investigación de microelectrónica de la Universidad de Tsinghua, planteó una propuesta de solución en el año 2020 (Ver figura 33(a)), la cual consiste en el uso de un lazo de cancelación de *offset* basado en la técnica de control de puerta trasera PMOS. Este circuito de realimentación de tensión continua, evita la saturación del amplificador g_{m1} y aprovecha el efecto cuerpo de los transistores con el objetivo de equilibrar las tensiones umbrales involucradas en la primera etapa del amplificador *chopper* y así limitar la tensión de *offset* generada por el propio amplificador [5]. Además, se hace uso de un circuito RC colocado a la salida de g_{OCL} , el cual consiste en un filtro pasa bajo, cuya frecuencia de corte se muestra en la ecuación (30). Dicho filtro evita que el amplificador realimente, en este caso, señales neuronales amplificadas con frecuencias en el rango de los *KHz*. Por dicho motivo, se define una frecuencia de corte baja, generalmente en el rango de las decenas de Hz con el propósito de permitir únicamente el paso de tensión continua, en específico un *offset* DC.

$$f_{FPB} = \frac{1}{2\pi R_{OCL} C_{OCL}} \quad (30)$$

3.1.2. Análisis en pequeña señal del par diferencial complementario

Una vez obtenida la función de transferencia del OCL, la cual permite determinar el efecto que produce en la inestabilidad de g_{m1} cuando estos son conectados; se procede a obtener la FT del lazo cerrado que relaciona el OCL con g_{m1} . Esto se realiza con el propósito de determinar el efecto del OCL en el *offset* y el ruido *flicker* [5].

Para obtener tal FT es necesario entender la primera etapa del amplificador *chopper*, que de acuerdo con la figura 33(a), consiste en un par diferencial complementario, pero ¿Cuál es la razón de uso de dicho amplificador? Para responder a esta pregunta se debe retomar el caso del amplificador diferencial con el fin de evaluar su comportamiento frente al ruido, en específico el ruido térmico (el ruido *flicker* es eliminado por la topología *chopper*). Por ejemplo, si son considerados dos amplificadores diferenciales con diferente valor de ganancia, analizar el ruido a la salida en ambos casos nos llevará a una comparación poco justa porque no solo la señal de interés es amplificada sino también el ruido que se le añade. Por lo tanto, un análisis adecuado del ruido térmico para el caso de los amplificadores operacionales, se realiza en la entrada.

En la figura 38 se considera el ruido térmico N_o a la salida del amplificador operacional, de modo que si se quiere determinar el valor del ruido referido a la entrada (RTI) en este caso donde el amplificador se encuentra en lazo abierto, se plantea que:

$$e_{RTI} = \frac{N_o}{A} \quad (31)$$

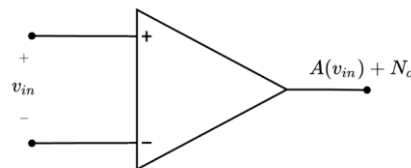


Figura 38. Amplificador operacional con una señal de interés amplificada y ruido térmico añadido a la salida.

Mediante la ecuación (31), se identifica que existe una relación proporcional entre el ruido térmico referido a la entrada (e_{RTI}) y el valor de $1/G_m$ (la ganancia de tensión es proporcional a la transconductancia), es decir, un bajo ruido térmico referido a la entrada implica un alto valor de

la transconductancia G_m del amplificador. Ello supone una desventaja, pues si se considera el hecho de que la metodología de diseño G_m/I_d limita la relación de transconductancia-corriente a un valor máximo de 30 ($\frac{G_m}{I_d} < 30$); se concluye que un bajo valor de e_{RTI} , requiere un alto valor de G_m , y esto a su vez involucra altos valores de corrientes de drenador en los transistores utilizados.

Entonces, es de gran importancia identificar que, cuando se fija una corriente determinada en un amplificador diferencial, se limita su valor de transconductancia G_m y a su vez, la máxima cantidad de ruido que puede ser rechazado. Por esta razón, diferentes topologías fueron introducidas con la finalidad de conseguir altos valores de transconductancia sin necesidad de requerir altos valores de corriente, algo que resulta muy útil en aplicaciones de bajo voltaje de alimentación. Una de estas topologías consiste en el par diferencial complementario, circuito muy utilizado en los diseños actuales de baja potencia debido a su capacidad de aumentar considerablemente la transconductancia sin necesidad de incrementar, en gran medida, la corriente aplicada al amplificador. Esta topología es la que se utiliza en la figura 33(a) y su análisis en pequeña señal será indispensable para la obtención de la FT deseada.

Entonces, a comparación del circuito clásico del par diferencial, el par complementario permite diseñar amplificadores con elevadas cantidades de transconductancia y menores cantidades de e_{RTI} sin necesidad de incrementar la corriente consumida. Para determinar el porqué del considerable valor de transconductancia en el par diferencial complementario (figura 39), se debe realizar el análisis en pequeña señal de dicho circuito.

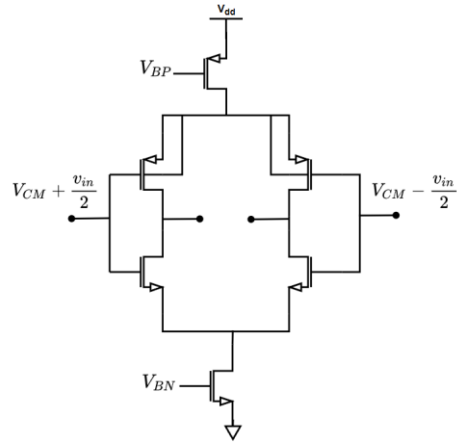


Figura 39. Diagrama esquemático del par diferencial complementario.

En la figura 40 se muestra el diagrama esquemático del modelo en pequeña señal del par diferencial complementario. Posteriormente, utilizando los nodos v_{o_N} y v_{o_P} se realizará el análisis del circuito que se observa en la figura 41.

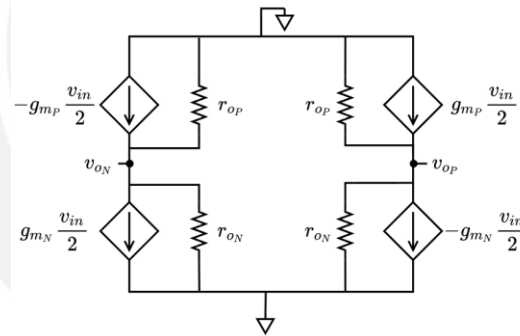


Figura 40. Análisis en pequeña señal del par diferencial complementario.

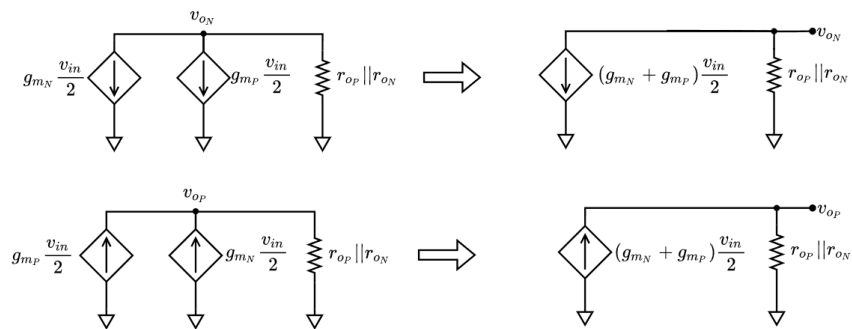


Figura 41. Análisis individual de los nodos v_{o_N} y v_{o_P} .

A partir de la figura 41 se logra identificar que la corriente total del modelo en pequeña señal del par complementario es proporcional a la suma de las transconductancias del transistor PMOS y del transistor NMOS; es decir, ya no depende únicamente de la transconductancia de solo el PMOS o solo el NMOS, tal como sucede en el caso del clásico par diferencial.

Finalmente, en la figura 42 se utiliza un modelo simbólico del par complementario para representar de manera gráfica a dicho circuito. Asimismo, la corriente de salida de tal amplificador está definida por la ecuación (32).

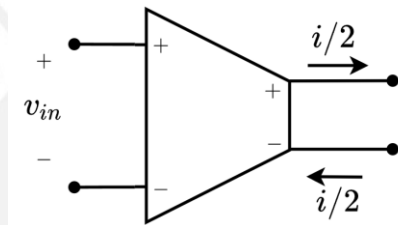


Figura 42. Representación simbólica del par diferencial complementario.

Donde se sabe que,

$$i = (g_{m_N} + g_{m_P})v_{in} \quad (32)$$

3.1.3. Obtención de la función de transferencia del lazo de cancelación de *offset*

Para hallar la función de transferencia que permita evaluar el efecto del OCL al conectarse con el amplificador g_{m1} , se parte de un modelo equivalente de la figura 36 que hace uso del bloque simplificado que se planteó en la figura 41.

El análisis comienza con el lazo de cancelación de *offset*, con el cual se establece una relación entre voltaje de salida y voltaje de entrada (Ver figura 43).

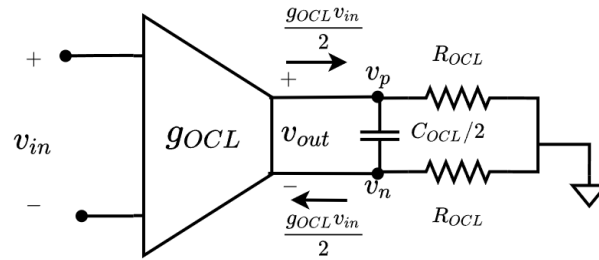


Figura 43. Simplificación del lazo de cancelación de *offset* con una impedancia de salida.

El análisis de dicho “circuito” se observa en la figura 44 donde se considera que, como las corrientes que entran y salen de g_{OCL} tienen la misma magnitud $\frac{g_{OCL}V_{in}}{2}$, las dos resistencias R_{OCL} se encuentra en serie, pues matemáticamente la corriente que se dirige hacia tierra es de 0 Amperios.

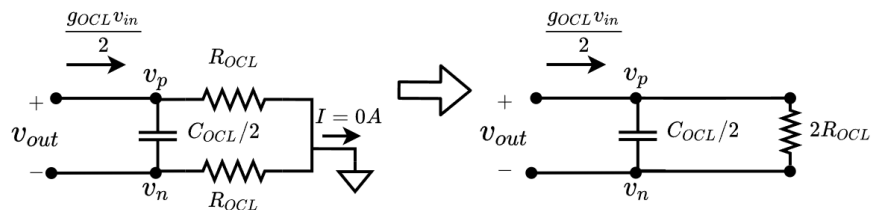


Figura 44. Simplificación de las resistencias R_{OCL} conectadas al OCL.

Una vez simplificado el circuito de salida conectado al lazo de cancelación de *offset* g_{OCL} , es importante identificar que el voltaje de salida v_{out} también está conectado a otro circuito distinto al capacitor en paralelo con la resistencia de la figura 43. Dicho circuito, consiste en la primera etapa g_{m1} del amplificador *chopper*. En específico, la conexión no se da a través de los terminales de puerta (*Gate*) del par diferencial complementario g_{m1} , sino con los terminales de pozo (también llamados *bulk* o cuerpo) de los dos transistores PMOS que contiene g_{m1} . Es esa diferencia de potencial que ocasiona una reducción del *offset* intrínseco del amplificador sin ocasionar su saturación. Por lo tanto, ya que a partir de un voltaje v_{BS} se está generando una componente de

corriente, se define un nuevo bloque g_{mb} ; similar al de la figura 43 solo que esta vez el parámetro de transconductancia depende del efecto cuerpo. En la figura 45 se muestra el diagrama de bloques del circuito mencionado.

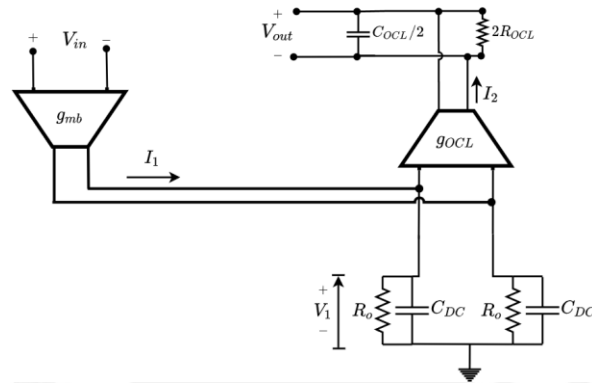


Figura 45. Diagrama de bloques del lazo de cancelación de *offset* en conjunto con los transistores PMOS ubicados en g_{m1} .

De acuerdo con lo establecido en la figura 45, se sabe que $I_1 = \frac{V_{in}g_{mb}}{2}$, $R_L = R_o // \frac{1}{sC_{DC}} = \frac{R_o}{(1+sC_{DC}R_o)}$, $I_2 = \left(\frac{V_{in}g_{mb}}{2}\right) R_L$. Es así que, se definen las siguientes ecuaciones:

$$V_1 = \left(\frac{V_{in}g_{mb}}{2}\right) R_L = \frac{V_{in}g_{mb}}{2} \cdot \frac{R_o}{(1+sC_{DC}R_o)} \quad (33)$$

$$Z_{OCL} = \frac{C_{OCL}}{2} // 2R_{OCL} = \frac{2R_{OCL}}{(1+sC_{OCL}R_{OCL})} \quad (34)$$

$$V_{out} = I_2 \cdot Z_{OCL} = \left(\frac{V_{in}g_{mb}}{2}\right) R_L \cdot g_{OCL} \cdot \frac{2R_{OCL}}{(1+sC_{OCL}R_{OCL})} \quad (35)$$

Es así que finalmente se obtiene la función de transferencia del lazo de cancelación de *offset*.

$$\mathcal{L}_{OCL}(s) = \frac{V_{out}}{V_{in}} = \frac{g_{OCL}R_{OCL}g_{mb}R_o}{(1 + sC_{OCL}R_{OCL})(1 + sC_{DC}R_o)} \quad (36)$$

3.1.4. Obtención de la función de transferencia del par diferencial complementario realimentado

Para obtener la FT que define el trabajo conjunto del par diferencial complementario con el lazo de cancelación de *offset*, se desarrolla la expresión $\frac{V_o}{V_{in}}$ (de la figura 33(a)) mediante el teorema de la superposición. De este modo, se busca separar de manera individual la contribución del efecto cuerpo de la amplificación generada por el transconductor, con el objetivo de simplificar el cálculo de la expresión deseada.

Se comienza con la contribución del efecto cuerpo. Para ello, en la figura 46 se establece un potencial en el terminal de *bulk* de los transistores PMOS del par complementario, cuya magnitud es de $\frac{v_b}{2}$. Dicho potencial es de crucial consideración ya que va a definir el voltaje entre *bulk* y surtidores de los transistores PMOS, pues, tanto el punto P_1 como el punto P_2 son considerados como tierra virtual (en el caso AC) dentro el circuito propuesto. Por consiguiente, se define en la figura 47 el análisis en pequeña señal de la contribución del efecto cuerpo en el par diferencial complementario.

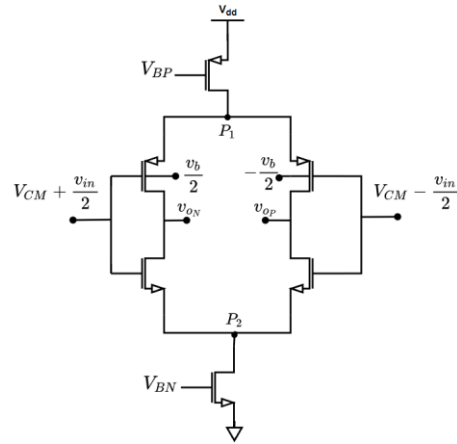


Figura 46. Diagrama esquemático del par diferencial complementario con transistores PMOS influenciados por el efecto cuerpo.

En la figura 47 se colocó una carga por cada salida del amplificador, con la finalidad de entender de manera más simple la representación simbólica de la contribución del efecto cuerpo en el circuito analizado, la cual se puede visualizar en la figura 48.

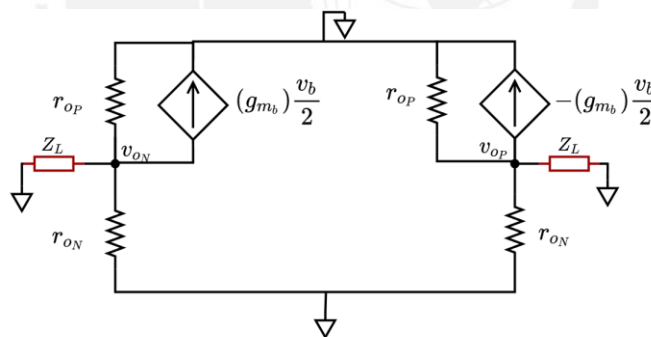


Figura 47. Análisis en pequeña señal de la contribución del efecto cuerpo en el par diferencial complementario.

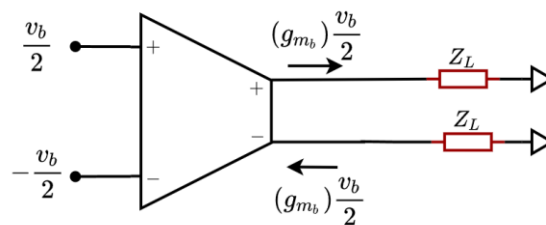


Figura 48. Representación simbólica de la contribución del efecto cuerpo en el par diferencial complementario.

Posteriormente, por el teorema de superposición, se debe sumar la contribución del efecto cuerpo con la contribución de la amplificación del par diferencial complementario. Gráficamente ello se muestra en la figura 49 y la ecuación de la corriente de salida que lo define, se muestra en la ecuación (37).

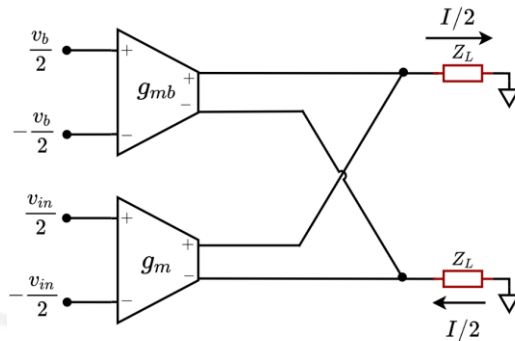


Figura 49. Diagrama de bloques del par diferencial complementario.

$$I = (g_{m_P} + g_{m_N})v_{in} + g_{mb}v_b \quad (37)$$

Ahora, si se considera que $g_m = g_{m_P} + g_{m_N}$ y se conecta el lazo de cancelación de *offset*, además de las cargas $Z_L = R_o || \left(\frac{1}{sC_{DC}}\right)$; se obtiene el diagrama de bloques de la figura 47, el cual contiene tanto a la primera etapa del amplificador *chopper* g_{m1} como al lazo de cancelación de *offset*.

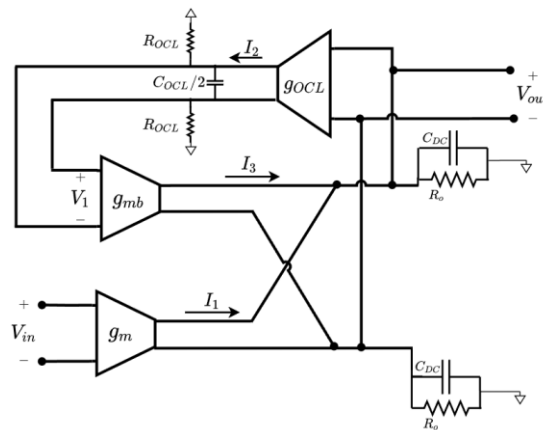


Figura 50. Diagrama de bloques del conjunto g_{m1} y OCL.

De la figura 50 se toma en consideración que $I_1 = g_m \left(\frac{V_{in}}{2} \right)$ y $I_2 = \left(\frac{V_{out} \cdot g_{OCL}}{2} \right)$. Para hallar el valor del voltaje de salida V_1 del transconductor g_{OCL} , considero la ecuación (34) donde se planteó una impedancia equivalente Z_{OCL} . Por lo tanto, a partir de $V_1 = I_2 \cdot Z_{OCL}$, se considera lo siguiente.

$$V_1 = \left(\frac{V_{out} \cdot g_{OCL}}{2} \right) \cdot \left(\frac{2R_{OCL}}{1 + sC_{OCL}R_{OCL}} \right) = \frac{(g_{OCL} \cdot R_{OCL})}{(1 + sC_{OCL}R_{OCL})} \cdot V_{OUT} \quad (38)$$

$$I_3 = \left(\frac{V_1}{2} \right) g_{mb} = \frac{(g_{mb} \cdot g_{OCL} \cdot R_{OCL})}{2 \cdot (1 + sC_{OCL}R_{OCL})} \cdot V_{OUT} = \frac{(g_{mb} \cdot g_{OCL} \cdot R_{OCL})}{2 \cdot (1 + sC_{OCL}R_{OCL})} \cdot V_{OUT} \quad (39)$$

Finalmente, se utiliza la Ley de Corrientes de Kirchoff en el nodo que involucra las corrientes I_1 e I_3 , pues tras multiplicar dicha suma con la impedancia equivalente $R_L = \frac{R_o}{(1 + sC_{DC}R_o)}$, se obtiene el voltaje de salida $V_{out} = R_L(I_1 + I_3)$. Con ello, se puede obtener la FT deseada.

$$V_{out} = 2 \times \left(\frac{V_{in}g_m}{2} + \frac{V_{out}g_{OCL}R_{OCL}g_{mb}}{2 \cdot (1 + sC_{OCL}R_{OCL})} \right) \cdot R_L \quad (40)$$

$$V_{out} = \frac{V_{in}g_mR_L}{\left(1 - \frac{g_{OCL}R_{OCL}g_{mb}R_L}{1 + sC_{OCL}R_{OCL}} \right)} \quad (41)$$

$$\frac{V_{out}}{V_{in}} = \frac{R_Lg_m \times (1 + sC_{OCL}R_{OCL})}{[(1 + sC_{OCL}R_{OCL}) - g_{OCL}R_{OCL}R_Lg_{mb}]} \quad (42)$$

$$\frac{V_{out}}{V_{in}} = \frac{g_m(1 + sC_{OCL}R_{OCL})}{(g_{mb}g_{OCL}R_{OCL}) \left(\frac{(1 + sC_{OCL}R_{OCL})}{R_Lg_{mb}g_{OCL}R_{OCL}} - 1 \right)} \quad (43)$$

$$\frac{V_{out}}{V_{in}} = \frac{g_m(1 + sC_{OCL}R_{OCL})}{(g_{mb}g_{OCL}R_{OCL}) \left(\frac{1}{R_L g_{mb} g_{OCL} R_{OCL}} + \frac{sC_{OCL}}{R_L g_{mb} g_{OCL}} - 1 \right)} \quad (44)$$

$$\frac{V_{out}}{V_{in}} = \frac{g_m(1 + sC_{OCL}R_{OCL})}{(g_{mb}g_{OCL}R_{OCL}) \left(\left(1 + \frac{sC_{OCL}}{R_L g_{mb} g_{OCL}} \right) - 2 + \frac{1}{R_L g_{mb} g_{OCL} R_{OCL}} \right)} \quad (45)$$

$$\frac{V_{out}}{V_{in}} \approx \frac{g_m(1 + sC_{OCL}R_{OCL})}{(g_{mb}g_{OCL}R_{OCL}) \left(1 + \frac{sC_{OCL}}{R_L g_{mb} g_{OCL}} \right)} \quad (46)$$

3.2. Obtención de los parámetros de diseño del lazo de cancelación de *offset*

Una vez obtenida la función de transferencia del circuito en lazo cerrado (52) y del par diferencial complementario $F = g_m R_L$, se establece en (53) la ecuación que define la atenuación del *offset* generada debido el circuito en lazo cerrado.

$$Atenuación_{offset} = \frac{g_m R_L}{\frac{g_m(1 + sC_{OCL}R_{OCL})}{(g_{mb}g_{OCL}R_{OCL}) \left(1 + \frac{sC_{OCL}}{R_L g_{mb} g_{OCL}} \right)}} \Bigg|_{s=0} \quad (47)$$

La razón por la cual se evalúa dicha ecuación en $s = 0$, se debe a que el *offset* consiste en una señal DC con frecuencia $f \approx 0 \text{ Hz}$. Una vez evaluado dicho valor, se obtiene la ecuación (48).

$$Atenuación_{offset} = g_{OCL}R_{OCL}g_{mb}R_o \quad (48)$$

Adicionalmente, para asegurar la estabilidad del circuito realimentado, es importante definir un margen de fase. Para ello, en [5] se definen dos ecuaciones que son responsables de dicho parámetro.

$$f_{ugb} = \frac{g_{OCL}g_{mb}R_o}{2\pi C_{OCL}} \quad (49)$$

$$f_{p2} = \frac{1}{2\pi C_{DC}R_o} \quad (50)$$

Donde f_{ugb} corresponde a la frecuencia de ganancia unitaria del circuito en lazo cerrado y f_{p2} a la frecuencia del segundo polo de la función de transferencia definida en (46). En la literatura se menciona que para alcanzar un margen de fase de 60° como mínimo, se debe considerar que $f_{p2_{min}} = 2f_{ugb}$.

Una vez establecidas estas tres últimas ecuaciones, se determinan las especificaciones de diseño que se observan en la tabla 3.

Tabla 3. Especificaciones de diseño del lazo de cancelación de *offset*.

<i>Atenuación_{offset}</i>	50 dB \equiv 316.23
f_{FPB}	25 Hz
<i>Margen de Fase</i>	> 60°

Las especificaciones definidas en la tabla 3 fueron utilizadas en conjunto con las ecuaciones (48), (49) y (50), para determinar los parámetros del lazo de cancelación de *offset* con los cuales es posible realizar la selección de valores de determinados componentes y el dimensionamiento de los transistores CMOS bajo la tecnología de proceso TSMC 180nm.

Inicialmente se obtiene el valor de g_{mb} del par diferencial complementario diseñado por Diego Bravo en [33].

Posteriormente, se fija la frecuencia de corte del filtro pasa bajo, a partir de la cual se obtienen los valores de R_{OCL} y C_{OCL} . Si se parte de la ecuación $f_{FPB} = \frac{1}{2\pi R_{OCL} C_{OCL}}$, se considera que $f_{FPB} = 25 \text{ Hz}$ y se fija un valor de $R_{OCL} = 20 \text{ M}\Omega$, es posible obtener un valor de C_{OCL} , tal como se muestra en la ecuación (51).

$$C_{OCL} = \frac{1}{2\pi(20\text{M}\Omega)(25 \text{ Hz})} = 0.3 \text{ nF} \quad (51)$$

Con respecto a la atenuación del *offset*, se plantea utilizar un valor de 50dB , y si se fija un valor de $R_o = 20 \text{ M}\Omega$, con el objetivo de obtener la transconductancia (g_{OCL}) que se necesita en el lazo de cancelación de *offset* para lograr la atenuación deseada. Es así que utilizando la ecuación (52) se obtiene,

$$g_{OCL} = \frac{316.23}{(20\text{M}\Omega)(20\text{M}\Omega)(5\mu\text{S})} = 158.12 \text{ nS} \quad (52)$$

Finalmente, a partir de la ecuación (55) se obtiene el valor de la frecuencia de ganancia unitaria, cuyo valor se observa en la ecuación (59).

$$f_{ugb} = \frac{(158.12 \text{ nS})(5\mu\text{S})(20\text{M}\Omega)}{2\pi(0.3 \text{ nF})} = 26.525 \text{ KHz} \quad (53)$$

Entonces, para asegurar un margen de fase (MF) mayor a 60° , se plantea que $f_{p2} > 2f_{ugb}$, lo que es equivalente a decir que $f_{p2} > 53.051 \text{ KHz}$. De este modo, se elige un valor de $f_{p2} =$

60 KHz, que teóricamente debería permitir que $MF = 60^\circ$. Con dicho valor, y a partir de la ecuación (50) se puede obtener el valor del capacitor C_{DC} .

$$C_{DC} = \frac{1}{2\pi(60 \text{ KHz})(20 \text{ M}\Omega)} = 0.133 \text{ pF} \quad (54)$$

De manera resumida, en la tabla 4 se adjuntan los valores obtenidos de los parámetros necesarios para el diseño del lazo de cancelación de *offset*

Tabla 4. Parámetros calculados del lazo de cancelación de *offset*.

g_{mb}	$5 \mu\text{S}$ [33]
R_{OCL}	$20 \text{ M}\Omega$
C_{OCL}	0.3 nF
Atenuación _{<i>offset</i>}	$50 \text{ dB} \equiv 316.23$
R_O	$20 \text{ M}\Omega$
g_{OCL}	158.12 nS
f_{ugb}	26.525 kHz
f_{p2}	60 KHz
C_{DC}	0.133 pF

3.3. Dimensionamiento de los transistores CMOS

Tras definir las especificaciones del circuito propuesto y hallar los parámetros necesarios para diseñar el OCL, se procede a realizar el dimensionamiento de los transistores, lo cual consiste en asignar un valor determinado de ancho de canal W y largo de canal L a cada uno de ellos.

En la figura 51 se muestra el OCL con un circuito de realimentación de modo común (CMFB, por sus siglas en inglés).

Para empezar con el dimensionamiento de transistores, se utiliza como dato inicial el valor de la transconductancia calculada, que en este caso es $g_{OCL} = 158.12 \text{ nS}$ (esta permitiría una $\text{Atenuación}_{offset} = 50 \text{ dB}$).

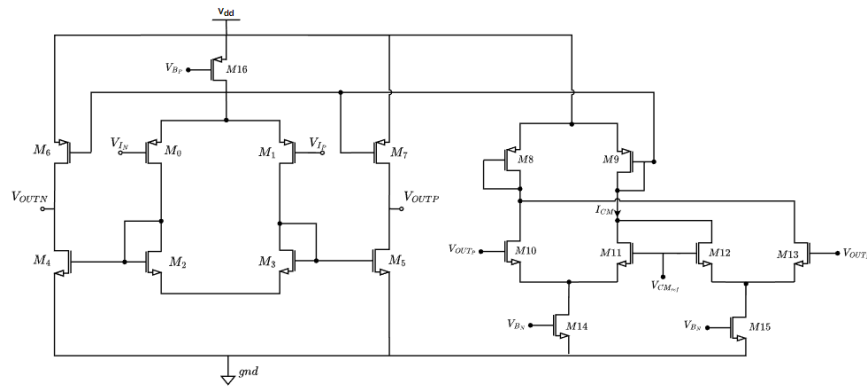


Figura 51. Lazo de cancelación de *offset* con realimentación de modo común.

Tomando como referencia la figura 51, se procede a hallar las dimensiones de los transistores.

En el par diferencial del OCL, circuito que abarca los transistores M0 y M1, se define una transconductancia $g_{OCL} = 158.12 \text{ nS}$, es así que utilizando el criterio de diseño $\frac{g_m}{I_d} < 30$, se obtiene lo siguiente:

$$I_d > \frac{158.12 \text{ nS}}{30} \quad (55)$$

$$I_d > 5.27 \text{ nA} \quad (56)$$

Esto quiere decir que los transistores M0 y M1 deben trabajar con una corriente $I_d = 5.27 \text{ nA}$ como mínimo. Por ello, se plantea utilizar $I_d = 6 \text{ nA}$, de modo que una fuente de corriente

con valor $I_{SS} = 12 \text{ nA}$ debe ser utilizada para que el par diferencial presente todos sus transistores en la región de saturación y con la corriente de drenador esperada.

La tecnología de proceso TSMC de 180nm define las siguientes constantes:

$$\mu_p C_{ox} = 62 \mu\text{A}/\text{V}^2 \quad (57)$$

$$\mu_n C_{ox} = 138 \mu\text{A}/\text{V}^2 \quad (58)$$

Utilizando como referencia la ecuación cuadrática de la corriente de drenador del MOSFET, se identifica que la relación de aspecto $\frac{W}{L}$, del par diferencial es:

$$(W/L)_{par} = \frac{2I_D}{\mu C_{ox} (V_{ov})^2} \quad (59)$$

De la ecuación (59), se debe elegir un valor de $V_{ov} = V_{GS} - V_{TH}$ y para ello se debe tener muy en cuenta el valor del voltaje de alimentación V_{dd} . En este caso, se establece un valor mínimo de $V_{dd} = 0.8 \text{ V}$ (Valor nominal de 0.9 V) de modo que la suma de los valores independientes de voltaje V_{DS} , tanto de M0 como de M2 y M16, debería tener un valor igual a 800 mV. Entonces, para hallar el valor de V_{ov} se define la ecuación (60).

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{2I_D}{V_{ov}} \quad (60)$$

Por lo tanto, si se toma en cuenta que $g_m = g_{OCL} = 158.12 \text{ nS}$ e $I_D = 6 \text{ nA}$, el valor de $V_{ov} = 75.9 \text{ mV}$. Ahora, mientras V_{ov} sea menor, mayor será la transconductancia y a su vez, mayor será el valor de atenuación del *offset*. Es así que se elige un valor $V_{ov} = 75 \text{ mV}$, lo cual, teóricamente define un nuevo $g_{OCL} = 160 \text{ nS}$.

Partiendo de la ecuación (59), se obtiene que,

$$(W/L)_{par} = 0.0155 \approx 0.02 \quad (61)$$

De modo que bastaría con elegir un valor de $W = 400 \text{ nm}$ y $L = 20 \text{ }\mu\text{m}$.

Para el caso de los espejos de corriente que corresponden a los transistores NMOS M2, M3, M4, M5 y los transistores PMOS M6, M7, M8 (No es parte del espejo de corrientes PMOS, pero requiere de la misma geometría que M9 presenta) y M9; se toma en consideración que, si la fuente de voltaje es baja ($V_{dd_{min}} = 0.8 \text{ V}$), lo mejor sería utilizar un V_{ov} con un valor reducido. De este modo, el voltaje V_{DS} de los transistores mencionados se ajusta para lograr la saturación dentro del rango de voltaje disponible (de 0 a 800mV como mínimo y de 0 a 1V como máximo). Tomando en cuenta que, idealmente, $I_D = 6 \text{ nA}$ en dichos transistores. Se elige nuevamente un $V_{ov} = 75\text{mV}$ y a partir de la ecuación de la corriente de drenador en el NMOS, se obtiene que la relación de aspecto es la siguiente:

$$(W/L)_{M2-M5} = 0.034 \quad (62)$$

Por lo tanto, una de las opciones consiste en utilizar $W = 300 \text{ nm}$ y $L = 20 \text{ }\mu\text{m}$.

Mientras que para el caso de los transistores PMOS se considera:

$$(W/L)_{M6-M9} = 0.0151 \quad (63)$$

Por lo tanto, una de las opciones consiste en utilizar $W = 400 \text{ nm}$ y $L = 20 \text{ }\mu\text{m}$.

Para el caso de M10, M11, M12 y M13; se considera que la corriente que pasa por dichos transistores corresponde a la mitad de la corriente que fluye por M8 y M9, es decir, en este caso $I_D = 6\text{nA}$. Por lo tanto, se considera que,

$$(W/L)_{M10-M13} = \frac{1}{2} (W/L)_{M2-M9} = 0.017 \approx 0.02 \quad (64)$$

En este caso se puede considerar un $W = 150 \text{ nm}$ y $L = 20 \text{ }\mu\text{m}$.

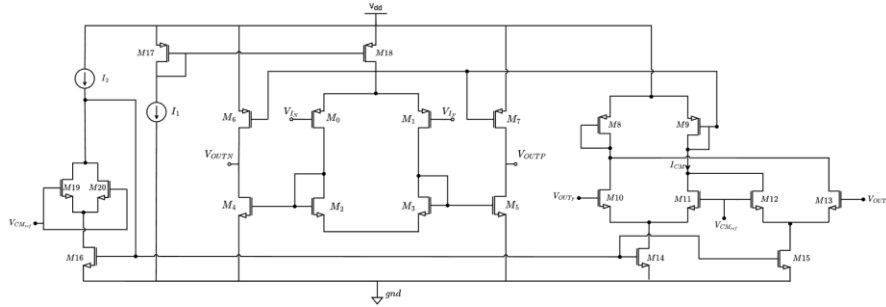


Figura 52. Diagrama esquemático del OCL y CMFB con la nueva configuración de fuente de corriente.

De la figura 52, se sabe que M17 y M18 deben presentar una corriente de 12 nA , de modo que la corriente de saturación del par diferencial, la cual fluye por los transistores M0 y M1, sea de 6 nA . Por lo tanto, la relación de aspecto (W/L) de los dos primeros transistores mencionados debe ser la misma. Para el caso de M14, M15 y M16, que corresponden al espejo de corriente del CMFB, se plantea que también circule una corriente de 12 nA . Con la finalidad de que, tanto el OCL como el CMFB disipen una misma cantidad de potencia. Por lo tanto, tras utilizar la ecuación (4), que define el valor de I_D del transistor, y emplear el mismo V_{ov} planteado en los casos anteriores, para que el circuito pueda funcionar con una alimentación de 800 mV como mínimo, se obtiene lo siguiente:

$$\left(\frac{W}{L}\right)_{M14-M16} = 0.015 \approx 0.02 \quad (65)$$

Con ello, se eligen los valores $W = 300 \text{ nm}$ y $L = 15 \text{ }\mu\text{m}$. Para el caso de los PMOS M17 y M18,

$$\left(\frac{W}{L}\right)_{M17,M18} = 0.067 \quad (66)$$

Con ello, se eligen los valores $W = 300 \text{ nm}$ y $L = 15 \mu\text{m}$.

Adicionalmente, son utilizados los transistores M19 y M20, los cuales replican el comportamiento de los transistores M0 y M1 con el objetivo de que los transistores M14, M15 y M16 obtengan una mejor aproximación del valor de corriente que fluye por M17 y M18. Si consideramos que para M19 y M20, $I_D = 6 \text{ nA}$. Se plantea que,

$$\left(\frac{W}{L}\right)_{M19,M20} = \left(\frac{W}{L}\right)_{par} = 0.0155 \approx 0.02 \quad (67)$$

Por dicho motivo se pueden elegir los valores $W = 150 \text{ nm}$ y $L = 15 \mu\text{m}$.

Finalmente, en la tabla 5 se muestra de manera resumida los valores de las relaciones de aspecto obtenidas tras efectuar los cálculos de dimensiones en el presente capítulo.

Tabla 5. Dimensiones de los transistores utilizados en el lazo de cancelación de *offset* con CMFB.

Relación de aspecto	Valor obtenido
$(W/L)_{M0,M1}$	0.016
$(W/L)_{M2-M5}$	0.034
$(W/L)_{M6-M9}$	0.0151
$(W/L)_{M10-M13}$	0.017
$(W/L)_{M14-M16}$	0.015
$(W/L)_{M17,M18}$	0.067
$(W/L)_{M19,M20}$	0.016

Capítulo 4

Simulaciones y resultados

El capítulo 4 comprende todo análisis que involucra la simulación del circuito diseñado, ya sea por separado o en conjunto. Para ello se hizo uso de las simulaciones DC, AC y transitoria en el entorno ADE L de la herramienta CADENCE. Del mismo modo, fueron efectuadas una serie de simulaciones basadas en las variaciones de proceso, voltaje de alimentación y temperatura del circuito; estas simulaciones se denominan PVT y se encuentran comprendidas en el análisis de *corner* de los circuitos integrados.

4.1. Testbench

Para hacer un uso adecuado de la plataforma virtuoso dentro de la herramienta Cadence, fueron empleadas las librerías “analoglib”, “basic” y “tsmc18”.

Por un lado, “analoglib” presenta las resistencias y capacitores empleados para las simulaciones de los circuitos. Así como fuentes de alimentación, tierra, entre otras.

Por otro lado, “basic” es la librería de la cual fueron empleados los pines de entrada y salida, importantes para la definición de símbolos a partir de diagramas esquemáticos.

Asimismo, de “tsmc18” fueron utilizados los transistores que operan bajo la tecnología de proceso TSMC 180 nm, etiquetados como NMOS 2V y PMOS2V.

Haciendo uso de estas tres librerías, se diagramó el circuito electrónico que corresponde al par diferencial complementario (del egresado Diego Bravo) con el lazo de cancelación de *offset* y se generó un símbolo a partir de este. Dicho símbolo fue colocado en un *testbench*, donde se

realizaron las conexiones de la señal de entrada, fuentes de corriente, fuentes de voltaje y tierra (Ver figura 53). Para este caso, se empleó un valor nominal de $V_{dd} = 0.9$.

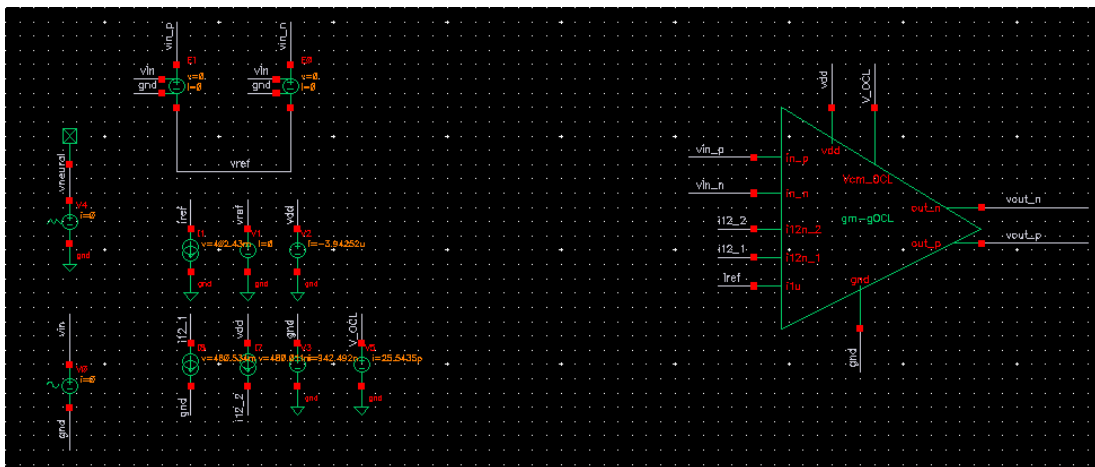


Figura 53. *Testbench* del diseño propuesto. El símbolo denominado gm-gOCL contiene el par diferencial complementario conectado con el lazo de cancelación de *offset*.

Es importante resaltar que se utilizó el entorno de diseño analógico ADE L, donde fueron configurados tres simulaciones de interés basadas en el análisis DC y análisis AC. Asimismo, se agregó a dicha ventana los valores de ciertos parámetros de interés tales como la transconductancia g_m del OCL y del CMFB, impedancias de salida de los transistores que componen el transistor simétrico, g_{mb} del par diferencial complementario, voltaje de entrada y voltaje de salida del circuito completo.

4.2. Análisis DC

Una primera simulación del circuito mostrado en la figura 52, demuestra que se debe realizar un redimensionamiento de los transistores, pues las corrientes esperadas de 6 nA en los transistores del par diferencial del transconductor y del CMFB no fueron obtenidas en un inicio. Una de las causas por las cuales no se obtuvieron dichos resultados está relacionada con la ecuación (4), ya que esta solo funciona de manera precisa cuando los transistores empleados operan en

inversión fuerte. Sin embargo, permite evaluar qué sucede con la transconductancia o con el voltaje de *overdrive* al variar los valores de W y L.

En este caso los transistores se encuentran operando en inversión débil. Pues se sabe que,

$$\frac{g_m}{I_D} = \frac{160 \text{ nS}}{6 \text{ nA}} = 26.67 \quad (68)$$

De la ecuación (68), se observa que la relación $\frac{g_m}{I_D}$ se aproxima a 30 lo que confirma que efectivamente los transistores correspondientes al par diferencial del transconductor del OCL operan en inversión débil y por ello de la ecuación (4) solo se pueden obtener conclusiones mas no dimensiones con precisión.

Se realizó un análisis DC para determinar si el par diferencial complementario y el lazo de cancelación de *offset* presentaban transistores operando en la región de saturación sin problema alguno. Es allí donde, de manera empírica, se identificó que la salida del par diferencial complementario obtenía un valor menor que el voltaje de modo común colocado en el CMFB. Para el OCL se estableció el uso de un transconductor simétrico basado en transistores PMOS y un circuito CMFB basado en transistores. Para el caso del transconductor simétrico, los transistores PMOS permiten emplear valores de V_G pequeños, pues estos solo requieren que $V_{SG} > V_{TH}$. Mientras que, para el caso del circuito CMFB, los transistores NMOS permiten altos valores de V_G ya que se requiere un $V_{GS} > V_{TH}$ para que el dispositivo pueda conducir corriente eléctrica.

Una vez implementados en CADENCE, el par diferencial complementario y el OCL, fueron evaluadas las corrientes de polarización que atravesaba el drenador de los transistores NMOS y PMOS involucrados. El par diferencial complementario que se observa en la figura 54, fue diseñado por el egresado Diego Bravo en el año 2020, este operaba con un voltaje de

alimentación de 1.2V. Sin embargo, se realizó un redimensionamiento de los transistores CMOS involucrados, cuyo resultado se observa en la tabla 6, con el propósito de que el circuito pueda operar con un voltaje de alimentación menor a 1V. El mínimo valor de V_{DD} con el cual los transistores pudieron mantenerse en la región de saturación sin problema alguno, fue de 0.8 V y con este se logró obtener una transconductancia de *bulk* o cuerpo de $4.23 \mu S$. Como la atenuación del *offset* DC es proporcional a la resistencia de salida del circuito tal como se observa en la ecuación 48), se estableció que los transistores M0 y M1 debían tener un gran largo de canal, razón por la cual obtuvieron un valor de $L = 10 \mu m$.

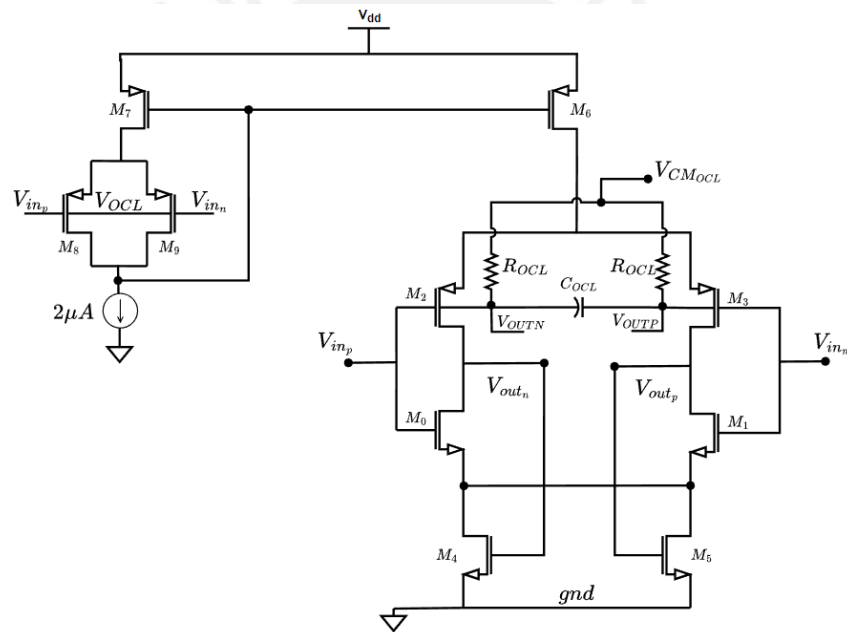


Figura 54. Diagrama esquemático del par diferencial complementario.

Tabla 6. Dimensiones y condiciones de polarización de los transistores del par diferencial complementario.

Transistor	W/L ($\mu m/\mu m$)	$I_{polarización}$ (μA)
M0	10/0.5	0.999
M1	10/0.5	0.999
M2	30/1	0.999
M3	30/1	0.999
M4	10/1	0.999
M5	10/1	0.999
M6	10/1	1.999
M7	10/1	1.999
M8	30/1	1
M9	30/1	1

El lazo de cancelación de offset (Ver figura 55), consiste en un transconductor simétrico y un CMFB que permite estabilizar el punto de operación del circuito; al igual que el par diferencial complementario, el OCL opera con un voltaje de alimentación de 0.9 V como valor nominal. Su diseño estuvo orientado a obtener un valor de transconductancia en el par diferencial, de por lo menos 160 nS , tal como se definió en la tabla 3. Por dicha razón, los transistores M10 y M11 presentan un largo de 500 nm , valor que es considerado relativamente bajo para este caso. Experimentalmente, se obtuvo un valor de transconductancia de aproximadamente 169.148 nS .

El circuito de realimentación de modo común, que evita la saturación del transconductor tras mantener estable el punto de operación, presenta en este caso un valor de referencia de 500 mV y un voltaje de alimentación nominal $V_{dd} = 0.9\text{ V}$. Como el objetivo es diseñar un circuito de bajo voltaje de alimentación y por consiguiente baja disipación de potencia, se utilizó una fuente de corriente de 12 nA en el CMFB, similar al caso del transconductor simétrico. Por ello, se consideró

para la realimentación de modo común un valor de transconductancia similar al utilizado en el circuito principal, debido a que el valor de g_m está limitado por el flujo de corriente que atraviesa a los transistores. Es así que, en este caso, el objetivo era obtener una transconductancia de por lo menos 160 nS en el par diferencial PMOS del CMFB. Por consiguiente, la geometría de los transistores M18 y M19 fue definida con un bajo largo de canal (de $1 \mu\text{m}$) y como resultado se obtuvo un valor de transconductancia de 182.796 nS de los 160 nS que se esperaban como mínimo. Adicionalmente, el punto de operación del lazo de cancelación de offset logró estabilizarse en un valor igual a 500.191 mV de los 500 mV que se esperaban de manera ideal.

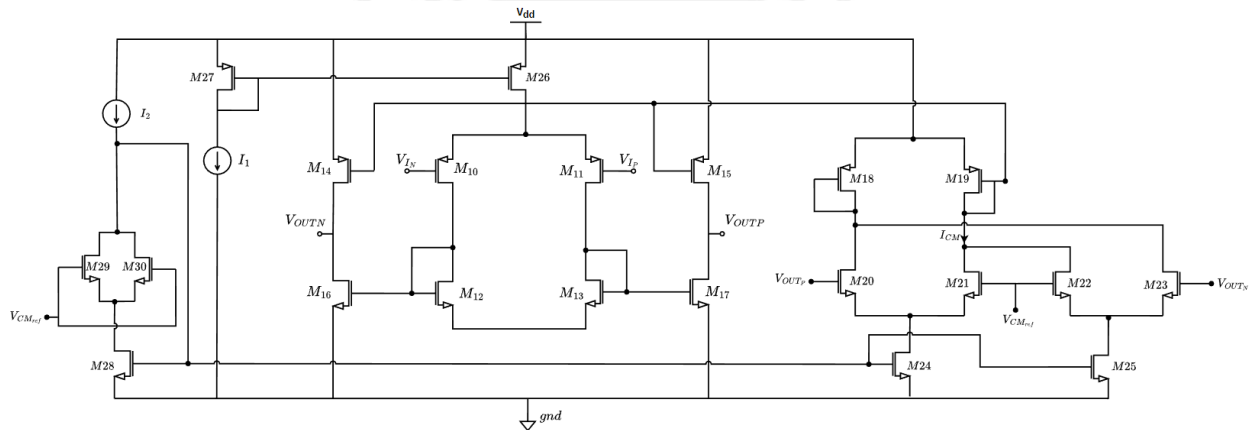


Figura 55. Diagrama esquemático del lazo de cancelación de *offset*.

Tabla 7. Dimensiones y condiciones de polarización de los transistores del lazo de cancelación de offset con realimentación de modo común.

Transistor	W/L ($\mu\text{m}/\mu\text{m}$)	$I_{\text{polarización}}$ (nA)
M10	15/0.5	5.979
M11	15/0.5	5.979
M12	0.5/19.995	5.979
M13	0.5/19.995	5.979
M14	5/5	6.002
M15	5/5	6.002

M16	0.5/19.995	5.998
M17	0.5/19.995	5.998
M18	5/5	12.033
M19	5/5	11.963
M20	15/1	6.015
M21	15/1	6.015
M22	15/1	5.981
M23	15/1	5.981
M24	0.5/19.995	11.996
M25	0.5/19.995	11.996
M26	1/10	11.959
M27	1/10	11.959
M28	0.5/19.995	11.998
M29	15/0.5	5.999
M30	15/0.5	5.999

4.3. Análisis AC

La simulación AC fue configurada para un rango de frecuencias entre 10 mHz y 10MHz. Además, se agregó un tipo de barrido logarítmico con 20 dB por década. El objetivo del análisis AC consistió en determinar la ganancia en lazo abierto del par diferencial complementario y la atenuación de cualquier *offset* DC tras emplear un OCL.

Se simuló la respuesta en frecuencia del par diferencial complementario sin realimentación, con el propósito de determinar la ganancia en lazo abierto A_{0gm1} y la frecuencia de corte f_{cgm1} de este amplificador. En la figura 56 se muestra el circuito simulado en la herramienta CADENCE y en la figura 57 se observa la respuesta en frecuencia del par diferencial complementario.

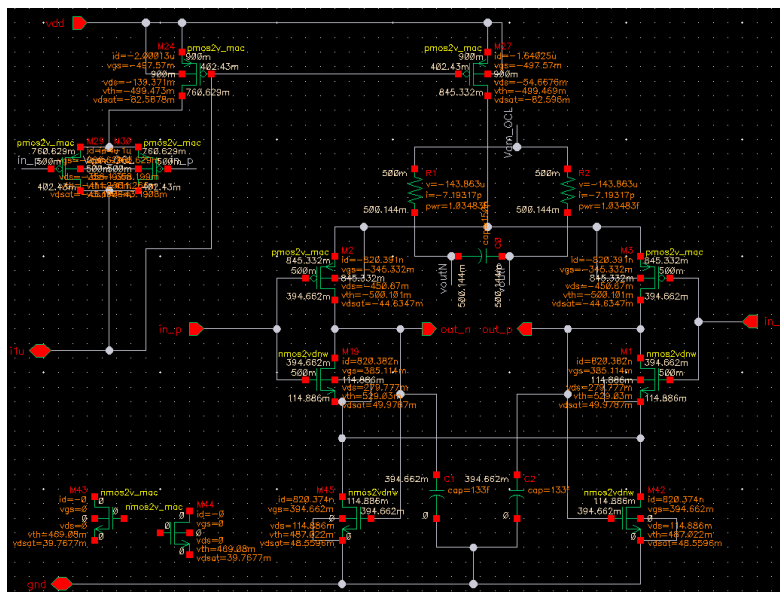


Figura 56. Diagrama esquemático del par diferencial complementario en lazo abierto, simulado en la herramienta CADENCE.

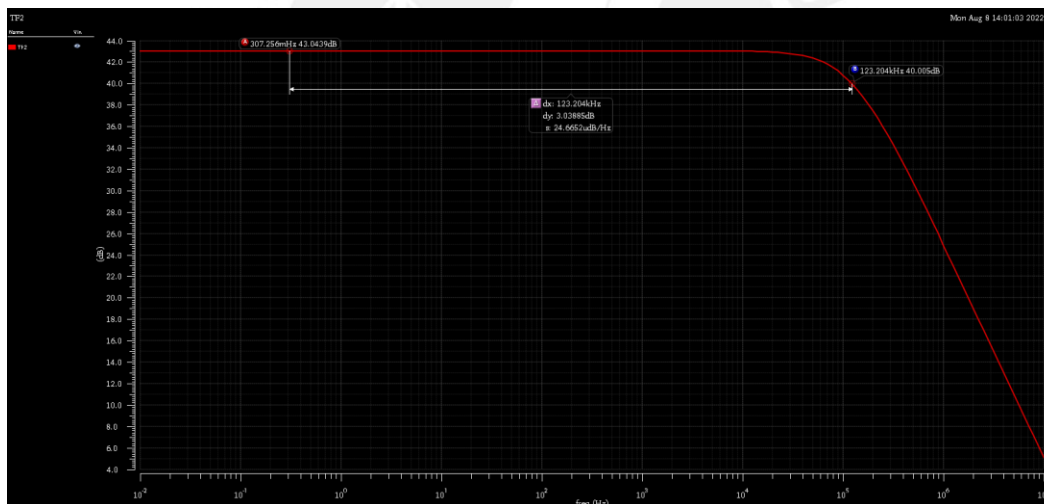


Figura 57. Respuesta en frecuencia del par diferencial complementario, configurado en lazo abierto.

Los parámetros de interés, es decir, la ganancia en lazo abierto y la frecuencia de corte del par diferencial complementario, fueron recopilados en la tabla 8.

Tabla 8. Parámetros de interés de la respuesta en frecuencia del par diferencial complementario.

A_{0gm1}	43.0439dB
f_{cgm1}	123.204 KHz

Se simuló también la respuesta en frecuencia, pero esta vez para el caso del lazo de cancelación de *offset* (Ver figura 58). De la misma manera, se determinó su ganancia en lazo abierto y su frecuencia de corte.

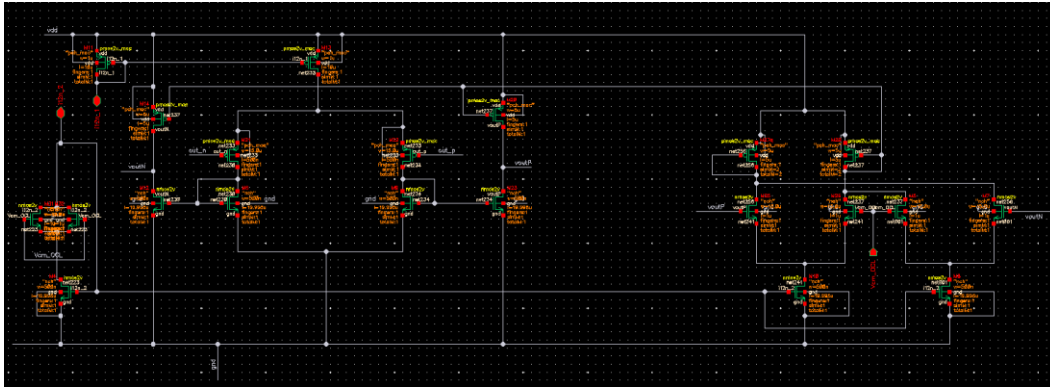


Figura 58. Diagrama esquemático del lazo de cancelación de *offset* implementado en la herramienta CADENCE, incluye los pines de entrada y salida del circuito.

En la figura 59 se muestra la respuesta en frecuencia del OCL, cuyo valor de f_c se encuentra alrededor de 34 Hz, considerando que la frecuencia de corte calculada es de 25 Hz.

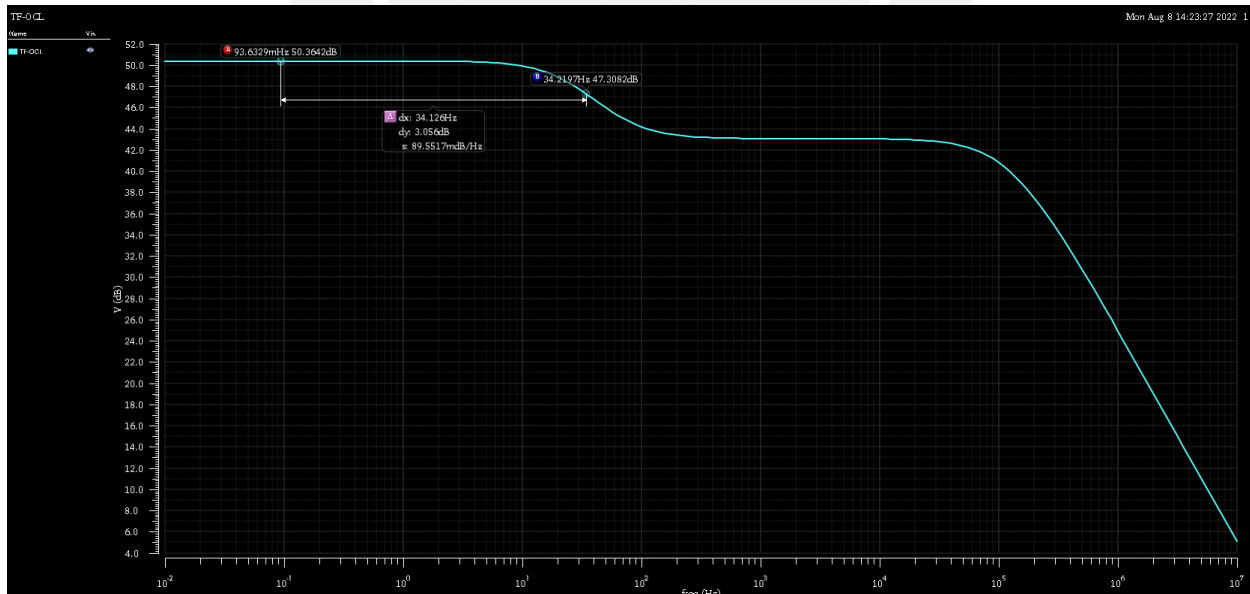


Figura 59. Respuesta en frecuencia del OCL configurado en lazo abierto.

Finalmente, fueron recopilados en la tabla 9, los valores de ganancia en lazo abierto y frecuencia de corte del OCL.

Tabla 9. Parámetros de interés de la respuesta en frecuencia del lazo de cancelación de *offset*.

A_{0OCL}	50.3642 dB
f_{cOCL}	34.219 Hz

Para el caso de la atenuación del *offset* DC se simuló la ganancia de tensión, una función de transferencia definida como el voltaje de salida del circuito dividido entre su voltaje de entrada. La figura 60 muestra la función de transferencia del par diferencial complementario, definida por la curva de color rojo, además de la función de transferencia del par diferencial complementario realimentado con un OCL, cuya respuesta está definida por la curva de color amarillo.

Para determinar el valor de la atenuación del *offset* DC, se midió la diferencia de magnitud a bajas frecuencias de las dos funciones de transferencia obtenidas. Como resultado se determinó que la atenuación del lazo de cancelación de *offset* era de aproximadamente 49.3 dB de los 50 dB teóricos planteados en las especificaciones.

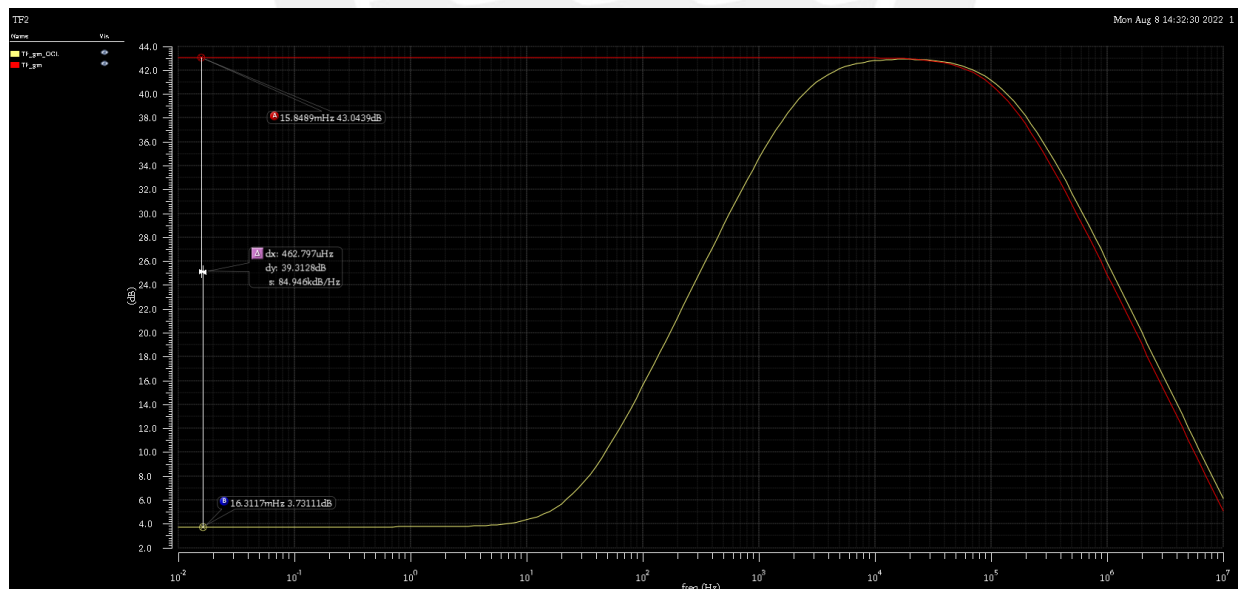


Figura 60. Simulación AC del circuito. En amarillo se observa la función de transferencia del circuito cuando se utiliza un lazo de cancelación de *offset* y en rojo se observa el caso en el que no se usa un lazo de cancelación de *offset*.

4.4. Análisis de *corner*

El análisis de *corner* se realizó con el propósito de determinar el comportamiento del diseño realizado ante la variación de determinados parámetros, ello fue posible tras realizar una serie de configuraciones dentro del entorno ADE XL de la herramienta CADENCE. En específico, para el desarrollo de la presente tesis se les brindó mayor atención a las variaciones producidas en el proceso de manufactura, el voltaje de alimentación y la temperatura de operación del circuito integrado. Esto desembocó en la ejecución de un tipo de simulación en particular, denominada PVT por las siglas de los parámetros cuyos cambios fueron estudiados.

Para realizar la simulación PVT, es importante tener en cuenta que el análisis de *corner* consiste en estudiar las variaciones de los parámetros, específicamente en sus valores extremos.

Por un lado, se definió la fuente de voltaje de alimentación del circuito con una variable denominada $vdd \in [0.7; 0.9] V$, considerando que el valor nominal del diseño realizado era de $0.8 V$.

Por otro lado, se definió la temperatura con rango de valores $T \in [-40; 85] ^\circ C$. Adicionalmente, para la sección de variaciones de proceso se definieron los modos *typical* (tt) *slow* (ss) y *fast* (ff) los cuales permitieron establecer el entorno necesario para que los transistores empleados actuaran de la forma más lenta posible en ss y lo más rápido posible en ff, mientras que en tt actuaban de una manera típica. Para ello, fue necesario incluir el archivo `cr018gpil_v1d0.scs`, ubicado dentro de la dirección “/models/spectre” que incluye el directorio donde fue instalada la plataforma virtuoso de la herramienta CADENCE. Asimismo, se empleó el parámetro `stat_noise` del archivo `cr018gpil_v1d0.scs`, ya que su ausencia desencadena errores en la simulación de variaciones de proceso.

Es necesario resaltar que se incluyó una simulación con valores nominales, la cual fue utilizada como referencia. Finalmente, la configuración del análisis de *corner* queda definida de la manera que se muestra en la figura 61.

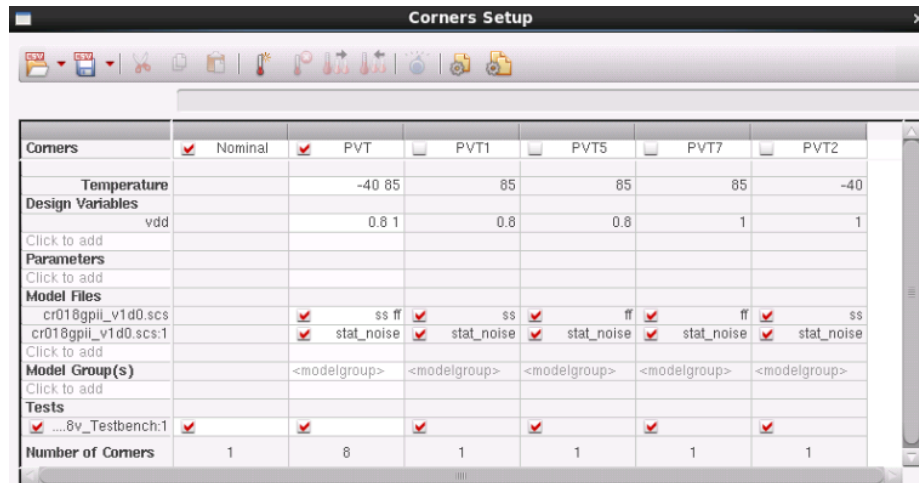


Figura 61. Configuración del análisis de *corner* dentro del entorno ADE XL en la herramienta CADENCE.

Tal como se mostró en la figura 61, el número de *corners* que se obtiene con la configuración nominal es solo 1, mientras que bajo la simulación PVT se obtienen 8 de ellos. Por lo tanto, tal como se observa en la tabla 10, se establecen los resultados PVT n , donde $n \in [0; 7]$.

Tabla 10. Variación de los parámetros de proceso, voltaje y temperatura seleccionados para cada simulación de *corner* ejecutada.

Parámetro	Nominal	PVT0	PVT1	PVT2	PVT3	PVT4	PVT5	PVT6	PVT7
Proceso	tt	ss	ss	ss	ss	ff	ff	ff	ff
Temperatura (°C)	27	-40	85	-40	85	-40	85	-40	85
Voltaje (V)	0.9	0.8	0.8	1	1	0.8	0.8	1	1

4.4.1. Análisis de *corner* del par diferencial complementario

Para el caso del par diferencial complementario, uno de los parámetros de gran importancia consiste en la transconductancia de *bulk* g_{mb} de los transistores PMOS M2 y M3 (Ver figura 56),

pues su valor es directamente proporcional a la atenuación del *offset* DC originado por el *mismatch* de los transistores o por el ruido *flicker*. En la tabla 11 se muestran los valores obtenidos de g_{mb} tras realizar el análisis PVT del par diferencial complementario, donde se logra identificar dos casos críticos en PVT0 y PVT4, en los cuales g_{mb} se reduce hasta tres órdenes de magnitud.

Tabla 11. Análisis PVT de las transconductancias de interés involucradas en el par diferencial complementario.

Outputs	Nominal	Mín.	Máx.	PVT0	PVT1	PVT2	PVT3	PVT4	PVT5	PVT6	PVT7
g_{mb} (S)	7.03μ	$61.66 n$	9.76μ	$61.66 n$	3.16μ	8.60μ	7.51μ	$463.3 n$	5.66μ	9.73μ	7.28μ

Además, se realizó el análisis PVT para el caso de la respuesta en frecuencia (configuración en lazo cerrado) del par diferencial complementario. El objetivo era determinar los cambios de la ganancia en lazo abierto y la frecuencia de corte ante variaciones de proceso, voltaje y temperatura del circuito. En la figura 62 se muestra el análisis PVT de la respuesta en frecuencia del circuito mencionado. Adicionalmente, en la tabla 12 se observan los resultados de interés identificados.

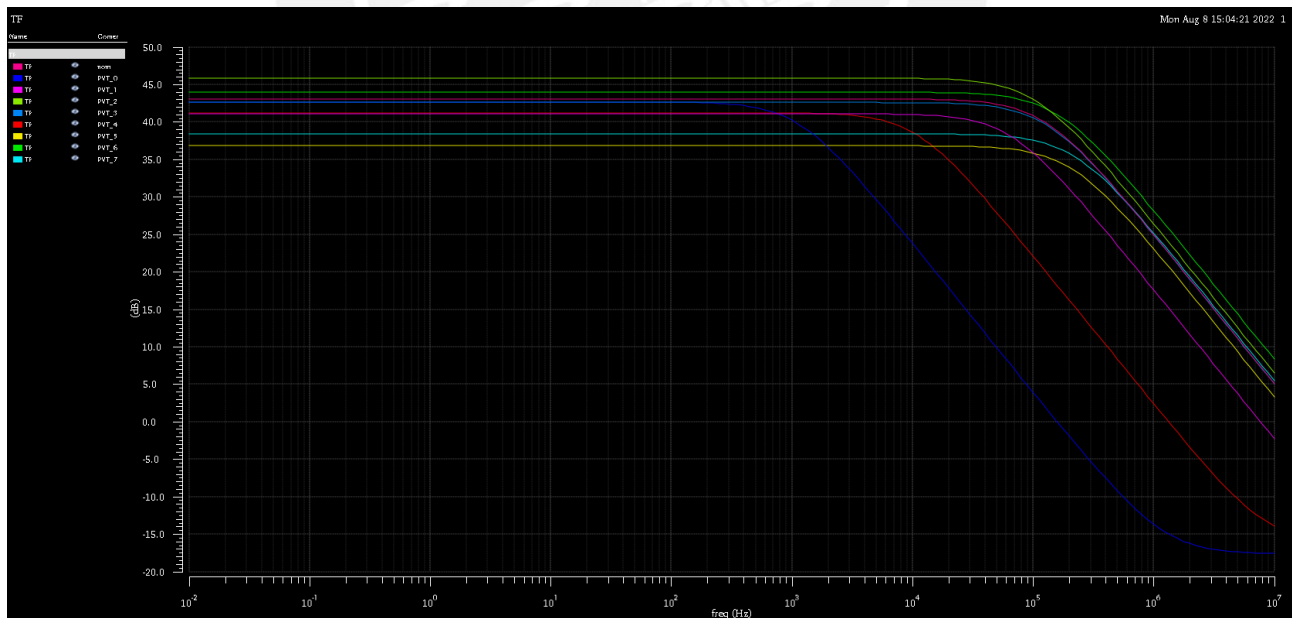


Figura 62. Análisis PVT de la respuesta en frecuencia del par diferencial complementario.

Tabla 12. Análisis PVT de las transconductancias de interés involucradas en el lazo de cancelación de *offset*.

<i>Output</i>	Nominal	Mín.	Máx.	PVT0	PVT1	PVT2	PVT3	PVT4	PVT5	PVT6	PVT7
A_0 (dB)	43.04	36.80	45.83	42.66	41.07	45.83	42.57	41.20	36.80	43.95	38.38
f_c (KHz)	123.15	1.15	222.43	1.147	65.51	105.04	131.29	11.10	208.93	159.40	222.43

De la tabla 12 se logra identificar que si bien la ganancia en lazo abierto del par diferencial complementario no varía mucho ante variaciones de proceso, voltaje y temperatura; la frecuencia de corte de este amplificador podría alcanzar un valor mínimo de 1.15 KHz, ello podría resultar un problema para la aplicación que se le quiere dar al circuito diseñado que se orienta a señales neuronales del tipo *single units*, las cuales aparecen con frecuencias que varían entre 100 Hz y 10 KHz. Por lo tanto, en la condición PVT0, el circuito atenuaría toda señal con frecuencia mayor a 1.15 KHz, de modo que no podría funcionar de manera adecuada a tales condiciones.

4.4.2 Análisis de *corner* del lazo de cancelación de *offset*

Con respecto al lazo de cancelación de *offset*, fueron analizadas las variaciones de las transconductancias g_{OCL} y g_{CMFB} (Ver tabla 13) que corresponden al circuito de realimentación de modo común y al transistor simétrico respectivamente.

Tabla 13. Análisis PVT de las transconductancias de interés involucradas en el lazo de cancelación de *offset*.

<i>Output</i>	Nominal	Mín.	Máx.	PVT0	PVT1	PVT2	PVT3	PVT4	PVT5	PVT6	PVT7
$g_{m_{OCL}}(S)$	169.2n	142n	217.2n	212.3n	142n	213.2n	142.4n	216.6n	144.1n	217.2n	144.8n
$g_{m_{CMFB}}(S)$	182.6n	153.3n	234n	232.9n	154.6n	234n	155.3n	230.3n	153.3n	231.7n	153.8n

De la tabla 13 se logra identificar que, para el caso de $g_{m_{OCL}}$, los valores obtenidos no varían en una gran magnitud, pues los valores mínimos y máximos obtenidos se mantienen alrededor de 169 nS, lo que corresponde al caso nominal. Sin embargo, para un caso crítico como

PVT1, la atenuación alcanza un valor de 8.781 en escala lineal (18.871 dB en escala logarítmica), el cual se aleja mucho de la magnitud esperada de manera ideal (50 dB de atenuación).

Una vez identificados los valores obtenidos de las transconductancias mediante el análisis PVT, se procede a analizar la atenuación del *offset* DC. Para ello, se grafica la función de transferencia del par diferencial complementario sin lazo de cancelación de *offset* y con lazo de cancelación de *offset*, tal como se muestra en las figuras 62 y 63 respectivamente.

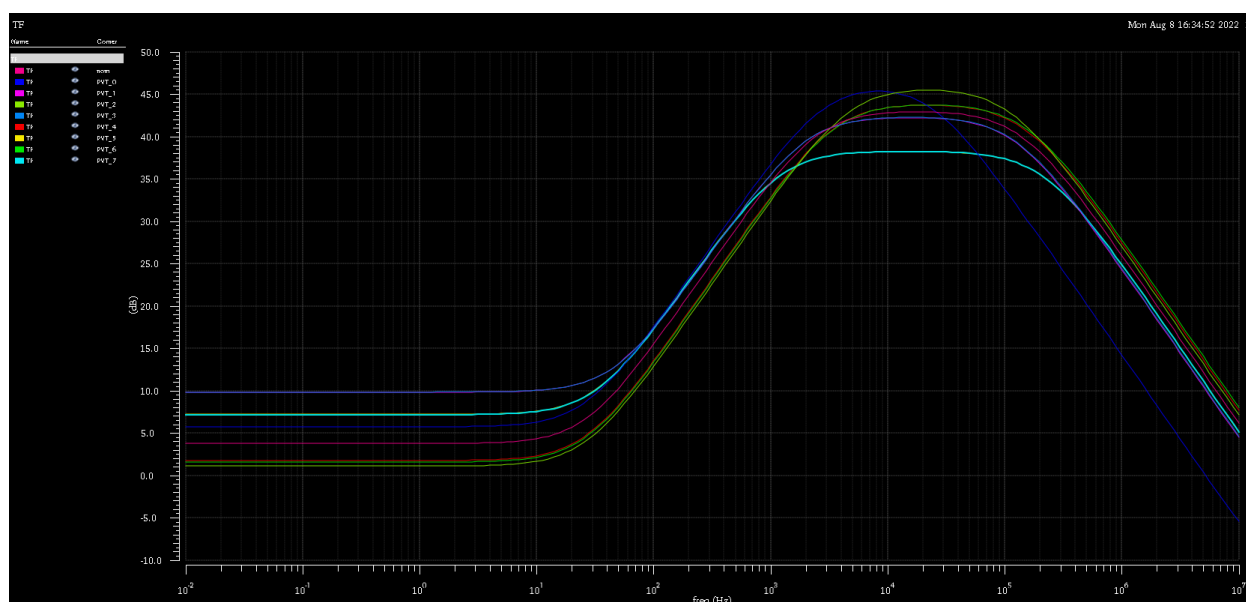


Figura 63. Gráfica del análisis PVT de la función de transferencia del par diferencial complementario con lazo de cancelación de *offset*.

A partir de las figuras 62 y 63 se realizó el cálculo de la atenuación para el análisis a condiciones nominales y para cada análisis PVTn (con $n \in [0; 7]$) de manera respectiva. Para efectuar el cálculo se determinó la diferencia de ganancias a bajas frecuencia entre la curva que representa a la respuesta sin lazo de cancelación de *offset* y la curva que representa a la respuesta con lazo de cancelación de *offset*, tal como se realizó para el caso de la figura 60. Como resultado, se obtuvieron los valores de atenuación que se muestran en la tabla 14, los cuales indican que el cambio de la atenuación del *offset* DC no es exagerado, pues el peor de los casos se da en la

simulación PVT5 donde el parámetro de interés se reduce en 9.68 dB con respecto al valor nominal, que corresponde un valor de 3.0478 en escala lineal. Mientras que, para los demás casos, los valores se mantienen muy cercanos al valor típico.

Tabla 14. Valores obtenidos de la atenuación tras realizar el análisis PVT.

<i>Output</i>	Nominal	Mín.	Máx.	PVT0	PVT1	PVT2	PVT3	PVT4	PVT5	PVT6	PVT7
<i>Atenuación (dB)</i>	39.31	31.26	44.76	36.95	31.26	44.76	32.76	39.47	29.63	42.41	31.25



Conclusiones

- El voltaje de alimentación mínimo con el que opera el circuito diseñado en el presente trabajo, es de 0.8V. Sin embargo, se recomienda utilizar $V_{dd} = 0.9 V$ como valor nominal, ya que reducir la tensión de alimentación ocasiona que la región de operación de los transistores utilizados tienda a ser óhmica, sobre todo en el par diferencial complementario.
- La potencia total disipada por el circuito completo que incluye el par diferencial complementario conectado a un lazo de cancelación de *offset*, por medio de la técnica de realimentación de puerta trasera PMOS, dio como resultado un valor de $P = 3.5068 \mu W$, considerando que fueron utilizadas dos fuentes de corriente de $12 nA$ y una fuente de corriente de $1 \mu A$. Adicionalmente se toma en cuenta que las fuentes de voltaje correspondientes a la tensión de referencia del par diferencial complementario y OCL, no entregan corriente. Por lo tanto, la disipación de potencia asociada a ambos dispositivos tiende a cero.
- En las condiciones propuestas por los *corners* PVT1, PVT2 y PVT4, algunos transistores contenidos por el par diferencial complementario, sean los correspondientes al espejo de corrientes o aquellos conectados al terminal de surtidor de los NMOS, pasan de la región de saturación a la región óhmica. A dichas condiciones el circuito no podría operar de manera correcta.
- El modelo matemático definido por la función de transferencia que describe la ganancia de voltaje del circuito que incluye el par diferencial complementario conectado a un lazo de cancelación de *offset*, permite obtener la ecuación que describe la atenuación del *offset* DC. De acuerdo con los resultados experimentales la atenuación real que genera el OCL se aproxima con el valor teórico planteado inicialmente.

Recomendaciones y trabajos futuros

- Como recomendación se plantea el uso de topologías distintas al par diferencial complementario con el objetivo de que el circuito completo pueda trabajar bajo las condiciones propuestas por los *corners* PVT1, PVT2 y PVT4 y con voltajes de alimentación menores a 0.9 V en condiciones nominales.
- Como trabajo futuro, se considera analizar la respuesta conjunta del lazo de cancelación de *offset* con la primera etapa g_{m1} y la segunda etapa g_{m2} del amplificador *chopper*, tomando en cuenta el uso de moduladores y un lazo de realimentación que parte de g_{m2} hacia la entrada de g_{m1} . Además, mediante un análisis transitorio y una señal neuronal de entrada, se podría visualizar si efectivamente un *offset* DC es reducido por el OCL.
- Tras efectuar una serie de simulaciones del amplificador *chopper*, se plantea realizar el *layout* del circuito, así como las simulaciones *post-layout* necesarias para analizar las capacitancias parásitas del circuito integrado.

Bibliografía

- [1] P. Cong, "Neural Interfaces for Implantable Medical Devices," *IEEE Solid-State Circuits Magazine*, pp. 48–56, 2016.
- [2] E. Musk and Neuralink, "An integrated brain-machine interface platform with thousands of channels," *bioRxiv*, pp. 0–11, 2019, doi: 10.1101/703801.
- [3] T. Denison, K. Consoer, W. Santa, A. T. Avestruz, J. Cooley, and A. Kelly, "A 2 μ w 100 nV/rHz Chopper-Stabilized Instrumentation Amplifier for Chronic Measurement of Neural Field Potentials," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 12, pp. 2934–2945, 2007, doi: 10.1109/JSSC.2007.908664.
- [4] Q. Fan, K. A. A. Makinwa, and J. H. Huijsing, *Capacitively-Coupled Chopper Amplifiers*. Cham: Springer International Publishing, 2017. doi: 10.1007/978-3-319-47391-8.
- [5] D. Luo, J. Lei, M. Zhang, and Z. Wang, "Design of a Low Noise Bio-Potential Recorder with High Tolerance to Power-Line Interference under 0.8 v Power Supply," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 14, no. 6, pp. 1421–1430, 2020, doi: 10.1109/TBCAS.2020.3038632.
- [6] H. Chandrakumar and D. Marković, "A simple area-efficient ripple-rejection technique for chopped biosignal amplifiers," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 62, no. 2, pp. 189–193, 2015, doi: 10.1109/TCSII.2014.2387686.
- [7] I. Q. Kobl, B., Whishaw, "Trastornos neurológicos," *Neuropsicología Humana*, pp. 706–708, 2006.
- [8] J. Nonnekes, M. H. M. Timmer, N. M. de Vries, O. Rascol, R. C. Helmich, and B. R. Bloem, "Unmasking levodopa resistance in Parkinson's disease.," *Mov Disord*, vol. 31, no. 11, pp. 1602–1609, Nov. 2016, doi: 10.1002/mds.26712.
- [9] M. Day, "Neuromodulation: spinal cord and peripheral nerve stimulation.," *Curr Rev Pain*, vol. 4, no. 5, pp. 374–382, 2000, doi: 10.1007/s11916-000-0021-7.
- [10] S. M. Won, L. Cai, P. Gutruf, and J. A. Rogers, "Wireless and battery-free technologies for neuroengineering," *Nature Biomedical Engineering*, 2021, doi: 10.1038/s41551-021-00683-3.
- [11] J. P. Uehlin *et al.*, "Architecture With Stimulus Artifact Suppression," vol. 14, no. 2, pp. 319–331, 2020.
- [12] K. B. Mirza, C. T. Golden, K. Nikolic, and C. Toumazou, "Closed-loop implantable therapeutic neuromodulation systems based on neurochemical monitoring," *Frontiers in Neuroscience*, vol. 13, no. JUL, pp. 1–18, 2019, doi: 10.3389/fnins.2019.00808.

- [13] J. D. Simeral *et al.*, "Home Use of a Percutaneous Wireless Intracortical Brain-Computer Interface by Individuals With Tetraplegia," *IEEE Transactions on Biomedical Engineering*, no. c, 2021, doi: 10.1109/TBME.2021.3069119.
- [14] Neuralink, "Neuralink - Blog," 2021. <https://neuralink.com/blog/> (accessed May 30, 2021).
- [15] A. B. Schwartz, X. T. Cui, D. J. J. Weber, and D. W. Moran, "Brain-Controlled Interfaces: Movement Restoration with Neural Prosthetics," *Neuron*, vol. 52, no. 1, pp. 205–220, 2006, doi: 10.1016/j.neuron.2006.09.019.
- [16] T. Anitha, N. Shanthi, R. Sathiyasheelan, G. Emayavaramban, and T. Rajendran, "Brain-Computer Interface for Persons with Motor Disabilities - A Review," *The Open Biomedical Engineering Journal*, vol. 13, no. 1, pp. 127–133, 2019, doi: 10.2174/1874120701913010127.
- [17] S. S. Grewal *et al.*, "Reassessing the impact of intraoperative electrocorticography on postoperative outcome of patients undergoing standard temporal lobectomy for MRI-negative temporal lobe epilepsy," *Journal of Neurosurgery*, vol. 132, no. 2, pp. 605–614, 2020, doi: 10.3171/2018.11.JNS182124.
- [18] Y. P. Lin *et al.*, "A Battery-Less, Implantable Neuro-Electronic Interface for Studying the Mechanisms of Deep Brain Stimulation in Rat Models," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 10, no. 1, pp. 98–112, 2016, doi: 10.1109/TBCAS.2015.2403282.
- [19] P. Gray, P. Hurst, S. Lewis, and R. Meyer, *Analysis and Design of Analog Integrated Circuits*. 2001.
- [20] P. and W. H. Horowitz, *The Art of Electronics*, 3rd ed. Cambridge University Press, 2015.
- [21] J. Holleman, F. Zhang, and B. Otis, *Ultra Low-Power Integrated Circuit Design for Wireless Neural Interfaces*. New York, NY: Springer New York, 2011. doi: 10.1007/978-1-4419-6727-5.
- [22] C. C. Enz and G. C. Temes, "Circuit techniques for reducing the effects of Op-Amp imperfections: Autozeroing, correlated double sampling, and chopper stabilization," *Proceedings of the IEEE*, vol. 84, no. 11, pp. 1584–1614, 1996, doi: 10.1109/5.542410.
- [23] F. M. Yaul and A. P. Chandrakasan, "A Noise-Efficient 36 nV / Hz Chopper Amplifier," *IEEE Journal of Solid-State Circuits*, vol. 52, no. 11, pp. 1–11, 2017.
- [24] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, Second Edition. New York: McGraw-Hill Education, 2017.
- [25] S. N. Makarov, R. Ludwig, and S. J. Bitar, *Practical Electrical Engineering*. Cham: Springer International Publishing, 2016. doi: 10.1007/978-3-319-21173-2.

- [26] P. Niknejad, "Lecture 12 : MOS Transistor Models." 2003.
- [27] J. Ou, P. M. Ferreira, and J.-C. Lee, "Experimental Demonstration of gm/Id Based Noise Analysis," *Circuits and Systems*, vol. 05, no. 04, pp. 69–75, 2014, doi: 10.4236/cs.2014.54009.
- [28] A. C. J. D. and A. P. G. W. M. J. M. Pelgrom, "Matching properties of MOS transistors," *IEEE Journal of Solid-State Circuits*, vol. 1999, no. December, pp. 1–6, 2006.
- [29] K. R. Lakshmikumar, R. A. Hadaway, and M. A. Copeland, "Characterization and Modeling of Mismatch," *Analysis*, no. 6, pp. 1057–1066, 1986.
- [30] Y. Kusuda, "Auto correction feedback for ripple suppression in a chopper amplifier," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 8, pp. 1436–1445, 2010, doi: 10.1109/JSSC.2010.2048142.
- [31] M. Kumngern, "A new chopper modulator circuit," *International Conference on Electronic Devices, Systems, and Applications*, pp. 221–224, 2011, doi: 10.1109/ICEDSA.2011.5959037.
- [32] J. Karki, "Fully-Differential Amplifiers," no. January 2002, pp. 1–28, 2016.
- [33] D. A. Bravo Pacheco, "Estudio del diseño de un amplificador CMOS basado en un par diferencial complementario para adquisición de señales neuronales," Pontificia Universidad Católica del Perú, 2020. [Online]. Available: http://tesis.pucp.edu.pe/repositorio/bitstream/handle/20.500.12404/18066/BRAVO_PACHECO_DIEGO_ESTUDIO_DISEÑO_AMPLIFICADOR.pdf?sequence=1&isAllowed=y