

**PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ**  
**FACULTAD DE CIENCIAS E INGENIERÍA**



**DISEÑO DE UN AMPLIFICADOR DE GANANCIA PROGRAMABLE CON  
DISIPACIÓN DE POTENCIA ADAPTADA A LA GANANCIA PARA  
SISTEMAS DE ADQUISICIÓN DE SEÑALES NEURONALES**

Tesis para optar el Título Profesional de Ingeniero Electrónico

Autor:

**Gabriel Armando Matos Díaz**

Asesor: PhD. Julio César Saldaña Pumarica

Co-asesor: Ing. Erick Leonardo Raygada Vargas

Lima, 2019

# Resumen

El presente trabajo de investigación consiste en el diseño de un circuito amplificador con ganancia programable (PGA) para ser empleado como una segunda etapa de amplificación en sistemas de adquisición de señales neuronales. La principal estrategia de diseño es aplicar una técnica de escalabilidad de corriente, para disipar solo la potencia necesaria para cada ganancia; además logrando mantener el mismo ancho de banda para cada ganancia seleccionada. El número de ganancias de diseño son ocho, programables mediante tres bits. La topología empleada es *fully differential*; por ello, se incluye un circuito de realimentación de modo común (CMFB). Así mismo, en los requerimientos se consideran la estabilidad del sistema tanto para el lazo en modo diferencial como el lazo en modo común. La tecnología empleada en el diseño es AMS0.35 $\mu\text{m}$  en el software Virtuoso Schematic de la compañía Cadence, donde se realizaron las simulaciones y se validó el funcionamiento del circuito mediante distintos análisis. Entre los resultados obtenidos para el amplificador destacan su ganancia programable entre 6dB y 29dB con disipación de potencia promedio de 1.64 $\mu\text{W}$  para una fuente de alimentación de 3.3V.

*A mi madre Elisa, por su apoyo y cariño incondicional, porque sus consejos y enseñanzas me guían siempre.*

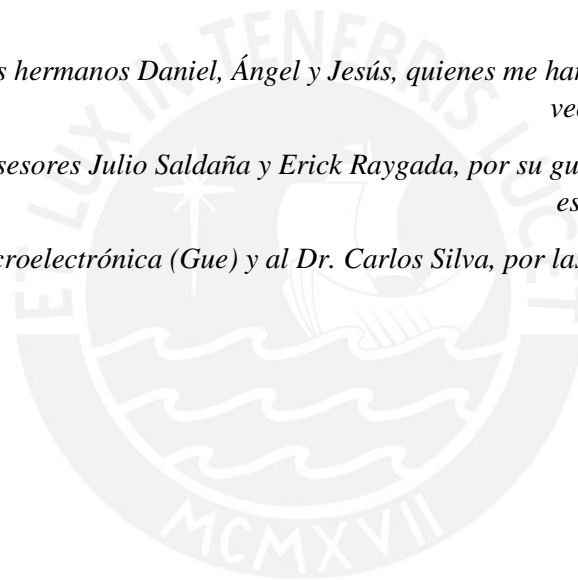
*A mi padre Lidio, por su cariño, ejemplo y lecciones, que me educaron en siempre dar lo mejor.*

*A mis hermanos Daniel, Ángel y Jesús, quienes me han demostrado innumerables veces su apoyo incondicional.*

*A mis asesores Julio Saldaña y Erick Raygada, por su guía y confianza a lo largo de este trabajo de investigación.*

*Al grupo de Microelectrónica (Gue) y al Dr. Carlos Silva, por las enseñanzas compartidas y las amistades formadas.*

*¡Gracias!*



# Tabla de Contenidos

Resumen.....	i
Tabla de Contenidos .....	iii
Índice de Figuras.....	v
Índice de Tablas .....	vii
Introducción .....	viii
Estudio de las Señales Neuronales.....	1
1.1. El cerebro y la neurona.....	1
1.2. Las señales neuronales y su generación .....	2
1.3. Tipos de señales neuronales .....	3
1.4. Adquisición de señales neuronales.....	4
1.4.1. Métodos no invasivos .....	5
1.4.2. Métodos invasivos .....	6
1.4.3. Comparación cuantitativa y cualitativa de principales métodos.....	7
Sistemas Implantables de Adquisición de Señales Neuronales .....	9
2.1. Bloques de un sistema implantable de adquisición de señales neuronales .....	9
2.2. Estado del arte de los PGA.....	10
2.2.1. A 8.6 $\mu$ W 3- Bit PGA for Multiplexed-Input Neural Recording Systems .....	10
2.2.2. An 8-Channel Fully Differential Analog Front-End for Neural Recording .....	13
2.2.3. Low Voltage Digitally Programmable Gain and Bandwidth Fully Differential CMOS Neural Amplifier .....	16
2.2.4. Desempeño de amplificadores de diversos trabajos de investigación para sistemas de adquisición .....	18
2.3. Técnicas de variación de ganancia y topologías de PGA.....	20
2.4. Elección de topología .....	22
Diseño del Amplificador de Ganancia Programable .....	24
3.1. Identificación de bloques a diseñar del PGA .....	25
3.2. Principales parámetros que caracterizan a un op-amp .....	25
3.2.1. Ganancia .....	26
3.2.2. Relación de rechazo al modo común (CMRR).....	26

3.2.3.	Ancho de banda.....	26
3.2.4.	Margen de fase.....	27
3.2.5.	Slew Rate .....	28
3.2.6.	Relación de rechazo a la interferencia de la fuente (PSRR) .....	28
3.3.	Análisis de diseño del amplificador operacional fully differential .....	28
3.3.1.	Consumo de energía.....	30
3.3.2.	Análisis de pequeña señal .....	30
3.3.3.	Análisis de estabilidad .....	31
3.3.4.	Circuito de polarización: Espejo de corriente.....	32
3.3.5.	Circuito de realimentación en modo común (CMFB) .....	33
3.4.	Especificaciones de diseño.....	34
3.5.	Dimensionamiento de los transistores del op-amp.....	35
3.5.1.	Etapas amplificadoras .....	35
3.5.2.	Espejos de corriente y CMFB .....	38
3.6.	Ajuste de dimensiones de los transistores del op-amp.....	39
3.7.	Red de realimentación de condensadores.....	40
3.8.	Disipación de potencia adaptada a la ganancia .....	43
	Simulaciones y Resultados .....	45
4.1.	Simulaciones op-amp .....	45
4.1.1.	Análisis DC.....	45
4.1.2.	Análisis de Estabilidad.....	47
4.2.	Simulaciones PGA .....	49
4.2.1.	Análisis de Estabilidad.....	49
4.2.2.	Análisis AC.....	50
4.2.3.	Disipación de Potencia.....	52
	Conclusiones.....	53
	Recomendaciones .....	54
	Bibliografía .....	55

# Índice de Figuras

Figura 1.1. Estructura de una neurona. ....	2
Figura 1.2. Generación de potencial de acción. ....	3
Figura 1.3. Colocación de electrodos. ....	4
Figura 2.1. Diagrama de bloques simplificado de un sistema de adquisición de señales neuronales. ....	10
Figura 2.2. Esquemático del PGA con red de realimentación de condensadores y compensación de Miller. ....	12
Figura 2.3. Respuesta en frecuencia del PGA. ....	12
Figura 2.4. Arquitectura del sistema de adquisición de señales neuronales. ....	13
Figura 2.5. Esquemático del PGA <i>fully differential</i> con red de realimentación resistiva. ....	14
Figura 2.6. Comportamiento en frecuencia del PGA. ....	15
Figura 2.7. Esquemático del PGA <i>fully differential</i> con red de realimentación capacitiva. ....	16
Figura 2.8. Circuito de la pseudo-resistencia. ....	17
Figura 2.9. Respuesta en frecuencia para LFP. ....	18
Figura 2.10. Respuesta en frecuencia para spikes. ....	18
Figura 2.11. Topologías básicas para variación de ganancia. ....	21
Figura 3.1. Octágono de diseño analógico. ....	24
Figura 3.2. Identificación de bloques del PGA. ....	25
Figura 3.3. Ancho de banda desde 0 a $W_{-3db}$ . ....	27
Figura 3.4. Margen de fase. ....	27
Figura 3.5. Amplificador de dos etapas <i>fully differential</i> con compensación Miller. ....	29
Figura 3.6. Modelo de pequeña señal de amplificador de la Fig.3.5, empleando análisis de medio circuito. ....	30
Figura 3.7. Espejo de corriente para polarización. ....	32
Figura 3.8. Esquemático del CMFB. ....	34
Figura 3.9. Op-amp <i>fully differential</i> realimentado con red de impedancias. ....	40
Figura 3.10. PGA con red de condensadores de realimentación. ....	41
Figura 3.11. Resistencia R para realimentación DC del op-amp. ....	42
Figura 4.1. <i>Testbench</i> para el análisis DC. ....	46
Figura 4.2. Resultados para el circuito amplificador del análisis DC. ....	46

Figura 4.3. Resultados para el CMFB del análisis DC. ....	47
Figura 4.4. Resultados del análisis DC para el espejo de corriente de polarización.....	47
Figura 4.5. <i>Testbench</i> para el análisis de estabilidad. ....	48
Figura 4.6. Respuesta del amplificador en lazo abierto. ....	49
Figura 4.7. <i>Testbench</i> para el PGA .....	51
Figura 4.8. Análisis AC del PGA.....	52



# Índice de Tablas

Tabla 1.1. Bandas de señales de EEG.....	5
Tabla 1.2. Comparación de modalidades de adquisición de señales neuronales. ....	8
Tabla 2.1. Resumen de parámetros para cada ganancia del PGA.....	11
Tabla 2.2. Parámetros del sistema de adquisición de señales.....	15
Tabla 2.3. Desempeño de diversas investigaciones de PGAs para sistemas de adquisición de señales.....	19
Tabla 2.4. Desempeño de diversas investigaciones de amplificadores para sistemas de adquisición de señales.....	19
Tabla 2.5. Desempeño de diversas investigaciones de amplificadores para sistemas de adquisición de señales.....	20
Tabla 3.1. Desempeño de varias topologías de op-amp.....	29
Tabla 3.2. Especificaciones del PGA.....	34
Tabla 3.3. Dimensiones de los transistores de las etapas amplificadoras.....	37
Tabla 3.4. Dimensiones de los transistores de espejo de corriente y CMFB.....	39
Tabla 3.5. Ajuste de las dimensiones de los transistores de las etapas amplificadoras.....	39
Tabla 3.6. Ajuste de dimensiones de los transistores de espejo de corriente y CMFB.....	40
Tabla 3.7. Dimensiones de la red de condensadores.....	41
Tabla 3.8. Ganancias obtenidas con la red de condensadores.....	41
Tabla 3.9. Frecuencia de corte superior para cada corriente $I_b$ , según ganancia.....	43
Tabla 3.10. Lógica espejo programable.....	44
Tabla 4.1. Análisis de estabilidad en modo diferencial y el GBW del amplificador diseñado.....	48
Tabla 4.2. Análisis de estabilidad en modo común.....	48
Tabla 4.3. Análisis de estabilidad en modo diferencial y el GBW del amplificador diseñado.....	49
Tabla 4.4. Análisis de estabilidad en modo diferencial y el GBW del amplificador diseñado.....	52



# Introducción

Los dispositivos electrónicos son cada vez más usados en el ámbito de la medicina ya sea para el tratamiento, diagnóstico o prevención de diversas enfermedades; así como, en la investigación del organismo humano. Entre los órganos más estudiados con estos dispositivos, encontramos al cerebro, cuyo interés de la comunidad científica radica en su comprensión. Este interés se ve reflejado en una demanda de nuevos o más específicos requerimientos en los dispositivos electrónicos empleados en el registro de las señales neuronales. El uso de estas señales tiene múltiples aplicaciones, una de ellas es el desarrollo de interfaces entre el cerebro y los dispositivos artificiales con el fin de ayudar a los pacientes que tienen enfermedades graves como la esclerosis lateral amiotrófica, enfermedad de Parkinson, apoplejía, parálisis cerebral y otras enfermedades [6].

En la actualidad ha aumentado el uso de dispositivos médicos implantables como los estimuladores de la médula espinal, los marcapasos e implantes cocleares. Esto debido a los avances tecnológicos en el campo de la microelectrónica. Avances que han permitido entre otros, el desarrollo de sistemas implantables de adquisición de señales neuronales.

Los sistemas implantables de adquisición de señales neuronales son dispositivos que acondicionan las señales neuronales, recibidas mediante electrodos, para ser procesadas e interpretadas más adelante. La investigación desde el campo de la microelectrónica en estos sistemas consiste en implementar mejoras a partir del uso de nuevas arquitecturas o diseños

que busquen principalmente la reducción de consumo de energía y área. Estos sistemas se encuentran conformados por diversos bloques, uno de ellos es el amplificador de ganancia programable.

El objetivo del presente trabajo es el diseño de un amplificador de ganancia programable (PGA) para sistemas de adquisición de señales neuronales. Así mismo, el diseño aprovechará la no necesidad de que se disipe la misma potencia a distintas ganancias. La tecnología de diseño es CMOS, específicamente la AMS0.35 $\mu$ m empleando el *software* Virtuoso Schematic de la compañía Cadence.



# Capítulo 1

## Estudio de las Señales Neuronales

### 1.1. El cerebro y la neurona

El cerebro humano es el encargado del control de los demás órganos del cuerpo y el centro del sistema nervioso. En él encontramos a la unidad funcional más pequeña del sistema nervioso y unidad básica del cerebro, la neurona. Estas son células que comparten muchas características con las células en general; sin embargo, las neuronas están especialmente dotadas de la capacidad de comunicarse con precisión y rapidez con otras células en sitios distantes del cuerpo. Esto debido a tres características: la primera, su asimetría morfológica, pues posee dendritas receptoras en un extremo y un axón transmisor con terminales sinápticos en el otro; la segunda, ser eléctricamente y químicamente excitables; la tercera, su contenido de proteínas y organelas que las dotan de propiedades secretoras, las cuales les permiten liberar neurotransmisores en las sinapsis.

Las partes que conforman a la neurona son el cuerpo celular, el axón y las dendritas. El cuerpo celular, también conocido como soma, es el centro metabólico de la célula y la parte que contiene al núcleo, donde se encuentran los genes de la célula y el retículo endoplásmico. El axón se extiende desde el cuerpo de la célula hasta terminaciones nerviosas, su función es enviar señales eléctricas por distancias entre 0.1 mm hasta 3 m. Las dendritas son ramificaciones en forma de árbol y parte principal para la recepción de las señales de entrada de otras células nerviosas [4].

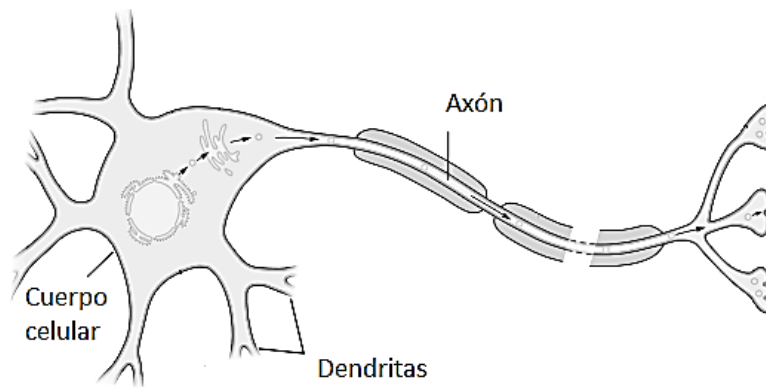


Figura 1.1. Estructura de una neurona [4].

## 1.2. Las señales neuronales y su generación

Las señales que se generan en una neurona se determinan por las propiedades eléctricas de su membrana celular. Cada célula en reposo, incluyendo la neurona, mantiene cierta diferencia de potencial eléctrico en ambos lados de la membrana plasmática. En una neurona en reposo, el voltaje del interior de la célula es aproximadamente 65mV más negativo que el voltaje fuera de la célula; como el voltaje exterior de la membrana se define como cero, decimos que el potencial de membrana en reposo es de -65mV. Este biopotencial se debe a dos factores: la distribución desigual de iones cargados, en particular los iones  $\text{Na}^+$  y  $\text{K}^+$ , y la permeabilidad selectiva de la membrana.

La comunicación con otras neuronas o células inicia en algunas neuronas donde el potencial de la membrana cambia en 10mV, de -65mV a -55mV. Este nuevo potencial hace que la membrana sea mucho más permeable a  $\text{Na}^+$  que a  $\text{K}^+$ , lo cual resulta en una afluencia de  $\text{Na}^+$ , neutralizando la carga negativa dentro de la célula y produciendo un cambio breve y explosivo en el potencial de membrana a +40mV (Fig. 1.2), denominado potencial de acción. Este potencial se propaga activamente a lo largo del axón sin disminuir su amplitud en el momento en que llega al terminal del axón. La duración del potencial de acción es de aproximadamente 1ms, después de este tiempo, la membrana vuelve a su estado de reposo con

una separación normal de cargas y mayor permeabilidad a  $K^+$  que a  $Na^+$ . Además de las señales de larga distancia representadas por el potencial de acción, las neuronas también producen señales locales que no se propagan activamente; ya que, típicamente decaen a los pocos milímetros. En resumen, el cambio en el potencial de la membrana, aumento o disminución, genera señales de largo alcance y locales [4].

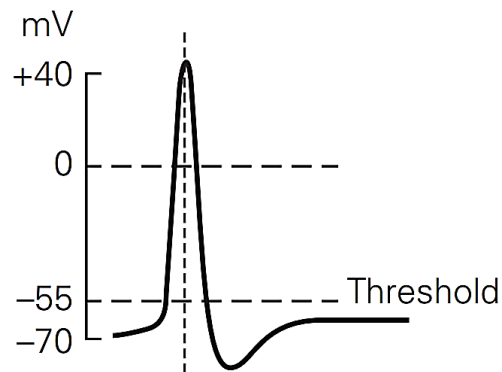


Figura 1.2. Generación de potencial de acción [4].

### 1.3. Tipos de señales neuronales

Dependiendo de sus características eléctricas, se pueden clasificar en dos tipos: potenciales de campo local (LFP) y potenciales de acción (AP). Los primeros, tienen un rango de frecuencia de aproximadamente desde 1Hz hasta 500Hz y una amplitud de hasta 1mV. Los segundos, solo pueden ser medidos mediante la introducción de una matriz de electrodos en la superficie del cerebro. Las señales adquiridas por estos electrodos, debido a los potenciales de acción, son conocidas como *spikes*, sus frecuencias varían de 100Hz a 10KHz y sus amplitudes son hasta 1mV [3].

## 1.4. Adquisición de señales neuronales

La adquisición de señales neuronales puede realizarse por diversos procedimientos, los cuales pueden clasificarse en métodos no invasivos y métodos invasivos. Los métodos no invasivos, generalmente se realizan mediante la colocación de electrodos en el cuero cabelludo como se muestra en la Fig.1.3(a). Las desventajas de los métodos no invasivos son su baja resolución espacial y su susceptibilidad al ruido. Entre sus ventajas, las que más destacan son su bajo costo y su seguridad, pues no hay necesidad de un procedimiento quirúrgico. Por otro lado, los métodos invasivos si poseen este requerimiento; ya que, necesitan acceder a la superficie de la corteza cerebral para la colocación de los electrodos. Esta es la principal desventaja de este método pues se asumen los riesgos que se implican en un procedimiento quirúrgico. Sin embargo, los métodos invasivos tienen mayor resolución espacial y puede registrar señales neuronales a mayores frecuencias a diferencia de los no invasivos [6] [3]. Dos ejemplos de colocación de electrodos en métodos invasivos se observan en Fig.1.3(b) y Fig.1.3(c).

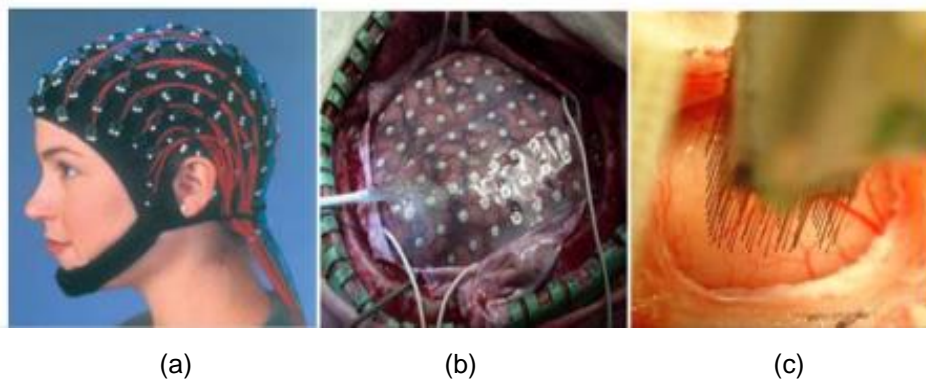


Figura 1.3. Colocación de electrodos [3].

Entre estos métodos, se describirán a continuación las técnicas de neuroimagen más comunes. Para ello, se realiza una separación en métodos no invasivos, métodos invasivos y comparación cuantitativa y cualitativa de los principales métodos.

## 1.4.1. Métodos no invasivos

### 1.4.1.1. Electroencefalograma (EEG)

Por mucho tiempo la modalidad de grabación más extendida, el electroencefalograma mide la actividad cerebral causada por el flujo de corrientes eléctricas durante las excitaciones sinápticas de las dendritas en las neuronas. Las señales del electroencefalograma se registran fácilmente de una manera no invasiva a través de electrodos colocados en el cuero cabelludo. Sin embargo, proporciona señales de muy mala calidad; ya que, las señales tienen que cruzar el cuero cabelludo, el cráneo y muchas otras capas. Además, esta técnica se encuentra severamente afectada por el ruido generado dentro del cerebro o externamente sobre el cuero cabelludo [6].

Las señales obtenidas por EEG se pueden clasificar según su frecuencia. Estas bandas de frecuencia se denominan delta ( $\delta$ ), theta ( $\theta$ ), alfa ( $\alpha$ ), beta ( $\beta$ ) y gamma ( $\gamma$ ) de baja a alta, respectivamente. Se detalla más de estas bandas en la Tabla 1.1.

Tabla 1.1. Bandas de señales de EEG [24].

Bandas	Frecuencias	Se registran en
Delta ( $\delta$ )	Menor de 4Hz	Adultos en profundo sueño y bebés
Theta ( $\theta$ )	4 – 7Hz	Niños y adultos en estado somnoliento
Alfa ( $\alpha$ )	8 – 12Hz	El procesamiento visual en la región occipital del cerebro
Beta ( $\beta$ )	12 – 30Hz	Las regiones frontal y central del cerebro y se asocian con actividades motoras
Gamma ( $\gamma$ )	30 a 100 Hz	Adultos ejecutando ciertas funciones motoras como la contracción muscular

### 1.4.1.2. Magnetoencefalograma (MEG)

El magnetoencefalograma es un método no invasivo, que consiste en el registro de la actividad magnética del cerebro mediante inducción magnética. Los procesos neurofisiológicos

que producen señales MEG son idénticos a los que producen señales EEG. Sin embargo, la ventaja que tiene es que los campos magnéticos son menos distorsionados por el cráneo y el cuero cabelludo a diferencia de los campos eléctricos [24].

#### **1.4.1.3. Imagen por resonancia magnética funcional (fMRI)**

La fMRI es un método de neuroimagen no invasivo que hace uso de campos electromagnéticos para detectar cambios en el flujo sanguíneo cerebral y en los niveles de oxigenación. La principal ventaja del uso de fMRI es la alta resolución espacial; sin embargo, este método tiene una desventaja que es su baja resolución temporal de aproximadamente 2 segundos. Generalmente, este método se realiza empleando escáneres de resonancia magnética [24].

#### **1.4.1.4. Espectroscopía por infrarrojo cercano (NIRS)**

La espectroscopía por infrarrojo cercano es un método de espectroscopía óptica que emplea luz infrarroja para medir las fluctuaciones durante la actividad cerebral. La luz infrarroja penetra el cráneo a una profundidad de aproximadamente 1-3 cm por debajo de su superficie; por ello, esta técnica de neuroimagen óptica se limita a la capa cortical externa. La resolución espacial de NIRS es bastante baja, del orden de 1 cm. Sin embargo, ofrece bajo costo, alta portabilidad, y una resolución temporal aceptable en el orden de 100 milisegundos [24].

### **1.4.2. Métodos invasivos**

#### **1.4.2.1. Electroencefalograma (EEG)**

El electroencefalograma es una técnica que mide la actividad eléctrica en la corteza cerebral mediante electrodos colocados directamente sobre la superficie del cerebro. En comparación con el EEG, el ECoG proporciona mayor resolución temporal y espacial, así como mayores amplitudes y una menor vulnerabilidad al ruido. Sin embargo, ECoG es una



modalidad de registro invasivo que requiere una craneotomía para implantar una rejilla de electrodos, lo cual tiene importantes riesgos para la salud.

#### **1.4.2.2. Registro por implantación de arreglos de electrodos**

El registro por implantación de arreglos de electrodos es una modalidad de grabación invasiva que necesita implantar matrices de microelectrodos dentro de la corteza para capturar los *spikes* y los potenciales de campo locales de las neuronas. Este tipo de grabación se divide en dos métodos diferentes. El extracelular consiste en la implantación de electrodos en un conjunto de neuronas y el intracelular mediante la inserción de electrodos en una neurona. El intracelular posee una gran dificultad de aplicación en seres humanos, pero sí es factible en animales con neuronas de gran tamaño como el calamar.

Las ventajas del método de registro por implantación de arreglos de electrodos son que proporciona una resolución espacial y temporal mucho mayor que los otros tipos de grabación. Sin embargo, posee el problema de la aparición de una capa de tejido de cicatriz que se forma alrededor del cerebro debido a la implantación de electrodos. Esto provoca una disminución lenta en la sensibilidad del electrodo; es decir, una disminución de la relación señal a ruido (SNR) [6] [3].

#### **1.4.3. Comparación cuantitativa y cualitativa de principales métodos**

Se han expuesto los principales métodos de adquisición de señales neuronales, cada uno de ellos con ciertas ventajas y desventajas. Como resumen, se muestra la siguiente Tabla 1.2 para realizar una comparación cuantitativa y cualitativa de los principales métodos.

Tabla 1.2. Comparación de modalidades de adquisición de señales neuronales [3].

<b>Parámetro</b>	<b>EEG</b>	<b>ECoG</b>	<b>LFP</b>	<b>AP</b>
Ancho de Banda	0.5 – 50Hz	1 – 500Hz	1 – 500Hz	250 – 10KHz
Amplitud	1 – 50 $\mu$ V	1 – 500 $\mu$ V	10 $\mu$ – 1mV	10 $\mu$ – 1mV
Espaciamiento	3cm	0.2 – 10mm	0.1 – 10mm	0.1 – 1mm
Invasivo	No	Craneotomía, no daño neuronal	Craneotomía, daño neuronal	Craneotomía, daño neuronal
Área Cubierta	Todo el cerebro	~ cm <sup>2</sup> , todo el cerebro	~ mm <sup>2</sup>	~ mm <sup>2</sup>
Estabilidad	Décadas	Décadas	Años	Meses



## Capítulo 2

# Sistemas Implantables de Adquisición de Señales Neuronales

Por mucho tiempo la actividad neuronal ha sido registrada por sistemas no invasivos, debido a ser un método seguro y barato; sin embargo, estos solo permiten medir la actividad electroencefalográfica. Por otro lado, los avances tecnológicos en el campo de la microelectrónica han permitido el desarrollo de sistemas implantables de adquisición de señales neuronales haciéndolos más pequeños y eficientes energéticamente. [6]

El estudio de la actividad cerebral ha aumentado en esta última década y con ello las investigaciones en sistemas implantables de adquisición de señales neuronales. Dichas investigaciones han impulsado el desarrollo de nuevas arquitecturas de los dispositivos; así como variaciones y contribuciones en las topologías de las diversas partes que conforman el sistema.

### 2.1. Bloques de un sistema implantable de adquisición de señales neuronales

Los sistemas implantables de adquisición de señales neuronales se conforman de seis principales bloques: un bloque de recepción de señales, que es la matriz de multielectrodos (MEAs); un amplificador LNA (Low Noise Amplifier), bloque crítico que tiene la responsabilidad de amplificar la señal sin introducir tanto ruido [1]; un filtro pasa banda, el cual permite obtener el espectro en el rango de frecuencias deseado atenuando ruido e interferencias; un amplificador PGA, segundo bloque de amplificación con selección de una

amplia gama de ganancias que proporciona una entrada de gran escala al ADC [2]; un ADC (Analog to Digital Converter), bloque conversor de la señal analógica en una señal digital para un fácil procesamiento de ella; finalmente la etapa de transmisión de la señal digitalizada. Todos estos bloques se sintetizan en un circuito integrado implantable. El diagrama de bloques del sistema se muestra en la Fig. 2.1.

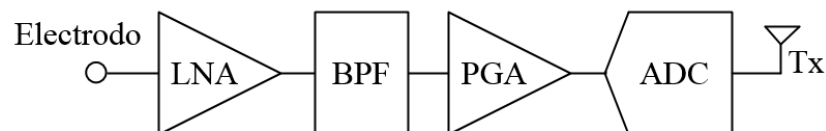


Figura 2.1. Diagrama de bloques simplificado de un sistema de adquisición de señales neuronales.

## 2.2. Estado del arte de los PGA

Desde hace muchos años se viene investigando y desarrollando dispositivos implantables, desde los tradicionales marcapasos hasta los sistemas más complejos como los implantes de retina. Esto en los sistemas implantables de adquisición de señales neuronales se ha centrado principalmente en el uso de nuevas topologías y técnicas de diseño, con fin de mejorar el desempeño sus principales bloques. A continuación, se presenta el estado actual de la investigación respecto a tecnologías empleadas en el diseño de amplificadores de ganancia programables para sistemas de adquisición de señales neuronales.

### 2.2.1. A 8.6 $\mu$ W 3- Bit PGA for Multiplexed-Input Neural Recording Systems

La necesidad de la reducción en el área en los circuitos integrados y del consumo de energía promueve la investigación de diseños alternativos a los empleados actualmente. El diseño de este PGA *single ended*, elaborado por los investigadores Khaled Al-Ashmouny, Sun-II Chang y Euisik Yoon, logra un bajo consumo de energía de 8.66 $\mu$ W, lo que es un orden de

magnitud menor que los PGAs similares. Así mismo, multiplexa los canales de entrada usando multiplexación por división de tiempo (TDM) con el fin de disminuir área utilizada.

El diseño propuesto fue pensado para operar idealmente para un sistema multiplexado de 16 canales, asumiendo 6KHz de ancho banda por cada canal; es decir, el conversor analógico digital (ADC) requeriría un mínimo de 96KHz de ancho de banda.

Se emplearon principalmente dos métodos en el diseño de este PGA para lograr el bajo consumo y un buen funcionamiento. Una de ellas es la disminución del voltaje de alimentación y la otra es el ajuste del *slew rate* de acuerdo con la ganancia seleccionada. El sistema se alimenta con una tensión de 1V y todos los transistores están sesgados en cualquiera de las regiones moderadas o débiles de inversión.

El diseño circuital o esquemático del PGA, fabricado en CMOS de 0,25 $\mu$ m, se observa en la Fig. 2.2. Este diseño implementa una red de condensadores de realimentación para obtener ocho distintas ganancias entre 6dB y 29dB, las cuales se seleccionan con tres entradas digitales. El uso de condensadores y no de resistencias se ve reflejado en un menor consumo de energía. En cuanto a la estabilidad, esta se logra mediante el uso de condensadores de Miller que varían según la amplificación. En la Tabla 2.1, se resume los resultados obtenidos con este diseño para cada parámetro como la ganancia, el margen de fase, el *slew rate*, etc.

Tabla 2.1. Resumen de parámetros para cada ganancia del PGA [1].

$B_{G2}$	$B_{G1}$	$B_{G0}$	Gain [V/V]	Gain [dB]	$\beta$	$C_C$ [pF]	Phase Margin	SR [V/ $\mu$ s]
0	0	0	2	6	0.33	1.8	70.5	2.75
0	0	1	4	12	0.2	1.8	77.9	2.75
0	1	0	10	20	0.091	1.4	83.8	3.5
0	1	1	12	21.6	0.077	1.4	84.76	3.5
1	0	0	18	25.1	0.053	0.8	85.2	6.2
1	0	1	20	26	0.048	0.8	85.6	6.2
1	1	0	26	28.3	0.037	0.4	84.7	12.4
1	1	1	28	29	0.034	0.4	85.1	12.4

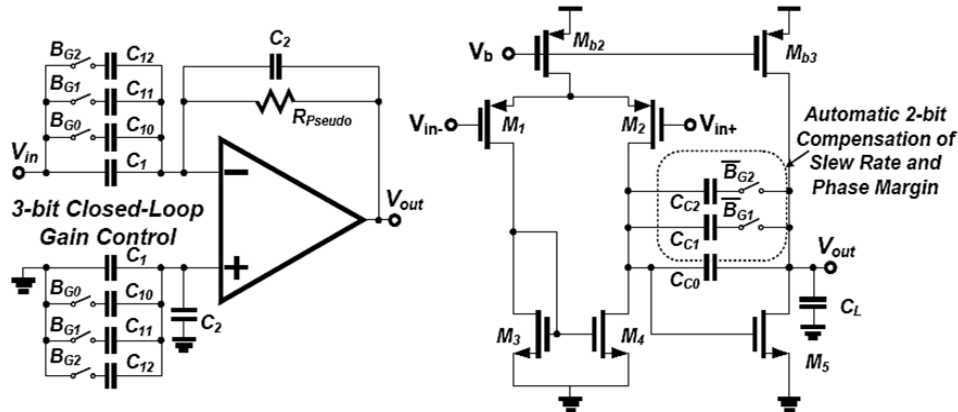


Figura 2.2. Esquemático del PGA con red de realimentación de condensadores y compensación de Miller [1].

En cuanto al comportamiento en frecuencia del PGA, la frecuencia inferior de corte esta alrededor de los 20Hz y su frecuencia superior de corte varía según la ganancia. Aun así, esta variación no es mucha, pues lo que se busca en los amplificadores de ganancia programable es que la frecuencia de corte superior se mantenga estable de acuerdo al ancho de banda requerido. El comportamiento para cada ganancia de este trabajo en el dominio de la frecuencia se muestra en la figura siguiente:

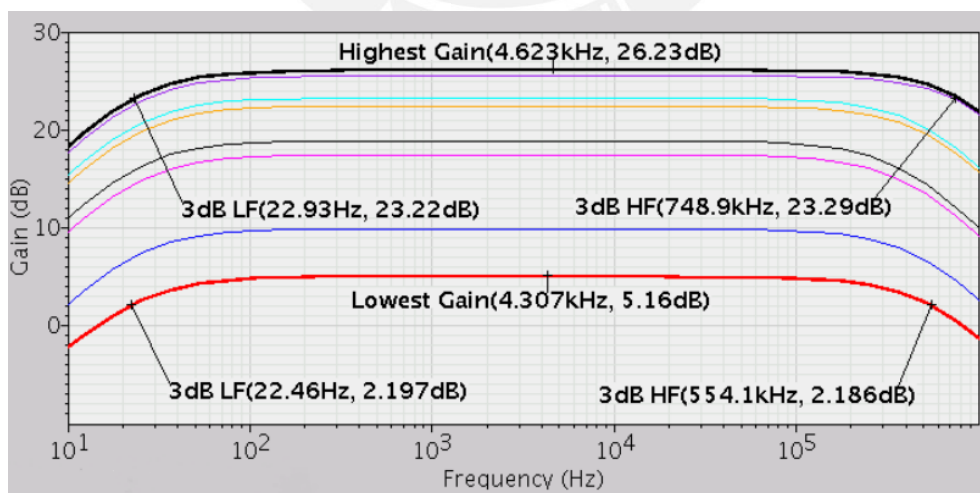


Figura 2.3. Respuesta en frecuencia del PGA [1].

### 2.2.2. An 8-Channel Fully Differential Analog Front-End for Neural Recording

Este trabajo propone un diseño del *front-end* de un sistema de adquisición de señales neuronales, el cual fue desarrollado en conjunto por investigadores del Institute of Semiconductors, Chinese Academy of Sciences y la South China University of Technology, las cuales son instituciones chinas abocadas al desarrollo tecnológico.

La arquitectura propuesta (Fig. 2.4) para el chip de registro de actividad neuronal, diseñado y fabricado en  $0.18\mu\text{m}$  CMOS, consiste en 8 *fully differential* canales, un multiplexor analógico de división de tiempo (TDM), un SAR ADC, una interfaz periférica serie (SPI) y una unidad de control digital. Además, cada canal de grabación consta de un preamplificador, un PGA con ocho ajustes de ganancia y un filtro Bessel SC de cuarto orden para rechazar el ruido de alta frecuencia.

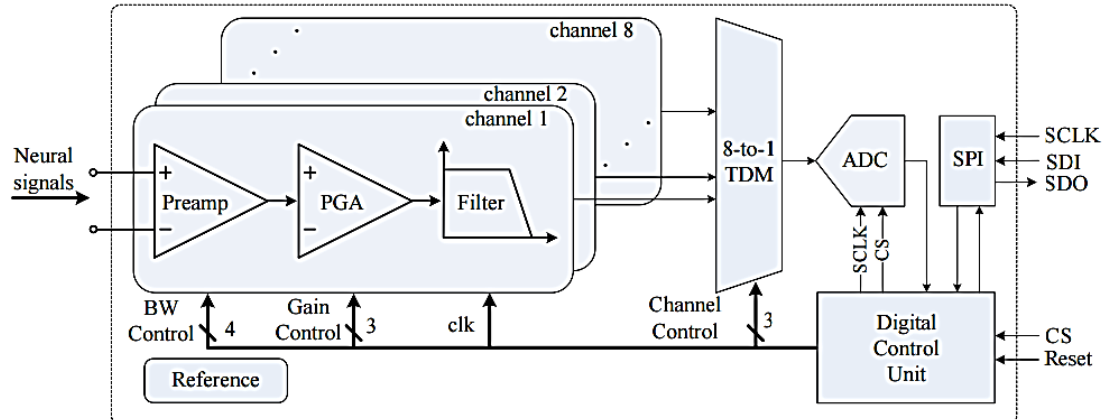


Figura 2.4. Arquitectura del sistema de adquisición de señales neuronales [2].

En cuanto al PGA, este trabajo emplea una topología (Fig. 2.5) *fully differential* con red de resistencia de realimentación, la cual consiste en ocho interruptores y un arreglo de resistencias con distintos valores. Así mismo, al usar esta topología *fully differential* se ve necesaria la inclusión de un circuito CMFB para determinar los voltajes de modo común en la salida del amplificador, mediante un voltaje de referencia.

La ganancia del PGA está dada por  $R/R_i$ , donde  $R_i$  es uno de los ocho valores ( $R_1, R_2, \dots, R_8$ ) elegido de la red de resistencias. Para poder controlar los interruptores el diseño emplea 3 entradas digitales (PGA2 - PGA0) controladas mediante SPI. Estas ganancias varían desde los 9dB hasta los 24dB. El resultado de este diseño puede verse reflejado en la Fig. 2.6, donde se muestra la respuesta en frecuencia del PGA lograda con este diseño.

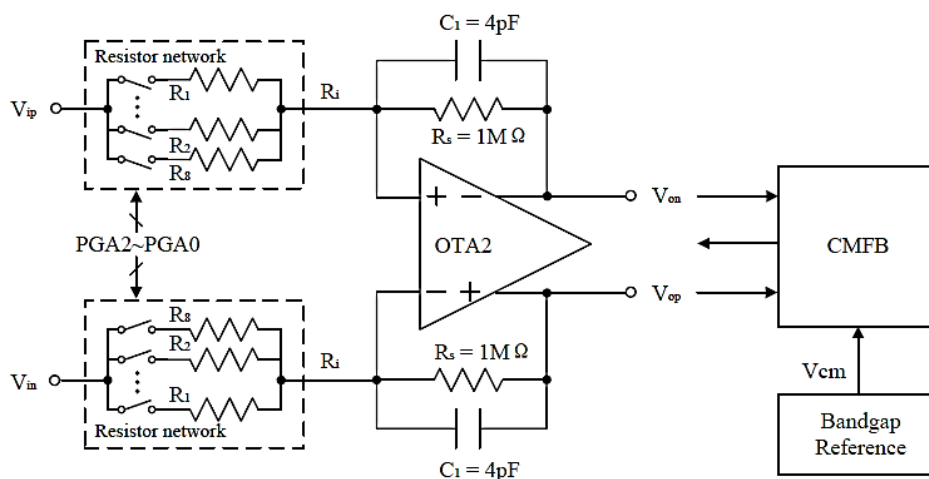


Figura 2.5. Esquemático del PGA *fully differential* con red de realimentación resistiva [2].

Hay que mencionar que el diseño considera que los canales del sistema tengan un ancho de banda y ganancia sintonizables, esto hace más versátil el sistema pues puede configurarse para adaptarse a diferentes grabaciones de biopotenciales como las señales del corazón. Así mismo, el sistema permite elegir cualquier subconjunto de los canales de grabación y diferente frecuencia de muestreo, lo cual lo convierte en un sistema muy flexible. Todos los 8 canales de grabación fueron probados exitosamente en pruebas de laboratorio. A continuación, en la Tabla 2.2, se muestra el resumen de las características del chip de adquisición de señales neuronales. En esta tabla se observa que la ganancia del sistema es de 53dB a 68dB, esto debido a que la etapa de preamplificación tiene una ganancia fija de 46.8dB.



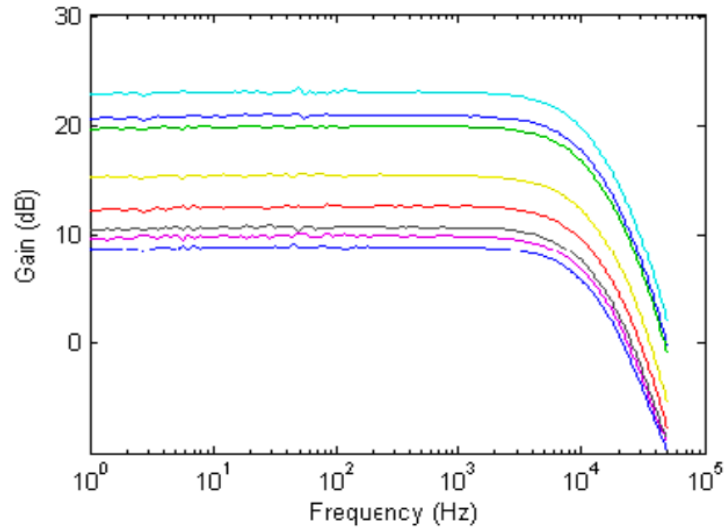


Figura 2.6. Comportamiento en frecuencia del PGA [2].

Tabla 2.2. Parámetros del sistema de adquisición de señales [2].

Parameter	Measured Value
Technology [ $\mu\text{m}$ ]	0.18
Channels	8
Chip area [ $\text{mm}^2$ ]	6.25
Technology [ $\mu\text{m}$ ]	0.18
Supply voltage [V]	1.8
Input-referred noise [ $\mu\text{V}_{\text{rms}}$ ]	3.77
Programmable gain [dB]	53-68
Low cut-off frequency [Hz]	0.1-300
High cut-off frequency [Hz]	6.4k
Sampling rate/channel [kS/s]	0-20
ADC ENOB (with sign bit)	7.4
Average power/channel [mW]	1.36

Las instituciones y sus investigadores involucrados en el desarrollo de este *front-end* tienen pensado en un trabajo futuro, que este chip incorpore función de compresión de datos y telemetría inalámbrica para la transmisión de grandes cantidades de datos.

### 2.2.3. Low Voltage Digitally Programmable Gain and Bandwidth Fully Differential CMOS Neural Amplifier

El Departamento de Ingeniería Eléctrica y Electrónica de la German University in Cairo y el Departamento de ingeniería del Egyptian Atomic Energy Authority, ambas instituciones ubicadas en el Cairo-Egipto, presentaron el diseño de un amplificador neural *fully differential* de ganancia y ancho de banda programable usando tecnología CMOS de 90nm, la publicación del trabajo fue el año 2012.

Este amplificador puede programarse de 30 dB a 70 dB, teniendo un consumo de energía total de  $12.48\mu\text{W}$ , y un ruido de entrada de  $6\mu\text{V}/\text{Hz}$  sobre el rango de señal LFP y  $154\text{nV}/\text{Hz}$  para señales de *spikes*. Además, la frecuencia de corte inferior del amplificador se puede programar digitalmente utilizando una nueva estructura de pseudo resistencia

La estructura que emplea este amplificador neural es *fully differential* con red de realimentación de bancos de condensadores como se muestra en la Fig. 2.7. El amplificador se compone de un amplificador de transconductancia variable (OTA), con una pseudo resistencia MOS-bipolar de retroalimentación en paralelo con un condensador para lograr una baja frecuencia de corte.

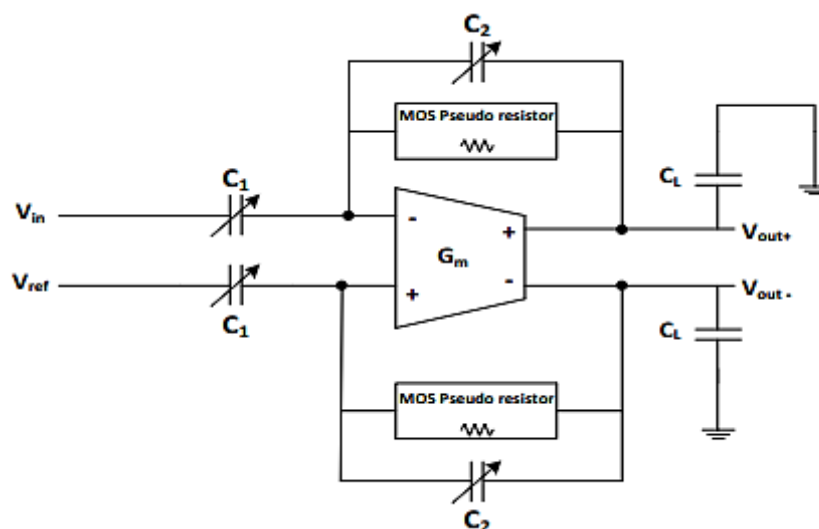


Figura 2.7. Esquemático del PGA *fully differential* con red de realimentación capacitiva [6].

Un aporte de este trabajo es la introducción de una pseudo resistencia al diseño del PGA con el fin de rechazar los grandes desplazamientos de dc (300mV) en la interfaz célula-electrodo. Además, plantean la realización de estas con transistores NMOS (Fig. 2.8); ya que, son menos sensibles a la corriente de fuga que aumenta dramáticamente en las tecnologías bajas, como la empleada en esta investigación. Las pruebas de la pseudo resistencia fueron realizadas en LTspice. Los valores de obtenidos usando esta implementación, son del orden de  $10^{12}$  ohmios, lo cual es un valor alto; por ello, ayuda a reducir las distorsiones en baja frecuencia causadas por grandes señales de salida.

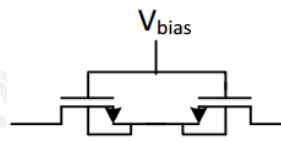


Figura 2.8. Circuito de la pseudo-resistencia [6].

Los resultados en el dominio de la frecuencia del amplificador con dieciséis ganancias diferentes se muestran en las Fig. 2.9 y 2.10, donde las ganancias de salida para señales LFP y *spikes* se logran usando cuatro bits de control diferentes 0001, 0010, 0100 y 1000 con ganancias 40 dB, 50 dB, 60 dB y 70 dB, respectivamente. Las ganancias de salida para las señales LFP mostradas en la Fig. 2.9, mientras que las ganancias de señales de picos se muestran en la Fig. 2.10. Las ganancias de salida difieren de la ganancia deseada con un error máximo de 3%.

Las pruebas de simulación han demostrado que el diseño es adecuado para señales LFP y *spikes*. Las simulaciones del amplificador neural han sido usando el *software* LTspice, con una fuente de alimentación de 1.2V.

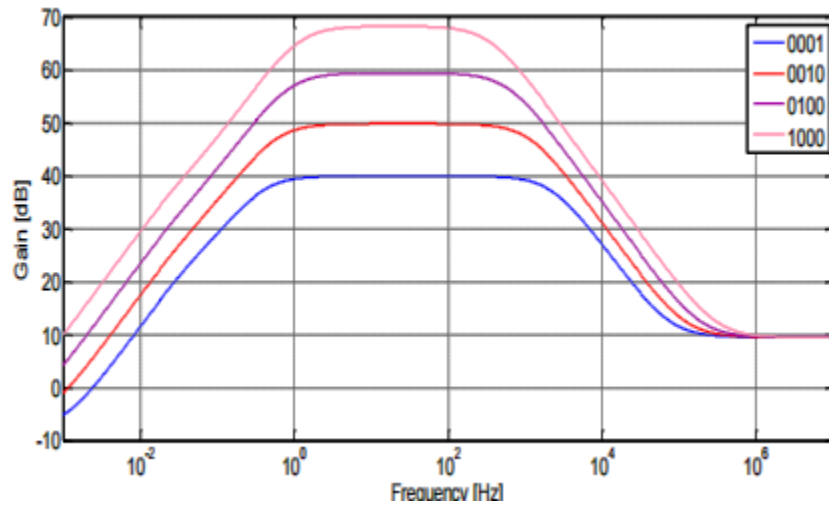


Figura 2.9. Respuesta en frecuencia para LFP [6].

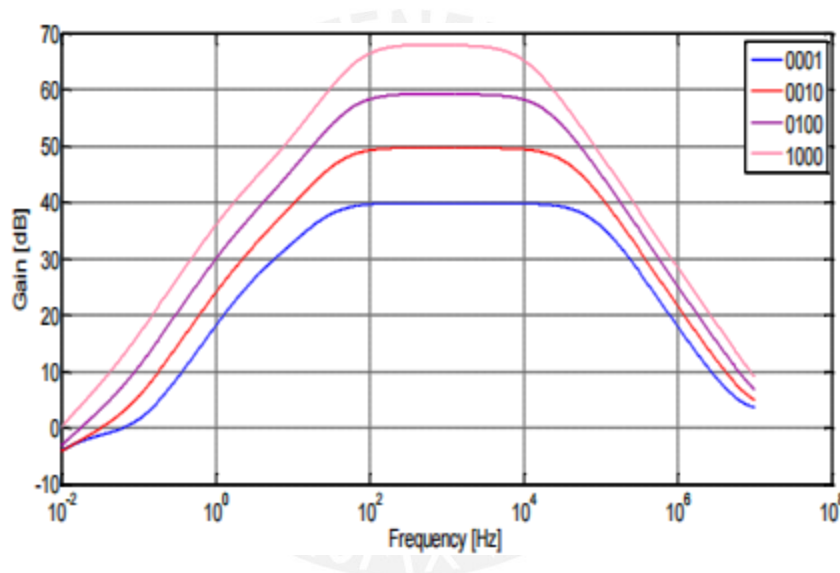


Figura 2.10. Respuesta en frecuencia para spikes [6].

#### 2.2.4. Desempeño de amplificadores de diversos trabajos de investigación para sistemas de adquisición

Se han expuesto algunos de los trabajos más actuales en cuanto al diseño de sistemas de adquisición de señales y del bloque amplificador PGA, con ellos se ha abarcado las principales topologías del amplificador neuronal. Para poder resumir el desempeño de otros trabajos se presentan las siguientes tablas:

Tabla 2.3. Desempeño de diversas investigaciones de PGAs para sistemas de adquisición de señales.

Parámetro	[10]	[2]	[6]
Fuente de Alimentación	3.3V	1.8V	1.2V
Tecnología CMOS	0.5um	0.18um	90nm
Consumo de potencia	13.7uW	1.36mW	12.48uW
Ruido en la entrada	5.8uV	3.77uV	6uV
Ganancia	48,57 dB; 75, 79 dB	9dB – 24 dB	30 – 70dB
Ancho de Banda	<0.7 – 300 Hz; 1.95 – 5.4 KHz	300 – 6.4K Hz	0.5m - 10.47K Hz
Área	0.1185 mm <sup>2</sup>	6.25 mm <sup>2</sup>	-

Tabla 2.4. Desempeño de diversas investigaciones de amplificadores para sistemas de adquisición de señales.

Parámetro	[15]	[16]	[13]	[17]
Fuente de Alimentación	1V	2.8V	1.8V	2.5V
Tecnología CMOS	0.13um	0.5um	0.18um	1.5um
Consumo de potencia	12.5uW	7.56uW	7.92uW	80uW
Ruido en la entrada	1.95uV	3.06uV	3.5uV	2.2uV
Ganancia	38.2dB	40.8dB	39.4 dB	39.5dB
Ancho de Banda	23m – 11.5K Hz	45 -5.3K Hz	10 – 7.2K Hz	25m – 2.7K Hz
Área	-	0.16mm <sup>2</sup>	0.0625mm <sup>2</sup>	0.16mm <sup>2</sup>

Tabla 2.5. Desempeño de diversas investigaciones de amplificadores para sistemas de adquisición de señales.

Parámetro	[18]	[19]	[14]
Fuente de Alimentación	3V	1.8V	3V
Tecnología CMOS	0.5um	0.18um	0.35um
Consumo de potencia	114.8uW	9uW	8.4 uW
Ruido en la entrada	7.8uV	5.29uV	6.08uV
Ganancia	40dB	40dB	33dB
Ancho de Banda	0.1 – 10K Hz	16 - 5.3K Hz	10 – 5K Hz
Área	0.107mm <sup>2</sup>	-	0.02mm <sup>2</sup>

### 2.3. Técnicas de variación de ganancia y topologías de PGA

La Fig.2.11 muestra las cuatro técnicas básicas de variación de ganancia. La Fig.2.11(a) es un divisor de corriente, la relación de división se determina por el voltaje de control  $V_c$ . La característica cuadrática del divisor de corriente hace que sea difícil realizar un ajuste de ganancia lineal. Toda la linealidad está limitada por el transconductor de entrada que genera la corriente  $I_i$  [5].

La transconductancia del par diferencial que se muestra en la Fig.2.11 (b) se varía mediante el cambio de la corriente de polarización de los transistores. La ganancia del circuito y el ruido de entrada son proporcionales a  $g_m$  y a la raíz cuadrada de  $1/g_m$  de los transistores de entrada, respectivamente. Cuando la señal de entrada es débil, se necesita una corriente de polarización grande para obtener una alta ganancia. Por otro lado, cuando la señal de entrada es grande, la baja corriente de polarización puede degradar la linealidad [5].

En la Fig.2.11 (c), la transconductancia del par diferencial se varía cambiando la resistencia  $R_s$ . Si se tiene una débil señal de entrada, una pequeña  $R_s$  se utiliza para obtener una alta ganancia y bajo ruido. Cuando la señal de entrada es grande, se usa un  $R_s$  grande para obtener una ganancia baja y alta linealidad. Por lo tanto, esta topología puede lograr una constante relación señal ruido, independientemente de los ajustes de ganancia [5].

En la Fig.2.11 (d) se muestra un amplificador de alta ganancia con una red de resistencias de realimentación. Su ganancia de tensión puede variarse cambiando las proporciones de  $R_f/R_1$  y  $R_f/R_2$ . Esta topología se basa en una red de impedancias realimentada, en este caso resistencias. Alta linealidad se puede lograr si la ganancia del lazo es grande y la red de impedancias es lineal [5].

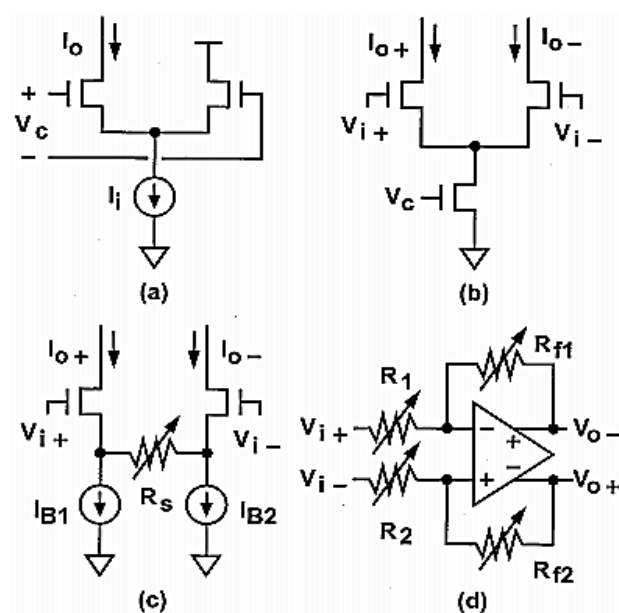


Figura 2.11. Topologías básicas para variación de ganancia [5].

La última topología mostrada, la Fig. 2.11 (d) se basa en una red de realimentación de impedancias, estas pueden ser una red de resistencias o una red de condensadores. Por un lado, cuando la red de realimentación es de resistencias se le denomina PGA resistivo. En este caso el valor de la resistencia es programable digitalmente y hay que considerar la energía que estas

consumen. Por otro lado, cuando se emplea una red de condensadores de realimentación se le denomina PGA capacitivo y a diferencia de la red de resistencias estas almacenan y entregan energía al sistema.

Así mismo, con la configuración de la Fig. 2.11 (d), según como se aplique la señal en la entrada y como se obtenga en la salida, esta puede ser *single ended* o *fully differential*. En la primera, la información se encuentra es aplicada en una de las entradas sobre un nivel de referencia y posee una única salida. En la segunda, la información está contenida en la diferencia de dos entradas y la salida amplificada en la diferencia de las salidas, posee dos salidas, lo cual hace el amplificador más robusto al ruido.

## 2.4. Elección de topología

Los sistemas de adquisición de señales neuronales considerados para el presente trabajo son los que emplean métodos invasivos; ya que, estos métodos nos permiten tener acceso a mayor cantidad de información del cerebro, lo cual implica que dicha información pueda ser usada en la realización de aplicaciones más complejas.

Se han expuesto algunos sistemas de adquisición de biopotenciales, distintas técnicas para la variación de ganancia, topologías de amplificadores de ganancia programable. Así mismo, se ha observado los esfuerzos que se emplean en la reducción del consumo de energía de cada uno de los bloques que conforman el sistema de adquisición de señales y por ende en el PGA.

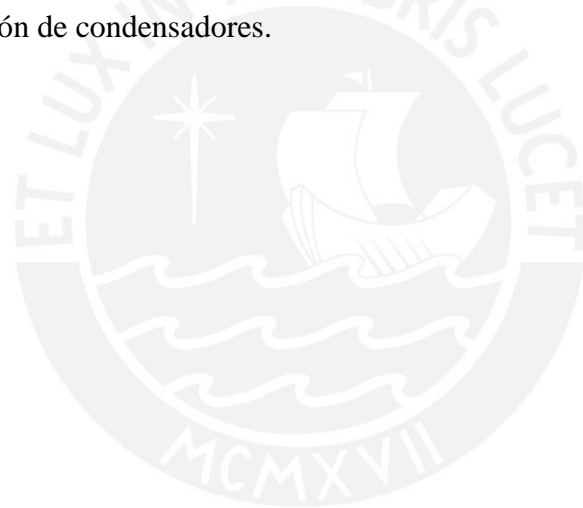
En cuanto a las técnicas para lograr una ganancia variable, la que más usada en los trabajos de investigación es la expuesta en la Fig.2.11 (d); debido a ser la única lineal de las 4 expuestas. La linealidad en un PGA es útil en aplicaciones de procesamiento de señales neuronales; por ejemplo, para poder distinguir a que neurona pertenece cada señal en un



proceso de adquisición de señales neuronales, se utiliza el procesamiento digital. La técnica de procesamiento empleado se llama *spike sorting* y consiste en que los impulsos neuronales que tienen la misma forma se asumen que son de la misma neurona; dado que, la forma es importante, entonces la linealidad es importante.

Entre las topologías PGA resistivo y PGA capacitivo, en los trabajos de investigación como el de los investigadores Khaled Al-Ashmouny, Sun-II Chang y Euisik Yoon, se observa que el uso de condensadores como red de realimentación y no de resistencias, incide en un menor consumo de energía, lo cual es requerido en los circuitos integrados.

Por lo expuesto anteriormente, en el presente estudio diseñará un PGA *fully differential*, con red de realimentación de condensadores.



## Capítulo 3

# Diseño del Amplificador de Ganancia Programable

En este capítulo se exponen los requerimientos del amplificado de ganancia programable; así mismo, se presenta el proceso de diseño a seguir para poder dimensionar los transistores.

En el diseño se tiene tener en cuenta los *trade-offs* presentes en todo diseño analógico. Son muchos parámetros los de interés en el caso de los amplificadores desde la ganancia, la velocidad, la disipación de potencia, la tensión de alimentación, la linealidad, el ruido, etc. En la práctica, la mayoría de estos parámetros se intercambian entre sí, haciendo del diseño un problema de optimización multidimensional (Fig. 3.1).

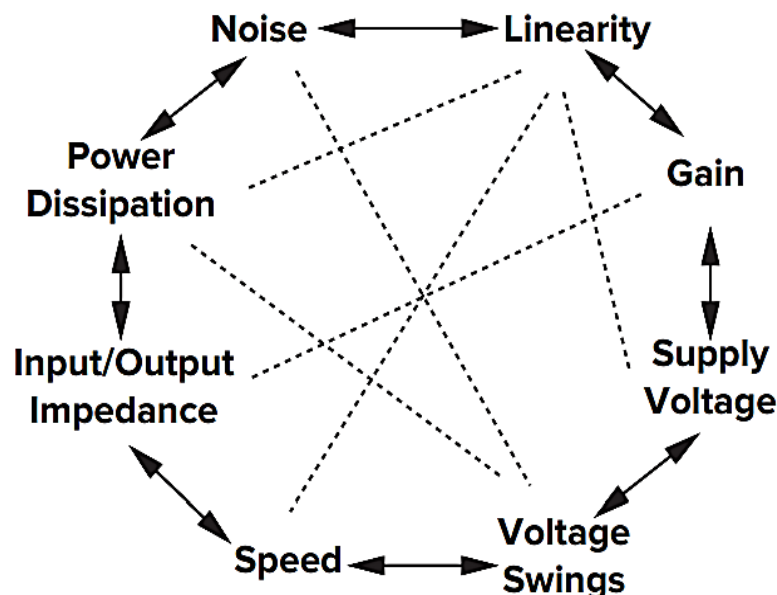


Figura 3.1. Octágono de diseño analógico [11].

### 3.1. Identificación de bloques a diseñar del PGA

El PGA se puede separar en dos bloques principales (Fig. 3.2): el bloque B1, el amplificador operacional (op-amp) *fully differential*, y el bloque B2, la red de realimentación de condensadores. El bloque B1 es la base sobre la cual se diseña el PGA; debido a que las características sobre las cuales se diseñe este bloque son fundamentales para poder alcanzar los requerimientos del PGA. En este bloque se encuentran dos sub-bloques o circuitos importantes en el funcionamiento del op-amp: un circuito de polarización (espejos de corriente) y un circuito de realimentación en modo común (CMFB). El bloque B2 está conformado por C2, condensador de valor fijo, y por C1, que representa a un arreglo de condensadores conectados en paralelo y programables digitalmente.

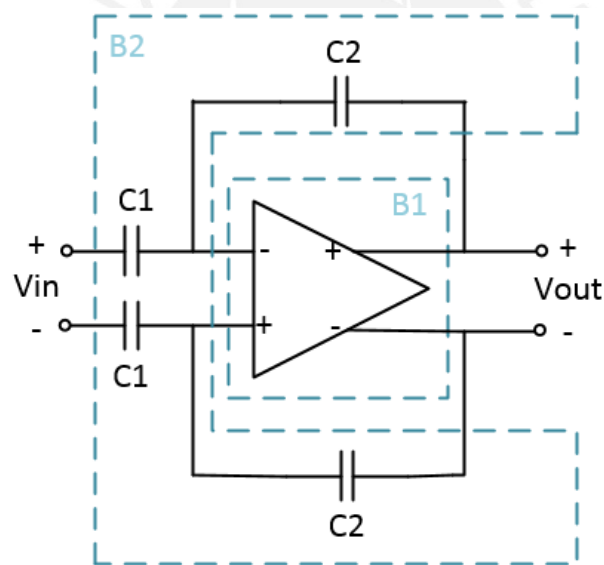


Figura 3.2. Identificación de bloques del PGA.

### 3.2. Principales parámetros que caracterizan a un op-amp

Las características de los parámetros del op-amp son fundamentales para el diseño del PGA; por ello, se describen a continuación los principales parámetros de este.

### 3.2.1. Ganancia

La ganancia de un amplificador es el valor adimensional que da como resultado comparar la señal de salida con la señal de entrada de un amplificador. En el caso de los amplificadores diferenciales existen cuatro ganancias del amplificador.

$$A_{dm} = \frac{\textit{salida modo diferencial}}{\textit{entrada modo diferencial}} \quad (3.1)$$

$$A_{cm} = \frac{\textit{salida modo común}}{\textit{entrada modo diferencial}} \quad (3.2)$$

$$A_{dm - cm} = \frac{\textit{salida modo común}}{\textit{entrada modo diferencial}} \quad (3.3)$$

$$A_{cm - dm} = \frac{\textit{salida modo diferencial}}{\textit{entrada modo común}} \quad (3.4)$$

### 3.2.2. Relación de rechazo al modo común (CMRR)

La relación de rechazo al modo común es una comparación significativa en los circuitos diferenciales para la medida de la componente diferencial indeseable producida por las variaciones de la entrada en modo común. La definimos como la ganancia deseada dividida por la ganancia no deseada [11].

$$CMRR = \left| \frac{A_{dm}}{A_{cm - dm}} \right| \quad (3.5)$$

### 3.2.3. Ancho de banda

El ancho de banda es el rango de frecuencias en el cual el amplificador mantiene su ganancia constante hasta que esta haya caído en -3db, esto se puede apreciar en la Fig. 3.3. Además, el ancho de banda se encuentra relacionada con la ganancia del amplificador debido al producto ganancia-ancho de banda (GBW).

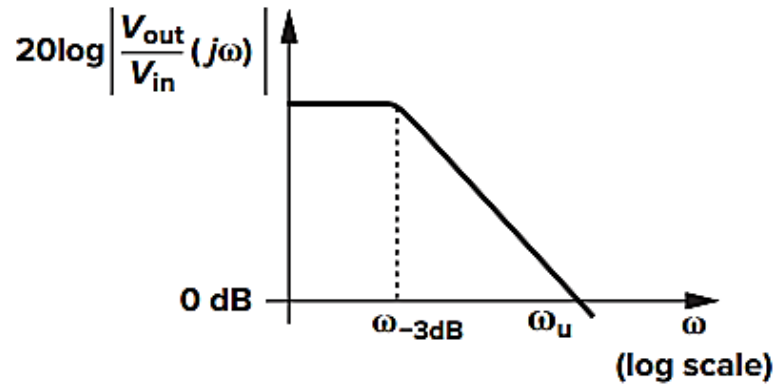


Figura 3.3. Ancho de banda desde 0 a  $\omega_{-3dB}$  [11].

### 3.2.4. Margen de fase

El margen de fase (PM) proporciona una medida cuantitativa de cuán cerca está un sistema de retroalimentado a una situación de inestabilidad. El margen de fase se define como el cambio de fase adicional que se requeriría en la frecuencia de la ganancia unitaria para causar inestabilidad [20]. La definición se ilustra gráficamente en la Fig. 3.4.

$$PM = \angle L(\omega_t) + 180^\circ \quad (3.6)$$

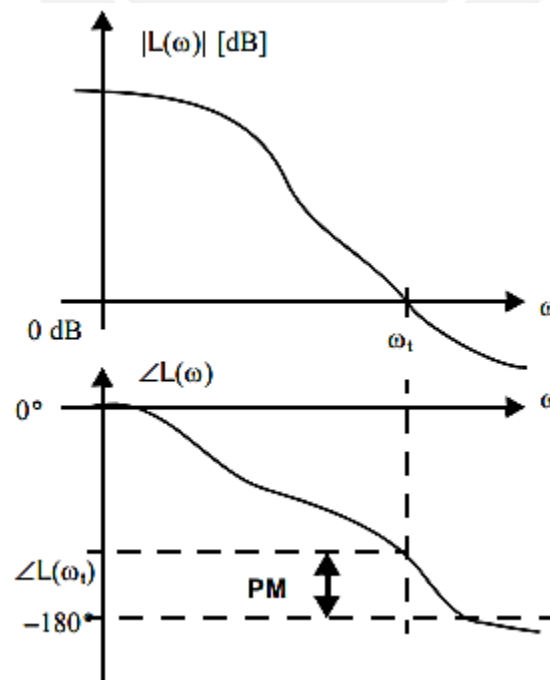


Figura 3.4. Margen de fase [20].

### 3.2.5. Slew Rate

El *slew rate* es una característica que debe ser considerado en el diseño de amplificadores; ya que, mientras que en pequeña señal el ancho de banda nos da información sobre qué tan rápida es la respuesta en el dominio del tiempo, en gran señal la velocidad puede estar limitada por el *slew rate* debido a que la corriente disponible para cargar y descargar el condensador dominante en el circuito es pequeña.

### 3.2.6. Relación de rechazo a la interferencia de la fuente (PSRR)

Los amplificadores y otros circuitos analógicos son usualmente alimentados con fuentes ruidosas, por lo que los amplificadores deben rechazar el ruido adecuadamente. La relación de rechazo a la interferencia de la fuente de alimentación (PSRR) se define como la relación entre el cambio de tensión de alimentación en la entrada dividida por los cambios de voltaje que genera a la salida. Un valor elevado de PSRR garantiza una mayor robustez del amplificador frente a variaciones de la fuente debido a ruido [11].

## 3.3. Análisis de diseño del amplificador operacional fully differential

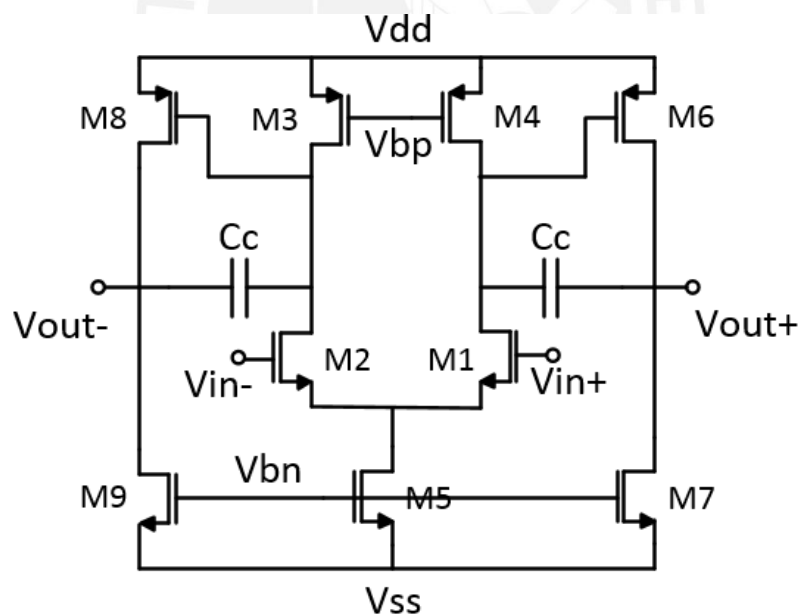
Los amplificadores operacionales son uno de los circuitos más versátiles en el diseño analógico. En el presente trabajo se empleará un amplificador operacional *fully differential*; es decir, con entradas y salidas diferenciales. En la mayoría de aplicaciones de circuitos integrados es deseable tener señales diferenciales; debido a sus ventajas: cancelación de ruido en modo común, incremento de rango de oscilación de la señal de salida [22]. A continuación, se hace una comparación de las distintas topologías de amplificadores operacionales en la Tabla 3.1.

Tabla 3.1. Desempeño de varias topologías de op-amp [23].

1=Bajo -- 5= Alto.

Topología	Ganancia	Velocidad	Output Swing	Ruido	Disipación de Potencia
<i>Telescopic</i>	3	5	2	2	2
<i>Folded-cascode</i>	3	4	3	3	3
<i>Multi-Stage</i>	5	2	5	2	3
<i>Gain-Boosted</i>	4	3	3	3	5

Como se observa en la Tabla 3.1, la topología de múltiples etapas daría como resultado una ganancia mayor y un consumo de potencia media. El amplificador *folded cascode* también da como resultado un consumo de potencia medio, pero proporciona una ganancia media. Por lo mencionado anteriormente, la topología que a emplear en este trabajo es la de múltiples etapas; específicamente, dos etapas (Fig. 3.5).

Figura 3.5. Amplificador de dos etapas *fully differential* con compensación Miller.

La introducción de un condensador de compensación de Miller ( $C_c$ ), conectado entre la entrada y la salida de la segunda etapa de amplificación, se debe a asegurar la estabilidad del

amplificador. Su principal función es alejar el primer y segundo polo, los cuales se identificarán en el análisis de pequeña señal, para así lograr un margen de fase adecuado para la estabilidad.

### 3.3.1. Consumo de energía

La energía utilizada por el amplificador para su correcto funcionamiento y es el resultado de la disipación de potencia del amplificador por una unidad de tiempo. En la mayoría de circuitos integrado se busca un diseño de baja potencia; ya que, los dispositivos portátiles o implantables cuentan con fuentes limitadas de energía.

### 3.3.2. Análisis de pequeña señal

El modelo del transistor MOS empleado para el diseño es el modelo cuadrático. La ecuación para la región de saturación de este modelo es la (3.7) para transistores NMOS.

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \quad (3.7)$$

A continuación, se realiza el modelo de pequeña señal de la topología de amplificador elegida (Fig. 3.5), pero primero se expresan en (3.8) las consideraciones de ciertas igualdades en los transistores; es decir, transistores que poseen el mismo factor de forma (W/L).

$$M_2 = M_1 ; M_3 = M_4 ; M_9 = M_7 ; M_8 = M_6 \quad (3.8)$$

Debido a estas igualdades y a la topología simétrica del amplificador, se puede utilizar el concepto de análisis de medio circuito.

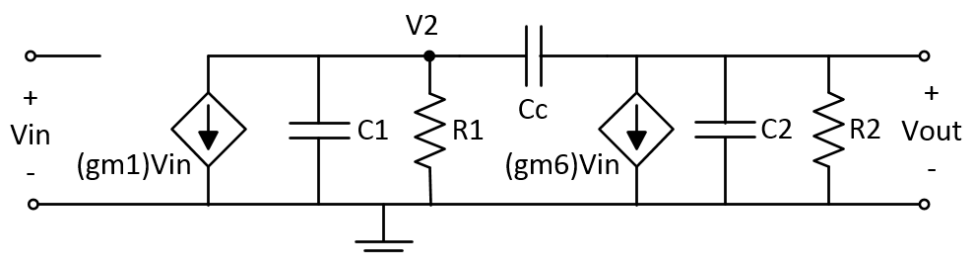


Figura 3.6. Modelo de pequeña de amplificador de la Fig.3.5, empleando análisis de medio circuito.



Donde:

$$R1 = r_{ds1} // r_{ds4}, R2 = r_{ds7} // r_{ds6} \quad (3.9)$$

$$C1 = C_{db2} + C_{db4} + C_{gs6}, C2 = C_L + C_{db6} + C_{db7} \quad (3.10)$$

En el cálculo de la ganancia de lazo abierto, rango de frecuencias donde la amplificación se mantiene constante, podemos despreciar a C1 y C2. Entonces nuestra ganancia sería el producto de ganancia de cada etapa.

$$A = A_1 A_2 = gm_1 R1 gm_6 R2 \quad (3.11)$$

Para hacer el análisis del comportamiento en frecuencia del modelo de pequeña señal, se necesita realiza el cálculo de la función de transferencia.

$$\frac{V_{out}}{V_{in}} = \frac{gm_1 gm_6 R1 R2 (1 - s \frac{Cc}{gm_6})}{1 + s[R1(C1 + Cc) + R2(C2 + Cc) + gm_6 R1 R2 Cc] + s^2[R1 R2 (C1 C2 + Cc C1 + Cc C2)]} \quad (3.12)$$

De la función de transferencia se pueden identificar dos polos y un cero:

$$p1 \approx \frac{-1}{gm_6 R1 R2 Cc}, p2 \approx \frac{-gm_6}{C1 C2 + Cc C1 + Cc C2} \approx \frac{-gm_6}{C_L}, z = \frac{gm_6}{C_c} \quad (3.13)$$

A partir de (3.11) y (3.13) se calcula el producto ganancia ancho de banda:

$$GBW = A * |p1| = \frac{gm_1}{2\pi C_c} \quad (3.14)$$

### 3.3.3. Análisis de estabilidad

Para hacer este análisis se emplean los polos y ceros de la función transferencia ya expresados en (3.13). Se debe cumplir lo siguiente para asegurar un PM > 60°:

$$180^\circ - \tan^{-1}\left(\frac{\omega}{|p1|}\right) - \tan^{-1}\left(\frac{\omega}{|p2|}\right) - \tan^{-1}\left(\frac{\omega}{z}\right) = 60^\circ \quad (3.15)$$

Con  $\omega = GBW$  y asumiendo que  $z \geq 10GBW$ :

$$gm_6 = 10gm_1 \rightarrow p_2 \geq (2.2)GBW \rightarrow C_c \geq 0.22C_L \quad (3.16)$$

De esta forma se puede dimensionar el condensador de Miller a partir la carga que será conectada al amplificador ( $C_L$ ).

### 3.3.4. Circuito de polarización: Espejo de corriente

Los espejos de corriente tienen como característica reproducir, atenuar o amplificar una corriente de referencia. Su funcionamiento se basa en la elevada resistencia de salida de los transistores cuando estos se encuentran en saturación. En los amplificadores operacionales es el encargado de la polarización de las etapas amplificadoras [11]. Así se tiene que el circuito de polarización (Fig. 3.7) se utiliza para copiar las corrientes en los transistores M5, M7 y M9 de la Fig. 3.5.

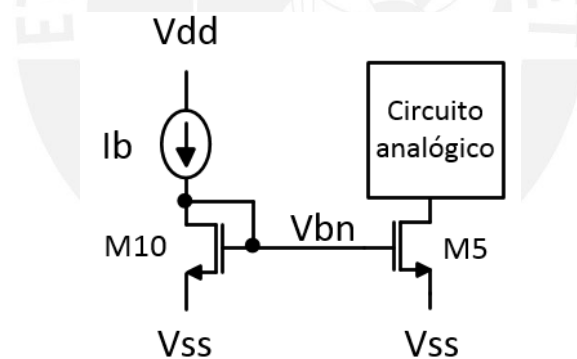


Figura 3.7. Espejo de corriente para polarización.

Haciendo un análisis para la copia de corriente solo para el transistor M5 a partir de ecuación del modelo de transistor vista en (3.7).

$$I_b = \frac{1}{2} \mu_n C_{ox} \left( \frac{W}{L} \right)_{10} (V_{GS} - V_{TH})^2 \quad (3.17)$$

$$I_{D5} = \frac{1}{2} \mu_n C_{ox} \left( \frac{W}{L} \right)_5 (V_{GS} - V_{TH})^2 \quad (3.18)$$

Al dividir 3.17 entre 3.18. Se obtiene:

$$I_{D5} = \frac{(W/L)_5}{(W/L)_{10}} I_b \quad (3.19)$$

Lo clave en el circuito de la Fig. 3.7 es que permite una copia precisa de la corriente independientemente del proceso y de la temperatura. La relación de corrientes, implica simplemente la proporción de dimensiones del dispositivo, lo cual puede controlarse razonablemente [11].

### 3.3.5. Circuito de realimentación en modo común (CMFB)

En los op-amp *fully differential*, la realimentación aplicada no determina los voltajes de modo común. Por lo tanto, es necesario añadir circuitos adicionales para conocer la tensión en modo común de salida y controlarla para que sea igual a una tensión de referencia, normalmente la mitad de la tensión de alimentación. Estos circuitos son denominados circuitos de retroalimentación en modo común (CMFB). Se desea que la tensión de modo común de en la salida sea conocida; ya que, esta podría variar drásticamente de chip a chip, con la temperatura y con variaciones de la tensión de alimentación. Así mismo, si esta tensión está muy próxima de uno de los *rails* afectaría el rango de voltaje que se podría amplificar sin distorsión.

En el presente trabajo el CMFB (Fig. 3.8) copia la mitad de corriente que pasa por M5 (Fig. 3.5) en los transistores M16 y M17. Luego copia esa corriente aumentada o disminuida en un cierto valor mediante el transistor M11 a los transistores M3 y M4 (Fig. 3.5). Este valor que se aumenta o se disminuye depende de la comparación de los voltajes sensados a la salida de la última etapa amplificadora  $V_{out+}$  y  $V_{out-}$ , los cuales compara con un nivel de referencia  $V_{ref}$ . Así el amplificador operacional tiene a la salida en voltaje en modo común el mismo valor que el voltaje  $V_{ref}$ .

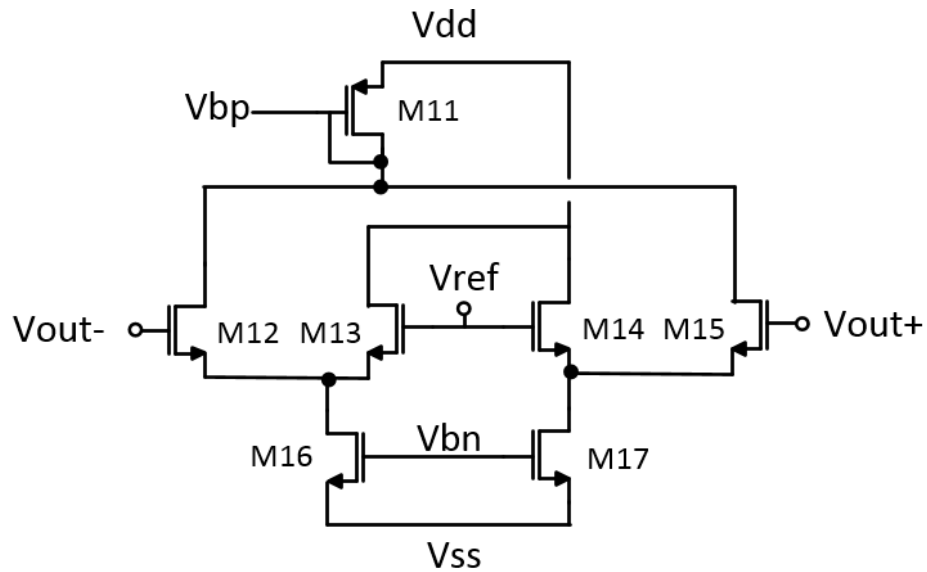


Figura 3.8. Esquemático del CMFB.

### 3.4. Especificaciones de diseño

Una vez presentados los principales circuitos para el diseño, se definen las especificaciones que tendrá el PGA. Los requerimientos se definen a partir de las características de las señales neuronales expuestas en el Capítulo 1, se toma como señales de interés a los *spikes* que van de 100Hz hasta 10KHz. Así mismo, se consideran los trabajos previos que se han descrito en el Capítulo 2. Estos requerimientos se resumen en la Tabla 3.2.

Tabla 3.2. Especificaciones del PGA.

Parámetro	Especificación
Tecnología [ $\mu\text{m}$ ]	0.35
Número de canales	1
Alimentación [V]	3.3
Número de ganancias	8
Ganancia[dB]	6-29
Margen de fase [°]	>60
Frecuencia inferior de corte [Hz]	20
Frecuencia superior de corte [Hz]	20K
Capacitancia de carga [fF]	100

### 3.5. Dimensionamiento de los transistores del op-amp

El proceso para el dimensionamiento de los transistores implica utilizar ciertos criterios de diseño. Debido a que, en la mayor parte de ocasiones, como en este, el diseñador tiene muchas variables y pocas ecuaciones. Así mismo, el diseñador debe considerar las limitaciones del modelo, el cual en este caso es el modelo cuadrático. Si bien este modelo es muy fácil de entender y emplear, su sencillez hace que no se consideren muchos factores que cambian el comportamiento del transistor.

Por lo expuesto en el anterior párrafo, se hace necesario realizar ajustes de dimensiones a los primeros cálculos realizados. Ajuste que se realiza según los resultados obtenidos.

#### 3.5.1. Etapas amplificadoras

De los requerimientos, frecuencia de corte superior es de 20KHz y la mayor ganancia es de 29dB, un GBW para el diseño del amplificador operacional es más que suficiente con 1MHz. Un mayor GBW sería desperdiciar ancho de banda, lo cual se traduce en un mayor consumo de energía.

Si bien la capacitancia de carga del PGA es de 100fF, el PGA usa una red de condensadores de realimentación que se cargarán a la salida del amplificador operacional. Los condensadores que se proponen emplear para C1 y C2 son desde 200fF hasta 2.9pF para C1 y 100fF para C2. Entonces la carga para el amplificador operacional es C1 en serie con C2 y el resultado de ello paralelo con la capacitancia de carga, este resultado no supera los 200fF:

$$C_L = 200fF \quad (3.20)$$

El diseño del amplificador, se inicia a partir de los requerimientos de estabilidad; para ello, se emplea (3.16):

$$C_C \geq 44fF \quad (3.21)$$

El condensador  $C_C$  no solo se encarga de hacer estable el lazo de realimentación en modo diferencial, sino que también en modo común. El criterio que en modo diferencial para el dimensionamiento de este condensador es el expuesto en (3.16). Sin embargo, la experiencia de diseño indica que para el menor valor obtenido de  $C_C$  de 44fF, no es suficiente para poder lograr un margen de fase mayor de  $60^\circ$  en el lazo de modo común. Así se es necesario mínimamente duplicar o triplicar este valor, lo cual seguiría cumpliendo con (3.16). Definiendo así el valor de  $C_C$ .

$$C_C = 120fF \quad (3.22)$$

El cálculo de  $gm_1$  del par diferencial se realiza reescribiendo (3.14) como (3.23):

$$gm_1 = 2\pi GBWC_c \quad (3.23)$$

$$gm_1 = 743nS \quad (3.24)$$

Usando el criterio (3.25) se calcula la corriente que pasa por la mitad del par diferencial:

$$\frac{gm_1}{I_{D1}} = 20 \quad (3.25)$$

$$I_{D1} = 37.7nA \quad (3.26)$$

A partir de la corriente de  $I_{D1}$  usando la ecuación de la transconductancia (3.27) se calcula el factor de forma de M1 y de M2:

$$g_m = \sqrt{2Kn * \frac{W}{L} * I_D} \quad (3.27)$$

$$\frac{W_{1,2}}{L_{1,2}} = 0.0444 \quad (3.28)$$

Este factor de forma para M1 y M2 es muy pequeño, entonces se optó por tomar un factor de forma distinto y mediante simulación, variando la corriente  $I_{D1}$ , se buscó obtener una transconductancia  $gm_1$  cercana a la calculada:

$$W_{1,2} = 32\mu m, L_{1,2} = 1\mu m \quad (3.29)$$

$$I_{D1} \approx 23nA \rightarrow I_b = 45nA \quad (3.30)$$

$$gm_1 = 702nS \quad (3.31)$$

Calculo de  $gm_6$  a partir de (3.16) y (3.31):

$$gm_6 = 7.02\mu S \quad (3.32)$$

Si consideramos que la corriente que pasa por M6 es igual al doble de la que pasa por M1; es decir, igual a  $I_b$ :

$$I_{D6} = 45nA \quad (3.33)$$

A partir de la corriente de  $I_{D6}$ , usando la ecuación de la transconductancia (3.27) se calcula el factor de forma de M6 y M8:

$$g_m = \sqrt{2Kn * \frac{W}{L} * I_D} \quad (3.34)$$

$$\frac{W_{6,8}}{L_{6,8}} = 3.22 \quad (3.35)$$

$$W_{6,8} = 4\mu m, L_{6,8} = 1\mu m \quad (3.36)$$

Se tiene así:

Tabla 3.3. Dimensiones de los transistores de las etapas amplificadoras.

Transistor	W( $\mu m$ )	L( $\mu m$ )
M1, M2	32	1
M6, M8	4	1

### 3.5.2. Espejos de corriente y CMFB

Para dimensionar el M10 del circuito de polarización, se utiliza corriente  $I_b$ , calculada en (3.30) y se escoge un  $V_{OV} = 50\text{mV}$ . Empleando (3.17) se tiene:

$$\frac{W_{10}}{L_{10}} = 0.212 \quad (3.37)$$

$$W_{10} = 1\mu\text{m}, L_{10} = 5\mu\text{m} \quad (3.38)$$

La corriente que pasa por M5 es  $I_b$ . Además, la misma corriente pasa por M6 y por ende por M7 y M9. Empleando la relación (3.19), se dimensiona los transistores M5, M7 y M9, considerando el mismo L para todos:

$$W_{5,7,9} = 1\mu\text{m}, L_{5,7,9} = 5\mu\text{m} \quad (3.39)$$

En cuanto al CMFB, los transistores M16 y M17, copian la mitad de la corriente  $I_b$ . Entonces empleando la relación (3.19) y considerando el mismo L:

$$W_{16,17} = 0.5\mu\text{m}, L_{16,17} = 5\mu\text{m} \quad (3.40)$$

La corriente que pasa por M11 es cercana al valor de la mitad de  $I_b$ . Se escoge un  $V_{OV}$  de  $75\text{mV}$  y empleando (3.17) se tiene:

$$\frac{W_{11}}{L_{11}} = 0.136 \quad (3.41)$$

$$W_{11} = 1\mu\text{m}, L_{11} = 7\mu\text{m} \quad (3.42)$$

Los transistores M3 y M4, copian la corriente de M11. Usando la relación de espejo de corriente (3.19) y considerando el mismo L:

$$W_{3,4} = 1\mu\text{m}, L_{3,4} = 7\mu\text{m} \quad (3.43)$$

Los transistores del CMFB: M12, M13, M14 y M15, que comparan los voltajes, se asume un factor de forma de 1. Obteniendo:



$$W_{12,13,14,15} = 1\mu m, L_{12,13,14,15} = 1\mu m \quad (3.44)$$

Tabla 3.4. Dimensiones de los transistores de espejo de corriente y CMFB.

Transistor	W( $\mu$ m)	L( $\mu$ m)
M10, M5, M7, M9	1	5
M3, M4, M11	1	7
M16, M17	0.5	5
M12, M13, M14, M15	1	1

### 3.6. Ajuste de dimensiones de los transistores del op-amp

Con las dimensiones obtenidas de diseño se realiza una simulación DC para hallar los puntos de operación de cada transistor. Los resultados se acercaban a lo esperado, excepto por  $gm_6$ , donde se obtuvo un valor menor al esperado. Por lo cual, se aumentó el  $W_6$  y la corriente  $I_{D6}$  para alcanzar el  $gm_6$  esperado de  $7.02\mu S$ . Sin embargo, al realizar un análisis stb o simulación de estabilidad, con el nuevo valor de  $gm_6$ , no cumplía la estabilidad. Así se aumentó más el valor de  $gm_6$ , elevando la corriente que pasa por M6 a  $14 \cdot I_b$ ; para ello, se redimensionó M7. Lo mismo se realizó los transistores simétricos a M6 y M7; es decir, M8 y M9, respectivamente.

El valor de  $gm_1$  simulado es un poco menor que el calculado; por lo cual, si se revisa la ecuación (3.14) el GBW debería disminuir y así fue. Se obtuvo  $GBW = 929KHz$ . Un valor muy cercano a lo esperado teóricamente, empleando (3.14), de  $932KHz$ . Si bien el GBW obtenido es menor al de diseño, sigue siendo superior al producto de la máxima ganancia y frecuencia de corte superior de los requerimientos del PGA.

Tabla 3.5. Ajuste de las dimensiones de los transistores de las etapas amplificadoras.

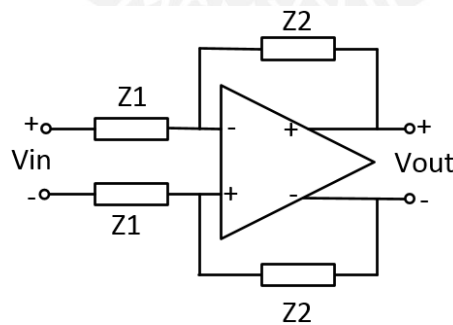
Transistor	W( $\mu$ m)	L( $\mu$ m)	gm( $\mu$ S)	ID(nA)
M1, M2	32	1	0.702	22.82
M6, M8	8	1	12.99	648.6

Tabla 3.6. Ajuste de dimensiones de los transistores de espejo de corriente y CMFB.

Transistor	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )	Vov(mV)	ID(nA)
M10	1	4	54.59	45.65
M5	1	4	54.59	45.65
M7, M9	14	4	54.59	648.6
M3.M4	1	5	85.06	22.83
M16, M17	0.5	4	-	25.24
M12, M15	1	1	-	11.42
M13, M14	1	1	58.43	13.84
M11	1	5	85.06	22.84

### 3.7. Red de realimentación de condensadores

El amplificador operacional diseñado, se realimenta con una red de condensadores para lograr las ganancias programables deseadas. En la Fig. 3.9 la ganancia se encuentra en función de las impedancias  $Z1$  y  $Z2$ . Reemplazando las impedancias  $Z1$  y  $Z2$  por condensadores  $C1$  y  $C2$ , respectivamente, se obtiene una ganancia de  $C1$  entre  $C2$ . Donde  $C1$  es un arreglo de condensadores (Fig. 3.10), cuyo control se realiza mediante tres señales digitales  $B<0..2>$ , para la obtener las distintas ganancias del PGA (Tabla 3.8).

Figura 3.9. Op-amp *fully differential* realimentado con red de impedancias.

$$\frac{V_{out}}{V_{in}} = -\frac{Z2}{Z1} \quad (3.45)$$

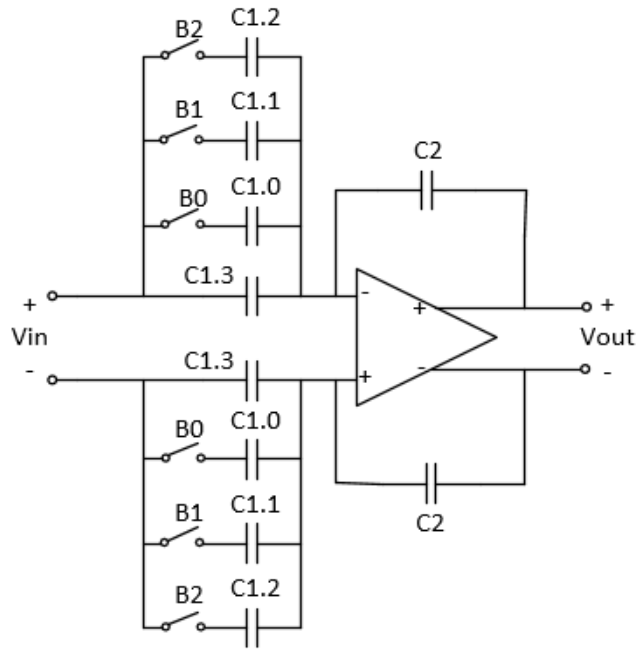


Figura 3.10. PGA con red de condensadores de realimentación.

Tabla 3.7. Dimensiones de la red de condensadores.

Condensador	Tamaño(fF)
C2	100
C1.3	200
C1.0	200
C1.1	800
C1.2	1600

Tabla 3.8. Ganancias obtenidas con la red de condensadores.

Ganancia(V/V)	Ganancia(dB)	B2	B1	B0
2	6	0	0	0
4	12	0	0	1
10	20	0	1	0
12	21.58	0	1	1
18	25.1	1	0	0
20	26	1	0	1
26	28.3	1	1	0
28	29	1	1	1

Si empleamos solo condensadores, en DC el op-amp no se encontraría realimentado. Esta realimentación en DC fija los puntos de operación según el diseño del op-amp; por ello, se agrega una resistencia en paralelo con C2 (Fig. 3.11).

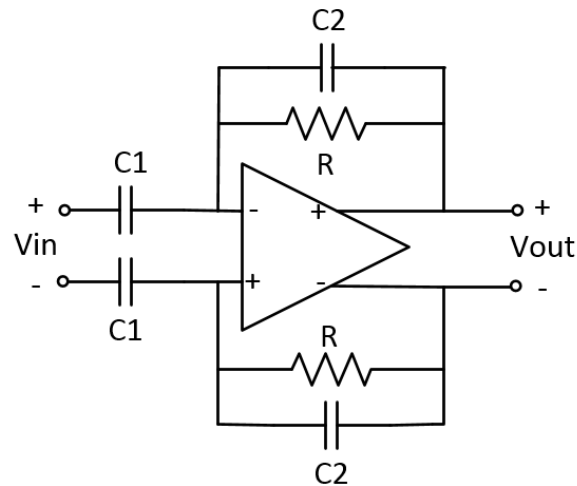


Figura 3.11. Resistencia R para realimentación DC del op-amp.

$$\frac{V_{out}}{V_{in}} = -\frac{R // \frac{1}{sC2}}{\frac{1}{sC1}} = -\frac{sC1R}{1 + sC2R} \quad (3.46)$$

De la ecuación (3.46) se concluye que esta configuración posee una función de transferencia de filtro pasa altos. La frecuencia de corte de este filtro está determinada por R y C2. Teniendo en cuenta que la frecuencia inferior de corte es de 20Hz según los requerimientos y el valor de C2 = 100fF, se calcula R:

$$f_{-3dB} = \frac{1}{2\pi RC2} = 20Hz \quad (3.47)$$

$$R \approx 80G\Omega \quad (3.48)$$

### 3.8. Disipación de potencia adaptada a la ganancia

De acuerdo a la ganancia configurada la frecuencia de corte superior cambia, esto debido a que el producto ganancia y ancho de banda es constante. Lo que se busca es que la frecuencia de corte superior no tenga demasiada variación, sino que se mantenga en el ancho de banda de interés para la aplicación determinada del PGA. En este trabajo dicha frecuencia superior de corte es 20KHz. A partir de la ecuación (3.14), se observa que el GBW puede variar si se cambia el valor del condensador de Miller  $C_C$ , esto puede realizarse mediante el uso de condensador de Miller programable [1]. Sin embargo, esto lleva a un aumento considerable de área. Lo que se propone es, usando la misma ecuación (3.14), hacer la variación del GBW a partir del gm1. Esto se puede lograr mediante el cambio de la corriente de polarización  $I_b$ .

Tabla 3.9. Frecuencia de corte superior para cada corriente  $I_b$ , según ganancia.

<b>G(dB)</b>							
29	<b>Ib(nA)</b>	24	25	26	27	28	<b>29</b>
	<b>FCS(KHz)</b>	16.86	17.55	18.23	18.90	19.57	<b>20.24</b>
28.3	<b>Ib(nA)</b>	22	23	24	25	26	<b>27</b>
	<b>FCS(KHz)</b>	16.81	17.56	18.30	19.03	19.76	<b>20.48</b>
26	<b>Ib(nA)</b>	18	19	20	<b>21</b>	22	23
	<b>FCS(KHz)</b>	17.75	18.70	19.65	<b>20.59</b>	21.53	22.48
25.1	<b>Ib(nA)</b>	16	17	18	<b>19</b>	20	21
	<b>FCS(KHz)</b>	17.45	18.51	19.56	<b>20.60</b>	21.64	22.69
21.58	<b>Ib(nA)</b>	12	<b>13</b>	14	15	16	17
	<b>FCS(KHz)</b>	19.18	<b>20.72</b>	22.26	23.83	25.42	27.01
20	<b>Ib(nA)</b>	<b>11</b>	12	13	14	15	
	<b>FCS(KHz)</b>	<b>20.69</b>	22.52	24.37	26.26	28.11	
12	<b>Ib(nA)</b>	<b>5</b>	6	7			
	<b>FCS(KHz)</b>	<b>20.60</b>	24.66	28.78			
6	<b>Ib(nA)</b>	<b>3</b>	4	5			
	<b>FCS(KHz)</b>	<b>20.34</b>	27.10	33.73			

Se identificaron las corrientes necesarias para la frecuencia de corte superior (Tabla 3.9). La implementación de esta corriente  $I_b$  variable, tiene como solución un espejo de corrientes programables. Para ello, se empleó la lógica de la Tabla 3.10.

Tabla 3.10. Lógica espejo programable.

<b>G(dB)</b>	<b>B 2</b>	<b>B 1</b>	<b>B 0</b>	<b>I_Fija(nA)</b>	<b>I_B2(nA)</b>	<b>I_B1(nA)</b>	<b>I_B0(nA)</b>	<b>Suma=<math>I_b</math> (nA)</b>
6	0	0	0	3	0	0	0	3
12	0	0	1	3	0	0	2	5
20	0	1	0	3	0	8	0	11
21.58	0	1	1	3	0	8	2	13
25.1	1	0	0	3	16	0	0	19
26	1	0	1	3	16	0	2	21
28.3	1	1	0	3	16	8	0	27
29	1	1	1	3	16	8	2	29

El cambio de la corriente  $I_b$ , hace que el PGA no disipe la misma potencia para cada ganancia seleccionada. Así aprovecha este hecho para disipar una menor potencia en ganancias bajas, que a ganancias más elevadas.

## Capítulo 4

# Simulaciones y Resultados

En el presente capítulo se presentan los resultados obtenidos de las distintas simulaciones elaboradas con el simulador Spectre en Cadence, el cual utiliza el modelo BSIM3V3 del transistor.

### 4.1. Simulaciones op-amp

#### 4.1.1. Análisis DC

La primera simulación que se realiza en el diseño del amplificador operacional de dos etapas es el análisis DC. La principal información que nos brinda este análisis son los puntos de operación de los transistores; es decir, la corriente que fluye a través de ellos, su transconductancia, voltaje *overdrive*. A partir de esta información se puede saber en qué región está operando cada transistor. En el caso del circuito amplificador (Fig. 4.2) de dos etapas se debe verificar que los transistores en su mayoría operen en región de saturación o en inversión débil como es el caso de los transistores del par diferencial de la primera etapa. En el CMFB (Fig. 4.3) los transistores (MN7 y MN6) que se deben encontrar en saturación son aquellos que copian corriente a partir del espejo de corriente de polarización (Fig. 4.4) y el transistor que está conectado como espejo de corriente (MP6).

En la Fig. 4.1 se observa el *testbench* empleado para este análisis. El voltaje de alimentación es 3.3V; así mismo, el voltaje de referencia para la salida en modo común es la mitad de la fuente de alimentación; es decir, 1.65V. El rango de excursión a la salida depende del voltaje de salida en modo común y de los  $V_{DSAT}$  de los transistores MN4, MN3, MP3 y

MP2, los cuales no son mayores a 100mV, asegurando un rango máximo de excursión a la salida de 1.45V (con  $V_{REF} = 1.65V$ ).

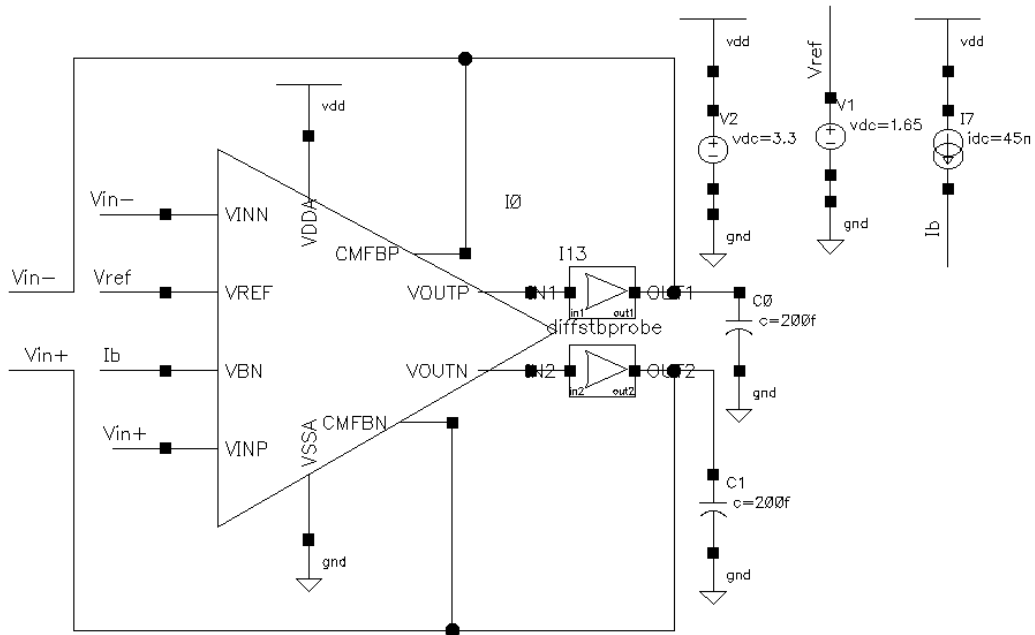


Figura 4.1. Testbench para el análisis DC.

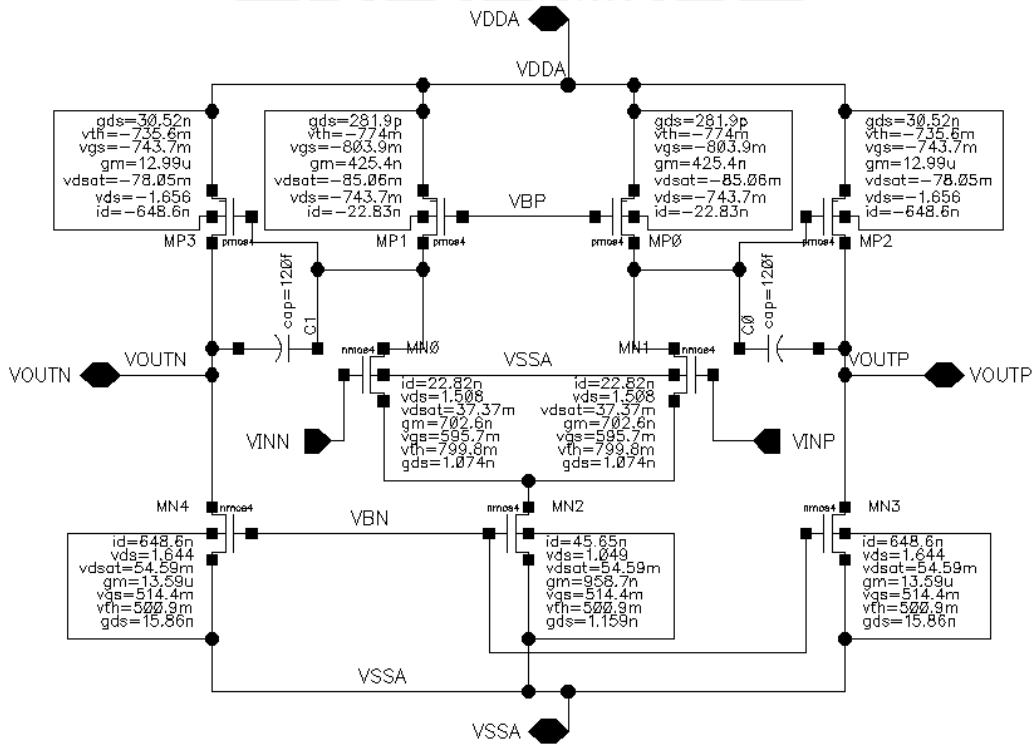


Figura 4.2. Resultados para el circuito amplificador del análisis DC.



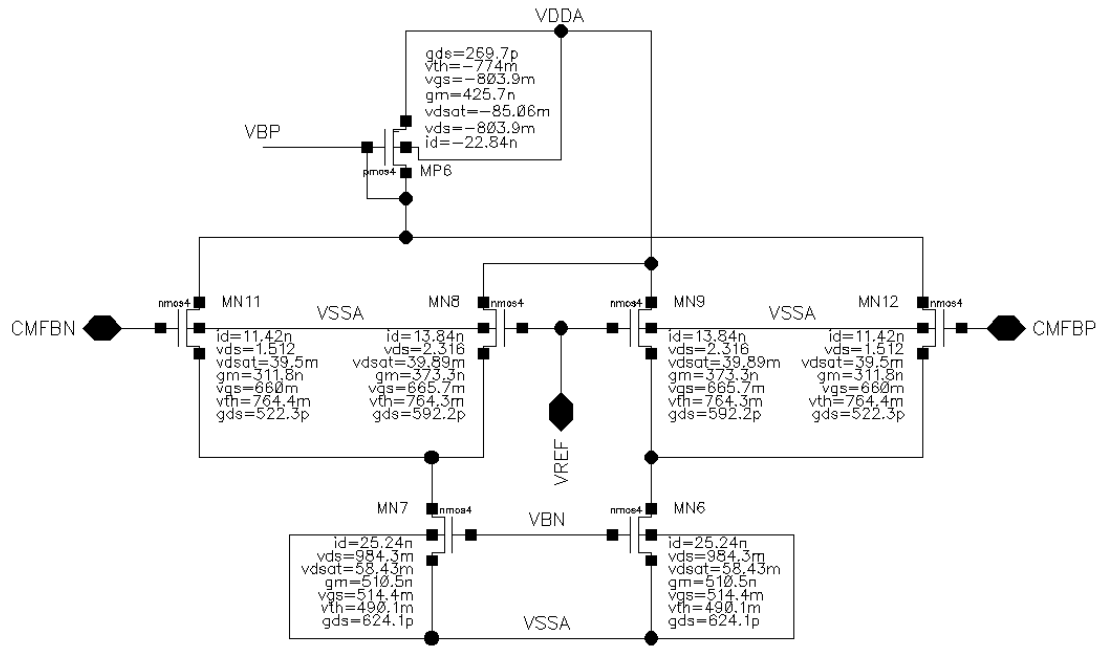


Figura 4.3. Resultados para el CMFB del análisis DC.

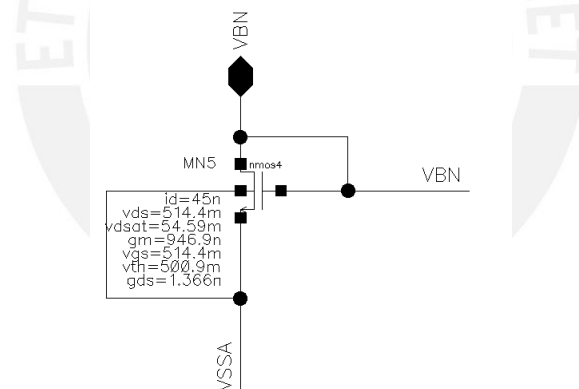


Figura 4.4. Resultados del análisis DC para el espejo de corriente de polarización.

#### 4.1.2. Análisis de Estabilidad

El análisis de estabilidad o análisis stb permite evaluar la estabilidad de un sistema realimentado; para ello, calcula la ganancia del lazo y la fase en un rango de frecuencias elegido. Los amplificadores operacionales *fully differential* poseen un CMFB; por ello, estos no solo son realimentados en modo diferencial, sino que también en modo común. El análisis

de estabilidad debe realizarse para ambos lazos de realimentación y tener en ambos un margen de fase mayor a  $60^\circ$ .

El *testbench* empleado para este análisis es el de Fig. 4.5. La instancia *diffstbprobe* se utiliza para hacer el análisis de estabilidad para sistemas diferenciales. El producto ganancia ancho de banda (GBW) resultante es de 929.13KHz.

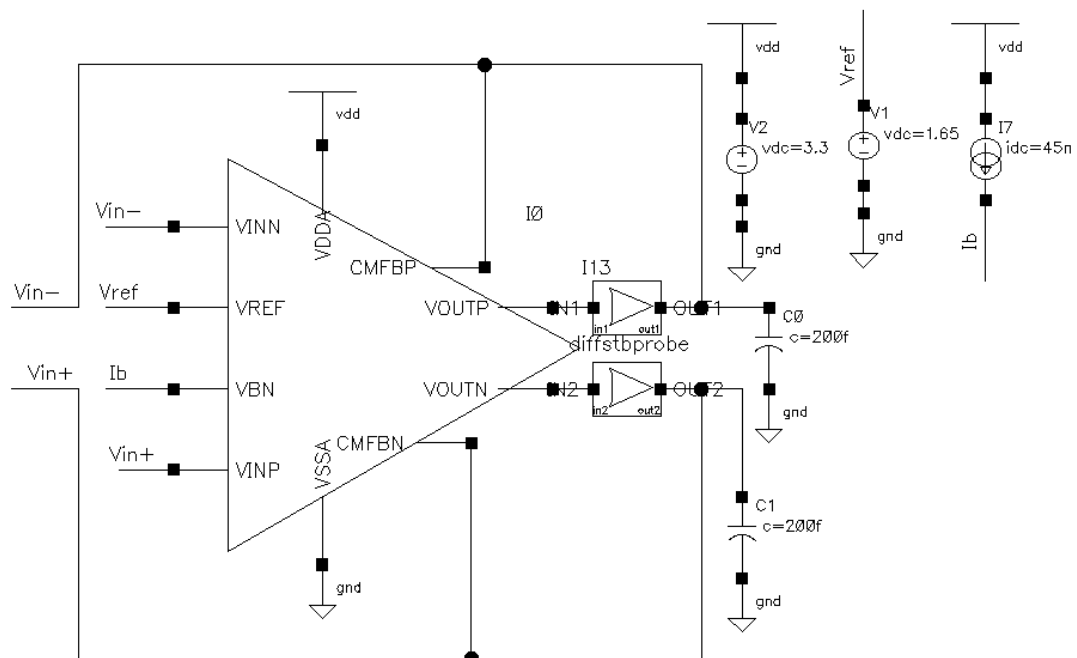


Figura 4.5. *Testbench* para el análisis de estabilidad.

Tabla 4.1. Análisis de estabilidad en modo diferencial y el GBW del amplificador diseñado.

<b>Margen de Fase</b>	74.34°
<b>GBW</b>	929.1KHz

Tabla 4.2. Análisis de estabilidad en modo común.

<b>Margen de Fase</b>	62.45°
-----------------------	--------

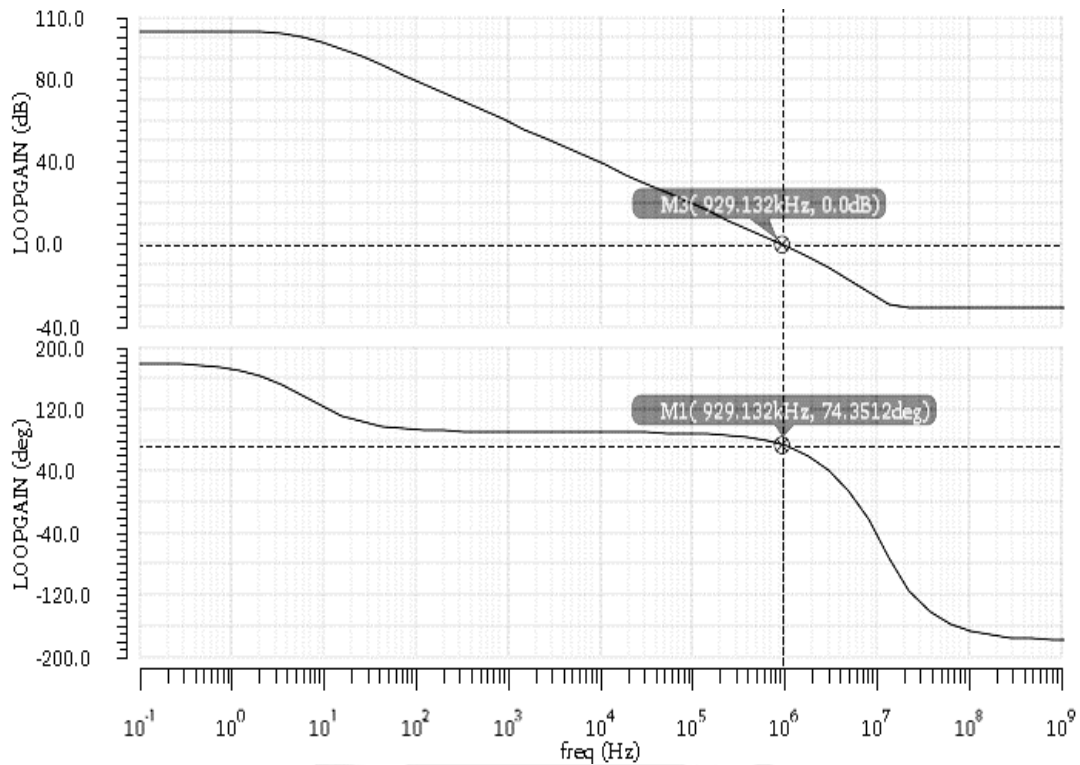


Figura 4.6. Respuesta del amplificador en lazo abierto.

## 4.2. Simulaciones PGA

### 4.2.1. Análisis de Estabilidad

Para este análisis se empleó el *testbench* de la Fig. 4.9. Se verificó que para cada ganancia el margen de fase (PM) sea estable tanto para el lazo en modo diferencial, como para el lazo en modo común. Los resultados de estas simulaciones se muestran en la Tabla 4.3.

Tabla 4.3. Análisis de estabilidad en modo diferencial y el GBW del amplificador diseñado.

B2	B1	B0	Ganancia(dB)	PM(Diferencial)	PM(Común)
0	0	0	6	86.77 °	75.41 °
0	0	1	12	87.85 °	75.4 °
0	1	0	20	88.97 °	74.43 °
0	1	1	21.58	89.11 °	74.03 °
1	0	0	25.1	89.49 °	72.87 °
1	0	1	26	89.53 °	72.5 °
1	1	0	28.3	89.64 °	71.51 °
1	1	1	29	89.66 °	71.2 °

#### 4.2.2. Análisis AC

Este análisis se empleó para conocer el comportamiento en frecuencia en cada ganancia seleccionada. Para ello, se empleó el *testbench* de la Fig. 4.9. Los resultados fueron los esperados, y las frecuencias de corte tanto inferior y superior para cada ganancia cumplen con los requerimientos de diseño del PGA. Estos resultados se observan en la Fig. 4.10.



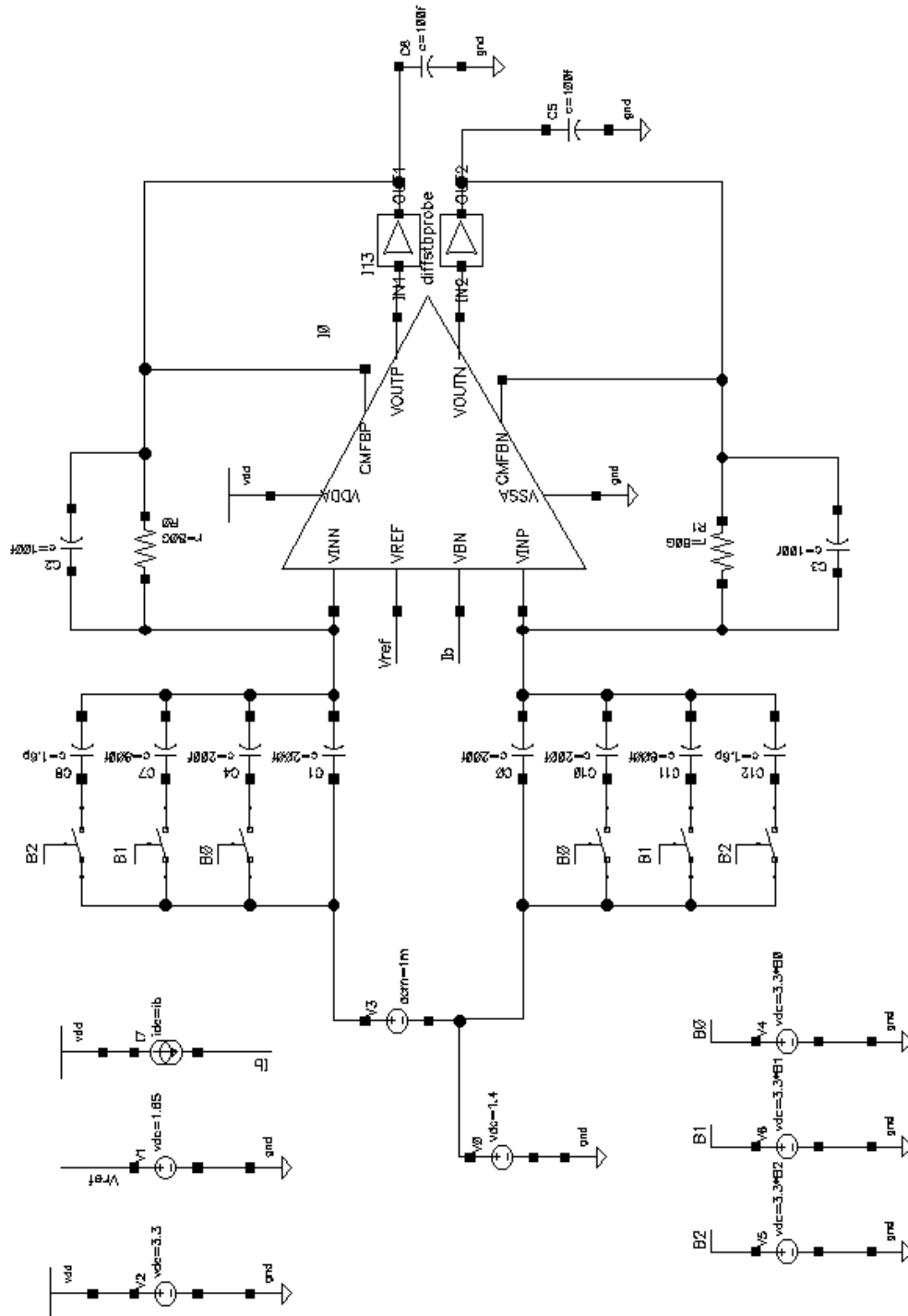


Figura 4.7. Testbench para el PGA

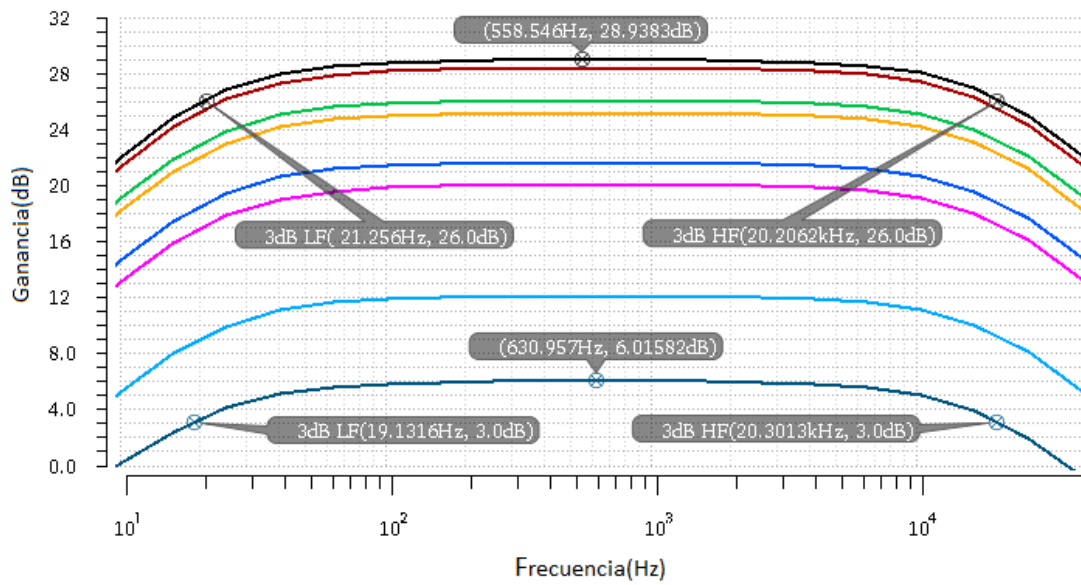


Figura 4.8. Análisis AC del PGA.

### 4.2.3. Disipación de Potencia

A continuación, se muestran los resultados obtenidos de disipación de potencia para cada ganancia seleccionada. La potencia promedio es de  $1.64\mu\text{W}$ .

Tabla 4.4. Análisis de estabilidad en modo diferencial y el GBW del amplificador diseñado.

B2	B1	B0	Ganancia(dB)	Potencia( $\mu\text{W}$ )
0	0	0	6	0.31
0	0	1	12	0.52
0	1	0	20	1.13
0	1	1	21.58	1.34
1	0	0	25.1	1.95
1	0	1	26	2.16
1	1	0	28.3	2.77
1	1	1	29	2.97

## Conclusiones

No es necesario que el PGA disipe la misma potencia para cada ganancia programable. Ya que, la corriente con la que se polariza el op-amp del PGA, puede variar para cada ganancia. Esto sin perder el rango de frecuencias en la que el PGA debe amplificar como se observó en la simulación AC del PGA (Fig. 4.10).

A pesar de la antigüedad de la tecnología, se ha logrado prestaciones similares en cuanto a ancho de banda, ganancia, consumo de energía, comparados con trabajos similares [1] [2], que emplean tecnologías más modernas con voltajes de alimentación menor.

La potencia que disipa el PGA, sin la técnica de escalabilidad de corriente de polarización expuesta en este trabajo, sería de  $2.97\mu\text{W}$  para todas sus ganancias. Implementando la técnica, la potencia disipada se encuentra entre  $0.31\mu\text{W}$  –  $2.97\mu\text{W}$  según la ganancia seleccionada, teniendo en promedio una menor disipación de  $1.64\mu\text{W}$ .

## Recomendaciones

Se deben realizar el *layout*, empleando técnicas como interdigitación, *multiple fingers*, centroide común y *Snake*.

Realizar simulaciones como Montecarlo y *corners*, que son simulaciones de variaciones de procesos. Estas son para poder determinar el porcentaje de circuitos que cumplirían con las especificaciones después de ser fabricados. Estas simulaciones son muy importantes para verificar la robustez del diseño, pues las variables de proceso están presentes en la fabricación de todo circuito integrado.

Mejorar el diseño de acuerdo a las simulaciones *post-layout*. Debido a que las capacitancias parásitas, identificadas en estas simulaciones, pueden afectar el apropiado funcionamiento del circuito.



## Bibliografía

- [1] K. Al-Ashmouny, S. I. Chang and E. Yoon, "A 8.6  $\mu$ W 3-bit programmable gain amplifier for multiplexed-input neural recording systems," 2011 Annual International Conference of the IEEE Engineering in Medicine and Biology Society, Boston, MA, 2011, pp. 2945-2948.
- [2] Y. Gui et al., "An 8-channel fully differential analog front-end for neural recording," 2012 IEEE Biomedical Circuits and Systems Conference (BioCAS), Hsinchu, 2012, pp. 132-135.
- [3] R. Muller et al., "A Minimally Invasive 64-Channel Wireless  $\mu$ ECoG Implant," in IEEE Journal of Solid-State Circuits, vol. 50, no. 1, pp. 344-359, Jan. 2015.
- [4] E. R. Kandel, J.H. Schwartz, T.M. Jessell, *Principles of Neural Science*; McGraw-Hill, 2013.
- [5] Cheng-Chung Hsu and Jieh-Tsorng Wu, "A highly linear 125-MHz CMOS switched-resistor programmable-gain amplifier," in IEEE Journal of Solid-State Circuits, vol. 38, no. 10, pp. 1663-1670, Oct. 2003.
- [6] M. ElGuindy and A. H. Madian, "Low voltage digitally programmable gain and bandwidth fully differential CMOS neural amplifier," 2012 4th IEEE RAS & EMBS International Conference on Biomedical Robotics and Biomechatronics (BioRob), Rome, 2012, pp. 477-481.
- [7] G. E. Perlin, A. M. Sodagar and K. D. Wise, "A neural amplifier with high programmable gain and tunable bandwidth," 2008 30th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, Vancouver, BC, 2008, pp. 3154-3157.

- [8] R. Hudak, M. Penhaker and J. Majernik, *Biomedical Engineering: Technical Applications in Medicine*. InTech, 2012.
- [9] Y. Tsvividis, *Operation and Modeling of the MOS transistor*, 2nd ed. McGrawHill, 1999.
- [10] B. Thanigaivelan, J. Wiles and T. J. Hamilton, "A low power neural recording amplifier with programmable gain and bandwidth," 2012 IEEE International Symposium on Circuits and Systems, Seoul, 2012, pp. 2219-2222.
- [11] B. Razavi, *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2000.
- [12] P. Cong, "Neural Interfaces for Implantable Medical Devices: Circuit Design Considerations for Sensing, Stimulation, and Safety," in *IEEE Solid-State Circuits Magazine*, vol. 8, no. 4, pp. 48-56, Fall 2016.
- [13] V. Majidzadeh, A. Schmid, and Y. Leblebici, "Energy efficient lownoise neural recording amplifier with enhanced noise efficiency factor," *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 5, no. 3, pp. 262–271, June 2011.
- [14] F. Shahrokhi, K. Abdelhalim, D. Serletis, P. Carlen, and R. Genov, "The 128-channel fully differential digital integrated neural recording and stimulation interface," *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 4, no. 3, pp. 149–161, June 2010.
- [15] S. Rai, J. Holleman, J. Pandey, F. Zhang, and B. Otis, "A 500 $\mu$ W neural tag with 2 $\mu$ Vrms afe and frequency-multiplying mics/ism fsk transmitter," in *Proceedings of ISSCC Dig. Tech. Papers 2009*, February 2009, pp. 212–213.
- [16] W. Wattanapanitch, M. Fee, and R. Sarpeshkar, "An energy-efficient micropower neural recording amplifier," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 1, no. 2, pp. 136–147, June 2007.
- [17] R. Harrison and C. Charles, "A low-power low-noise CMOS amplifier for neural recording applications," *Solid-State Circuits, IEEE Journal of*, vol. 38, no. 6, pp. 958–965, June 2003.

- [18] T. Yoshida, T. Mashimo, M. Akagi, A. Iwata, M. Yoshida, and K. Uematsu, "A design of neural signal sensing LSI with multi-input-channels," *IEICE Trans. Fundamentals*, vol. E87-A, no. 2, pp. 376–383, Feb. 2004.
- [19] J. Lee, H. Rhew, D. Kipke, and M. Flynn, "A 64 channel programmable closed-loop deep brain stimulator with 8 channel neural amplifier and logarithmic ADC," in *Proc. IEEE Symp. VLSI Circuits*, Jun. 2008, pp. 76–77.
- [20] T. C. Crusone, D. A. Johns, K. W. Martin. *Analog Integrated Circuit Design*. Wiley, 2012.
- [21] J. M. Carrillo, M. A. Domínguez, J. F. Duque-Carrillo and G. Torelli, "Low-voltage wide-swing fully differential CMOS voltage buffer," 2011 20th European Conference on Circuit Theory and Design (ECCTD), Linköping, 2011, pp. 122-125.
- [22] P. E. Allen, D. R. Holberg, *CMOS Analog Circuit Design*. Oxford, University Press, 2002.
- [23] S. L. M. Hassan, I. S. A. Halim, A. A. A. Rahim, N. B. A. Aziz and T. N. T. Yaakub, "Comparative study on multistage amplifier and folded cascode amplifier design in sample and hold circuit using 0.18 $\mu$ m CMOS technology," 2012 International Symposium on Computer Applications and Industrial Electronics (ISCAIE), Kota Kinabalu, 2012, pp. 29-34.
- [24] L. F. Nicolas-Alonso, J. Gomez-Gil, "Brain computer interfaces, a review," *Sensors* (Basel, Switzerland), vol. 12, no. 2, 2012.