

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ

FACULTAD DE CIENCIAS E INGENIERÍA



**DISEÑO DE UN AMPLIFICADOR DE GANANCIA PROGRAMABLE CON
REDUCCIÓN DE OFFSET PARA LA RECEPCIÓN DE SEÑALES
NEURONALES**

Tesis para optar el Título de Ingeniero Electrónico, que presenta el bachiller:

Jesús Gabriel Salazar Sedano

ASESOR: Dr. Ing. Julio César Saldaña Pumarica

CO-ASESOR: Ing. Erick Raygada Vargas

Lima, 2019

A mis padres, hermanos y amigos. A mis orientadores y a todo el grupo de microelectrónica.

Gracias.



Resumen

En el presente trabajo de tesis se diseña un amplificador de ganancia programable con reducción de offset para ser usado en la recepción de señales neuronales. Estas señales tienen valores de frecuencia y amplitud específicas y relevantes para el presente diseño, con una amplitud de 10 μ V a 1mV para una frecuencia de 1-10KHz. Con estas consideraciones, el diseño del circuito se basó en una topología *Two-stage fully differential Miller-Compensated amplifier*. Se emplea la tecnología AMS 0.35 μ m en el software Virtuoso de CADENCE utilizando el simulador Spectre y el entorno de simulación ADE XL para las simulaciones Montecarlo. Los resultados de las simulaciones se validaron en circuitos de testbench, siendo los más significativos, por ejemplo, una ganancia de lazo abierto de 81.1544 dB, ganancia de lazo cerrado de 75.1339 dB para un ancho de banda de 9.494KHz, un margen de fase de 68.8° y un margen de ganancia de 14.4dB, asegurando una estabilidad óptima del circuito. Así mismo, se obtuvo un rango de amplificación de 0-32 dB divididas en 8 ganancias controladas por interruptores basados en puertas de transmisión. Además, se realizó la distribución física del circuito empleando la vista LAYOUT XL de CADENCE. Los presentes resultados se obtuvieron con una alimentación de 3V y un voltaje de entrada en modo común de 1.5V.

Índice general

Introducción	1
1. Estudio de Señales Neuronales	2
1.1. Señales Neuronales	2
1.1.1. Bioamplificadores	3
1.1.2. Electroencefalograma (EEG)	3
1.1.3. Electrocardiograma (ECG)	4
1.2. Transducción	5
1.2.1. Preamplificadores	6
1.2.2. Amplificador de Ganancia Programable (PGA)	6
1.3. Declaración de la Problemática	7
1.4. Objetivo general de la presente tesis	8
1.5. Objetivos específicos de la presente tesis	8
2. Circuitos integrados analógicos en tecnología CMOS	9
2.1. Amplificadores CMOS	9
2.1.1. Introducción a los amplificadores CMOS	9
2.1.2. Amplificadores Operacionales CMOS (<i>OpAmps</i>)	10
2.2. Diseño de <i>OpAmps</i>	10
2.2.1. Condiciones de Frontera	10
2.2.2. Requerimientos del <i>Opamp</i>	11
2.2.3. <i>OpAmps</i> de dos etapas (<i>Two-stage OpAmps</i>)	12
2.3. Estado del arte en amplificadores operacionales de dos etapas	13
2.3.1. <i>Fully-differential self-biased OTA with Miller Capacitance</i>	13
2.3.2. <i>Fully-differential OpAmp with offset reduction</i>	14
2.3.3. <i>Fully-differential Folded-Cascode</i>	15
2.4. Elección de la Topología	15

3. Diseño del amplificador de señales neuronales con corrección de <i>offset</i>	17
3.1. Diseño del Amplificador	18
3.1.1. Análisis en pequeña señal	18
3.1.2. Principios básicos de diseño	19
3.2. Requerimientos del Amplificador	20
3.3. Dimensionamiento de los transistores	21
3.3.1. Amplificador	21
3.3.2. Espejos de Corriente	23
3.3.3. <i>Common-Mode Feedback Circuit</i>	25
3.4. Análisis de <i>offset</i>	27
3.4.1. <i>Offset</i> en amplificadores	27
3.4.2. Técnicas de reducción de <i>offset</i> en amplificadores	27
3.4.2.1. <i>Output offset storage</i>	27
3.4.2.2. <i>Input offset storage</i>	28
3.5. <i>Mismatch</i>	29
3.6. Simulación Montecarlo	31
4. Simulaciones y Resultados	34
4.1. Simulaciones	34
4.1.1. Análisis DC	34
4.1.2. Análisis AC	37
4.1.3. Análisis de Estabilidad	39
4.1.4. Análisis <i>Transient</i>	41
4.1.5. Simulaciones Montecarlo	43
4.1.6. Resumen de Resultados	44
4.2. Disposición del circuito (<i>Layout</i>)	44
4.2.1. Par Diferencial	44
4.2.2. Espejos de corriente	45
4.2.3. Anillos de Guarda	45
4.2.4. <i>Layout</i> “empleado” para el circuito	46
Conclusiones	48
Recomendaciones y Observaciones	49
Bibliografía	50

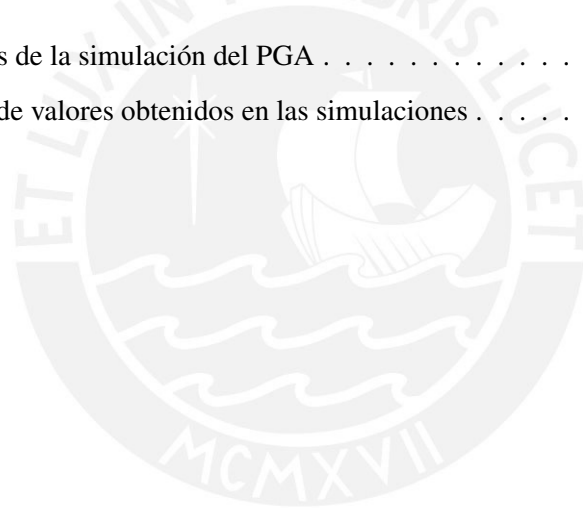
Índice de figuras

1.1. Potencial de acción neuronal [1].	3
1.2. Amplificador estándar EEG sin cancelación de <i>offset</i> (Arriba) y con cancelación de <i>offset</i> (Abajo) [2].	4
1.3. Receptor neuronal de 8 canales [3].	5
1.4. Comparación de señales neuronales [4].	6
1.5. PGA Capacitivo [5]	7
1.6. PGA Resistivo [3].	7
2.1. Diagrama de bloques de un <i>OpAmp</i> de dos etapas [6].	10
2.2. Bloques de un <i>OpAmp</i> de dos etapas [7].	12
2.3. Esquemático de <i>OpAmp</i> de dos etapas [7].	13
2.4. Arquitectura del amplificador(a), Esquemático <i>fully-differential</i> (b), capacitancia de Miller(c) [8].	14
2.5. Etapas del amplificador con reducción de <i>offset</i> [9].	14
2.6. <i>Fully differential folded cascode</i> (izquierda), Circuito de realimentación de modo común continuo (derecha) [10].	15
3.1. Modelo en pequeña señal del MOSFET ideal (izquierda). Modelo considerando efecto cuerpo, modulación de canal y longitud de canal (derecha) [7].	18
3.2. <i>Two Stage Fully Differential Miller-compensated OpAmp</i> [11].	18
3.3. Modelo en pequeña señal de la primera (izquierda) y segunda (derecha) etapa.	19
3.4. Espejo de corriente [7].	24
3.5. <i>Common Mode Feedback Circuit</i> del amplificador operacional.	26
3.6. Efectos del <i>offset</i> en amplificadores [7].	27
3.7. Cancelación de <i>offset</i> usando la topología <i>Output offset storage</i> [7].	28
3.8. Cancelación de <i>offset</i> usando la topología <i>Input offset storage</i> [12].	28
3.9. Variaciones globales y locales [13].	30

3.10. Primera Etapa del Amplificador Operacional(Izquierda), Adición de fuentes de corriente(Derecha).	32
3.11. Cancelación de <i>offset</i> empleando el arreglo de <i>current steering</i>	33
4.1. Primera y segunda etapa del amplificador operacional simulado en la herramienta Virtuoso de CADENCE	35
4.2. <i>Testbench</i> para el análisis DC del circuito en lazo cerrado.	36
4.3. Esquemático del circuito de realimentación de modo común (CMFB).	36
4.4. Respuesta AC en lazo abierto del circuito.	37
4.5. <i>Testbench</i> para el análisis AC del circuito en lazo abierto.	38
4.6. <i>Testbench</i> para el análisis AC del circuito en lazo cerrado.	38
4.7. Respuesta para el análisis AC del circuito en lazo cerrado.	39
4.8. Análisis de Estabilidad.	40
4.9. <i>Testbench</i> para el análisis de estabilidad en el circuito.	41
4.10. Ventana de resultados en el entorno de simulación <i>ADE XL</i>	43
4.11. Distribución del Voltaje de <i>offset</i> usando la simulación de Montecarlo.	43
4.12. Centroide común [14].	45
4.13. <i>Dummy Transistors</i> [14].	45
4.14. Anillo de guarda en un capacitor.	46
4.15. <i>Layout</i> del <i>OpAmp</i>	47

Índice de tablas

2.1. Tabla comparativa entre diferentes topologías de <i>OpAmps</i>	16
3.1. Especificaciones del amplificador de ganancia programable	20
3.2. Dimensiones de los transistores del amplificador	23
3.3. Dimensiones de los transistores del amplificador	27
3.4. Parámetros de proceso y parámetros eléctricos [13].	31
4.1. Resultados de la simulación del PGA	41
4.2. Resumen de valores obtenidos en las simulaciones	44



Introducción

La medición de señales neuronales es una herramienta tanto para el estudio de la neurociencia como para el desarrollo de prótesis motoras. Por ejemplo, el electrocorticograma (ECoG) es la medida de señales captadas en la superficie del córtex. Otro ejemplo es la medida de señales neuronales extracelulares que se realiza con electrodos incrustados en el cerebro.

Las señales medidas con estos métodos varían en amplitud y frecuencia de $1 - 500 \mu V$ y de 1-10KHz. Para la lectura de las señales neuronales es necesario un dispositivo transductor que cuenta con diferentes bloques como amplificadores de bajo ruido, filtros, amplificadores de ganancia programable (PGA, por sus siglas en inglés) y conversores análogos-digitales. La presente tesis se centra en el estudio y diseño de un amplificador de ganancia programable aplicado a la recepción de señales neuronales. Se pone énfasis en la reducción del offset. El diseño se realiza empleando la tecnología CMOS.

En la presente tesis se propone el diseño de un amplificador operacional de señales neuronales empleando una topología fully-differential de dos etapas en tecnología CMOS. Se consideran los parámetros adecuados para la amplificación de señales neuronales. Además, se realiza el diseño de un PGA utilizando una topología de realimentación resistiva con una etapa adicional de CMFB ((Common Mode Feedback)).

Se obtiene la medida del voltaje de (offset) de entrada mediante simulaciones de tipo Montecarlo considerando diferencias entre dispositivos conocidas como (Mismatch). Con los resultados obtenidos se propone la adición de una etapa de cancelación de offset empleando corrientes diferenciales en el amplificador operacional. El desarrollo del documento de tesis es del siguiente modo: En el capítulo 1 se presenta el estudio de las señales neuronales y se trazan los objetivos de la tesis. El capítulo 2 aborda los circuitos integrados analógicos en tecnología CMOS con énfasis en amplificadores operacionales. En el capítulo 3 se sintetizan los conceptos previos en el diseño del amplificador de señales neuronales con corrección de (offset) y en el capítulo 4 se presentan las simulaciones y resultados de dicho diseño. Finalmente, se presentan las conclusiones, recomendaciones y observaciones del presente trabajo.

Capítulo 1

Estudio de Señales Neuronales

1.1. Señales Neuronales

La corteza cerebral humana es una red conformada por más de diez mil millones de neuronas. Cada neurona representa un procesador de información cuya salida es una función de la entrada, la cual proviene de una de las muchas con las que está entrelazada. Esta corteza está caracterizada por la interconexión de áreas específicas y la mezcla de alto contenido informativo a través de conexiones tanto largas como cortas mediante aprendizaje correlacionado [1]. Las neuronas están diseñadas para responder a la estimulación generando impulsos eléctricos. Estos impulsos son expresados como cambios en potenciales eléctricos a lo largo de las membranas de plasma de las dendritas, cuerpo celular y axón de cada neurona. El potencial celular depende de la permeabilidad de la membrana celular y un gradiente de concentración debido a diferentes moléculas (K^+ , Na^+ , Cl^- Y Ca^{2+}). Los cambios en el potencial eléctricos en el plasma de la membrana permiten la creación y conducción de un impulso nervioso, permitiendo de esta manera abrir canales de sodio en las neuronas. En un milisegundo de canal abierto de sodio, fluyen unos 20.000 iones permitiendo cargar positivamente el interior de la membrana con respecto al exterior, un fenómeno determinado despolarización. Cuando el estímulo de una neurona es lo suficientemente fuerte para causar despolarización, la neurona está “encendida”. Una vez que una pequeña área de la neurona este despolarizada, estimula las adyacentes generando un potencial de acción conducido a través de la membrana. Entre un “encendido” y otro hay un intervalo de tiempo de entre 0.5 a 1 milisegundo donde es posible generar otro potencial de acción, llamado periodo refractario. Muchas fibras nerviosas son capaces de generar unos 300 impulsos por segundo. Se pueden clasificar los estados de la neurona en estado de reposo y estado activo, en el primero se tienen potenciales eléctricos estables de entre -70 y

-90mV en el interior de la neurona, comparado con el medio externo. En el estado activo la respuesta se calcula vía simulaciones, y se comprueba que consiste en un potencial de acción “todo o nada” después de alcanzar el umbral de activación celular [15], tal como ilustra la figura 1.1.

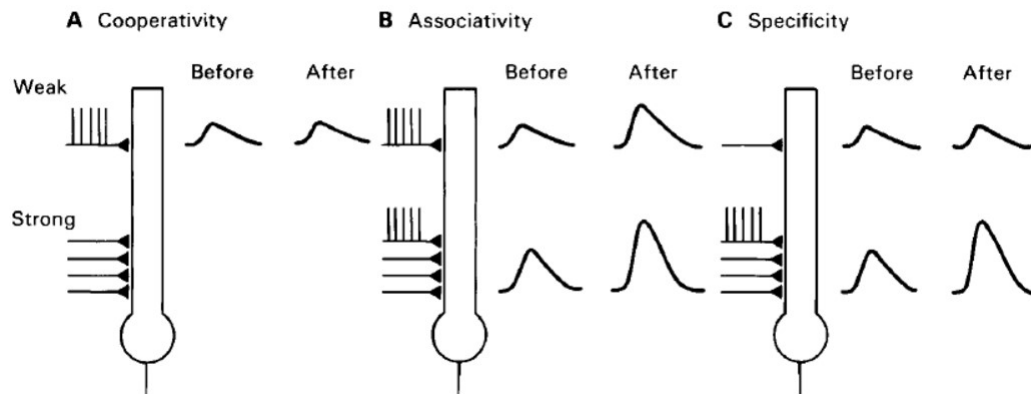


Figura 1.1: Potencial de acción neuronal [1].

1.1.1. Bioamplificadores

Un bioamplificador cumple la función de instrumento de adquisición y amplificación de señales biopotenciales eléctricas para obtener una salida usada para un posterior procesamiento o análisis de este valor. En la actualidad, de todos los electrogramas que se emplean, los más comunes usados en clínicas son: electrocardiograma (ECG), electroencefalograma (EEG), electrooculograma (EOG), electromiograma (EMG) y electroretinograma (ERG) [15]. A continuación, se presentan detalles de las medidas más utilizadas en las aplicaciones de *Brain Computer Interface*.

1.1.2. Electroencefalograma (EEG)

El electroencefalograma se registra en los electrodos conectados a la cabeza y muestra actividad eléctrica cortical reflejando el estado funcional del cerebro para monitorear su integridad funcional y asistir a los profesionales para un correcto diagnóstico de diversos problemas neurológicos como dolores de cabeza, mareos, trastornos compulsivos, ataques, tumores cerebrales, problemas de sueño y epilepsia. Para un análisis de estas señales, los biopotenciales de un electroencefalograma se miden en modo AC con frecuencias de corte de 0.01-2Hz. Incluso en modo AC, la cancelación del voltaje de *offset* es requerida para poder estabilizar un amplificador [2], tal como se muestra en la figura 1.2.

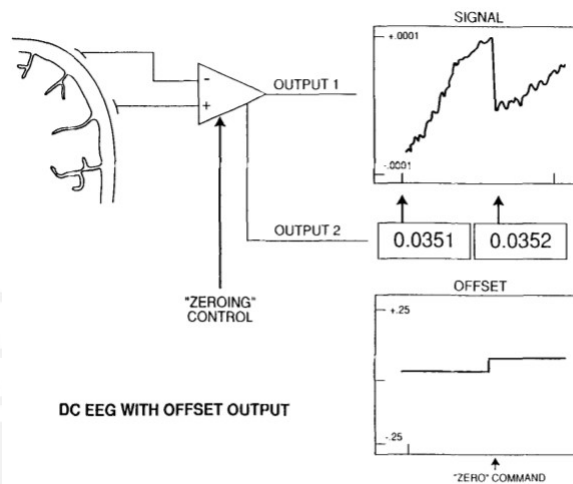
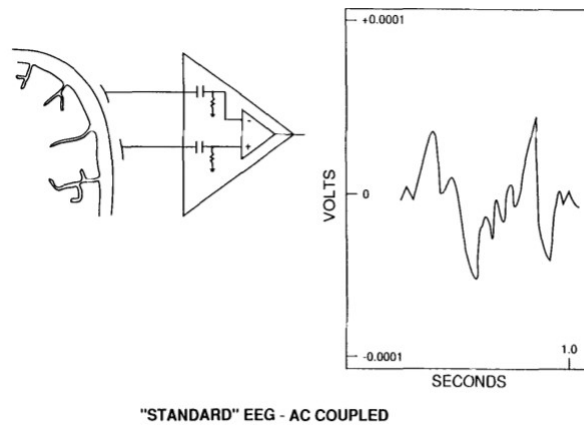


Figura 1.2: Amplificador estándar EEG sin cancelación de *offset* (Arriba) y con cancelación de *offset* (Abajo) [2].

1.1.3. Electrocorticograma (ECoG)

Método similar al EEG, pero a diferencia de este, los electrodos son puestos en contacto directo con la superficie cerebral expuesta para obtener información acerca de la actividad cerebral de la corteza. Este proceso es invasivo, y arreglos de más de 100 electrodos son deseables para recibir una resolución adecuada para el análisis de actividades neuronales. Este proceso tiene limitaciones debido a la complejidad de su diseño, las dimensiones de los electrodos y las capacidades de transmitir datos fuera del cerebro [16].

Además del EEG y el ECoG se tienen los métodos *Local Field Potential* y *Neural Action Potential*. Estos dos últimos son invasivos e implican una craneotomía y daño neuronal directo (Figura 1.4) [4].

1.2. Transducción

En el procesamiento de las señales neuronales, posterior a los exámenes EEG o ECoG, se encuentra el módulo de recepción de señales neuronales, un bloque analógico/digital conformado por preamplificadores para amplificar las señales biopotenciales, filtros pasa bajo para rechazar altas frecuencias de ruido, multiplexores y un convertor analógico-digital seguido de circuitos de telemetría inalámbrica para transmitir señales de datos fuera del cuerpo humano, tal como es ilustrado por la figura 1.3. Las actividades neuronales operan en el rango de frecuencias de 0.1Hz-5KHz y poseen una amplitud de entre 20uV-5mV. El sistema de recepción debe ser capaz de registrar estas señales con un gran rango dinámico en términos de amplitud y frecuencia, rechazar el voltaje de *offset* DC en el electrodo tomando en cuenta la alta impedancia del electrodo. Para la elaboración de los receptores análogos *front-end* se emplea la tecnología CMOS (*complementary metal-oxide-semiconductor*), por lo general estas tecnologías incluyen métodos de reducción de ruido, procesos para incrementar los valores de CMRR (*common-mode rejection ratio*) e impedancia de salida mediante el control del ICMFB (*Input common-mode feedback*). Los circuitos analógicos deben ser implementados usando la misma tecnología de la parte digital, por lo que se emplea CMOS. Entre las tecnologías comúnmente usadas de CMOS para la fabricación de receptores se encuentran las de 0.13um, 0.18um y las de 0.35um.

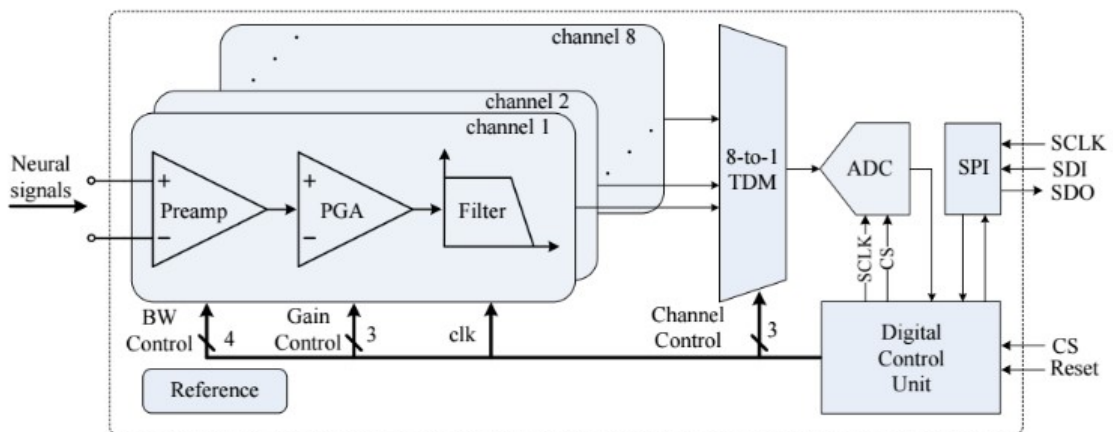
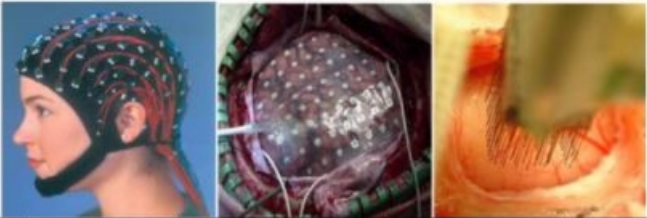


Figura 1.3: Receptor neuronal de 8 canales [3].

Los dispositivos implantables neuronales no solo deben ser efectivos en su función, sino que además deben cumplir requisitos en materia de facilidad en su implantación, duración, seguridad, tamaño y forma para poder tomar la tecnología neuronal actual en materia de sistemas de adquisición de datos y poder transformarla en tecnología diseñada para un largo uso en pacientes. La figura 1.4 muestra los *trade-offs* comúnmente utilizados en sistemas de adquisición neuronal

comparando las diferentes modalidades y remarcando los problemas y consideraciones que afectan la viabilidad e información relevante para el diseño de los sistemas neuronales.



	EEG	ECoG	LFP	AP
Bandwidth	0.5-50Hz	1-500Hz	1-500Hz	250-10kHz
Amplitude	1-50 μ V	1-500 μ V	10 μ -1mV	10 μ -1mV
Spacing	3cm	0.2-10mm	0.1-1mm	0.1-1mm
Invasive	No	Craniotomy, no neural damage	Craniotomy, neural damage	Craniotomy, neural damage
Area Coverage	Whole Brain	\sim cm ² , whole brain	\sim mm ²	\sim mm ²
Stability	Decades	Decades	Years	Months

Figura 1.4: Comparación de señales neuronales [4].

1.2.1. Preamplificadores

Para la recepción de las señales neuronales y para rechazar el offset del electrodo, se requiere un preamplificador AC con una baja frecuencia de corte. Este circuito está basado en un OTA (*Operational Transconductance Amplifier*). Generalmente se incluyen un circuito de realimentación de modo común para mantener el nivel DC de los nodos de salida constante.

1.2.2. Amplificador de Ganancia Programable (PGA)

Este tipo de amplificador forma parte de la segunda etapa de amplificación y tiene como función adaptarse al rango dinámico de amplitud y frecuencia de las señales neuronales. Entre las topologías más usadas se encuentra el *fully-differential OTA* con realimentación resistiva y con realimentación capacitiva, tal como se muestra en la figura 1.5 y 1.6.

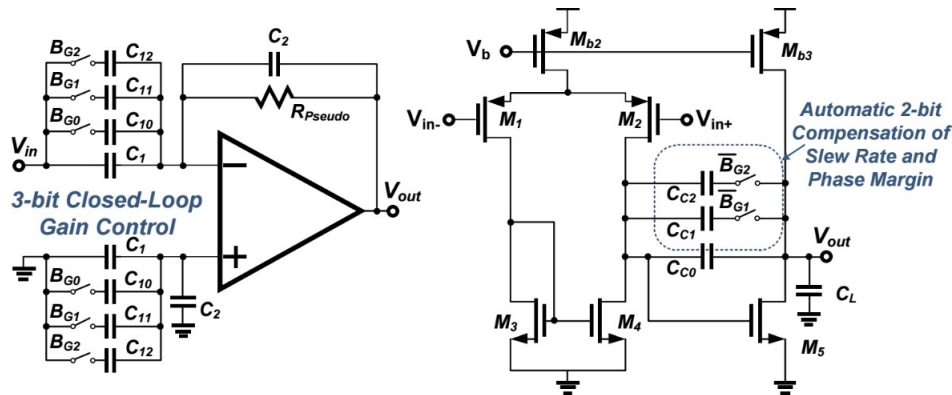


Figura 1.5: PGA Capacitivo [5]

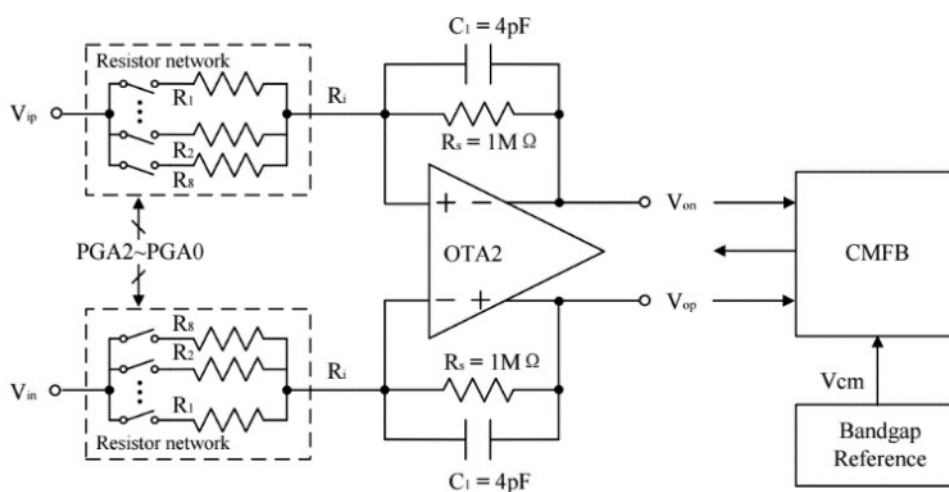


Figura 1.6: PGA Resistivo [3].

1.3. Declaración de la Problemática

A través de exámenes EEG, ECoG o LFP, se puede obtener información de la actividad neuronal en los seres humanos de manera invasiva y/o no invasiva, sin embargo, la recepción de estas señales no es tarea fácil, debido a la naturaleza de las mismas y las formas de las señales a tratar. El desarrollo de tecnologías en materia de biomédica y biomedicina obliga a este tipo de dispositivos a interactuar con componentes biológicos y poder establecer una comunicación entre los mismos. Es en este contexto donde una transducción de un nivel biológico a un nivel digital es necesario y se dará con el uso de la nanoelectrónica analógica. Mientras que los EEG permiten la obtención de señales de manera no invasiva y permiten cubrir mayor área cerebral, solo pueden trabajar a muy bajas frecuencias (0.5-50Hz) y a muy bajos niveles de voltaje (1-50uV) en comparación con un ECoG que provee niveles de voltaje entre 1-500uV a 1-500Hz pero tiene la desventaja de ser semi-invasivo, dado que requiere una craneotomía. Esto representa constantes

trade-offs entre los diferentes tipos de exámenes, siendo esto un factor a tomar en cuenta al momento de la recepción neuronal. Es por esto que las tecnologías actuales desarrollan receptores de señales conformados por bloques electrónicos. Estos receptores están sujetos a imperfecciones como ruido, voltaje de *offset* o error de ganancia. Esto implica la necesidad de optimizar estos receptores mediante el diseño de circuitos integrados que permitan la reducción de estos parámetros para obtener una señal de alta calidad. En el desarrollo por bloques de la recepción de las señales, uno de ellos es el amplificador operacional. Este bloque debe recibir las señales provenientes de los electrodos y proporcionará una señal limpia y amplificada a la salida, la cual será procesada por lo general por un multiplexor previo a su conexión a un conversor análogo digital. La etapa de amplificación debe modificar tanto amplitud como frecuencia de la señal recibida considerando además la presencia del voltaje de *offset*.

1.4. Objetivo general de la presente tesis

- Tomando como base el estudio de las señales neuronales y el proceso de transducción a través de dispositivos electrónicos, la presente tesis desarrolla el diseño de un amplificador diferencial de ganancia programable con énfasis en la reducción de *offset* empleando una tecnología CMOS de 0.35 μm .

1.5. Objetivos específicos de la presente tesis

- Fundamentar apropiadamente el uso del amplificador como bloque del sistema de recepción de señales neuronales en el proceso de transducción.
- Simular el diseño de un amplificador *fully differential* con una etapa de CMFB (*Common Mode Feedback*) en el *software* de desarrollo analógico *Virtuoso* de *CADENCE* y obtener el voltaje de *offset* mediante simulaciones Montecarlo.
- Verificar que los valores obtenidos en el *software* de simulación cumplan con los requerimientos planteados para el diseño del amplificador incluyendo, adicionalmente, una etapa de cancelación de *offset*.
- Diseñar el *layout* del amplificador para poder determinar la distribución física de los elementos del mismo.

Capítulo 2

Circuitos integrados analógicos en tecnología CMOS

La idea de transistores de efecto de campo fue introducida por primera vez en 1930, antes de la invención del transistor bipolar. Sin embargo, no fue sino hasta 1960 cuando se inició la fabricación de los primeros transistores tipo n. A mediados de esta década, se presentó el transistor MOS complementario (CMOS) que incluía transistores tipo p y tipo n, iniciado así una revolución en la industria del semiconductor. El bajo costo de fabricación y la posibilidad de incluir tanto circuitos analógicos como digitales en un mismo chip permitió el desarrollo de los transistores CMOS [?].

2.1. Amplificadores CMOS

2.1.1. Introducción a los amplificadores CMOS

Los amplificadores en tecnología CMOS se pueden desarrollar de formas diferentes y usando diferentes subcircuitos y componentes. La forma más básica de amplificador es el inversor, en base a esta configuración se pueden desarrollar formas y estructuras más complejas como los amplificadores de ganancia alta (*High-Gain Amplifier*), amplificadores diferenciales (*Differential Amplifiers*) y amplificadores cascos (*Cascode Amplifier*). Posteriormente se pueden combinar todas las estructuras mencionadas para lograr amplificadores con especificaciones y requerimientos más complejos [17].

2.1.2. Amplificadores Operacionales CMOS (*OpAmps*)

Los amplificadores operacionales son amplificadores que poseen una alta ganancia al ser realimentados negativamente además de una función de transferencia de lazo cerrado independiente de la ganancia del mismo *Opamp*. Los *Opamps* usan generalmente dos o más etapas de ganancia. En la figura 2.1 se puede ver el diagrama general de un *Opamp* de dos etapas; esta cuenta con una entrada diferencial (*Differential Stage*), una etapa de alta ganancia (*High-Gain Stage*), un circuito de polarización (*Bias Circuitry*) y un buffer de salida (*Output Buffer*).

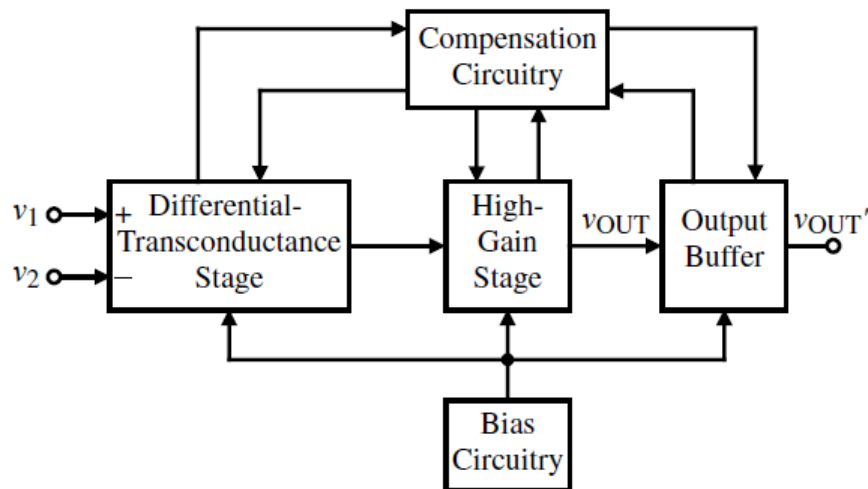


Figura 2.1: Diagrama de bloques de un *OpAmp* de dos etapas [6].

2.2. Diseño de *OpAmps*

El diseño de *Opamps* está basado en características y/o requerimientos elegidos por el diseñador. Estas deben ser seleccionadas en base a una estructura o topología previamente escogida. En el diseño de *Opamps* se tienen condiciones de frontera (*Boundary Conditions*) y requerimientos del mismo (*Opamp Requirements*).

2.2.1. Condiciones de Frontera

En este grupo se encuentran las especificaciones de proceso (*Process Specifications*) que dependen de la tecnología en la que se está diseñando. Estos parámetros son el voltaje de threshold (V_{th}) así como las características del NMOS o PMOS debido a su tecnología (K' , C_{ox}). Se encuentran además en este grupo de condiciones el voltaje de alimentación, la corriente de

alimentación y el rango de temperatura del circuito. Para la presente tesis se emplea la tecnología 0.35um de AMS y un voltaje de alimentación (*Supply Voltage*) de 3 V.

2.2.2. Requerimientos del Opamp

Ganancia (*Gain*)

Tiene gran valor cuando el amplificador es operado sin realimentación. Al usar realimentación el circuito obtiene un nivel de ganancia precisamente definido pero esta ganancia se reduce.

Producto Ganancia ancho de Banda (*Gain Bandwith*)

Producto de la ganancia en lazo abierto y el ancho de banda a una frecuencia específica. Está ligado a la frecuencia de ganancia unitaria y cuando se trabaja a ganancia unitaria, el producto ganancia ancho de banda es igual al ancho de banda.

Tiempo de Establecimiento (*Settling Time*)

Está definido como el tiempo que le toma a la salida del *Opamp* responder a un cambio en la entrada medido en relación al 50 % de la entrada y salida.

Slew Rate

Es la razón de cambio de la salida en voltaje causado por un cambio de voltaje en la entrada del *Opamp*. Se mide típicamente en $V/\mu s$ y dependen del tipo de *Opamp*. Amplificadores de bajo voltaje tendrán *slew rates* bajos, por el contrario, amplificadores operacionales rápidos tendrán un *slew rate* mayor.

Input common-mode rage (ICMR)

Es el rango de la señal en modo común en el cual el amplificador puede operar de manera lineal. Típicamente los *Opamps* permiten que el voltaje de entrada de modo común se encuentre dentro del rango del voltaje de alimentación. Algunos *Opamps* permiten entradas que exceden el voltaje de alimentación del mismo (*Beyond the Rails*).

Razón de rechazo en modo común (*CMRR*)

Es la razón entre la ganancia en modo diferencial y en modo común del *Opamp* expresada en decibelios. Se estila buscar una razón de rechazo de modo común alta. Un *Opamp* ideal tiene un *CMRR* equivalente a infinito.

Power-supply rejection ratio (PSRR)

Es la razón de cambio entre el voltaje de alimentación y la salida de voltaje diferencial expresada en decibelios. Al igual que el *CMRR*, un *OpAmp* ideal posee un *PSRR* de infinito.

Output-voltage swing

Define que tan cerca la salida en voltios del *OpAmp* puede aproximarse a los voltajes de alimentación (*Rail to Rail*) bajo condiciones donde el *OpAmp* funciona de manera correcta.

Resistencia de Salida

Es la razón del voltaje de salida con respecto a la corriente del *OpAmp*. Determina la carga que el *OpAmp* puede soportar en su salida y el nivel de voltaje que puede entregar a la siguiente etapa.

Offset

Es un parámetro muy común en los amplificadores operacionales. Está definido como el voltaje que debe ser aplicado entre los terminales de entrada para obtener un voltaje de cero en la salida. El origen del offset es debido a los *mismatches* o imperfecciones de los transistores y componentes durante su fabricación. Estas imperfecciones producen un *mismatch* en las corrientes de alimentación o bias que circulan en todo el circuito resultando en un voltaje diferencial en las entradas del *OpAmp* [18].

Ruido (Noise)

Se encuentra presente en todos los circuitos y vuelve al *OpAmp* muy susceptible al ruido debido a la baja amplitud de las señales a procesar. Los tipos de ruido que afectan principalmente al *OpAmp* son el térmico y el *flicker* [19].

Disposición de área (Layout)

Es la representación del circuito integrado por medio de arreglos que representan los materiales en la elaboración de los circuitos integrados y su disposición en capas (*Layers*).

2.2.3. *OpAmps* de dos etapas (*Two-stage OpAmps*)

A diferencia del *OpAmp* de una etapa, donde la ganancia se encontraba limitada al producto de la transconductancia de entrada del par multiplicada por la impedancia de salida, el *OpAmp* de dos etapas divide la etapa de ganancia y de rango de voltaje para poder permitir una alta ganancia en la primera etapa sumada a un alto rango de voltaje (*High Swing*) como se ve en la figura 2.2 [?].

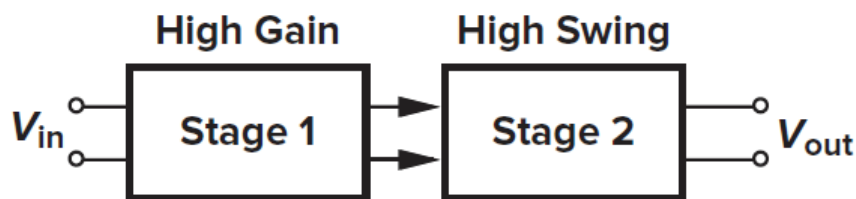


Figura 2.2: Bloques de un *OpAmp* de dos etapas [7].

Es típico que la segunda etapa de estos amplificadores esté configurada como un amplificador

surtidor común (*common-source*) para permitir el máximo rango de voltaje posible.

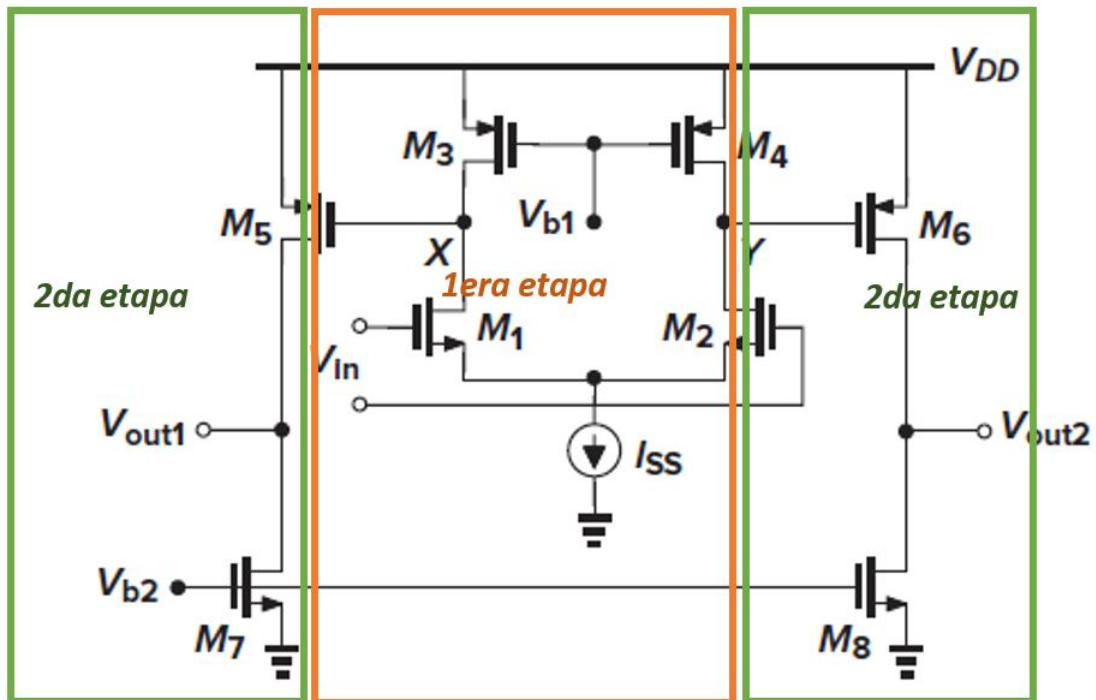


Figura 2.3: Esquemático de *OpAmp* de dos etapas [7].

En la figura 2.3 se puede observar una topología típica de un amplificador de dos etapas donde la ganancia de la primera y la segunda etapa tienen el valor de:

$$g_{m1,2}(r_{o1,2} || r_{o3,4}), g_{m5,6}(r_{o5,6} || r_{o7,8}) \quad (2.1)$$

2.3. Estado del arte en amplificadores operacionales de dos etapas

Se presenta a continuación las topologías actuales en amplificadores operacionales de dos etapas aplicados a la recepción de señales neuronales.

2.3.1. *Fully-differential self-biased OTA with Miller Capacitance*

Topología de bajo voltaje de alimentación y bajo consumo de energía aplicado a la recepción de señales neuronales. Emplea una pseudo-resistencia y una capacitancia Miller para poder optimizar los efectos de ganancia y ancho de banda del amplificador al mismo tiempo que reduce el área. La misma es ilustrada en la figura 2.4.

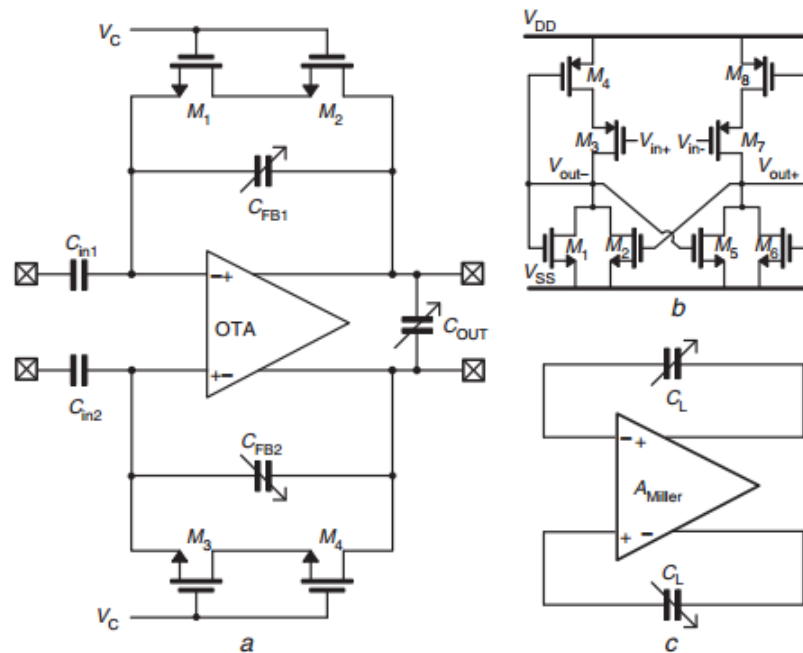


Figura 2.4: Arquitectura del amplificador(a), Esquemático *fully-differential*(b), capacitancia de Miller(c) [8].

2.3.2. Fully-differential OpAmp with offset reduction

Esta topología, ilustrada en la figura 2.5, emplea técnicas de compensación de offset como la compensación en lazo abierto y el autozeroing. Emplea dos etapas usando una arquitectura completamente diferencial para generar resistencia al ruido. Esta topología emplea una etapa de realimentación de modo común (common-mode feedback circuitry) que consume energía adicional.

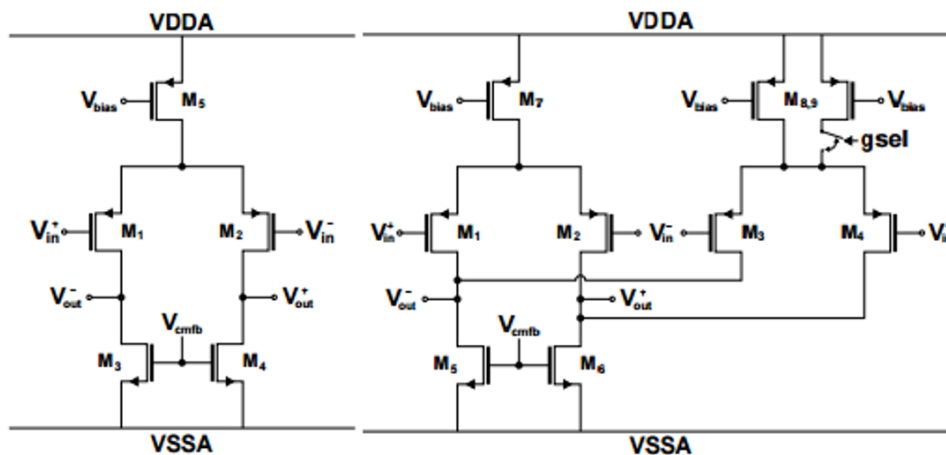


Figura 2.5: Etapas del amplificador con reducción de *offset* [9].

2.3.3. Fully-differential Folded-Cascode

Emplea un par diferencial PMOS con transistores que operan en la región de inversión débil (*weak inversion*) para maximizar la transconductancia y por lo tanto minimizar la contribución del ruido. Posee entradas acopladas capacitivamente para eliminar valores de voltaje de offset que provienen del electrodo de medición. Emplea un circuito de realimentación de modo común continuo. Emplea filtros combinando pseudo-resistencias PMOS-NMOS que son controladas para alcanzar altos valores en el rango de permitiendo optimizar el área al momento de implementar filtros de muy baja frecuencia. Esto es representado en la figura 2.6.

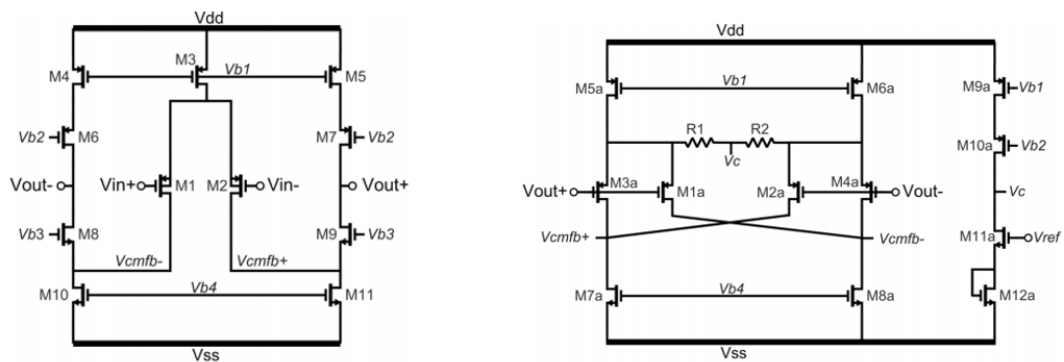


Figura 2.6: Fully differential folded cascode (izquierda), Circuito de realimentación de modo común continuo (derecha) [10].

2.4. Elección de la Topología

El desarrollo de circuitos en la adquisición de señales neuronales permite el desarrollo de nuevas topologías y método para poder optimizar este proceso. Tomando en cuenta las topologías previamente mencionadas se elaboró la tabla 2.1 que considera los factores más importantes en el diseño de amplificadores operacionales empleados en el ámbito de las señales neuronales. La topología *folded-cascode* ofrece un bajo consumo de energía en comparación con el amplificador con reducción de offset, sin embargo, presenta dificultades mayores al momento de realizar el *biasing* del circuito y su posterior *layout*. Para la presente tesis se contempla el uso de la arquitectura empleada en el amplificador *fully differential* con la adición de la etapa de compensación Miller para poder tener una correcta estabilización y una alta ganancia.

Tabla 2.1: Tabla comparativa entre diferentes topologías de *OpAmps*.

Parámetros	[8]	[9]	[19]
Referencia			
Topología	<i>Fully Differential Self-Biased OTA</i>	<i>Fully Differential OpAmp with Offset Reduction</i>	<i>Fully Differential Folded-Cascode</i>
Ganancia (dB)	34-46	61	40
Ruido	6.1 μ V	6.8 μ V	2.9 μ V
Ancho de Banda (BW)	10KHz	9.9KHz	6KHz
CMRR	79.4	-	70
PSRR	79.3	-	70
LF cutoff	1-100	-	0.23/6.2
HF cutoff	1-20KHz	-	2.6/572
Potencia	5.9 μ W	250 μ W	11-5-231 μ W
Área Activa (mm ²)	0.057	0.0036	-
Tecnología	0.35 μ m CMOS	180nm CMOS	0.35 μ m CMOS

Capítulo 3

Diseño del amplificador de señales neuronales con corrección de *offset*

En este capítulo se desarrolla el proceso de diseño del amplificador de señales neuronales con corrección de *offset* en base a los requerimientos del amplificador operacional para la adquisición de señales neuronales, las condiciones de diseño de los amplificadores y la cancelación del *offset*.

Se busca obtener el diseño del circuito amplificador, los valores de corrientes de polarización y las dimensiones de los transistores que garanticen su funcionamiento en la región deseada para poder obtener una ganancia adecuada y un nivel de estabilidad óptimo. A su vez, se diseñará el bloque de cancelación de *offset* empleando el arreglo *current steering*.

El diseño se realizará usando el software *Virtuoso Analog Environment* de *CADENCE* utilizando la tecnología AMS 0.35 μ m. Se comprobará el correcto funcionamiento del diseño mediante simulaciones en este software.

El circuito a diseñar puede representarse en las siguientes etapas:

- Diseño del amplificador de dos etapas.
- Diseño del circuito de realimentación de modo común (CMFB).
- Diseño de la etapa de cancelación de *offset*.
- Diseño del amplificador de ganancia programable.

La simulación de estas etapas se dará en un circuito *testbench* que tiene como objetivo evaluar los valores diseñados con la finalidad de permitir análisis y modificaciones del circuito antes de pasar a la etapa de *layout*.

3.1. Diseño del Amplificador

3.1.1. Análisis en pequeña señal

A diferencia de los modelos de gran señal, que proveen información sobre los voltajes de polarización y efectos significativos en la señal, pequeñas perturbaciones en el circuito requieren el análisis empleando el modelo de pequeña señal. Idealmente, se puede modelar el MOSFET como una fuente de corriente dependiente de valor $g_m V_{gs}$. Al considerar los efectos de modulación de canal, longitud de canal y efecto cuerpo, al modelo en pequeña señal se le adiciona una fuente de corriente dependiente del voltaje drenador-surtidor, una resistencia y una fuente de voltaje entre los terminales sustrato-surtidor respectivamente, tal como ilustra la figura 3.1.

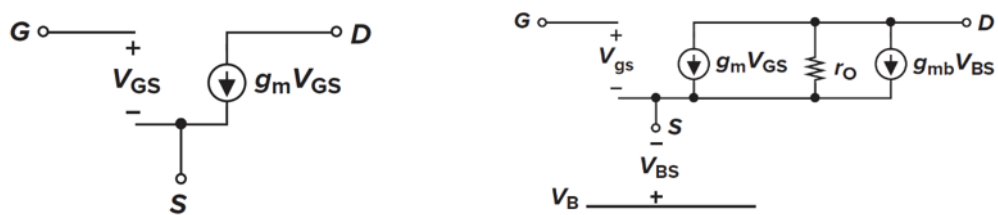


Figura 3.1: Modelo en pequeña señal del MOSFET ideal (izquierda). Modelo considerando efecto cuerpo, modulación de canal y longitud de canal (derecha) [7].

Como se planteó en el capítulo 2, sección 4, la topología a emplear es la *Two-Stage Fully Differential Miller-compensated*, mostrada en la figura 3.2.

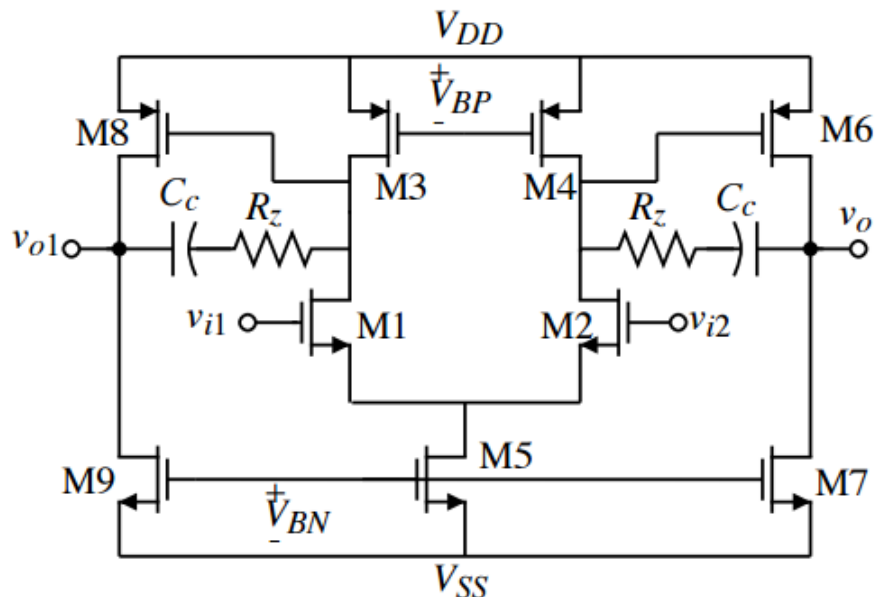


Figura 3.2: *Two Stage Fully Differential Miller-compensated OpAmp* [11].

Para calcular el modelo en pequeña señal del circuito descomponemos el amplificador en dos

etapas, ilustrado en la figura 3.3. La primera etapa consiste en el par diferencial y la segunda es el amplificador surtidor común. Se realizó el modelo en pequeña señal considerando solo el efecto de longitud de canal.

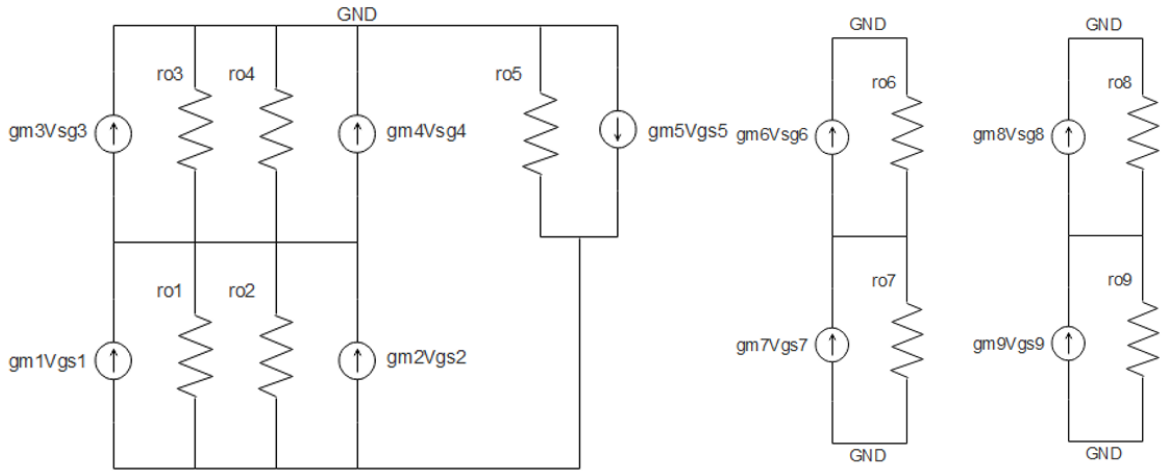


Figura 3.3: Modelo en pequeña señal de la primera (izquierda) y segunda (derecha) etapa.

Para la realización del modelo en pequeña señal se toman en cuenta las siguientes consideraciones:

$$gm_1 = gm_2, gm_3 = gm_4, gm_6 = gm_8, gm_7 = gm_9 \quad (3.1)$$

Además, por ser *fully differential*:

$$V_{gs1} = V_{in+} = -V_{gs2} = -V_{in-} \quad (3.2)$$

$$V_{gs5} = V_{gs7} = V_{gs9} \quad (3.3)$$

3.1.2. Principios básicos de diseño

Para un amplificador operacional de dos etapas, la expresión de la ganancia total del *OpAmp* corresponde a:

$$A_v = A_{v1} * A_{v2} \quad (3.4)$$

Donde A_{v1} y A_{v2} corresponden a las ganancias de las diferentes etapas de los *OpAmps* que pueden ser representadas como:

$$A_{vi} = G_{mi} * R_{outi} \quad (3.5)$$

Donde A_{vi} es la ganancia de la etapa i del amplificador, G_{mi} es la transconductancia de la etapa y R_{outi} corresponde a la resistencia efectiva de salida. Tomando en cuenta el modelo en pequeña señal, se plantea lo siguiente:

$$R_{out1} = r_{o2} || r_{o4}, R_{out2} = r_{o6} || r_{o7}, \quad (3.6)$$

$$G_{m1} = g_{m1,2}, G_{m2} = g_{m6,8} \quad (3.7)$$

g_m corresponde a la transconductancia de los transistores y r_{o6} a la resistencia de salida de los transistores. La transconductancia g_m es una función que tiene como parámetros el factor de forma del transistor W/L , la corriente de drenador I_D y el voltaje de *overdrive* V_{ov} [20]. Las ecuaciones de transconductancia son:

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}), g_m = \sqrt{\mu_n C_{ox} \frac{W}{L} I_D}, g_m = \frac{2I_D}{V_{GS} - V_{TH}} [?] \quad (3.8)$$

3.2. Requerimientos del Amplificador

El proceso de diseño del amplificador requiere parámetros y requerimientos propuestos por el diseñador y basados en el estado del arte en amplificadores. En base a los conceptos de señales neuronales explicados en el capítulo 1 y los trabajos expuestos en el capítulo 2, se muestran los requerimientos que el amplificador deberá cumplir en la tabla 3.1

Tabla 3.1: Especificaciones del amplificador de ganancia programable

Parámetro	Requerimiento
Ganancia (dB)	0-32
Ancho de Banda (Hz)	9000
Margen de fase (°)	>60
Potencia disipada	<150 μW
Capacitancia de carga (fF)	200
Voltaje de Alimentación (V)	3
Tecnología	0,35 μm CMOS

3.3. Dimensionamiento de los transistores

A continuación, se presenta el proceso de dimensionamiento de los transistores para las diferentes etapas del amplificador con corrección de *offset*. Estas dimensiones obedecen no solo a los factores que limitan el funcionamiento del transistor, sino también a una serie de supuestos y reglas de diseño que se asumen para poder modificar el comportamiento del transistor.

3.3.1. Amplificador

Se empezará el diseño tomando en cuenta los voltajes y corrientes del amplificador. Como ya se mencionó en la tabla 3.1, el amplificador estará alimentado por un voltaje de 3V para una tecnología 0,35 μm CMOS por lo que el voltaje de entrada de modo común será 1.5V, esto es un poco menos de la mitad del voltaje de alimentación y garantizará la polarización de los transistores. El siguiente paso es dimensionar las corrientes que se emplearán en el par diferencial, para esto, se considera un ancho de banda de 10KHz debido a que las señales a adquirir serán neuronales. Con un ancho de banda de 10KHz, se puede analizar la relación entre la transconductancia del par, el producto ganancia ancho de banda y la capacitancia de salida.

$$g_m = GBW * C_l * 2\pi \quad (3.9)$$

Donde GBW es el producto ganancia ancho de banda y le damos el valor de 500KHz para una ganancia de 50 y un ancho de banda de 10KHz. La capacitancia de salida es de 200fF. Para estos valores se obtiene un valor de 0,628 μS pero este valor de transconductancia se verá afectada al conectar el resto de los componentes del circuito por lo que se busca una transconductancia de mayor valor. Para este caso, 1 μS

Aplicando criterios de diseño de [?] :

$$\frac{g_m}{I_D} > 10 \quad (3.10)$$

Para un valor de 1 μS obtenemos una corriente I_D de 100nA. Se utilizará este valor de corriente y se distribuirán las corrientes en el circuito amplificador. Para la primera etapa, los transistores M1, M2, M3 Y M4 emplearan una corriente de 100nA. El transistor M5 está funcionando como una fuente de corriente con un valor aproximado de 200nA. La segunda etapa necesitará una mayor transconductancia para garantizar un margen de fase correcto por lo que se utiliza una corriente de 400nA en los transistores M6, M7, M8 y M9.

Conociendo los valores de corriente, se dimensionan los transistores del par diferencial

empleando el modelo cuadrático.

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (3.11)$$

Para un K_{PN} de $170 \mu A/V^2$ y un voltaje de overdrive de $200mV$, se plantea la ecuación para hallar el factor de forma.

$$100nA = \frac{1}{2} * 170 \mu A/V^2 * \frac{W}{L} * (200mV)^2 \quad (3.12)$$

$$\frac{W}{L} = \frac{1}{33} \quad (3.13)$$

Se tiene un L muy grande y esto puede afectar negativamente nuestro transistor. Se reemplazará este factor de forma por uno de mayor valor. Para bajas corrientes, es típico que el transistor opere en región sub-umbral. En esta región, solo una baja cantidad de electrones supera la barrera generada entre drenador y surtidor. Esta región puede delimitar la ganancia lineal del amplificador, pero permite la realización de circuitos integrados de muy bajo voltaje y consumo de energía [21]. Al emplear un factor de forma de $1/1 \mu m$, el transistor se encuentra en región sub-umbral obteniéndose una transconductancia de $2,31 \mu S$. Esta medida es óptima y permitirá que el par diferencial funcione a $100nA$.

Para el transistor M5, no se tienen limitaciones concretas en cuanto a transconductancia pero se requiere una corriente de $200nA$. Empleando la ecuación cuadrática de saturación para un factor de forma de $2/2 \mu m$ se obtiene una transconductancia de $4,16 \mu mS$ y un voltaje de overdrive de $20mV$ para el transistor operando en la región de saturación. Estas dimensiones mantienen relación con el espejo de corriente que se realizó para este amplificador. Los transistores M3 y M4 de la primera etapa tienen un voltaje de gate controlado por una etapa de CMFB por lo que se puede controlar el voltaje de overdrive dejando solo el factor de forma como variable. Considerando un K_{PP} de $58 \mu A/V^2$, se plantea:

$$100nA = \frac{1}{2} * 58 \mu A/V^2 * \frac{W}{L} * (V_{ov})^2 \quad (3.14)$$

Para un factor de forma de $1/1 \mu m$ se obtiene un voltaje de *overdrive* de $25.5mV$ y se asegura que el transistor opere en región de saturación.

La segunda etapa consiste en un amplificador en modo surtidor común. Para obtener un margen de fase mayor a 60° la transconductancia de M6 y M8 deberá ser mayor a la del par diferencial. Para maximizar este valor, se puede aumentar la corriente o el factor de forma de los transistores.

Se emplea una corriente de 400 nA por lo que los transistores M7 y M9 tendrán un factor de forma de $4/2 \mu\text{m}$

Esto garantiza una copia correcta de corriente puesto que el transistor M5 posee un factor de forma de $2/2 \mu\text{m}$. Para los transistores M6 y M8, se conoce el valor de la corriente por lo que se incrementa el factor de forma para obtener una mayor transconductancia con relación al par. Estos parámetros se encuentran en relación directamente proporcional como se ve en la expresión de transconductancia.

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} \quad (3.15)$$

Para incrementar la transconductancia en los transistores M6 y M8, se utiliza un factor de forma de $2/1 \mu\text{m}$. Este valor, además de la corriente, incrementa la transconductancia y garantiza un margen de fase óptimo. Los resultados de los cálculos se muestran en la tabla 3.2.

Tabla 3.2: Dimensiones de los transistores del amplificador

Transistor	Corriente (nA)	W/L	W(μm)	L(μm)
M1,M2	100	1	1	1
M3,M4	100	1	1	1
M5	200	1	2	2
M6,M8	400	2	2	1
M7,M9	400	2	4	2

Los transistores del par diferencial deben de ser lo más idénticos posibles para despreciar efectos de mismatch y capacitancias parásitas. Los transistores M5, M7 y M9 se limitan a copiar la corriente basada en una referencia. Todos los transistores operan en saturación con la excepción del par diferencial el cual opera en región sub-umbral.

3.3.2. Espejos de Corriente

Esta etapa del circuito está encargada de polarizar los transistores M5, M7 y M9 garantizando el valor de corriente adecuado en cada rama del amplificador. El principio de espejo de corriente está basado en un arreglo de circuitos analógicos que “copian” corriente de una referencia, tal como es presentado en la figura 3.4. Para garantizar la corriente de referencia nos basamos en el principio de que un transistor polarizado con I_{REF} produce un voltaje $V_{GS} = f^{-1}(I_D)$ [?]. Por lo tanto, si se aplica este voltaje en el gate de un segundo transistor, el resultado será:

$$I_{OUT} = ff^{-1}(I_{REF}) = I_{REF} \quad (3.16)$$

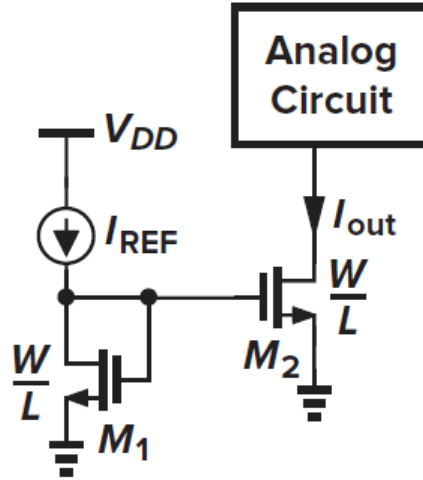


Figura 3.4: Espejo de corriente [7].

De manera general, la relación entre de I_{OUT} y a I_{REF} es:

$$\frac{I_{OUT}}{I_{REF}} = \frac{(L_1 W_2)}{(L_2 W_1)} \left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \left(\frac{1 + \lambda_{V_{DS2}} K'_2}{1 + \lambda_{V_{DS1}} K'_1} \right) \quad (3.17)$$

Debido a que los componentes del espejo se encuentran en un mismo circuito integrado por lo tanto los parámetros físicos como V_T y K' son idénticos para ambos dispositivos, reduciendo la ecuación:

$$\frac{I_{OUT}}{I_{REF}} = \frac{(L_1 W_2)}{(L_2 W_1)} \left(\frac{1 + \lambda_{V_{DS2}}}{1 + \lambda_{V_{DS1}}} \right) \quad (3.18)$$

Y para $V_{DS2} = V_{DS1}$:

$$\frac{I_{OUT}}{I_{REF}} = \frac{(L_1 W_2)}{(L_2 W_1)} \quad (3.19)$$

Los efectos que causan que los espejos de corriente tomen valores diferentes a los ideales son los siguientes:

- Efecto de modulación de canal.
- Presencia de un voltaje de offset entre los transistores.
- Similitud geoméricamente imperfecta [22].

Al operar en la región de saturación, los transistores están sujetos al efecto de modulación de canal. Al modificar L en los transistores de los espejos se incrementa V_{DS} y debido a la ecuación característica del MOSFET:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (3.20)$$

Se produce un incremento de la corriente al usar L's de mayor tamaño afectando la copia de la corriente. Como ya se había planteado anteriormente, la corriente en las ramas del amplificador son 100nA, 200nA y 400nA. Empleamos una referencia de 200nA. Para reducir el efecto de modulación de canal usamos un factor de forma de $2/2 \mu\text{m}$. Se asegura que el transistor está operando en saturación y se escalan los transistores de copia. Los espejos de corriente emplean el mismo L para minimizar los errores producidos por el *side-diffusion* en el área del surtidor y drenador.

3.3.3. *Common-Mode Feedback Circuit*

La etapa de *common mode feedback*, presentada por la figura 3.5, es usada para estabilizar el nivel DC a la salida del amplificador. En un amplificador fully differential, el circuito de CMFB mide un voltaje de salida en modo común V_{CM} , preferiblemente descartando el voltaje en modo diferencial y la señal de salida del circuito CMFB retorna al amplificador para poder ajustar el nivel de voltaje DC de salida para que V_{CM} pueda mantenerse constante en un valor de referencia asignado. Se emplea un modelo de CMFB que tiene como entradas el voltaje V_{CM} y los voltajes a la salida del amplificador. Este bloque retornará un voltaje de polarización V_{BP} el cuál polarizará los transistores M3 y M4 (Ver figura 3.2).

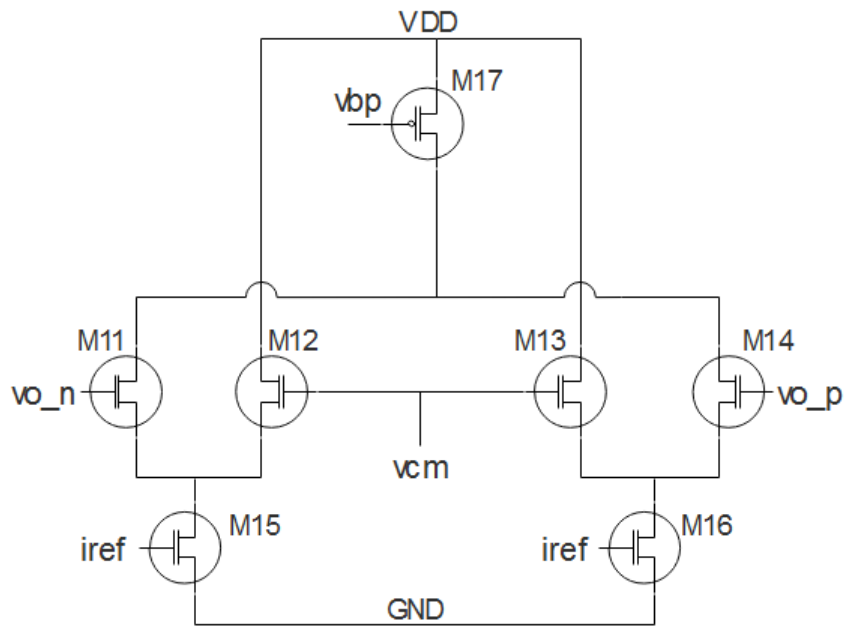


Figura 3.5: *Common Mode Feedback Circuit* del amplificador operacional.

El circuito de *common mode feedback* se muestra en la figura 3.5. Los transistores M11 y M14 reciben en sus *gates* los valores de voltaje a la salida del amplificador de dos etapas. Estos voltajes modifican a su vez los valores de corriente de los transistores M11 y M14. Dado que los transistores M15 y M16 actúan como fuentes de corriente mediante la técnica de espejos, al variar el voltaje de modo común en la salida del amplificador, las corrientes en M12 y M13 se incrementarán o reducirán para mantener los valores de corriente en M15 y M16 constante. Al aumentar la corriente en M11, M14, la corriente en el transistor M17 aumenta por lo tanto V_{BP} disminuye. Al disminuir la corriente en M11, M14, la corriente en M17 disminuye y por lo tanto V_{BP} aumenta, generando de este modo una realimentación CMFB negativa. El dimensionamiento de los transistores M15 y M16 se realiza tomando en cuenta los espejos de corriente. Dado que se polarizan con el mismo voltaje que M5, M7, M9 y la referencia en M11, empleamos un L de $2 \mu\text{m}$ para los transistores M15 y M16. La salida de la etapa CMFB está conectada como un espejo de corriente con relación a M3 y M4 por lo que se asigna un L de $1 \mu\text{m}$ a M17. Analizando el circuito, se observa que la corriente I_D de M17 equivale aproximadamente al valor de la corriente de M15 o M16. Se usa 100nA en M17 para dimensionar la etapa CMFB. Los transistores M11, M12, M13 y M14 recibirán una corriente de 50nA por lo que se modificará el factor de forma aumentado L para garantizar la polarización de los transistores en la región de saturación. El voltaje V_{CM} polariza los transistores M12 y M13, modificando la corriente I_D de los mismos. De esta los voltajes v_{op} y v_{on} se aproximan a tomar el valor de V_{CM} . Un resumen del dimensionamiento es presentado en la tabla 3.3.

Tabla 3.3: Dimensiones de los transistores del amplificador

Transistor	Corriente (nA)	W/L	W(μm)	L(μm)
M11,M12	50	0.25	1	4
M13,M14	50	0.25	1	4
M15,M16	100	0.5	1	2
M17	100	1	1	1

3.4. Análisis de *offset*

3.4.1. *Offset* en amplificadores

Idealmente, si ambas entradas del amplificador operacional están alimentadas con cero voltios, la salida deberá ser también de cero voltios. En aplicaciones reales, una pequeña cantidad de voltaje debe ser aplicada para forzar la salida a cero. Este voltaje es conocido como el voltaje *offset* de entrada y puede ser modelado como una fuente de voltaje V_{OS} en serie a la entrada de alimentación de modo común [23]. Si el voltaje de *offset* es amplificado por el amplificador operacional, puede llevar al circuito fuera de su región lineal, afectando los valores reales del mismo, como se ve en la figura 3.6 [?].

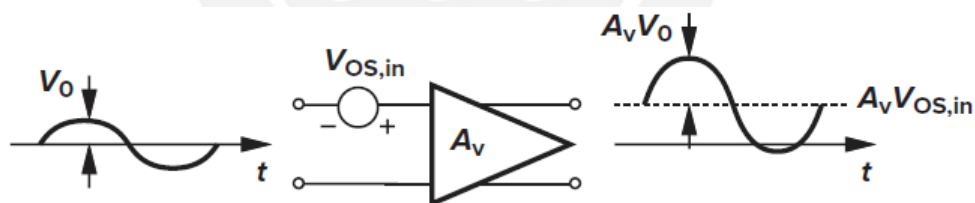


Figura 3.6: Efectos del *offset* en amplificadores [7].

El voltaje de *offset* también puede alterar la precisión con la cual las señales son medidas, reduciendo el nivel de confiabilidad del circuito.

3.4.2. Técnicas de reducción de *offset* en amplificadores

3.4.2.1. *Output offset storage*

Una de las técnicas de cancelación del voltaje de *offset* consiste en el uso de capacitancias para almacenar y cancelar el mismo. En la figura 3.7 se muestra una topología de cancelación de

offset empleando interruptores, capacitancias y un circuito de reloj.

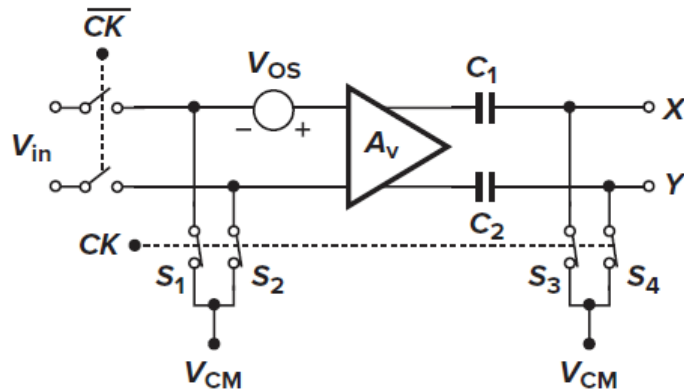


Figura 3.7: Cancelación de *offset* usando la topología *Output offset storage* [7].

El circuito funciona mediante la carga y descarga de los condensadores C2 y C1. Inicialmente, cuando S1 y S2 se encuentren cerrados, los condensadores ser cargarán con:

$$V_{out} = A_v V_{os} \quad (3.21)$$

Se asume que S3 y S4 también se encuentran cerrados. Cuando el voltaje $A_v V_{os}$ se encuentre almacenado, se puede aplicar un voltaje diferencial de cero en la entrada y obtener un voltaje de magnitud cero en los terminales de salida, por lo tanto, al desactivar S1 y S2, el circuito del amplificador y las capacitancias C2 y C1 tendrá un voltaje de *offset* de valor cero. La señal de clock *CK* marca los intervalos de cancelación de *offset* [12].

3.4.2.2. *Input offset storage*

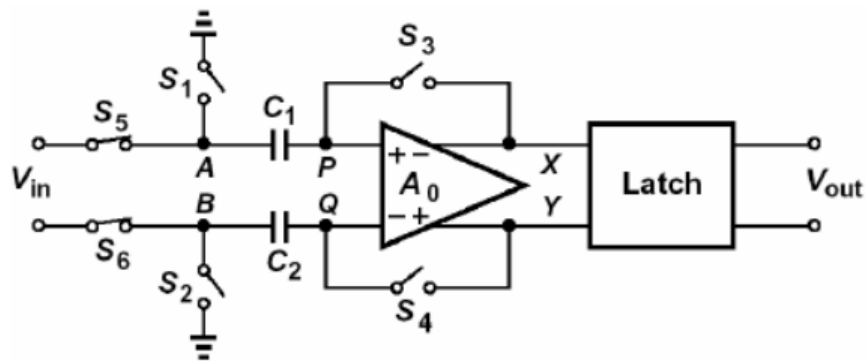


Figura 3.8: Cancelación de *offset* usando la topología *Input offset storage* [12].

Esta topología incorpora dos capacitancias en serie en la entrada y emplea una realimentación diferencial negativa durante la cancelación del offset. Emplea un rango de modo común *Rail-to-Rail* y permite un tiempo de recuperación alto. Para esta topología se consideran las siguientes ecuaciones:

$$V_{XY} = V_{PQ}, (V_{XY} - V_{OS})(-A_v) = V_{XY} \quad (3.22)$$

$$V_{XY} = \frac{A_v}{1 + A_v} V_{OS} = V_{OS} \quad (3.23)$$

El circuito almacena el *offset* del amplificador de los nodos P y Q en las capacitancias C_1 y C_2 . Por lo tanto, para una entrada diferencial de cero, la salida diferencial corresponderá a V_{OS} .

Tanto en las topologías *input offset storage* como *output offset storage* se tiene la desventaja de introducir capacitancias en el camino de la señal. Estas capacitancias reducirán la magnitud de los polos del circuito, degradando el margen de fase y limitando el tiempo de establecimiento incluso en amplificadores de lazo abierto.

3.5. Mismatch

En los MOSFETs usados en los circuitos integrados, no se puede saber exactamente el número de impurezas presentes en un determinado canal o región. Es imposible asegurar que dos transistores tendrán el mismo número y ubicación de impurezas a pesar que posean el mismo *layout*. Estas variaciones se conocen como *Mismatch*. El *Mismatch* en circuitos integrados se representa como las imperfecciones microscópicas generadas durante el proceso de fabricación. Estas imperfecciones se manifiestan como *offsets* en los amplificadores operacionales. Las variaciones más significativas en los transistores MOS se manifiestan como variaciones en el voltaje umbral V_{TH} y $K' = \mu_n C_{ox} \frac{W}{L}$.

Los parámetros en dispositivos que se encuentran ubicados a corta distancia con un mismo *layout* muestran variaciones inversamente proporcionales al área. En los circuitos integrados, las variaciones más importantes se deben al *Mismatch* en el voltaje umbral V_{TH} [17].

En los transistores MOSFET, las variaciones en L dependen del W del circuito

$$\sigma_L^2 \propto \frac{1}{W} \quad (3.24)$$

Y para W, éstas variaciones dependen de L

$$\sigma_W^2 \propto \frac{1}{L} \quad (3.25)$$

Parámetros como *sheet resistance*, concentración de impurezas, movilidad y grosor del óxido de puerta poseen variaciones dependientes del área.

$$\sigma_P^2 \propto \frac{1}{WL} \quad (3.26)$$

Donde p representa la variable de interés. Físicamente, las variaciones dependientes de L , W y WL resultan de imperfecciones en las esquinas del poli-silicio, rugosidad de los bordes, agrupación de impurezas y variaciones de permisividad en el *gate*. Sin embargo, variaciones locales se reducen a medida que se incrementa el tamaño del circuito puesto que los parámetros que producen el *mismatch* se promedian y disminuyen para una mayor área. Para variaciones globales, las variaciones son independientes de L y W . Esto es ilustrado en la figura 3.9.

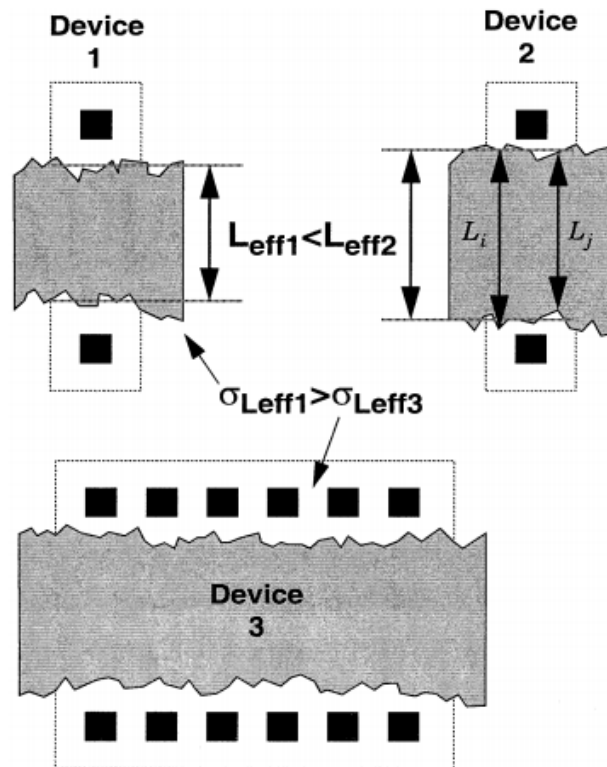


Figura 3.9: Variaciones globales y locales [13].

Para modelar el *mismatch* en el diseño, se consideran los parámetros de proceso y los parámetros eléctricos. Los parámetros de proceso son físicamente independientes que controlan el comportamiento eléctrico del dispositivo. Los parámetros eléctricos, en cambio, son aquellos que el diseñador puede controlar. Estos parámetros se muestran en la tabla 3.4.

Tabla 3.4: Parámetros de proceso y parámetros eléctricos [13].

Process Parameters	Electrical Parameters
Flatband Voltage (V_{fb})	Drain current (I_d)
Mobility (μ)	Input voltage (V_{gs})
Substrate Dopant Conc. (N_{sub})	Trans-conductance (g_m)
Length Offset (ΔL)	Output Conductance (g_o)
Width Offset (ΔW)	
Short Channel Effect (V_{tl})	
Narrow Width Effect (V_{tw})	
Gate Oxide Thickness (t_{ox})	
Source/Drain Sheet Resistance (ρ_{sh})	

3.6. Simulación Montecarlo

Para poder medir y cancelar el *offset* del circuito, es necesario poder medirlo. Dado que el entorno de simulación evalúa los componentes sin considerar la presencia de variaciones debido al *mismatch*, se empleará la simulación Montecarlo. Esta simulación se basa en una técnica matemática que usa modelos probabilísticos o estocásticos para establecer diferentes posibilidades en una misma salida. En una simulación o proceso determinístico, se obtiene el mismo resultado cada vez. Sin embargo, la simulación Montecarlo permitirá al circuito obtener salidas diferentes cada vez. La simulación Montecarlo realiza un análisis de riesgo construyendo modelos y posibles resultados en base a un rango estimado de salidas, creando una distribución de probabilidades para cualquier valor que pudiese tener cierta incertidumbre.

Para corregir el voltaje de en el circuito, se toma en cuenta las topologías antes mencionadas. A pesar de poder cancelar el *offset* en casi su totalidad, tanto el *input offset storage* cómo el *output offset storage* presentan desventajas como la presencia de capacitancias en línea con la señal, reducción del margen de fase, estabilidad del circuito y ancho de banda. Debido a esto, se propone el uso de corrientes diferenciales en el amplificador operacional. Esto consiste en la modificación de las corrientes del par diferencial en la primera etapa del amplificador operacional, modificando el voltaje en los gates y, por ende, modificando el voltaje de *offset*.

Se modela el voltaje de *offset* como:

$$V_{os} = V_{ip} - V_{in} \quad (3.27)$$

Donde V_{ip} es el voltaje de entrada positivo del amplificador operacional y V_{in} es el voltaje de entrada negativo. Se toman las corrientes del par diferencial I_1 e I_2 como se muestra en la figura 3.10 (Izquierda).

Para modificar el offset, se modifican estas corrientes mediante la adición de corrientes diferenciales entre el drenador de los transistores M1, M2 hacia GND o entre el gate de M3, M4 hacia VDD como se muestra en la figura 3.10 (Derecha).

Estas corrientes adicionadas permitirán reajustar el valor de Vos para poder reducirlo. Se empleará el entorno *ADE XL* de *CADENCE* para poder realizar la simulación de Montecarlo y obtener los valores de offset al variar la corriente I_X .

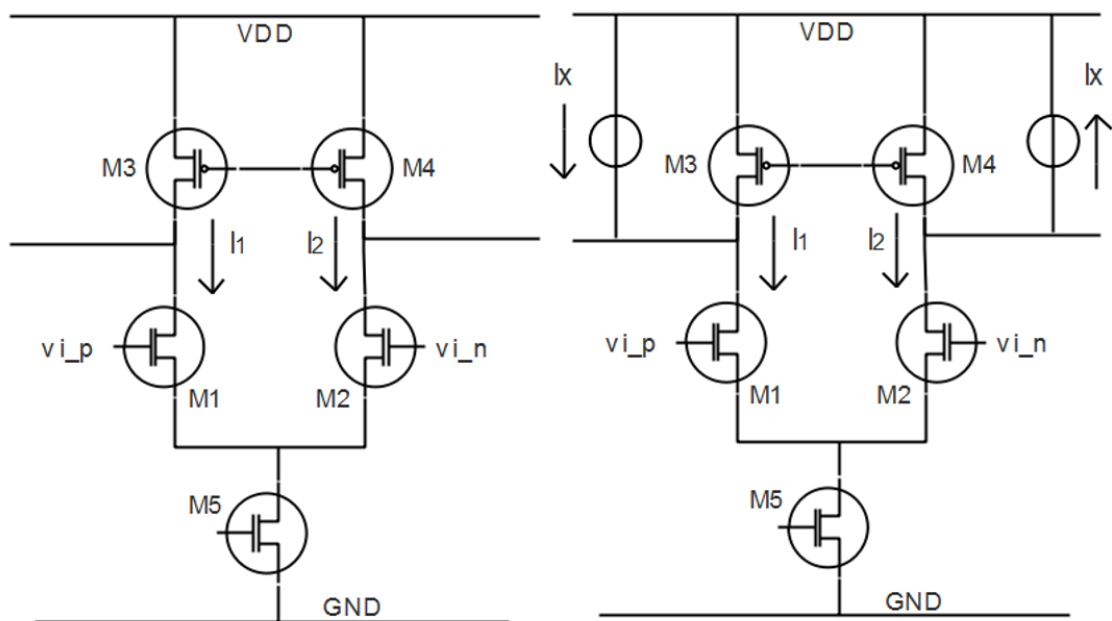


Figura 3.10: Primera Etapa del Amplificador Operacional(Izquierda), Adición de fuentes de corriente(Derecha).

Posterior a las simulaciones de Montecarlo, se obtiene el valor del *offset* del circuito y la corriente necesaria para poder cancelarlo. Esta corriente no puede ser suministrada al sistema usando múltiples fuentes de voltaje por lo que se propone la utilización del arreglo mostrado en la figura 3.11.

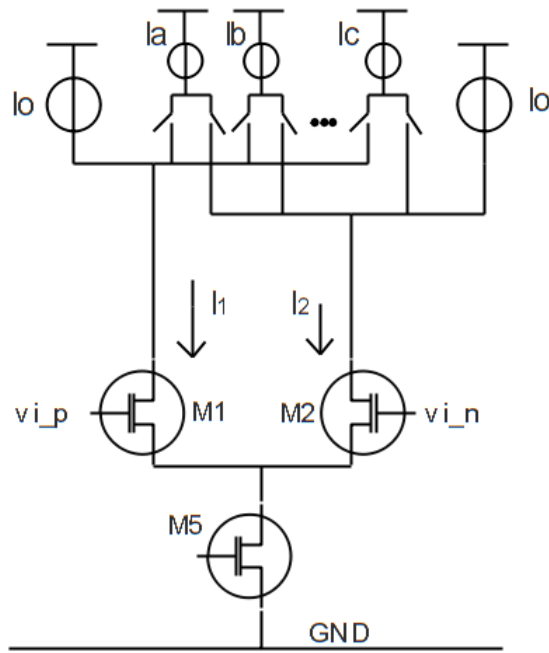


Figura 3.11: Cancelación de *offset* empleando el arreglo de *current steering*.

Para esta configuración, Las corrientes del par diferencial son I_1 e I_2 donde estas corrientes dependen de la suma de las corrientes I_a, I_b, I_c , etc. De esta manera se obtiene un arreglo dinámico de control para los diferentes valores de *offset*. Las fuentes de corriente se implementan como espejos de corriente y los interruptores como puertas de transmisión.

□

Capítulo 4

Simulaciones y Resultados

En el presente capítulo se muestran los resultados obtenidos mediante las simulaciones usando el Virtuoso *Analog Design Environment* de *CADENCE*. Este entorno emplea el simulador *Spectre*. Los resultados se simulan en un circuito de prueba (*testbench*) donde se evalúa el circuito basado en los cálculos realizados con el modelo cuadrático. Las ecuaciones describen el comportamiento aproximado de los parámetros, sin embargo, los resultados no se obtienen de manera precisa ya que el simulador utiliza una ecuación de nivel 52 [22] contemplando un mayor número de parámetros.

4.1. Simulaciones

4.1.1. Análisis DC

En primer lugar, se realiza la simulación DC del circuito. Esta simulación brinda información de los puntos de operación de cada transistor. En la figura 4.1 se puede ver las dos etapas del amplificador operacional y sus parámetros más importantes: corrientes, voltajes de nodo, voltajes drenador-surtidor y transconductancias.

En cada transistor se indica su región de operación mediante un número. Los transistores con un “2” se encuentran en la región de saturación y los que llevan un “3” se encuentran operando en región sub-umbral. En la figura 4.2 se puede ver el circuito polarizado con un voltaje de 1.5V en modo común para asegurar el punto de operación de los transistores. Se observa un voltaje de modo común a la salida de 1.401V para un voltaje de 1.4V de referencia en la etapa de realimentación de modo común (CMFB).

La etapa de CMFB se encuentra representada en la figura 4.3. Esta etapa recibe los voltajes de salida de la segunda etapa del amplificador a fin de realizar una realimentación negativa y poder modificar el valor del voltaje V_{BP} , el cual vale 2.506V en la presente simulación.

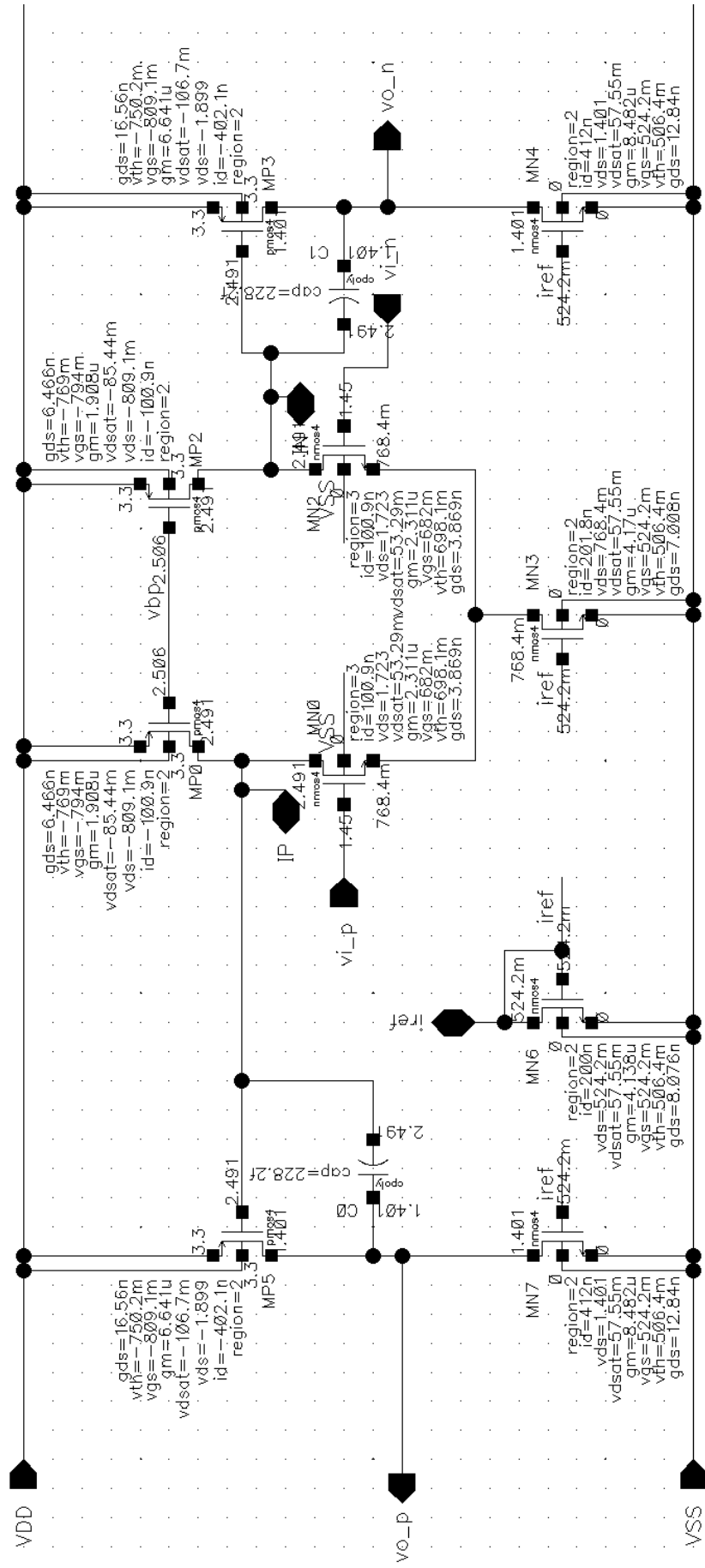


Figura 4.1: Primera y segunda etapa del amplificador operacional simulado en la herramienta Virtuoso de CADENCE

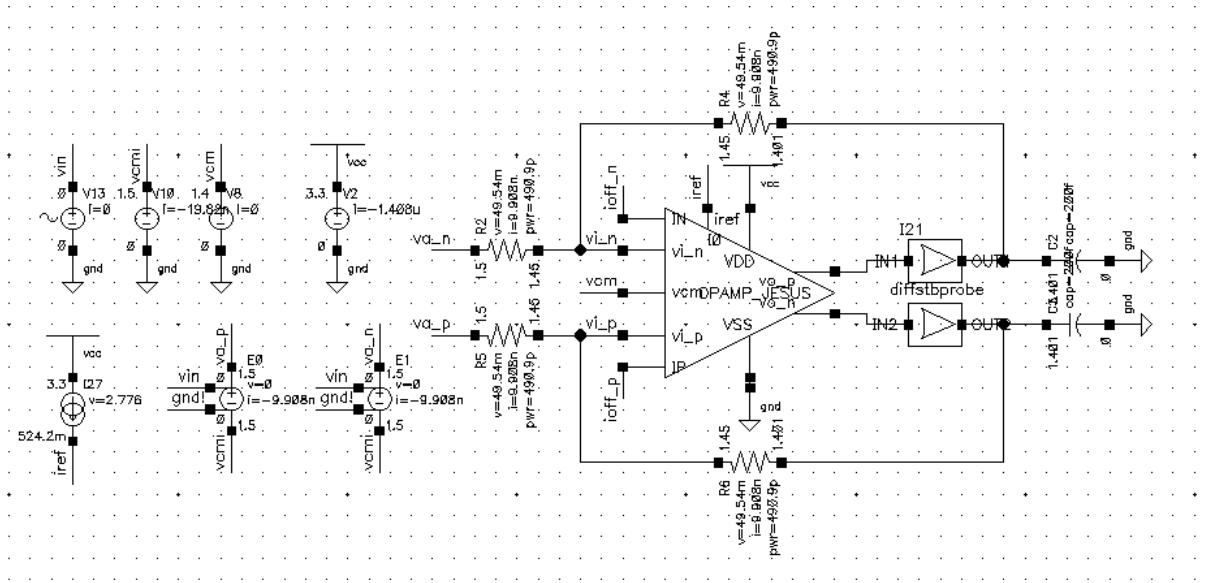


Figura 4.2: Testbench para el análisis DC del circuito en lazo cerrado.

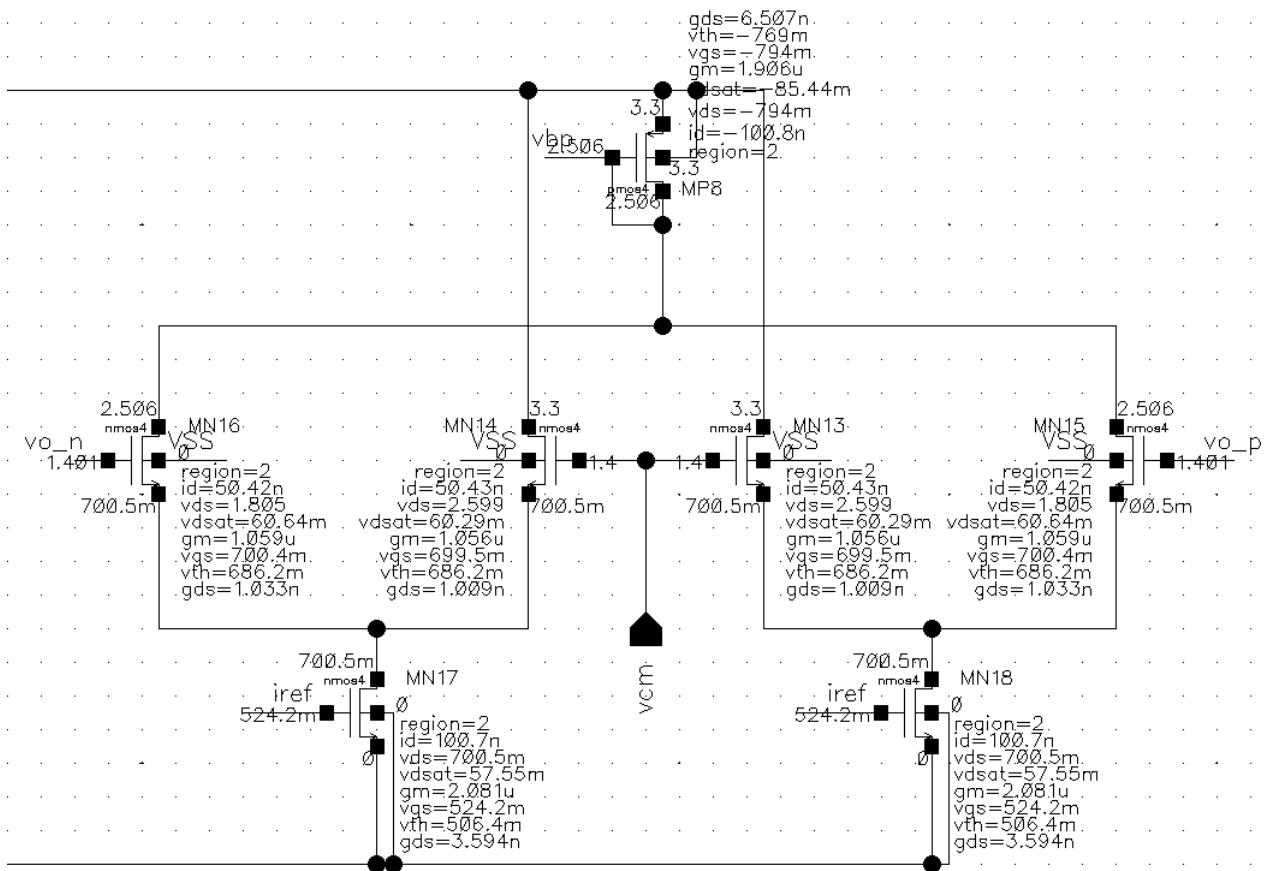


Figura 4.3: Esquemático del circuito de realimentación de modo común (CMFB).

4.1.2. Análisis AC

Se procede a determinar la respuesta en frecuencia del amplificador. Esta simulación brinda información del comportamiento del circuito para diferentes valores de frecuencia. En la simulación AC en lazo abierto se obtiene una ganancia de 94.097dB como se muestra en la figura 4.4. El esquemático empleado para esta simulación se muestra en la figura 4.5.

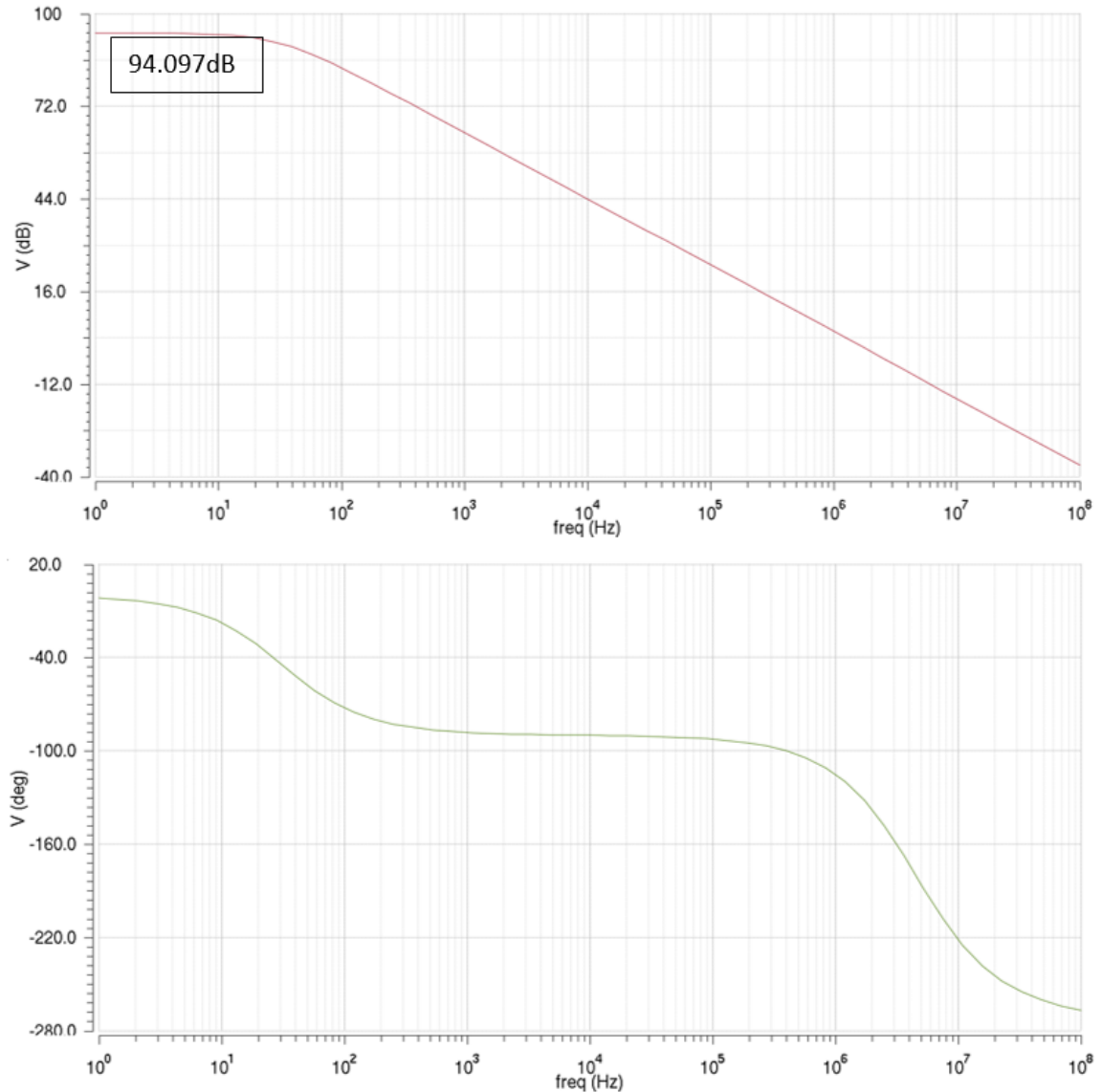


Figura 4.4: Respuesta AC en lazo abierto del circuito.

La ganancia en la simulación de lazo cerrado depende de la realimentación resistiva. Simulando para $R_0, R_1=5M$ y $R_3, R_4=30K$ en la figura 4.6, se obtiene una ganancia de lazo cerrado de 44.211dB para una ganancia teórica de 44.43dB. El ancho de banda obtenido es de 9.494KHz con lo que se cumple el objetivo planteado.

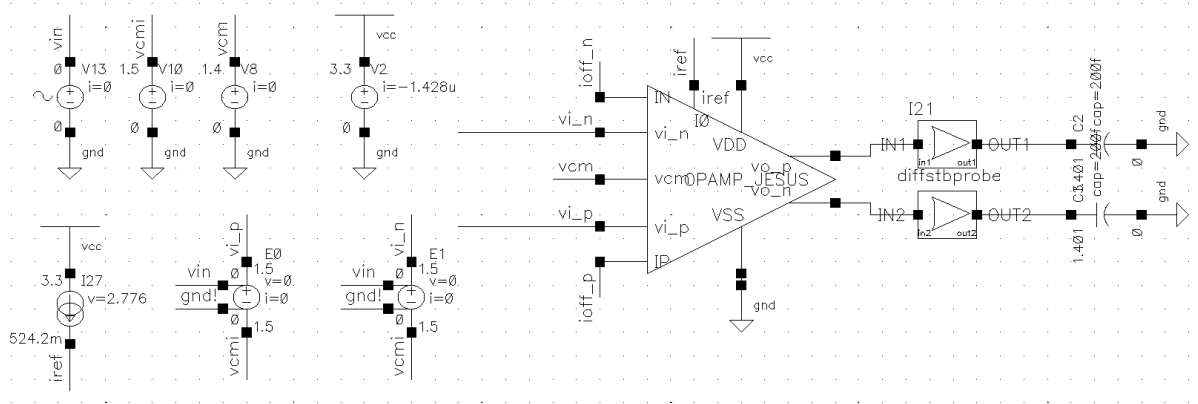


Figura 4.5: *Testbench* para el análisis AC del circuito en lazo abierto.

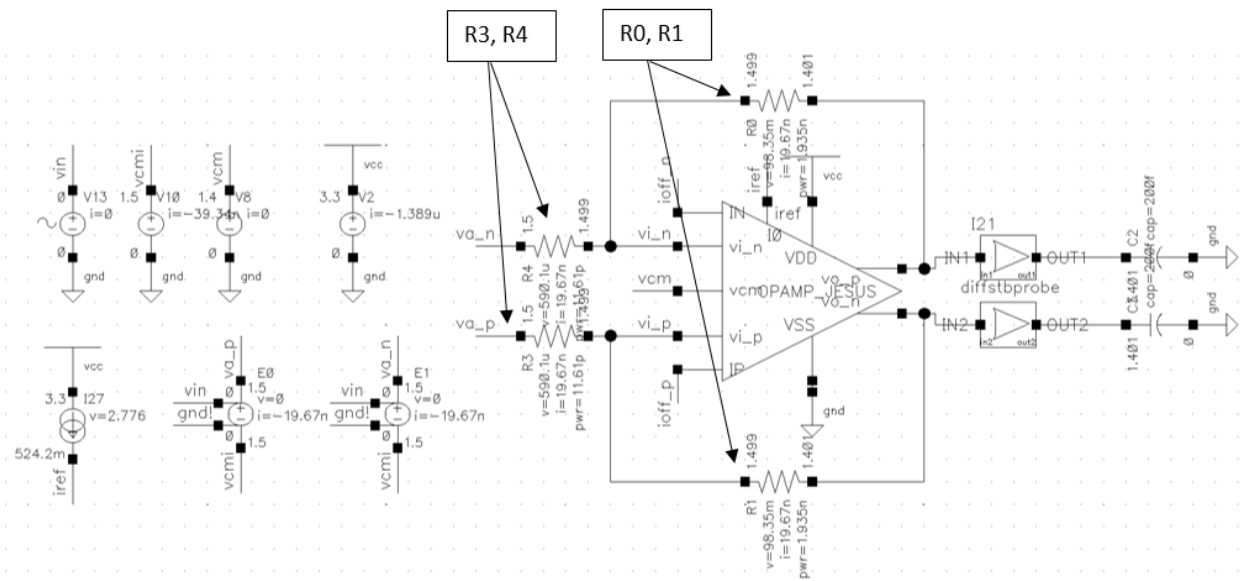


Figura 4.6: *Testbench* para el análisis AC del circuito en lazo cerrado.

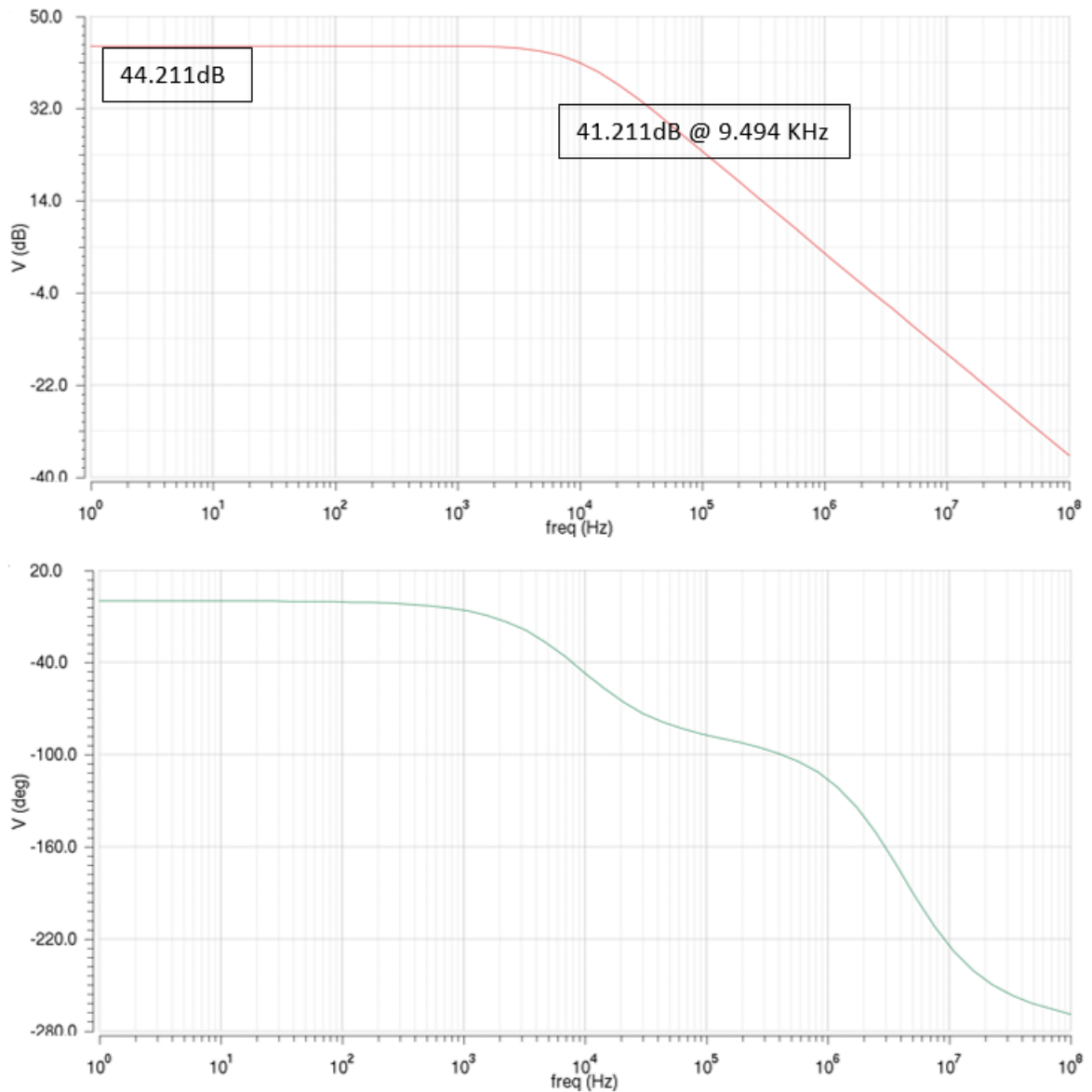


Figura 4.7: Respuesta para el análisis AC del circuito en lazo cerrado.

4.1.3. Análisis de Estabilidad

Se realiza el análisis de estabilidad mediante una simulación stb utilizando los terminales de prueba *diffstbprobe*. Se obtiene, como presentado en la figura 4.7, un margen de ganancia de 14.3994 a una frecuencia de 3.9784 MHz y un margen de fase de 68.8073° a una frecuencia de 784.096 MHz.

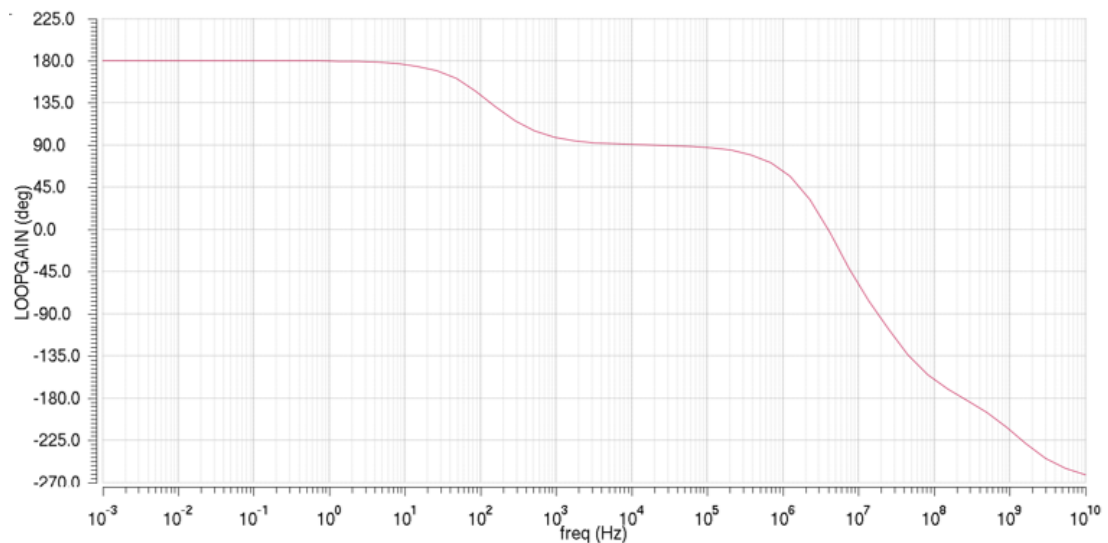
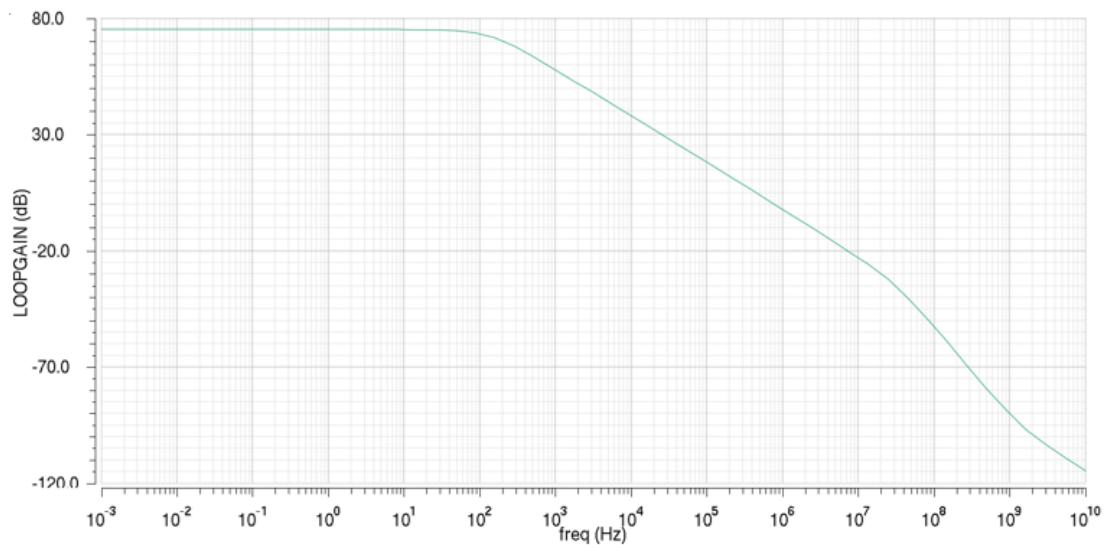


Figura 4.8: Análisis de Estabilidad.

Se busca que el margen de fase en el circuito sea mayor a 60° para poder asegurar estabilidad y evitar posibles oscilaciones. Se obtiene un valor de 68.8° por lo que se cumplen los requisitos. El esquemático para el análisis de estabilidad se presenta en la figura 4.9.

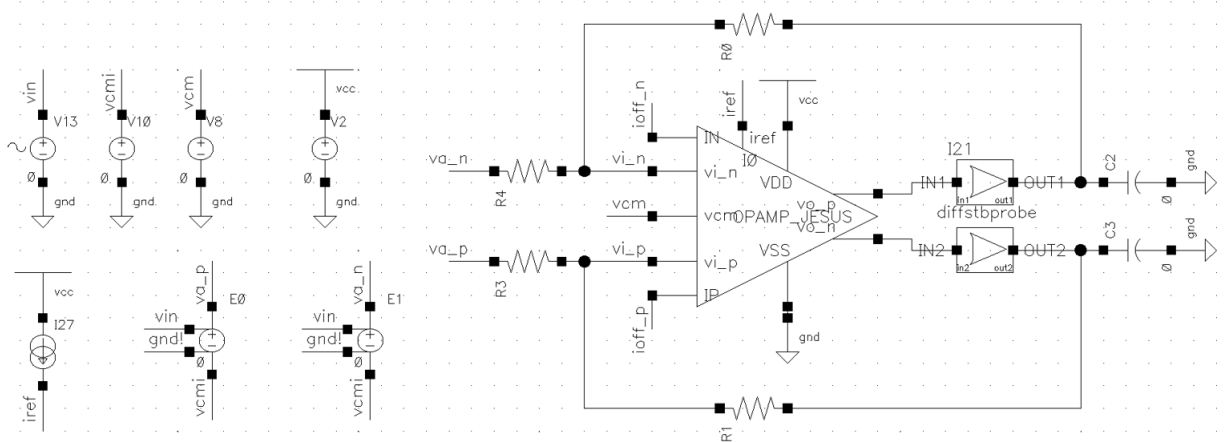


Figura 4.9: *Testbench* para el análisis de estabilidad en el circuito.

4.1.4. Análisis Transient

Se realiza el análisis transient del amplificador aplicando un voltaje diferencial de 1mV en la entrada del amplificador operacional. En la salida se obtiene un voltaje de 158.9mV es decir, una ganancia de 158.9 (44.02 dB), como ilustrado en la figura 4.11, comprobando la ganancia obtenida en lazo cerrado.

Para el análisis *transient* se realizó una configuración programable como se ve en la figura 4.10, evaluando distintos valores de resistencias para obtener diferentes ganancias. Estos resultados se muestran en la tabla 4.1

Tabla 4.1: Resultados de la simulación del PGA

Resistencia de entrada (ohm)	Resistencia de salida (ohm)	Ganancia	Ganancia (dB)
200K	200K	1	0
200K	400K	2	6
200K	600K	3	10
200K	1M	5	14
200K	2M	10	20
200K	4M	20	26
200K	6M	30	29.5
200K	8M	40	32

Se emplea un voltaje de 10mV pues es este el valor máximo esperado proveniente de una señal neuronal después de ser procesado por el filtro de bajo ruido. El rango de *output swing* cubre aproximadamente la totalidad de los 3V de alimentación. Este valor es el rango que puede cubrir el amplificador, sin embargo, la señal neuronal no requerirá el rango completo.

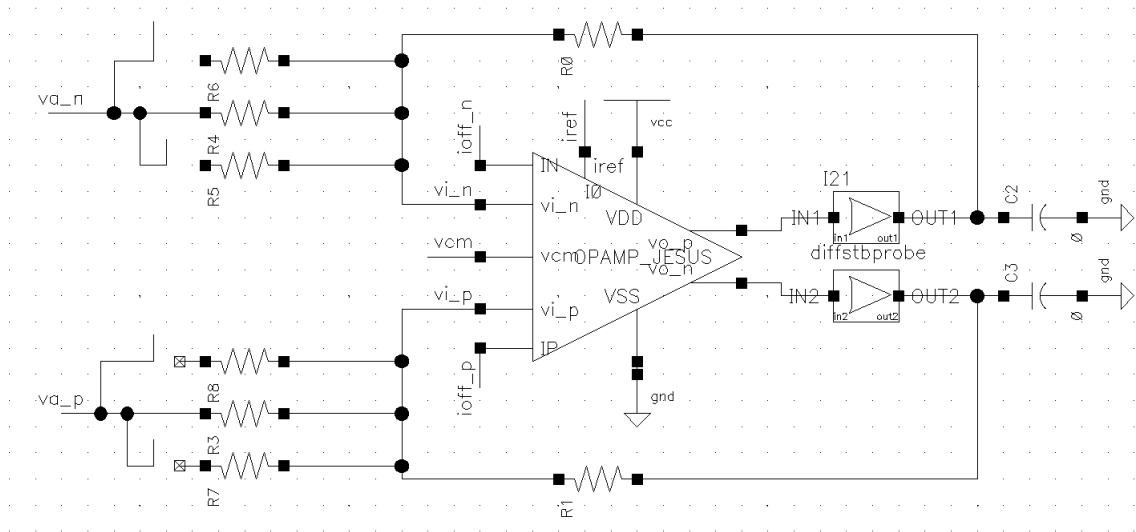


Figura 4.10: Testbench para el análisis *transient* del circuito.

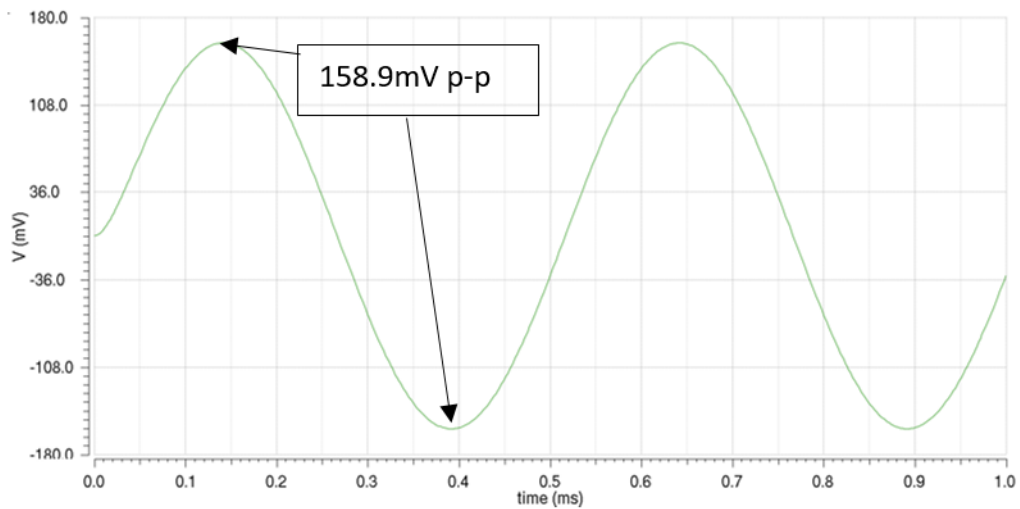
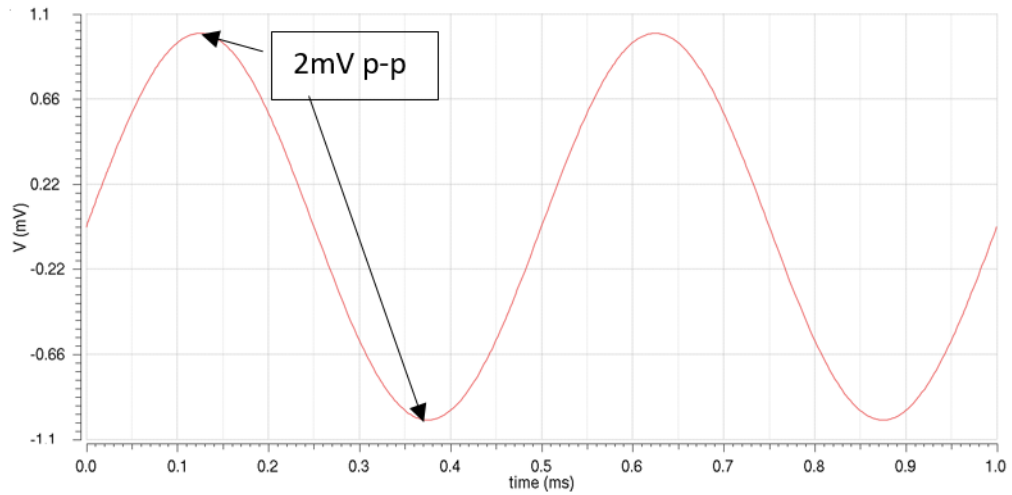


Figura 4.11: Señal de entrada y salida en una simulación *transient*.

4.1.5. Simulaciones Montecarlo

Se realizaron simulaciones Montecarlo para poder obtener los valores extremos del voltaje de offset durante el funcionamiento del circuito. Esta simulación se realizó en el entorno *ADE XL* de *CADENCE*. Los resultados obtenidos se muestran en la figura 4.10.

Test	Name	Yield	Min	Target	Max	Mean	Std Dev
Yield Estimate: 100 % (100 passed/100 pts)				Confidence Level: <not set>		Filter: <not set>	
-  ams035_design:OPAMP_JESUS_TB:1							
	vos	100	-58.96m	info	39.19m	-1.263m	17.16m

Figura 4.10: Ventana de resultados en el entorno de simulación *ADE XL*.

En base a los datos obtenidos se puede observar que el voltaje de offset promedio resultante de las simulaciones es de -1.263mV , sin embargo, los valores extremos superior e inferior alcanzan valores muy altos con respecto a la media, siendo -58.96mV el valor inferior máximo y 39.19mV el valor superior máximo. La desviación estándar tiene un valor de 17.16mV . La distribución de los voltajes de offset se observa en el histograma de la figura 4.11.

Estos valores son reducidos aplicando corriente diferencial en la salida de la primera etapa del amplificador. Usando una corriente diferencial de 116nA se logra reducir el máximo valor superior máximo de -59mV a un valor de $867\mu\text{V}$ y usando una corriente diferencial de -85nA se reduce el valor superior máximo de 39.19mV a -1mV .

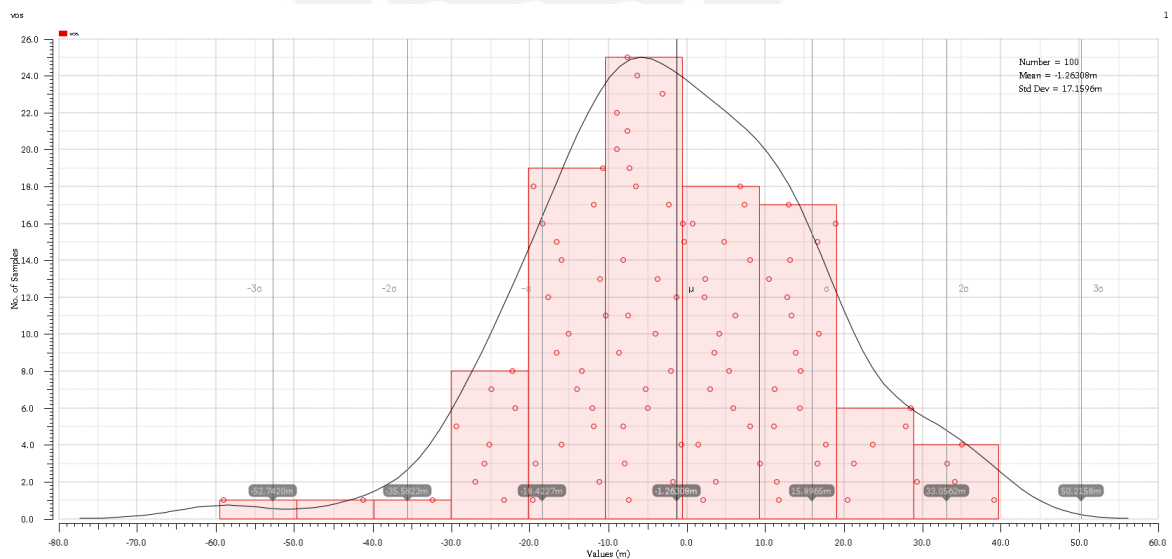


Figura 4.11: Distribución del Voltaje de *offset* usando la simulación de Montecarlo.

4.1.6. Resumen de Resultados

En base a los resultados de las simulaciones previas, se elabora un cuadro comparativo tomando como referencia los requerimientos planteados previos al diseño como se ilustran en la tabla 3.1. Se contrastan estos valores con los obtenidos en las simulaciones del presente capítulo y los resultados se muestran en la tabla 4.2.

Tabla 4.2: Resumen de valores obtenidos en las simulaciones

Parámetro	Requerimiento	Valor Obtenido
Ganancia (dB)	0-32	-0.06 - 32.004
Ancho de Banda (KHz)	9	>9
Margen de fase (°)	>60	68.8
Potencia disipada	<150 μW	<50 μW
Capacitancia de carga (fF)	200	200
Voltaje de Alimentación (V)	3	3
Tecnología	0,35 μm CMOS	0,35 μm CMOS
Área del circuito	–	0.00635 mm ²

4.2. Disposición del circuito (*Layout*)

El *layout* de un circuito integrado define la geometría empleada en las máscaras de fabricación. Esto incluye el polisilicio, pozos n, elementos activo, implantes n+ y p+ y contactos. En la presente sección se desarrollan las técnicas y consideraciones empleadas al momento de realizar la disposición física del circuito (*Layout*) [?]. El *layout* diseñado en la presente tesis se desarrolló en la herramienta **Layout XL** de **CADENCE**. Se realizaron las pruebas DRC (*Design Rule Check*) y LVS (*Layout vs Schematic*) las cuáles evalúan las reglas de diseño y la comparación del esquemático con la disposición física de capas, respectivamente.

4.2.1. Par Diferencial

Las desigualdades o asimetrías generan *offsets* en los circuitos *fully differentials*, limitando el nivel de señal que puede ser detectado. En algunos casos el *mismatch* es inevitable pero descuidar la simetría del *layout* genera como resultado valores de *offset* mucho más grandes. La simetría además anula el efecto del ruido de modo común. El circuito contempla un par diferencial NMOS por lo que se disponen los transistores los más juntos unos a otros y alternando entre los transistores de las ramas para poder tener un centroide común y reducir los efectos de *mismatch* (Ver figura 4.12).

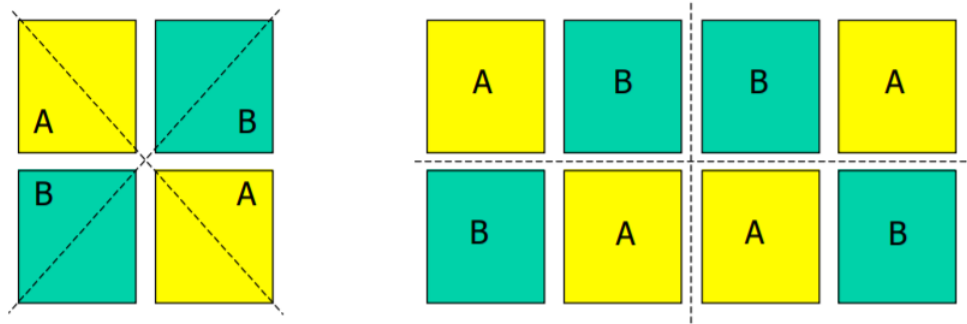


Figura 4.12: Centroide común [14].

Además, se emplean transistores cortocircuitados o transistores *dummy* (Ver figura 4.13). Estos transistores se sitúan en la parte externa y tienen como función balancear los procesos que ocurran en los transistores internos, al mismo tiempo que se reducen los efectos producidos por diferencias en el polisilicio. Los transistores *dummy* se emplean en circuitos analógicos muy sensibles y en transmisión RF.

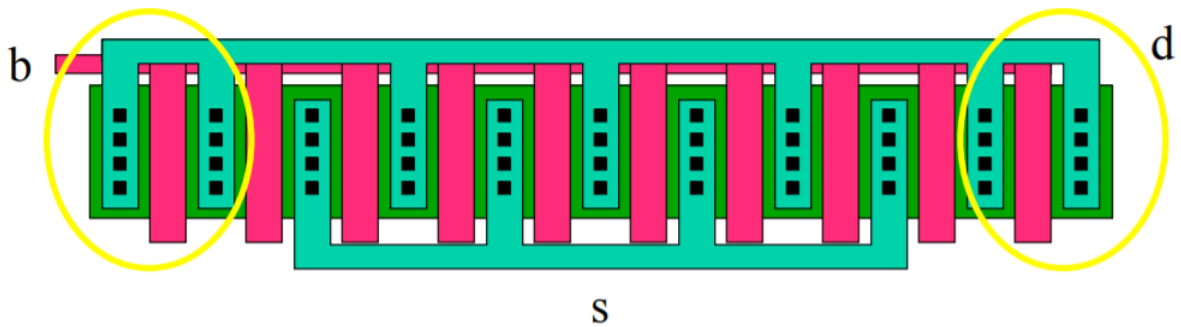


Figura 4.13: *Dummy Transistors* [14].

4.2.2. Espejos de corriente

Se cuenta con dos bloques de copia de corriente. El bloque NMOS se encuentra polarizado por i_{ref} y se encuentra en la parte más próxima a gnd . Alimenta el par diferencial, las ramas de la segunda etapa y la etapa CMFB. El bloque PMOS está polarizado con v_{bp} , el voltaje de realimentación proveniente de la etapa CMFB. Ambos espejos mantienen una longitud de canal constante y una simetría entre los transistores internos.

4.2.3. Anillos de Guarda

Circuitos de protección empleado típicamente para proteger arreglos de alta impedancia evitando la aparición de corrientes de fuga y ruido. Además de esto, reduce la probabilidad del

efecto *latch up* [?]. Se emplean anillos de guarda en los diferentes bloques internos del circuito *OpAmP* y se conectan estos anillos a los respectivos contactos *vdd* o *gnd*. Esto es ilustrado por la figura 4.14.

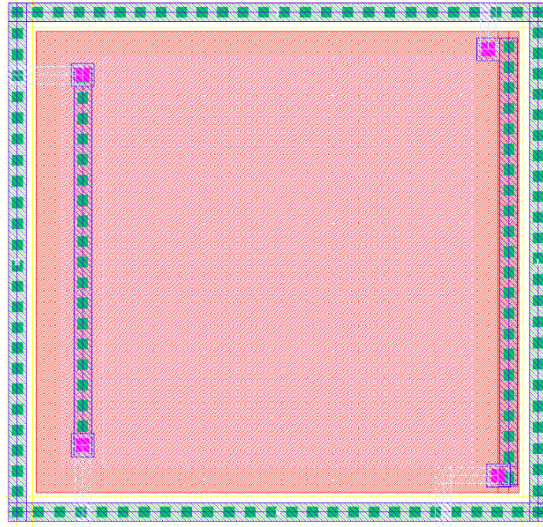


Figura 4.14: Anillo de guarda en un capacitor.

4.2.4. *Layout* “empleado” para el circuito

En la figura 4.15 se ilustra el *layout* final del circuito, el cuál incluye lo presentado en la sección anterior. Los bloques que forman parte del *layout* son los siguientes:

- Espejos PMOS
- Etapa de control programable
- Capacitancias
- Par diferencial
- Par CMFB
- Espejos NMOS
- Contactos VDD y VSS

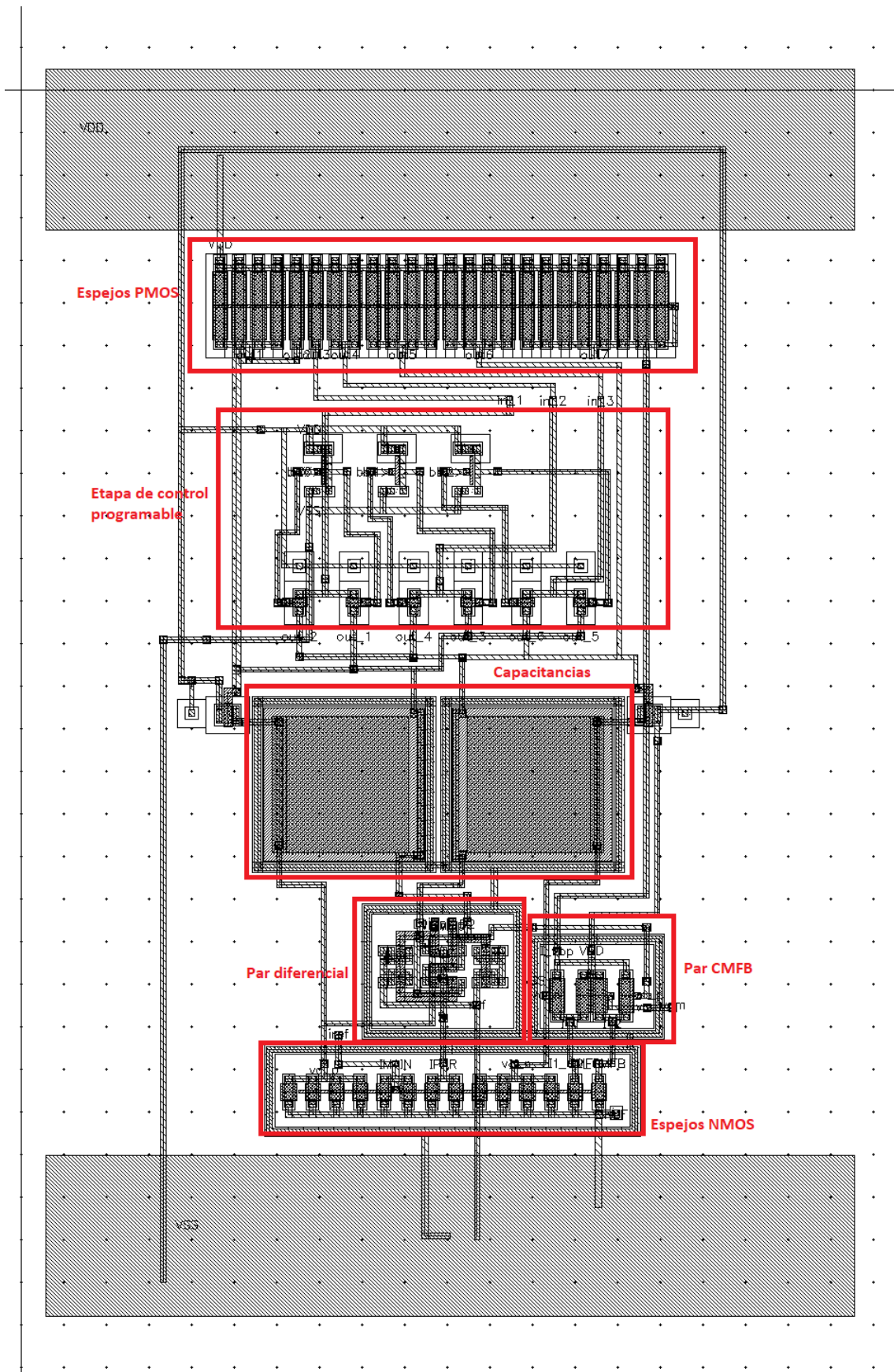


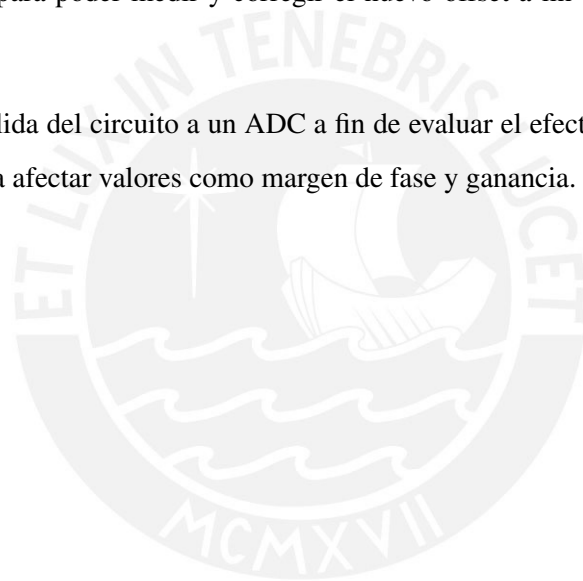
Figura 4.15: *Layout del OpAmp.*

Conclusiones

- La técnica propuesta de modificación de la corriente diferencial del circuito de entrada permite reducir el offset desde un valor de decenas de milivoltios a valores menores que 1mV, comprobando así la principal hipótesis de este trabajo.
- La técnica de reducción de offset propuesta no impacta significativamente en un aumento de disipación de potencia.
- Se lograron obtener buenos resultados en materia de ancho de banda y ganancia para una tecnología 0.35um considerando los trabajos actuales realizados en tecnologías 90nm, 180nm y 0.35um empleando voltajes de alimentación iguales o menores al presentado [19] [5].
- El uso de corrientes muy bajas como las empleadas en el presente diseño (nA) no es lo más indicado para una tecnología 0.35um a 3V. Sin embargo, al diseñar un par diferencial que opere en región sub-umbral, se obtuvieron menores valores de L y una transconductancia óptima.

Recomendaciones y observaciones

- Realizar simulaciones de variaciones como *corners* para poder evaluar el rendimiento de los circuitos una vez fabricados.
- Realizar simulaciones post-layout de extracción de circuito y compararlas con las obtenidas inicialmente para poder medir y corregir el nuevo offset a fin de mejorar la eficiencia del circuito.
- Integrar la salida del circuito a un ADC a fin de evaluar el efecto de carga real y como este puede llegar a afectar valores como margen de fase y ganancia.



Bibliografía

- [1] F. Pulvermüller, *The Neuroscience of Language: On Brain Circuits of Words and Serial Order*. Cambridge University Press, 2003.
- [2] T. F. Collura, C. R. Edwards, and R. C. Burgess, “Automated offset compensation for dc biopotential measurements,” *Behavior Research Methods, Instruments, & Computers*, vol. 22, pp. 13–20, Jan 1990.
- [3] Y. Gui, X. Zhang, Y. Wang, S. Chen, B. Huang, W. Pei, H. Chen, K. Liang, S. Huang, B. Wang, Z. Wu, and B. Li, “An 8-channel fully differential analog front-end for neural recording,” in *2012 IEEE Biomedical Circuits and Systems Conference (BioCAS)*, pp. 132–135, Nov 2012.
- [4] R. Muller, H. Le, W. Li, P. Ledochowitsch, S. Gambini, T. Bjorninen, A. Koralek, J. M. Carmena, M. M. Maharbiz, E. Alon, and J. M. Rabaey, “A minimally invasive 64-channel wireless ecog implant,” *IEEE Journal of Solid-State Circuits*, vol. 50, pp. 344–359, Jan 2015.
- [5] K. Al-Ashmouny, S. Chang, and E. Yoon, “A 8.6 w 3-bit programmable gain amplifier for multiplexed-input neural recording systems,” in *2011 Annual International Conference of the IEEE Engineering in Medicine and Biology Society*, pp. 2945–2948, Aug 2011.
- [6] P. Allen and D. Holberg, *CMOS Analog Circuit Design*. Oxford series in electrical and computer engineering, Oxford University Press, 2002.
- [7] B. Razavi, *Design of Analog CMOS Integrated Circuits*. New York, NY, USA: McGraw-Hill, Inc., 2 ed., 2017.
- [8] J. Kim, “Versatile cmos bio-potential amplifier for high-density neural recording applications,” *Electronics Letters*, vol. 50, no. 25, pp. 1906–1908, 2014.

- [9] U. A. Müller, S. Tanner, and P. Farine, “Fully differential low-noise amplifier with offset reduction for high-resolution neural signal recording,” in *6th Conference on Ph.D. Research in Microelectronics Electronics*, pp. 1–4, July 2010.
- [10] C. M. Lopez, D. Prodanov, D. Braeken, I. Gligorijevic, W. Eberle, C. Bartic, R. Puers, and G. Gielen, “A multichannel integrated circuit for electrical recording of neural activity, with independent channel programmability,” *IEEE Transactions on Biomedical Circuits and Systems*, vol. 6, pp. 101–110, April 2012.
- [11] P. Allen, “Lecture 280 - Differential-in, differential-out opamps, cmos analog circuit design,” 2010.
- [12] C. C. Enz and G. C. Temes, “Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization,” *Proceedings of the IEEE*, vol. 84, pp. 1584–1614, Nov 1996.
- [13] P. G. Drennan and C. C. McAndrew, “Understanding mosfet mismatch for analog design,” in *Proceedings of the IEEE 2002 Custom Integrated Circuits Conference (Cat. No.02CH37285)*, pp. 449–452, May 2002.
- [14] F. Maloberti, *Analog Design for CMOS VLSI Systems*. The Springer International Series in Engineering and Computer Science, Springer US, 2006.
- [15] R. Reilly and T. Clive Lee, “Electrograms (ecg, eeg, emg, eog),” vol. 18, pp. 443–58, 04 2010.
- [16] N. Heidmann, N. Hellwege, T. Höhle, T. Westphal, D. Peters-Drolshagen, and S. Paul, “Modeling of an analog recording system design for ecog and ap signals,” in *2014 Design, Automation Test in Europe Conference Exhibition (DATE)*, pp. 1–6, March 2014.
- [17] T. Carusone, D. Johns, and K. Martin, *Analog Integrated Circuit Design*. Analog Integrated Circuit Design, Wiley, 2011.
- [18] P. R. Gray, *Analysis and Design of Analog Integrated Circuits*. Wiley Publishing, 5th ed., 2009.
- [19] S. Cerida, E. Raygada, C. Silva, and M. Monge, “A low-noise fully differential recycling folded cascode neural amplifier,” in *2015 IEEE 6th Latin American Symposium on Circuits Systems (LASCAS)*, pp. 1–4, Feb 2015.

- [20] R. S Parihar and A. Gupta, "Design of a fully differential two-stage cmos op-amp for high gain, high bandwidth applications," 05 2014.
- [21] M. OpenCourseWare, "Lecture 12 - sub-threshold mosfet operation," Fall 2009.
- [22] austriamicrosystems, *0.35um CMOS C35 Design Rules, Revision : 9.0.* 2011.
- [23] H. Zumbahlen, "Chapter 1 - the op amp," in *Linear Circuit Design Handbook* (H. Zumbahlen, ed.), pp. 1 – 82, Burlington: Newnes, 2008.

